



[12] 发明专利申请公开说明书

[21] 申请号 91100202.2

[51] Int.Cl⁵

G06F 3/00

[43] 公开日 1992 年 4 月 29 日

[22] 申请日 91.1.12

[30] 优先权

[32] 90.10.15 [33] KR [31] 16388

[71] 申请人 三星电子株式会社

地址 南朝鲜京畿道

[72] 发明人 韩教真

[74] 专利代理机构 中国国际贸易促进委员会专利代理部

代理人 范本国

H03K 17/00

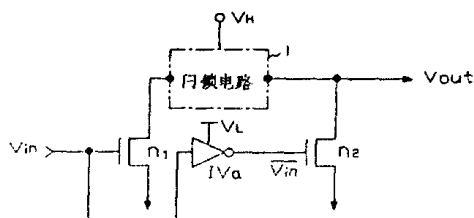
说明书页数: 4

附图页数: 2

[54] 发明名称 双重电压源的接口电路

[57] 摘要

本发明为双重电压源的接口电路, 包括: 栅极接有输入信号 V_{in} 的一个 n 沟道 CMOS 晶体管 n_1 , 使上述输入信号 V_{in} 反相的一个 IV, 以及栅极接有上述反相器 IV 的输出的是一个 n 沟道 CMOS 晶体管 n_2 , 上述的 CMOS 晶体管 n_1 和 n_2 的漏极之间由接有高电压电源 V_H 的反馈电路 1 进行连接。



权 利 要 求 书

1. 双重电压源接口电路，其特征在于：

该电路包括：

栅极接有输入信号 V_{in} 的一个 n 沟道 CMOS 晶体管 n_1 ；

使上述的输入信号 V_{in} 反相的一个倒相器 $I V_a$ ，

把上述反相器 $I V$ 的输出输入其栅极的一个的沟道 CMOS 晶体管 n_2 ；

上述 CMOS 晶体管 n_1 ，及 n_2 的漏极间由接有高电压源 V_H 门锁电路 1 进行连接。

2. 如权利要求 1 所述的双重电压源接口电路，其特征在于：
：上述的门锁电路由反相器 $I V_b$ 及 $I V_c$ 构成）。

双重电压源的接口电路

本发明涉及半导体电路，具体地说，是涉及那类使用低电压和高电压二种电源电压、能用低电压源驱动高电压电路的双重电压源的接口电路。

一般说来，现有的使用二种电源电压的双重电压源的接口电路如图 1 所示，由倒相器 $I V_1$ 及 $I V_2$ 构成，倒相器 $I V_1$ 和 $I V_2$ 又由 n 沟道 CMOS 晶体管 n_1 、 n_2 及 P 沟道 CMOS 晶体管 P_1 、 P_2 组成。其中，P 沟道 CMOS 晶体管 P_1 与 n 沟道 CMOS 晶体管 n_1 构成的倒相器 $I V_1$ ，接有低电压源（约 3.3 V），P 沟道 CMOS 晶体管 P_2 及 n 沟道 CMOS 晶体管 n_2 构成的输出倒相器 $I V_2$ 。

另外，输入信号 V_{in} 具有 0 ~ 3.3 V 的波动。这样，当输入信号由低电平变到高电平、或者由高电平变到低电平时，倒相器 $I V_1$ 就会有 0 ~ 3.3 V 的输出 V_{mid} ；倒相器 $I V_1$ 的输出 V_{mid} 在低电压内波动时，接有高电压源 V_H （约 5 V）的输出倒相器 $I V_2$ 将会使高电压发生波动。这时，如果倒相器 $I V_1$ 的输出 V_{mid} 为 0 V，则通过输出倒相器 $I V_2$ 的 P 沟道 CMOS 晶体管 P_2 与电阻 R_1 将形成电流通路，输出 V_{out} 将变成高电压 5 V；如果倒相器 $I V_1$ 的输出为 3.3 V，输出倒相器 $I V_2$ 的 P 沟道 CMOS 晶体管 P_2 将截止，n 沟道 CMOS 晶体管 n_2 将导通，输出 V_{out} 即变成低电压（0 V 左右）。

即使这样，倒相器 $I V_1$ 的输出 V_{mid} 为 3.3 V 时，输出倒相器 $I V_2$ 中的 P 沟道 CMOS 晶体管 P_2 的栅源极间的电压 V_g

s 为 $5\text{ V} - 3.3\text{ V} = 1.7\text{ V}$ ，也处于某种导通状态；这样，直流电流会通过 CMOS 晶体管 P_2 及阻抗 R 流动，从而造成电源消耗增加的缺点。另外，假设这种情况下电阻 R 没有，输出 V_{out} 将由于 CMOS 晶体管 P_2 的导通而错误地变为高电压。

本发明的目的即是消除现有的双重电压源接口电路具有的上述缺点，旨在提供一种能避免因不必要的直流电流的流动而造成的电力浪费、实现二种电源电压之间的对接的双重电压源接口电路。

为了实现上述目的，本发明的双重电压源接口电路包括栅极接有输入信号 V_{in} 的一个 n 沟道 CMOS 晶体管 n_1 、使上述的输入信号 V_{in} 倒相的一个倒相器 $I V_a$ 以及栅极接有上述倒相器 $I V_a$ 的输出一个 n 沟道 CMOS 晶体管 n_2 ，上述的 n 沟道 CMOS 晶体管 n_1 和 n_2 的漏极间由接有高电源 V_H 的闩锁电路 1 连接。

下面参照附图来详细说明本发明的作用。附图中，

图 1．是现有的双重电源接口电路的结构图。

图 2．是本发明的双重电压源接口电路的简略框图。

图 3．是本发明的双重电压源接口电路的详细电路图。

图 4．是本发明的双重电压源接口电路的各部分的输入输出波形图。

附图中，1 为闩锁电路， n_1 、 n_2 为 n 沟道 CMOS 晶体管， P_1 、 P_2 为 P 沟道 CMOS 晶体管， $I V_1$ 、 $I V_2$ 、 $I V_3 \sim I V_c$ ……倒相器。从 n 沟道 CMOS 晶体管 n_1 的栅极输入如图 4 (A) 及 4 (B) 所示的低电压 ($0\text{ V} - 3.3\text{ V}$) 输入信号，向闩锁

电路 1 供给高电压（约 5 V）电源电压 V_H ，通过倒相器 $I V_a$ 向 n 沟道 CMOS 晶体管 n_2 的栅极提供输入信号 V_{in} 的反相信号 $\bar{V}_{in}$ 。这样，CMOS 晶体管 n_1 导通时，CMOS 晶体管 n_2 将截止，相反，当 CMOS 晶体管 n_1 截止时，CMOS 晶体管 n_2 将导通。

另外，闩锁电路 1 中两个结点 P 和 Q 中的一个结点上的结点上的信号将被输出。当输入信号 V_{in} 由在 0 V 至 3.3 V 之间变动时，图 4（A）及 4（B）中所示的闩锁电路的输出 V_{out} 将从低电平变至高电平（当输入信号 V_{in} 从 0 V 变至 3.3 V 时），或从高电平变至低电平（当输入信号 V_{in} 从 3.3 V 变至 0 V 时）。

这样，在闩锁电路 1 中的结点 P 为高电位（5 V）、点 Q 为低电位（0 V）的场合下，当输入信号 V_{in} 以低电平移动至高电平时（图 4（A）），处于截止状态的 CMOS 晶体管 n_1 将进入导通状态，倒相器 $I V_a$ 将使 CMOS 晶体管 n_2 由导通状态进入到截止状态，因此，通过 CMOS 晶体管 n_1 将形成电流通路，结点 P 的电位将移至 0 V。这样，闩锁电路的特性得到了提高，闩锁电路 1 的输出 V_{out} 即结点 Q 的电位将移至 5 V 的高电位，电流通路全部遮断，从而能维持稳定的输出 V_{out} 。

另外，在闩锁电路 1 的结点 P 为低电位（0 V）、结点 Q 为高电位（5 V）时，输入信号 V_{in} 从高电位移动至低电平时（图 4（B）），处于导通状态的 CMOS 晶体管 n_1 将进入截止状态，倒相器 $I V_a$ 将使 CMOS 晶体管 n_2 从截止状态进入导通状态，因此，通过 CMOS 晶体管 n_2 将形成电流通路，结点 Q 的电位亦即

门锁电路 1 的输出 V_{out} 将变成 0 V 的低电平并维持在这一电平上。

如果采用具有上述作用的本发明的二重电压源接口电路，就能避免因输入信号的低电平（0 ~ 3.3 V）的波动造成的门锁电路两结点的输出中的一个上的直流电流损失，从而能达到减少不必要的电力损失的优点。

图 1

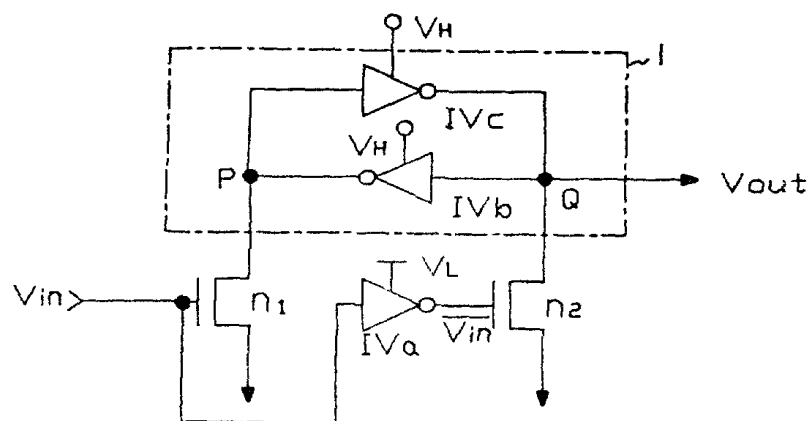
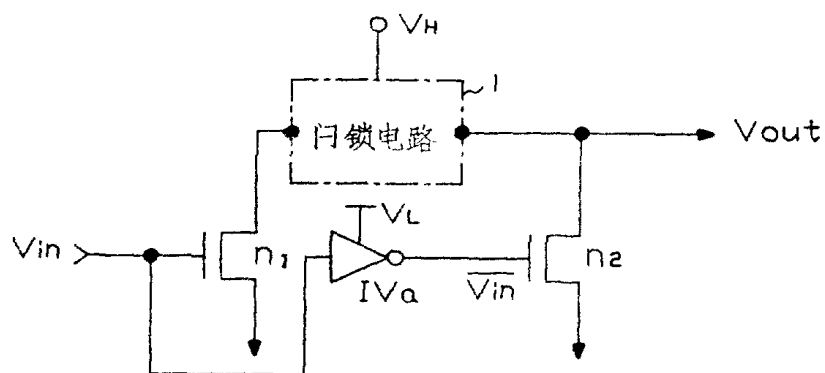
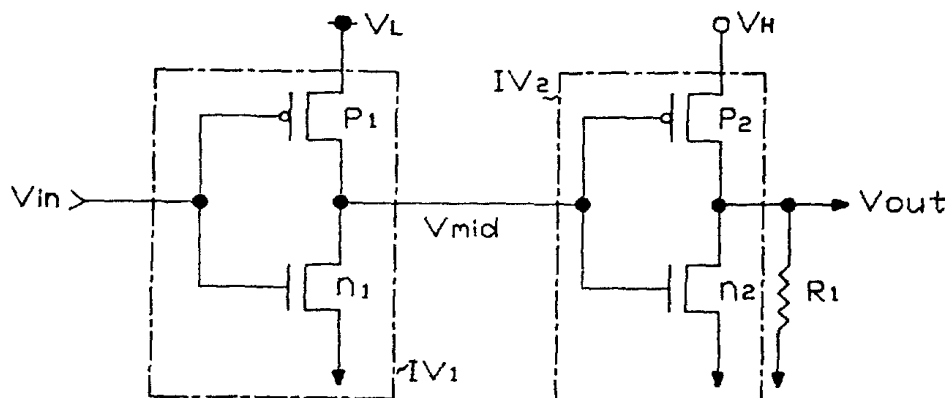


图 .4A

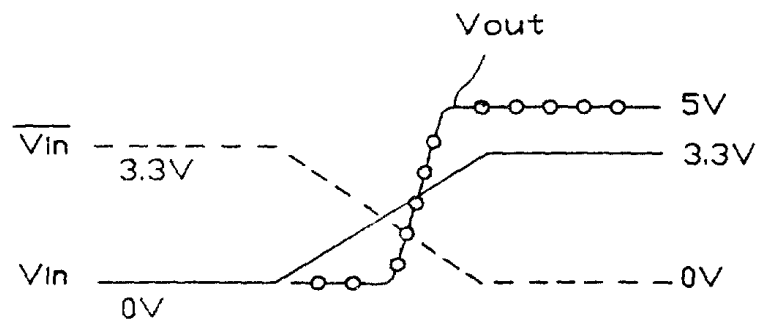


图 .4B

