(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年10月17日(17.10.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/214291 A1

(51) 国際特許分類:
G05F 1/10 (2006.01) *G01D 5/244* (2006.01)

(21) 国際出願番号： PCT/JP2023/015201

(22) 国際出願日： 2023年4月14日(14.04.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人:三菱電機株式会社(**MITSUBISHI ELECTRIC CORPORATION**) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目７番３号 Tokyo (JP).

(72) 発明者: 錦戸 理 (**NISHIKIDO, Osamu**); 〒1008310 東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内 Tokyo (JP). 上村井 明夫(**KAMIMURAI, Akio**); 〒1008310 東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内 Tokyo (JP). 澤井 隆二(**SAWAI, Takatsugu**); 〒1008310 東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内 Tokyo (JP). 野村 和央(**NOMURA, Kazuo**); 〒1020073 東京都千代田区九段北一丁目１３番５号 三菱電機エンジニアリング株式会社内 Tokyo (JP).

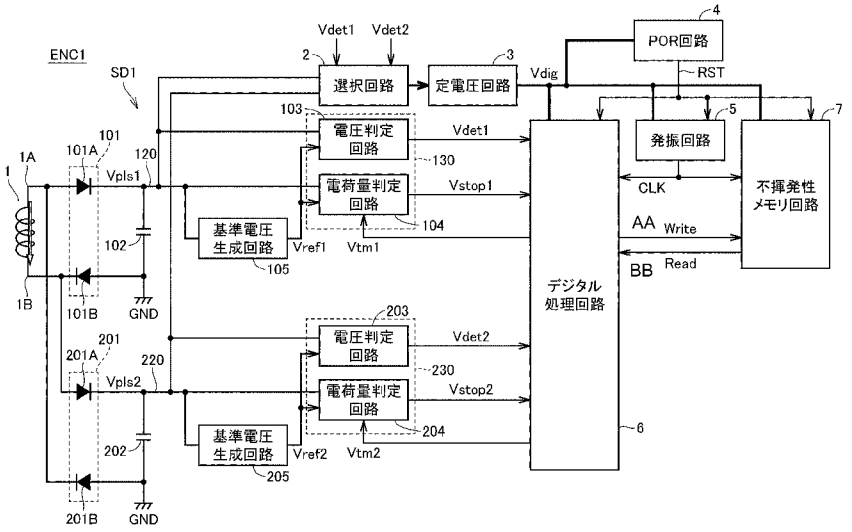
(74) 代理人:弁理士法人深見特許事務所(**FUKAMI PATENT OFFICE, P.C.**); 〒5300005 大阪府大阪市北区中之島三丁目２番４号 中之島フェスティバルタワー・ウエスト Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

(54) **Title:** SEMICONDUCTOR DEVICE AND BATTERY-LESS MULTI-ROTATION ENCODER

(54) 発明の名称： 半導体装置およびバッテリレス多回転エンコーダ

図1



2 Selection circuit
3 Constant voltage determination circuit
4 POR circuit
5 Oscillation circuit
6 Digital processing circuit
7 Nonvolatile memory circuit
103,203 Voltage determination circuit
104,204 Charge amount determination circuit
105,205 Reference voltage generation circuit
AA Write
BB Read

(57) **Abstract:** A semiconductor device (SD1) is operated by current pulses generated by a power generation element (1). The semiconductor device (SD1) is provided. The semiconductor device (SD1) comprises: a processing circuit (6) that executes a series of processing by using the current pulses; and determination circuits (130, 230) that determine whether the power generation amount of the power generation element (1) is sufficient. The determination circuits (130, 230) determine whether a first determination condition has been satisfied during the generation of the current pulses by the power generation element (1) before the start of the series of processing, and determine whether a second determination condition has been satisfied during the execution of the series of processing. The processing circuit (6) starts the series of processing if the first determination condition has been satisfied, and suspends the series of processing if the second determination condition has not been satisfied.

WO 2024/214291 A1

[続葉有]

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能):ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告（条約第21条(3)）

(57) 要約：半導体装置（ＳＤ１）は、発電素子（１）が発生する電流パルスによって動作する。半導体装置（ＳＤ１）が提供される。半導体装置（ＳＤ１）は、電流パルスによって一連の処理を実行する処理回路（６）と、発電素子（１）の発電量が十分か否かを判定する判定回路（１３０，２３０）とを備える。判定回路（１３０，２３０）は、一連の処理の開始前かつ発電素子（１）による電流パルスの発生中に第１の判定条件が満たされているか否かを判定し、一連の処理の実行中に第２の判定条件が満たされているか否かを判定する。処理回路（６）は、第１の判定条件が満たされていれば一連の処理を開始し、第２の判定条件が満たされていなければ一連の処理を中断する。

明　細　書

発明の名称 ： 半導体装置およびバッテリレス多回転エンコーダ

技術分野

[0001] 本開示は、半導体装置に関し、さらにバッテリレス多回転エンコーダに関する。

背景技術

[0002] 周囲の環境から得たエネルギーを電力に変換する環境発電素子が発電した電力を電源として動作する半導体装置が多く開発されている。環境発電素子の中には、磁界の変化によってコイルに生じる誘導電流を電力に変換する方式の発電素子がある。バッテリレス多回転エンコーダは、そのような磁界の変化を利用した発電素子を用いる装置の一例であり、外部電源なしでモータの回転方向および回転数を判別する。

[0003] 特許第５７６９８７９号公報（特許文献１）は、大バルクハウゼン効果を有する発電素子を用いたバッテリレス多回転エンコーダ装置を開示する。大バルクハウゼン効果とは、外部磁界が変化した時に、ある磁界で急峻に磁化が変化する現象をいう。

[0004] 具体的にこの文献に記載のバッテリレス多回転エンコーダは、回転検出機構と、信号処理回路とを備える。回転検出機構は、回転軸と伴に回転する回転軸円周方向の磁極数がＮ個の磁石と、この磁石の磁界に対してバルクハウゼン効果を有する磁性ワイヤで構成され上記磁石の回転円周上に位相角をずらして配置されるＬ個（Ｌは２以上）の検出コイルとを有する。各検出コイルは、正負異符号の電圧パルスを発生して信号処理回路へ送出する。信号処理回路は、検出コイルの状態をメモリに記憶するコントローラと、各検出コイルの状態変化に対応して回転数を更新するアダーとを有する。信号処理回路は、一連の動作を、検出コイルからの電圧パルスによって全波整流回路及び定電圧回路で発生させた電力のみで行い、かつ次の電圧パルスが生じる前に動作を終了する。

先行技術文献

特許文献

[0005] 特許文献1：特許第５７６９８７９号公報

発明の概要

発明が解決しようとする課題

[0006] 上記の特許第５７６９８７９号公報（特許文献１）に記載のバッテリレス多回転エンコーダをはじめとして環境発電素子を利用した従来の半導体装置は、発電素子が発生する電流パルスごとに一連の動作を完了させる。このため、信号処理回路は、発電素子によって発生した電荷を蓄えるための容量素子に、一連の動作に必要な電荷の全てが溜まってから処理を開始する。一連の処理の途中で電力が足りなくなると、正しい処理が行われずデータ異常となる可能性があるからである。

[0007] しかしながら、一連の処理に必要な電荷の全てが容量素子に溜まるまで待つということは、発電素子内のコイルに高い電圧がかかることに他ならない。コイルの性質としてコイルに電圧がかかるとそれを打ち消す方向に電流を流そうとする働きある。この逆方向の電流が発電電流を妨げるため、発生電圧が高くなるほど逆方向の電流により打ち消される電荷量が多くなるという問題がある。一方、発生電圧を抑えるために容量素子の容量を大きくすると、信号処理回路を駆動するために必要な電圧に達するまでの電荷が増加し、利用できない電荷が増えるという別の問題が生じる。

[0008] 本開示は、上記の問題を考慮してなされたものであり、その一つの目的は、発電素子が発生した電流パルスを効率的に利用する半導体装置を提供することである。

課題を解決するための手段

[0009] 一実施形態において、発電素子が発生する電流パルスによって動作する半導体装置が提供される。この半導体装置は、電流パルスによって一連の処理を実行する処理回路と、発電素子の発電量が十分か否かを判定する判定回路

とを備える。判定回路は、一連の処理の開始前かつ発電素子による電流パルスの発生中に第１の判定条件が満たされているか否かを判定し、一連の処理の実行中に第２の判定条件が満たされているか否かを判定する。処理回路は、第１の判定条件が満たされていれば一連の処理を開始し、第２の判定条件が満たされていなければ一連の処理を中断する。

発明の効果

[0010] 上記の実施形態によれば、発電素子による電流パルスの発生中に十分な発電量であると判定された場合に一連の処理が開始され、一連の処理の実行中に発電量が不十分と判定された場合に処理が中断されるので、発電素子が発生した電流パルスを効率的に利用できる。

図面の簡単な説明

[0011] [図1]実施の形態１によるバッテリレス多回転エンコーダの回路ブロック図である。

[図2]図１のバッテリレス多回転エンコーダの通常処理の一例を示すタイミングチャートである。

[図3]図１のバッテリレス多回転エンコーダの中断処理の一例を示すタイミングチャートである。

[図4]読み出し、更新、および書き込みの各処理の開始時と終了時において、容量素子に蓄積されている電荷量を概念的に示す図である。

[図5]容量素子の電圧の時間変化を概念的に示す図である。

[図6]図１の基準電圧生成回路および電圧判定回路の構成の一例を示す回路図である。

[図7]図１の電荷量判定回路の構成の一例を示す回路図である。

[図8]図１の選択回路の構成の一例を示す回路図である。

[図9]図１の定電圧回路の構成の一例を示す回路図である。

[図10]図１のＰＯＲ回路の構成の一例を示す回路図である。

[図11]実施の形態２によるバッテリレス多回転エンコーダの回路ブロック図である。

[図12]図１１のバッテリレス多回転エンコーダの通常処理の一例を示すタイミングチャートである。

[図13]図１１のバッテリレス多回転エンコーダの中断処理の一例を示すタイミングチャートである。

[図14]書き込みエラーを検出する機構の一例を説明するための図である。

[図15]図１１のピーク判定回路の構成の一例を示す回路図である。

[図16]図１１のピーク判定回路の構成の他の一例を示す回路図である。

[図17]実施の形態３によるバッテリレス多回転エンコーダの回路ブロック図である。

[図18]図１７のバッテリレス多回転エンコーダの通常処理の一例を示すタイミングチャートである。

[図19]実施の形態４によるバッテリレス多回転エンコーダの回路ブロック図である。

[図20]図１９のバッテリレス多回転エンコーダの通常処理の一例を示すタイミングチャートである。

[図21]図１９の可変電圧器の構成の一例を示す回路図である。

[図22]図２１の電圧バッファの電源端子への電圧の供給方法の一例を説明するための図である。

[図23]実施の形態５によるバッテリレス多回転エンコーダの回路ブロック図である。

[図24]図２３のバッテリレス多回転エンコーダの通常処理の一例を示すタイミングチャートである。

発明を実施するための形態

[0012] 以下、各実施の形態について図面を参照して詳しく説明する。以下の実施の形態では、バッテリレス多回転エンコーダを例に挙げて説明するが、本開示の技術はこれに限定されるものでない。たとえば、本開示の技術は、電磁誘導を利用して発電する発電素子からの電流パルスによって動作する種々の半導体装置に適用できる。なお、以下の説明において、同一または相当する

部分には同一の参照符号を付して、その説明を繰り返さない場合がある。

[0013] 実施の形態１．

［バッテリレス多回転エンコーダの構成］

図１は、実施の形態１によるバッテリレス多回転エンコーダＥＮＣ１の回路ブロック図である。図１のバッテリレス多回転エンコーダＥＮＣ１は、電磁誘導を利用して発電する発電素子１と、この発電素子１によって生成された電流パルスによって動作する半導体装置ＳＤ１とを備える。

[0014] 図１では、１個の発電素子１が代表的に示されているが、実際のバッテリレス多回転エンコーダでは、回転軸のまわりに位相角をずらして複数の発電素子１として複数のコイルが配置される。回転軸とともに磁石が回転すると磁界の向きが変化するので、電磁誘導によって発電素子１に電流パルスが発生する。半導体装置ＳＤ１内の蓄電用の容量素子に発電素子１によって発生した電荷が蓄えられることにより、電流パルスは電圧パルスに変換される。複数の発電素子１は、互いに異なる位相角で配置されているので、それぞれ異なる回転角度で電流パルスが発生する。後述するように、デジタル処理回路６は、発生した電流パルスの回数、発電素子の位置、および電流パルスの向きに基づき、回転軸の回転数と回転方向とを判別する。

[0015] なお、本開示では、発電素子１によって生成される電流パルスおよび変換後の電圧パルスを総称して発電パルスと称する。

[0016] 半導体装置ＳＤ１は、整流回路１０１，２０１と、蓄電用の容量素子１０２，２０２と、電圧判定回路１０３，２０３と、電荷量判定回路１０４，２０４と、基準電圧生成回路１０５，２０５と、選択回路２と、定電圧回路３と、ＰＯＲ（Power On Reset）回路４と、発振回路５と、デジタル処理回路６と、不揮発性メモリ７とを備える。

[0017] 電圧判定回路１０３と電荷量判定回路１０４とによって発電素子１の発電量が十分であるか否かを判定する判定回路１３０が構成される。また、電圧判定回路２０３と電荷量判定回路２０４とによって発電素子１の発電量が十分であるか否かを判定する判定回路２３０が構成される。

[0018] 発電素子１は、整流回路１０１および整流回路２０１に接続される。整流回路１０１と整流回路２０１とは整流方向が逆になるように発電素子１に接続される。整流回路１０１の出力は容量素子１０２に蓄電され、整流回路２０１の出力は容量素子２０２に蓄電される。したがって、発電素子１に発生する電流パルスの極性に応じて、容量素子１０２，２０２のいずれか一方に電荷が蓄積され、電圧が生じる。

[0019] 具体的に図１の例では、整流回路１０１はダイオード１０１Ａ，１０１Ｂを含む。発電素子１としてのコイルの第１端１Ａは、順方向のダイオード１０１Ａを介して容量素子１０２の高電位側ノード１２０に接続される。発電素子１としてのコイルの第２端１Ｂは、逆方向のダイオード１０１Ｂを介して容量素子１０２の低電位側のノード、すなわち、グランドＧＮＤに接続される。

[0020] 同様に、整流回路２０１はダイオード２０１Ａ，２０１Ｂを含む。発電素子１としてのコイルの第１端１Ａは、逆方向のダイオード２０１Ｂを介して容量素子２０２の低電位側のノード、すなわち、グランドＧＮＤに接続される。発電素子１としてのコイルの第２端１Ｂは、順方向のダイオード２０１Ａを介して容量素子２０２の高電位側ノード２２０に接続される。

[0021] 容量素子１０２の高電位側ノード１２０の電圧Ｖｐｌｓ１は、選択回路２、電圧判定回路１０３、電荷量判定回路１０４、および基準電圧生成回路１０５に入力される。容量素子２０２の高電位側ノード２２０の電圧Ｖｐｌｓ２は、選択回路２、電圧判定回路２０３、電荷量判定回路２０４、および基準電圧生成回路２０５に入力される。

[0022] 基準電圧生成回路１０５は、容量素子１０２の電圧Ｖｐｌｓ１に基づいて、電圧Ｖｐｌｓ１の大きさに依らない一定の基準電圧Ｖｒｅｆ１を生成する。生成された基準電圧Ｖｒｅｆ１は、電圧判定回路１０３および電荷量判定回路１０４に入力される。同様に、基準電圧生成回路２０５は、容量素子２０２の電圧Ｖｐｌｓ２に基づいて、電圧Ｖｐｌｓ２の大きさに依らない一定の基準電圧Ｖｒｅｆ２を生成する。生成された基準電圧Ｖｒｅｆ２は、電圧

判定回路２０３および電荷量判定回路２０４に入力される。

[0023] 電圧判定回路１０３は、容量素子１０２の電圧Ｖｐｌｓ１が第１の判定値を超えているという第１の判定条件が満たされるか否かを判定する。これにより、容量素子１０２の電圧Ｖｐｌｓ１の電圧レベルがデジタル処理回路６での処理を開始するのに十分であるか否かが判定される。電圧判定回路１０３は、判定結果を判定信号Ｖｄｅｔ１として選択回路２およびデジタル処理回路６に出力する。同様に、電圧判定回路２０３は、容量素子２０２の電圧Ｖｐｌｓ２が第１の判定値を超えているという第１の判定条件が満たされるか否かを判定する。これにより、容量素子２０２の電圧Ｖｐｌｓ２の電圧レベルがデジタル処理回路６での処理を開始するのに十分であるか否かが判定される。電圧判定回路２０３は、判定結果を判定信号Ｖｄｅｔ２として選択回路２およびデジタル処理回路６に出力する。

[0024] 選択回路２は、判定信号Ｖｄｅｔ１，Ｖｄｅｔ２に基づいて、電圧Ｖｐｌｓ１，Ｖｐｌｓ２のうち、十分な電圧レベルに達している一方の電圧を選択する。選択回路２は、選択した電圧Ｖｐｌｓ１またはＶｐｌｓ２を定電圧回路３に出力する。

[0025] 電荷量判定回路１０４には、容量素子１０２の電圧Ｖｐｌｓ１および基準電圧Ｖｒｅｆ１が入力されるとともに、デジタル処理回路６から判定タイミング信号Ｖｔｍ１が入力される。電荷量判定回路１０４は、判定タイミング信号Ｖｔｍ１が活性化した（たとえば、ハイレベルになった）タイミングで、容量素子１０２に蓄積されている電荷量が第２の判定値を超えているという第２の判定条件が満たされているか否かを判定する。これにより、容量素子１０２に蓄積されている電荷量がその後のデジタル処理回路６での処理に十分であるか否かが判定される。電荷量判定回路１０４は、容量素子１０２の電荷量が不十分である（すなわち、第２の判定条件が満たされていない）と判定した場合に、活性状態（たとえば、ハイレベル）を示す中断信号Ｖｓｔｏｐ１をデジタル処理回路６に出力する。

[0026] 同様に、電荷量判定回路２０４には、容量素子２０２の電圧Ｖｐｌｓ２お

よび基準電圧Ｖｒｅｆ２が入力されるともに、デジタル処理回路６から判定タイミング信号Ｖｔｍ２が入力される。電荷量判定回路２０４は、判定タイミング信号Ｖｔｍ２が活性化したタイミングで、容量素子２０２の電荷量（電圧Ｖｐｌｓ２に比例する）が第２の判定値を超えているか否かを判定する。これにより、容量素子２０２の電荷量がその後のデジタル処理回路６での処理に十分であるか否かが判定される。電荷量判定回路２０４は、容量素子２０２の電荷量が不十分である（すなわち、第２の判定条件が満たされていない）と判定した場合に、活性状態（たとえば、ハイレベル）を示す中断信号Ｖｓｔｏｐ２をデジタル処理回路６に出力する。

[0027] 定電圧回路３は、選択回路２によって選択された電圧Ｖｐｌｓ１またはＶｐｌｓ２から、ＰＯＲ回路４、発振回路５、デジタル処理回路６、および不揮発性メモリ７で用いられる一定値の電源電圧Ｖｄｉｇを生成する。定電圧回路３は、たとえば、ＬＤＯ（Low Drop Out）回路である。

[0028] ＰＯＲ回路４は、定電圧回路３から出力される電源電圧Ｖｄｉｇが最低動作電源電圧に達したときにリセット信号ＲＳＴを解除する。

[0029] 発振回路５は、デジタル処理回路６および不揮発性メモリ７にクロック信号ＣＬＫを供給する。発振回路５の構成は特に限定されない。たとえば、リングオシレータであってもよいし、水晶発振器であってもよいし、セラミック発振器であってもよい。

[0030] デジタル処理回路６は、論理回路によって構成される。デジタル処理回路６は、不揮発性メモリ７に書き込み信号Ｗｒｉｔｅを出力し、不揮発性メモリ７から読み出し信号Ｒｅａｄの入力を受ける。

[0031] ［バッテリレス多回転エンコーダの動作］

次に、図１のバッテリレス多回転エンコーダＥＮＣ１の動作について説明する。図２は、図１のバッテリレス多回転エンコーダＥＮＣ１の通常処理の一例を示すタイミングチャートである。図３は、図１のバッテリレス多回転エンコーダＥＮＣ１の中断処理の一例を示すタイミングチャートである。図２と図３とは相互に対応しており、対応する部分には同じ参照符号を付して

いる。

[0032] 図１および図２を参照して、発電素子１で発生した電流は、その電流の向きによって整流回路１０１または整流回路２０１を通して選択的に容量素子１０２または容量素子２０２へと供給される。供給された電流は、容量素子に電荷として蓄積されることにより、電圧に変換される。

[0033] たとえば、図１の発電素子１の第２端１Ｂから第１端１Ａに向かう方向に電流が発生した場合には、整流回路１０１が導通する。この場合、発電素子１で発生した電流は、容量素子１０２に供給される。逆に発電素子１の第１端１Ａから第２端１Ｂに向かう方向に電流が発生した場合には、整流回路２０１が導通する。この場合、発電素子１で発生した電流は、容量素子２０２に供給される。

[0034] 容量素子１０２の電圧Ｖｐｌｓ１は、基準電圧生成回路１０５に入力され、基準電圧Ｖｒｅｆ１が生成される。電圧判定回路１０３は、基準電圧生成回路１０５が生成した基準電圧Ｖｒｅｆ１から判定電圧ＶＤを生成し、判定電圧ＶＤよりも容量素子１０２の電圧Ｖｐｌｓ１が高いか低いかを判定する。判定結果は、判定信号Ｖｄｅｔ１としてデジタル処理回路６に出力される。容量素子１０２の電圧Ｖｐｌｓ１が判定電圧ＶＤより高い場合に判定信号Ｖｄｅｔ１としてハイレベルが出力され、電圧Ｖｐｌｓ１が判定電圧ＶＤより低い場合に判定信号Ｖｄｅｔ１としてローレベルが出力される。

[0035] なお、判定電圧ＶＤをＶＤａとＶＤｂとの積で表せば（すなわち、ＶＤ＝ＶＤａ×ＶＤｂ）、電圧Ｖｐｌｓ１と判定電圧ＶＤとを比較することは、Ｖｐｌｓ１／ＶＤａとＶＤｂとを比較することと等価である。したがって、容量素子１０２の電圧Ｖｐｌｓ１をそのまま比較対象とする必要はない。

[0036] 同様に、容量素子２０２の電圧Ｖｐｌｓ２は、基準電圧生成回路２０５に入力され、基準電圧Ｖｒｅｆ２が生成される。電圧判定回路２０３は、基準電圧生成回路２０５が生成した基準電圧Ｖｒｅｆ２から判定電圧ＶＤを生成し、判定電圧ＶＤよりもＶｐｌｓ２が高いか低いかを判定する。判定結果は、判定信号Ｖｄｅｔ２としてデジタル処理回路６に出力される。容量素子２

０２の電圧Ｖｐｌｓ２が判定電圧ＶＤより高い場合に判定信号Ｖｄｅｔ２としてハイレベルが出力され、電圧Ｖｐｌｓ２が判定電圧ＶＤより低い場合に判定信号Ｖｄｅｔ２としてローレベルが出力される。

[0037] なお、上記では判定信号Ｖｄｅｔ１，Ｖｄｅｔ２を正論理として説明しているが、判定信号Ｖｄｅｔ１，Ｖｄｅｔ２は負論理であってもよい。

[0038] 具体的に図２の場合には、時刻ｔ１において、容量素子１０２の電圧Ｖｐｌｓ１が判定電圧ＶＤを超えたため、電圧判定回路１０３から出力される判定信号Ｖｄｅｔ１がハイレベルに切り替わる。

[0039] 選択回路２は、判定信号Ｖｄｅｔ１，Ｖｄｅｔ２の論理値に基づき、電圧Ｖｐｌｓ１もしくはＶｐｌｓ２のどちらかを選択的に定電圧回路３に供給する。判定信号Ｖｄｅｔ１がハイレベルの場合は、電圧Ｖｐｌｓ１が選択され、判定信号Ｖｄｅｔ２がハイレベルの場合は電圧Ｖｐｌｓ２が選択される。同時にハイレベルとなる場合が考えられるので、選択回路２は、先に活性状態を示した判定信号を優先的に選択するなど排他的な処理を行う。

[0040] 定電圧回路３に電圧Ｖｐｌｓ１またはＶｐｌｓ２が供給されると、定電圧回路３は電圧Ｖｄｉｇを出力する。図２の場合には、時刻ｔ１において電圧Ｖｐｌｓ１が定電圧回路３に入力されることにより、電源電圧Ｖｄｉｇが立ち上がる。電圧Ｖｄｉｇは、ＰＯＲ回路４、発振回路５、デジタル処理回路６、不揮発性メモリ回路７に電源電圧として供給される。

[0041] 次の時刻ｔ２において、電源電圧Ｖｄｉｇが所望の電圧に達したことにより、ＰＯＲ回路４はリセット信号ＲＳＴを解除する。図２の場合には、リセット信号ＲＳＴがハイレベルからローレベルに切り替わる。これにより、発振回路５、デジタル処理回路６、不揮発性メモリ７は動作可能となり、処理を開始する。

[0042] バッテリレス多回転エンコーダにおいて実行される一連の処理を簡単に説明すると次のとおりである。まず、デジタル処理回路６は、発電素子１に電流パルスが発生する度に、電流パルスの発生回数をカウントし、判定信号Ｖｄｅｔ１，Ｖｄｅｔ２に基づいて電流パルスの向きを決定する。次に、デジ

タル処理回路６は、これらの情報に基づいて観測対象の回転速度および回転方向（以下、回転状態と総称する）を判別する。そして、デジタル処理回路６は、回転状態の判別結果を不揮発性メモリ７に記憶する。

[0043] 上記の処理を行うため、時刻ｔ２において処理が開始されると、デジタル処理回路６は、時刻ｔ２から時刻ｔ３までの間でまず不揮発性メモリ７から前の回転状態の情報の読み出す（Ｒｅａｄ）。

[0044] 次の時刻ｔ３からｔ４までの間で、デジタル処理回路６は、読み出した前の回転状態と判定信号Ｖｄｅｔ１，Ｖｄｅｔ２とに基づいて現在の回転状態を判別し、回転状態を更新する（Ｕｐｄａｔｅ）。

[0045] 回転状態の更新が完了した時刻ｔ４において、デジタル処理回路６は、判定信号Ｖｄｅｔ１が有効であれば、電荷量判定回路１０４に活性状態（ハイレベル）の判定タイミング信号Ｖｔｍ１を送信する。

[0046] 活性化された判定タイミング信号Ｖｔｍ１を受けた電荷量判定回路１０４は、この時点で容量素子１０２に溜まっている電荷が判定値以上であるか否かを判定する。電荷量判定回路１０４は、容量素子１０２の電荷量が判定値以上であれば中断信号Ｖｓｔｏｐ１をローレベルにし、容量素子１０２の電荷量が判定値未満であれば中断信号Ｖｓｔｏｐ１をハイレベルにする。ここで、電荷量判定回路１０４の判定値は、不揮発性メモリ７の書き込み処理に必要な電荷量に基づき決定される。

[0047] なお、容量素子１０２の電荷量と容量素子１０２の電圧Ｖｐｌｓ１との関係が予め知られている場合には、上記の判定値として電圧に換算された値を用いてもよい。たとえば、容量素子１０２の静電容量Ｃが電圧Ｖｐｌｓ１によらず一定の場合には、電荷量は、Ｃ×Ｖｐｌｓ１で表される。本実施形態１の電荷量判定回路１０４，２０４では、電圧に換算された判定値が基準電圧Ｖｒｅｆ１，Ｖｒｅｆ２に基づいて定められる。

[0048] また、デジタル処理回路６が判定タイミング信号Ｖｔｍ１を電荷量判定回路１０４に送らずに、電荷量判定回路１０４が、容量素子１０２の電荷量と判定値とを常時比較し、その結果をデジタル処理回路６に常時送信するよう

にしてもよい。この場合、デジタル処理回路６は、回転状態の更新が完了したタイミング（時刻ｔ４）で受信した判定結果を利用する。

[0049] デジタル処理回路６は、中断信号Ｖｓｔｏｐ１がローレベルであれば、その後の処理に必要な電荷が容量素子１０２に溜まっていると判断する。この場合、デジタル処理回路６は、次の時刻ｔ４から時刻ｔ５の間で、更新したデータ（すなわち、回転状態の情報）を不揮発性メモリ７に書き込み（Ｗｒｉｔｅ）、一連の処理を終了する。

[0050] なお、一連の処理が終了した後の時刻ｔ６に、容量素子１０２の電圧Ｖｐｌｓ１が定電圧回路３の動作下限電圧ＶＬ以下になると、定電圧回路３から出力される電源電圧Ｖｄｉｇが減少する。これにより、リセット信号ＲＳＴがハイレベルになり、各種の回路がリセットされる。

[0051] 一方、図３に示すように、時刻ｔ４において中断信号Ｖｓｔｏｐ１がハイレベルの場合には、デジタル処理回路６は、その後の処理に必要な電荷が容量素子１０２に溜まっていないと判断する。この場合、デジタル処理回路６は、更新したデータを不揮発性メモリ７に書き込まずに、中断処理を実行する。

[0052] 判定信号Ｖｄｅｔ２が有効な場合の処理も上記と同様である。この場合、回転状態の更新が完了した時刻ｔ４において、デジタル処理回路６は、電荷量判定回路２０４に活性状態（ハイレベル）の判定タイミング信号Ｖｔｍ２を送信する。判定タイミング信号Ｖｔｍ２に応答して、この時点で容量素子２０２に溜まっている電荷が判定値以上であるか否かを判定する。電荷量判定回路２０４は、容量素子２０２の電荷量が判定値以上であれば中断信号Ｖｓｔｏｐ２をローレベルにし、容量素子２０２の電荷量が判定値未満であれば中断信号Ｖｓｔｏｐ２をハイレベルにする。デジタル処理回路６は、中断信号Ｖｓｔｏｐ２をローレベルであれば、更新したデータを不揮発性メモリ７に書き込み、一連の処理を終了する。一方、デジタル処理回路６は、中断信号Ｖｓｔｏｐ２がハイレベルであれば、更新したデータを不揮発性メモリ７に書き込まない中断処理を実行する。

[0053] 更新データを不揮発性メモリ７に書き込まずに中断処理を実行した場合には、必要なパルス検出が抜けたことになる。このような場合には、たとえば前述の特許第５７６９８７９号公報（特許文献１）に記載されているように、回転位置を訂正する補正アルゴリズムが知られている。これにより、パルス検出が抜けた場合も訂正した回転位置に基づいて数え落とすことなく回転数をカウントできる。さらに、中断処理の際に、エラーが発生したというエラー情報を不揮発性メモリ７に書き込むことが望ましい。エラー情報は、パルス抜けの場合の回転位置の補正の際に有効な情報として用いることができ、補正の精度を向上させることができる。

[0054] 以上のように、全ての処理に必要な電荷が溜まってから処理を開始しなくても、処理の途中で必要な電荷が足りていなかを判断することにより、異常終了することなく処理を完了することができる。

[0055] ［実施の形態１の効果］

以下、図４および図５を参照して、実施の形態１の効果を比較例の場合と対比して説明する。

[0056] 図４は、読み出し、更新、および書き込みの各処理の開始時と終了時において、容量素子１０２，２０２に蓄積されている電荷量を概念的に示す図である。

[0057] 図４において、読み出し処理に必要な電荷量をＲｅａｄと記載し、更新処理に必要な電荷量をＵｐｄａｔｅと記載し、書き込み処理に必要な電荷量をＷｒｉｔｅと記載している。また、処理開始後に発生した電荷量をＣｈａｒｇｅと記載している。

[0058] なお、定電圧回路３の動作下限電圧ＶＬに対応する電荷を使用することはできない。この使用不可電荷は、容量素子１０２，２０２の静電容量と定電圧回路３の動作下限電圧ＶＬとの積で表される。

[0059] 比較例の場合、読み出し、更新、書き込みの全ての処理に必要な電荷が溜まるのを確認してから処理が開始される。この場合、電圧判定回路１０３，２０３の判定電圧ＶＤ１は、（定電圧回路の動作下限電圧）＋（全ての処理

に必要な電荷）×（容量素子の静電容量）で決まり、それ以下には下げられない。

[0060] さらに、比較例の場合において、全ての処理が実行可能な下限の電荷量は、上記の判定電圧ＶＤ１が容量素子１０２，２０２の電圧Ｖｐｌｓ１，Ｖｐｌｓ２のピーク値に等しい場合である。この場合、電圧判定後に供給される電荷はなく、電圧判定後に各処理で電荷が消費されることにより、容量素子１０２，２０２の電圧Ｖｐｌｓ１，Ｖｐｌｓ２は徐々に下降し、全ての処理の完了時点で定電圧回路３の動作下限電圧ＶＬに達する。

[0061] 一方、本実施形態の場合には、電圧判定回路１０３，２０３の判定電圧ＶＤ２は、（定電圧回路の動作下限電圧）＋（読み出しと更新に必要な電荷）×（容量素子の静電容量）で良い。すなわち、書き込み処理に必要な電荷量の電圧換算値ＶＤ３だけ、電圧判定回路１０３，２０３の判定電圧を下げることができる。ただし、書き込み処理まで完了させるためには、処理開始から書き込み処理の開始までに、書き込み処理に必要な電荷が発電素子１から供給される必要がある。書き込み処理に必要な電荷量（Ｃｈａｒｇｅ）が容量素子１０２，２０２に供給されたか否かは、電荷量判定回路１０４，２０４によって判定される。

[0062] なお、本実施形態では、読み出し処理および更新処理が正しく処理されることを前提にしているが、異常終了したとしても問題無い場合には、判定電圧ＶＤ２を定電圧回路３の動作下限電圧ＶＬまで下げることができる。読み出し処理または更新処理の途中で容量素子１０２，２０２の電圧Ｖｐｌｓ１，Ｖｐｌｓ２が動作下限電圧ＶＬ未満になったとしても、デジタル処理回路６内のデータがリセットされるだけであり、不揮発性メモリ７に異常なデータが書き込まれることはない。

[0063] 図５は、容量素子１０２の電圧Ｖｐｌｓ１の時間変化を概念的に示す図である。図５に示す電圧Ｖｐｌｓ１は図４に示す最低限の電荷量よりも大きい電荷量の場合に対応している。

[0064] 破線で示す比較例の場合には、全ての処理が実行可能な電荷量が処理開始

時ｔ２０２に容量素子１０２に蓄えられている。この場合、容量素子１０２の電圧Ｖｐｌｓ１のピーク値は電圧判定回路１０３の判定電圧ＶＤ１以上である。

[0065] 一方、実線で示す本実施形態の場合には、電圧判定回路１０３の判定電圧ＶＤ２を比較例の判定電圧ＶＤ１よりも下げることができる。このため、ピーク値より手前、すなわち発電素子１の発電途中の時刻ｔ２で処理が開始される。この結果、発電電圧のピーク値を下げることができるので、発電素子１としてのコイルに発生する逆電流を抑制できる。

[0066] 以上のとおり、本実施形態のバッテリレス多回転エンコーダＥＮＣ１では、一連の処理の途中で容量素子１０２，２０２の電荷がその後の処理を実行するのに足りているか否かが判断される。これにより、一連の処理の開始を早めることができ、容量素子１０２，２０２の電圧の上昇を抑制できる。この結果、発電素子１としてのコイルに印加される電圧を抑制できるので、コイルに発生する逆電圧を抑制でき、有効な発生電荷を増加させることができる。よって、発電素子の発電能力が比較的低い場合でも、発電パルスの検出の抜けを防止して回転状態を判別できる。

[0067] なお、本実施の形態では、書き込み処理の前に容量素子１０２，２０２の電荷量を判定する例について説明したが、読み出し処理または更新処理の前に電荷量を判定してもよい。ただし、電荷量を判定した以降に発生する電荷は、電荷量の判定で考慮されないため、できるだけ遅いタイミングで電荷量の判定を行うのが望ましい。複数のタイミングで電荷量を判定してもよい。

[0068] ［各種回路の構成例］

以下、図１の基準電圧生成回路１０５，２０５、電圧判定回路１０３，２０３、電荷量判定回路１０４，２０４、選択回路２、定電圧回路３、およびＰＯＲ回路４の構成例について説明する。以下に示す回路構成はあくまで一例であって、これに限定されるものではない。上述した機能を有するものであれば、どのような回路構成であっても構わない。

[0069] （基準電圧生成回路および電圧判定回路）

図６は、図１の基準電圧生成回路１０５および電圧判定回路１０３の構成の一例を示す回路図である。基準電圧生成回路２０５および電圧判定回路２０３の構成も同様である。

[0070] 基準電圧生成回路１０５は、直列接続された複数のダイオード３０１と、ＮＭＯＳ（N-channel Metal-Oxide-Semiconductor）トランジスタ３０２と、抵抗素子３０３～３０５とを備える。図６の場合、複数のダイオード３０１として３個のダイオード３０１Ａ～３０１Ｃが設けられている。

[0071] ＮＭＯＳトランジスタ３０２のドレイン端子は容量素子１０２の高電位側ノード１２０に接続される。ＮＭＯＳトランジスタ３０２のソース端子は直列接続された抵抗素子３０３，３０４を介してグランドＧＮＤに接続される。ＮＭＯＳトランジスタ３０２のゲート端子は、抵抗素子３０５を介して高電位側ノード１２０に接続されるとともに、順方向に直列に接続されたダイオード３０１Ａ～３０１Ｃを介してグランドＧＮＤに接続される。

[0072] 上記の構成によれば、ＮＭＯＳトランジスタ３０２のソース電圧は、高電位側ノード１２０の電圧Ｖｐｌｓ１によらず、ダイオード３０１Ａ～３０１Ｃの順方向電圧に応じて決まる定電圧になる。この一定のソース電圧を抵抗素子３０３，３０４で分圧した分圧電圧が、基準電圧Ｖｒｅｆ１として抵抗素子３０３，３０４の接続ノード３０９から出力される。

[0073] 電圧判定回路１０３は、電圧比較器ＣＭＰ１と、抵抗素子３０６，３０７とを備える。抵抗素子３０６，３０７は、高電位側ノード１２０とグランドＧＮＤとの間に直列に接続される。電圧比較器ＣＭＰ１の非反転入力端子は、抵抗素子３０６，３０７の接続ノード３１０に接続される。電圧比較器ＣＭＰ１の反転入力端子には基準電圧Ｖｒｅｆ１が入力される。

[0074] 上記の構成によれば、電圧比較器ＣＭＰ１は、容量素子１０２の電圧Ｖｐｌｓ１が抵抗素子３０６，３０７によって分圧された分圧電圧と、基準電圧Ｖｒｅｆ１とを比較する。電圧比較器ＣＭＰ１は、電圧Ｖｐｌｓ１の分圧電圧が基準電圧Ｖｒｅｆ１より大きい場合に、判定信号Ｖｄｅｔ１を活性状態にする。

[0075] （電荷量判定回路）

図７は、図１の電荷量判定回路１０４の構成の一例を示す回路図である。図７では、容量素子１０２の電荷量が電圧に比例するとして、電荷量判定回路１０４は、容量素子１０２の電圧Ｖｐｌｓ１の電圧と参照電圧３１７とを比較する。電荷量判定回路２０４の構成も同様である。

[0076] 具体的に、電荷量判定回路１０４は、電圧比較器ＣＭＰ２と、Ｄフリップフロップ３１６と、参照電圧３１７とを備える。電圧比較器ＣＭＰ２の反転入力端子は、容量素子１０２の高電位側ノード１２０に接続される。電圧比較器ＣＭＰ２の非反転入力端子には、参照電圧３１７が入力される。参照電圧３１７は、たとえば、基準電圧Ｖｒｅｆ１から生成される。電圧比較器ＣＭＰ２の比較結果は、Ｄフリップフロップ３１６の入力端子Ｄに入力される。Ｄフリップフロップ３１６の出力端子Ｑから中断信号Ｖｓｔｏｐ１が出力される。また、Ｄフリップフロップ３１６のクロック端子ＣＬＫには判定タイミング信号Ｖｔｍ１が入力され、Ｄフリップフロップ３１６の反転リセット端子ＲＳＴＢには判定信号Ｖｄｅｔ１が入力される。

[0077] 上記の構成によれば、Ｄフリップフロップ３１６は、判定タイミング信号Ｖｔｍ１がハイレベルに活性化されたタイミングで、入力端子Ｄに入力された電圧比較器ＣＭＰ２の比較結果を表す論理値を保持する。Ｄフリップフロップ３１６は、保持した論理値を出力端子Ｑから中断信号Ｖｓｔｏｐ１として出力する。したがって、参照電圧３１７が容量素子１０２の電圧Ｖｐｌｓ１より大きい場合には、ハイレベルの中断信号Ｖｓｔｏｐ１がＤフリップフロップ３１６から出力されることになる。判定信号Ｖｄｅｔ１がハイレベルからローレベルに切り替わったときに、Ｄフリップフロップ３１６がリセットされるので、中断信号Ｖｓｔｏｐ１はローレベルに戻る。

[0078] （選択回路）

図８は、図１の選択回路２の構成の一例を示す回路図である。図８を参照して、選択回路２は、双方向スイッチ３２１，３２２と、フリップフロップを構成するＮＡＮＤ回路３２３，３２４とを備える。

[0079] 双方向スイッチ３２１は、２個のＰＭＯＳ（P-channel Metal-Oxide-Semiconductor）トランジスタ３２１Ａ，３２１Ｂを逆極性に直列に接続することによって構成される。同様に、双方向スイッチ３２２は、２個のＰＭＯＳトランジスタ３２２Ａ，３２２Ｂを逆極性に直列に接続することによって構成される。選択回路２の出力ノード３２０は、双方向スイッチ３２１を介して容量素子１０２の高電位側ノード１２０に接続されるとともに、双方向スイッチ３２２を介して容量素子２０２の高電位側ノード２２０に接続される。

[0080] ＮＡＮＤ回路３２３の第１の入力端子には判定信号Ｖｄｅｔ１が入力される。ＮＡＮＤ回路３２４の第１の入力端子には判定信号Ｖｄｅｔ２が入力される。ＮＡＮＤ回路３２３の出力端子は、ＮＡＮＤ回路３２４の第２の入力端子に接続されるとともに、双方向スイッチ３２１を構成するＰＭＯＳトランジスタ３２１Ａ，３２１Ｂのゲート端子に接続される。ＮＡＮＤ回路３２４の出力端子は、ＮＡＮＤ回路３２３の第２の入力端子に接続されるとともに、双方向スイッチ３２２を構成するＰＭＯＳトランジスタ３２２Ａ，３２２Ｂのゲート端子に接続される。

[0081] 上記の構成によれば、判定信号Ｖｄｅｔ１がハイレベルでありかつ判定信号Ｖｄｅｔ２がローレベルの場合、ＮＡＮＤ回路３２３の出力信号はローレベルになり、ＮＡＮＤ回路３２４の出力信号はハイレベルになる。この結果、双方向スイッチ３２１が導通状態になり、双方向スイッチ３２２が非導通状態になるので、選択回路２の出力ノード３２０からは、容量素子１０２の電圧Ｖｐｌｓ１が出力される。

[0082] 逆に、判定信号Ｖｄｅｔ１がローレベルでありかつ判定信号Ｖｄｅｔ２がハイレベルの場合、ＮＡＮＤ回路３２３の出力信号はハイレベルになり、ＮＡＮＤ回路３２４の出力信号はローレベルになる。この結果、双方向スイッチ３２１が非導通状態になり、双方向スイッチ３２２が導通状態になるので、選択回路２の出力ノード３２０からは、容量素子２０２の電圧Ｖｐｌｓ２が出力される。

[0083] （定電圧回路）

図９は、図１の定電圧回路３の構成の一例を示す回路図である。図９を参照して、定電圧回路３は、ＰＭＯＳトランジスタ３３１、抵抗素子３３２，３３３、差動増幅器ＡＭＰ１、および参照電圧３３４を備える。参照電圧３３４は、基準電圧Ｖｒｅｆ１，Ｖｒｅｆ２を利用して生成されてもよい。

[0084] ＰＭＯＳトランジスタ３３１のソース端子は、選択回路２の出力ノード３２０に接続される。ＰＭＯＳトランジスタ３３１のドレイン端子は、定電圧回路３の出力ノード３３５に接続されるとともに、直列接続された抵抗素子３３２，３３３を介してグランドＧＮＤに接続される。差動増幅器ＡＭＰ１の非反転入力端子は、抵抗素子３３２，３３３の接続ノード３３６に接続される。

[0085] 上記の構成によれば、接続ノード３３６の電圧が参照電圧３３４に等しくなるように負帰還がかかるので、出力ノード３３５から出力される電源電圧Ｖｄｉｇは、電圧Ｖｐｌｓ１／Ｖｐｌｓ２の大きさによらない一定の値になる。

[0086] （ＰＯＲ回路）

図１０は、図１のＰＯＲ回路４の構成の一例を示す回路図である。図１０を参照して、ＰＯＲ回路４は、抵抗素子３４１およびキャパシタ３４２によって構成されるローパスフィルタ３４０と、電圧比較器ＣＭＰ３と、参照電圧３４３とを備える。参照電圧３４３は、基準電圧Ｖｒｅｆ１，Ｖｒｅｆ２を利用して生成されてもよい。

[0087] 図１０に示すように、定電圧回路３から出力された電源電圧Ｖｄｉｇは、ローパスフィルタ３４０を介して電圧比較器ＣＭＰ３の反転入力端子に入力される。参照電圧３４３は電圧比較器ＣＭＰ３の非反転入力端子に入力される。このような構成によれば、電源電圧Ｖｄｉｇが参照電圧３４３に達するとリセット信号ＲＳＴが解除される。ローパスフィルタ３４０は、定電圧回路３から出力される電源電圧Ｖｄｉｇのノイズおよびオーバーシュートを抑制するために設けられている。

[0088] 実施の形態２．

［バッテリレス多回転エンコーダの構成］

図１１は、実施の形態２によるバッテリレス多回転エンコーダＥＮＣ２の回路ブロック図である。図１１のバッテリレス多回転エンコーダＥＮＣ２の半導体装置ＳＤ２は、電荷量判定回路１０４，２０４に代えてピーク判定回路１０６，２０６を備える点で、図１のバッテリレス多回転エンコーダＥＮＣ１の半導体装置ＳＤ１と異なる。電圧判定回路１０３とピーク判定回路１０６とによって判定回路１３０が構成され、電圧判定回路２０３とピーク判定回路２０６とによって判定回路２３０が構成される。

[0089] ピーク判定回路１０６には、容量素子１０２の電圧Ｖｐｌｓ１と、基準電圧生成回路１０５から出力された基準電圧Ｖｒｅｆ１とが入力される。ピーク判定回路１０６は、容量素子１０２の電圧Ｖｐｌｓ１のピーク値が判定電圧ＶＰに達したという第２の判定条件が満たされているか否かを判定し、判定結果を表す判定信号Ｖｐｅａｋ１をデジタル処理回路６に出力する。

[0090] 同様に、ピーク判定回路２０６には、容量素子２０２の電圧Ｖｐｌｓ２と、基準電圧生成回路２０５から出力された基準電圧Ｖｒｅｆ２とが入力される。ピーク判定回路２０６は、容量素子２０２の電圧Ｖｐｌｓ２のピーク値が判定電圧ＶＰに達したという第２の判定条件が満たされているか否かを判定し、判定結果を表す判定信号Ｖｐｅａｋ２をデジタル処理回路６に出力する。

[0091] 図１１のその他の構成は図１と同様であるので、同一または相当する部分には同一の参照符号を付して説明を繰り返さない。

[0092] ［バッテリレス多回転エンコーダの動作］

次に、図１１のバッテリレス多回転エンコーダＥＮＣ２の動作について説明する。図１２は、図１１のバッテリレス多回転エンコーダＥＮＣ２の通常処理の一例を示すタイミングチャートである。また、図１３は、図１１のバッテリレス多回転エンコーダＥＮＣ２の中断処理の一例を示すタイミングチャートである。

[0093] 図１２および図１３のタイミングチャートは実施の形態１の図２および図

３のタイミングチャートにそれぞれ対応しており、ピーク判定回路１０６，２０６によるピーク判定以外の動作は同様になる。実施の形態１において電荷量判定回路１０４，２０４で用いられていた判定タイミング信号Ｖｔｍ１，Ｖｔｍ２は不要である。

[0094] 具体的に、ピーク判定回路１０６は、容量素子１０２の電圧Ｖｐｌｓ１のピーク値が判定電圧ＶＰに達したか否かを、発電素子１による発電の開始から継続して監視する。より詳細には、ピーク判定回路１０６は、容量素子１０２の電圧Ｖｐｌｓ１のピーク値が一度でも判定電圧ＶＰを超えると、出力する判定信号Ｖｐｅａｋ１を活性状態（たとえば、ハイレベル）に維持し、ピーク値が一度も判定電圧ＶＰを超えなければ判定信号Ｖｐｅａｋ１を非活性状態（たとえば、ローレベル）に維持する。

[0095] 実際上は、容量素子１０２の電圧Ｖｐｌｓ１の波形は、発電時に徐々に上昇してピークに達した後、徐々に下降するという上に凸の波形を有している。したがって、ピーク判定回路１０６は、現時点の容量素子１０２の電圧Ｖｐｌｓ１が少なくとも一時的に判定電圧ＶＰを超えると、判定信号Ｖｐｅａｋ１をローレベルからハイレベルに切り替えて、その後、判定信号Ｖｐｅａｋ１をハイレベルに維持すればよい。

[0096] ピーク判定回路２０６の動作も同様である。具体的に、ピーク判定回路２０６は、容量素子２０２の電圧Ｖｐｌｓ２のピーク値が少なくとも一時的に判定電圧ＶＰを超えると、出力する判定信号Ｖｐｅａｋ２を活性状態（たとえば、ハイレベル）に維持し、ピーク値が一度も判定電圧ＶＰを超えなければ判定信号Ｖｐｅａｋ２を非活性状態（たとえば、ローレベル）に維持する。

[0097] デジタル処理回路６は、書き込み処理を開始する前に、ピーク判定回路１０６，２０６から出力される判定信号Ｖｐｅａｋ１，Ｖｐｅａｋ２を監視する。そして、デジタル処理回路６は、判定信号Ｖｐｅａｋ１，Ｖｐｅａｋ２がハイレベルであれば書き込み処理を開始し、ローレベルであれば書き込み処理を実行しない。判定信号Ｖｐｅａｋ１，Ｖｐｅａｋ２がハイレベルであ

るか否かを判定するタイミングは、書き込み処理を開始する直前が望ましい。より早いタイミングで判定が行われ、判定後に容量素子１０２，２０２の電圧Ｖｐｌｓ１，Ｖｐｌｓ２がピークに達した場合には、判定からピークに達するまでの間に発電素子１で生成された電荷が考慮されなくなるという不都合がある。

[0098] 図１２の場合には、時刻ｔ２１において容量素子１０２の電圧Ｖｐｌｓ１が判定電圧ＶＰに達したため、ピーク判定回路１０６は、判定信号Ｖｐｅａｋ１をローレベルからハイレベルに切り替える。判定信号Ｖｐｅａｋ１は、その後、時刻ｔ６において容量素子１０２の電圧Ｖｐｌｓ１が定電圧回路３の動作下限電圧ＶＬに低下するまでハイレベルで維持される。

[0099] デジタル処理回路６は、更新処理の終了後、書き込み処理を開始する直前の時刻ｔ４において、判定信号Ｖｐｅａｋ１がハイレベルであることを確認すると、書き込み処理を開始する。

[0100] 図１３の場合には、発電素子１による発電が開始された後、容量素子１０２の電圧Ｖｐｌｓ１は一度も判定電圧ＶＰに達しないため、ピーク判定回路１０６は、判定信号Ｖｐｅａｋ１をロー（Low）レベルに維持する。

[0101] デジタル処理回路６は、更新処理の終了後、書き込み処理を開始する直前の時刻ｔ４において、判定信号Ｖｐｅａｋ１がローレベルあることを確認すると、書き込み処理を開始せずに、中断処理を実行する。

[0102] ［効果と変形例］

容量素子１０２，２０２の電圧Ｖｐｌｓ１，Ｖｐｌｓ２の波形が滑らかに上昇してピークに到達した後、滑らかに下降する波形の場合には、上記の方法で実施の形態１と同様の効果を得ることができる。しかしながら、電圧Ｖｐｌｓ１，Ｖｐｌｓ２の波形が増減を繰り返す波形の場合には、ピーク値だけで判定しても一連の処理を完了させるのに十分な発電量であるか否か判定できない可能性がある。そこで、デジタル処理回路６は、書き込みエラーを検出する機構を備えているのが望ましい。

[0103] 図１４は、書き込みエラーを検出する機構の一例を説明するための図であ

る。書き込み処理の際に不揮発性メモリ７に書き込まれるデータの最初と最後にエラー検出用のビットが設けられる。デジタル処理回路６は、偶数（２ｎ）回目の発電パルスの発生時における書き込みデータの最初と最後のビットに“０”を書き込む。デジタル処理回路６は、奇数（２ｎ＋１）回目の発電パルスの発生時における書き込みデータの最初と最後のビットに“１”を書き込む。

[0104] 図１４（Ａ）を参照して、書き込みが正常に行われた場合には、２ｎ＋１回目の発電パルスの発生時における読み出しデータの最初と最後のビットは“０”になり、２（ｎ＋１）回目の発電パルスの発生時における読み出しデータの最初と最後のビットは“１”になる。

[0105] 図１４（Ｂ）を参照して、２ｎ＋１回目の書き込みの途中で書き込み動作が止まった場合、書き込みデータの最初のエラー検出用のビットとして“１”が書き込まれるが、書き込みデータの最後のエラー検出用のビットとして“１”は書き込まれない。このため、２（ｎ＋１）回目の発電パルスの発生時における読み出しデータの最初と最後のビットが不一致になる。これにより、書き込み動作が最後まで完了していないことを判別できるので、エラー処理を実行できる。

[0106] なお、上記の書き込みエラーの検出機構は、想定外の電荷消費が発生するような事態に備えて安全のために実施の形態１の半導体装置ＳＤ１のデジタル処理回路６に組み込まれていてもよい。

[0107] ［ピーク判定回路の構成例］

以下、図１１のピーク判定回路１０６，２０６の構成例について説明する。以下に示す回路構成はあくまで一例であって、これに限定されるものではない。上述した機能を有するものであれば、どのような回路構成であっても構わない。

[0108] 図１５は、図１１のピーク判定回路１０６の構成の一例を示す回路図である。図１５に示すピーク判定回路１０６では、電圧比較器の閾値がヒステリシスを有する。ピーク判定回路２０６も同様の構成である。

[0109] 具体的に、ピーク判定回路２０６は、抵抗素子３５０，３５１，３５２と、電圧比較器ＣＭＰ４と、ＮＯＴ回路３５４と、ＰＭＯＳトランジスタ３５３とを含む。抵抗素子３５０，３５１，３５２は、この順序で容量素子１０２の高電位側ノード１２０とグランドＧＮＤとの間に直列に接続される。電圧比較器ＣＭＰ４の非反転入力端子は抵抗素子３５１と抵抗素子３５２の接続ノード３５６に接続される。電圧比較器ＣＭＰ４の反転入力端子には基準電圧Ｖｒｅｆ１が入力される。ＰＭＯＳトランジスタ３５３は抵抗素子３５０と並列に接続される。電圧比較器ＣＭＰ４の出力端子は、ピーク判定回路１０６の出力ノード３５７に接続されるとともに、ＮＯＴ回路３５４を介してＰＭＯＳトランジスタ３５３のゲート端子に接続される。

[0110] 上記の構成によれば、電圧Ｖｐｌｓ１が比較的小さい場合には、電圧比較器ＣＭＰ４の出力はローレベルであり、ＰＭＯＳトランジスタ３５３はオフ状態である。ここで、抵抗素子３５０，３５１，３５２の抵抗値をそれぞれｒ０，ｒ１，ｒ２とすると、電圧比較器ＣＭＰ４は、電圧Ｖｐｌｓ１を第１の閾値Ｖｒｅｆ１×（ｒ０＋ｒ１＋ｒ２）／ｒ２と比較する。

[0111] 次に、電圧Ｖｐｌｓ１が上記の第１の閾値を超えると、電圧比較器ＣＭＰ４の出力がハイレベルになり、ＰＭＯＳトランジスタ３５３はオン状態になる。この場合、電圧比較器ＣＭＰ４は、電圧Ｖｐｌｓ１を第２の閾値Ｖｒｅｆ１×（ｒ１＋ｒ２）／ｆ２と比較する。第２の閾値は第１の閾値よりも小さいので、電圧比較器ＣＭＰ４の出力がハイレベルの状態が維持される。同様の効果は、電圧比較器ＣＭＰ４の出力にラッチ回路を付加することによっても得られる。

[0112] 図１６は、図１１のピーク判定回路１０６の構成の他の一例を示す回路図である。図１６のピーク判定回路１０６は、ピーク検波回路によって電圧Ｖｐｌｓ２のピークの高さを検出し、検出されたピークの高さを参照電圧と比較する。ピーク判定回路２０６も同様の構成である。

[0113] 具体的に、ピーク判定回路１０６は、ピーク検波回路３６０と、電圧比較器ＣＭＰ５と、参照電圧３６４とを含む。ピーク検波回路３６０は、ダイオ

ード３６１と、ＮＭＯＳトランジスタ３６２と、キャパシタ３６３とを含む。参照電圧３６４は、基準電圧Ｖｒｅｆ１，Ｖｒｅｆ２を利用して生成されてもよい。

[0114] ダイオード３６１のアノードは、容量素子１０２の高電位側ノード１２０に接続され、ダイオード３６１のカソードは、キャパシタ３６３を介してグランドＧＮＤに接続される。この構成により、電圧Ｖｐｌｓ１がピークに達するまでの間は、電圧Ｖｐｌｓ１がキャパシタ３６３に保持される。ＮＭＯＳトランジスタ３６２のゲート端子にはリセット信号ＲＳＴ１が入力されることにより、キャパシタ３６３の電圧がリセットされる。電圧比較器ＣＭＰ５は、キャパシタ３６３の電圧と参照電圧３６４とを比較し、キャパシタ３６３の電圧が参照電圧３６４を超えた場合に判定信号Ｖｐｅａｋ１をハイレベルにする。

[0115] 実施の形態３．

［バッテリレス多回転エンコーダの構成］

図１７は、実施の形態３によるバッテリレス多回転エンコーダＥＮＣ３の回路ブロック図である。図１７のバッテリレス多回転エンコーダＥＮＣ３の半導体装置ＳＤ３は、以下の点で図１のバッテリレス多回転エンコーダＥＮＣ１の半導体装置ＳＤ１と異なる。

[0116] まず、選択回路２、電圧判定回路１０３、電荷量判定回路１０４、および基準電圧生成回路１０５が共通に接続される接続ノード１２１と、容量素子１０２の高電位側ノード１２０との間に昇圧回路１０７が設けられる。同様に、選択回路２、電圧判定回路２０３、電荷量判定回路２０４、および基準電圧生成回路２０５が共通に接続される接続ノード２２１と、容量素子２０２の高電位側ノード２２０との間に昇圧回路２０７が設けられる。

[0117] さらに、上記の接続ノード１２１とグランドＧＮＤとの間に別の容量素子１０８が接続される。同様に、上記の接続ノード２２１とグランドＧＮＤとの間に別の容量素子２０８が接続される。

[0118] 昇圧回路１０７は、容量素子１０２の電圧Ｖ１を昇圧することにより電圧

Ｖｐｌｓ１を生成する。電圧Ｖｐｌｓ１は電荷として容量素子１０８に蓄えられる。定電圧回路３は、容量素子１０８の電圧Ｖｐｌｓ１から電源電圧Ｖｄｉｇを生成する。同様に、昇圧回路２０７は、容量素子２０２の電圧Ｖ２を昇圧することにより電圧Ｖｐｌｓ２を生成する。電圧Ｖｐｌｓ２は電荷として容量素子２０８に蓄えられる。定電圧回路３は、容量素子２０８の電圧Ｖｐｌｓ２から電源電圧Ｖｄｉｇを生成する。

[0119] 昇圧回路１０７，２０７の構成は特に限定されない。たとえば、電流を電圧に変換するためのバッファアンプを介して、絶縁型または非絶縁型のＤＣ／ＤＣコンバータが接続される構成であってもよい。

[0120] 図１７のその他の構成は図１の場合と同様であるので、同一または相当する部分には同一の参照符号を付して説明を繰り返さない。なお、図１７の昇圧回路１０７，２０７および容量素子１０８，２０８は、図１１に示す実施の形態２のバッテリレス多回転エンコーダＥＮＣ２の半導体装置ＳＤ２と組み合わせることもできる。

[0121] ［バッテリレス多回転エンコーダの動作］

図１８は、図１７のバッテリレス多回転エンコーダＥＮＣ３の通常処理の一例を示すタイミングチャートである。図１８のタイミングチャートは、容量素子１０２の電圧Ｖ１を昇圧することによって得られた電圧Ｖｐｌｓ１が定電圧回路３を駆動するのに用いられる点で、図２のタイミング図と異なるが、図１８のその他の点は図２の場合と同様である。図１８において、図２と同一または相当する部分には同一の参照符号が付されている。

[0122] 具体的に、昇圧された電圧Ｖｐｌｓ１が電圧判定回路１０３の判定電圧ＶＤに到達したことによって、定電圧回路３が動作を開始する。これによって、デジタル処理回路６は読み出し処理および更新処理を実行する。

[0123] さらに、判定タイミング信号Ｖｔｍ１がローレベルからハイレベルに切り替わるタイミング（時刻ｔ４）において、電荷量判定回路１０４は、昇圧された電圧Ｖｐｌｓ１に対応する電荷量が判定値以上であるか否かを判定する。この結果、昇圧された電圧Ｖｐｌｓ１に対応する電荷量が判定値以上の場

合に、デジタル処理回路６は書き込み処理を実行して一連の処理を完了する。一方、昇圧された電圧Ｖｐｌｓ１に対応する電荷量が判定値未満の場合には、図３を参照して説明したように、デジタル処理回路６は更新したデータを不揮発性メモリ７に書き込まずに中断処理を実行する。

[0124] このように、発電素子１に直接的に接続された容量素子１０２，２０２の電圧Ｖ１，Ｖ２ではなく、その電圧を昇圧した電圧Ｖｐｌｓ１，Ｖｐｌｓ２が、読み出し処理を開始するのに十分な電圧であるか否かが判定され、書き込み処理を実行するのに十分な電荷量に対応しているか否かが判定される。

[0125] ［実施の形態３の効果］

上記のとおり、実施の形態３のバッテリレス多回転エンコーダＥＮＣ３によれば、発電素子１に直接接続された容量素子１０２，２０２の電圧Ｖ１，Ｖ２が低くても、定電圧回路３を駆動するのに十分な昇圧電圧Ｖｐｌｓ１，Ｖｐｌｓ２が得られ、デジタル処理回路６が処理を開始できるようになる。この結果、発電素子１に印加される電圧を低く抑えることができるので、発電素子１に発生する逆方向電流が抑制され、より多くの電荷を利用できる。

[0126] また、昇圧回路１０７，２０７の出力側の容量素子１０８，２０８の静電容量を小さくしても、発電素子１に印加される電圧は大きくならない。このため、容量素子１０８，２０８の静電容量を小さくできる。これにより、図４を参照して説明した「使用不可電荷」、すなわち（容量素子の静電容量）×（定電圧回路の動作下限電圧）を減らすことができるので、より多くの電荷を使用できるようになる。ただし、昇圧回路１０７，２０７の電力変換効率によっては、昇圧回路１０７，２０７でかなりの電荷を失うことになる点に注意しなければならない。したがって、上記の効果による使用可能な電荷量の増加分が昇圧回路１０７，２０７での電荷の減少分よりも大きければ、発電素子１で生成された電荷をより効率的に使用できる。

[0127] 実施の形態４．

［バッテリレス多回転エンコーダの構成］

図１９は、実施の形態４によるバッテリレス多回転エンコーダＥＮＣ４の

回路ブロック図である。実施の形態４では、容量素子を用いた簡易的な昇圧回路の例が示されている。

[0128] 具体的に、図１９のバッテリレス多回転エンコーダＥＮＣ４の半導体装置ＳＤ４は、別の容量素子１０９，２０９と可変電圧器１１０，２１０とをさらに含む点で図１のバッテリレス多回転エンコーダＥＮＣ１の半導体装置ＳＤ１と異なる。

[0129] 容量素子１０９の一端は容量素子１０２の高電位側ノード１２０に接続され、容量素子１０９の他端は可変電圧器１１０を介してグランドＧＮＤに接続される。すなわち、容量素子１０９および可変電圧器１１０の直列接続体は容量素子１０２と並列に接続される。同様に、容量素子２０９の一端は容量素子２０２の高電位側ノード２２０に接続され、容量素子２０９の他端は可変電圧器２１０を介してグランドＧＮＤに接続される。すなわち、容量素子２０９および可変電圧器２１０の直列接続体は容量素子２０２と並列に接続される。

[0130] 可変電圧器１１０は、デジタル処理回路６から受けた昇圧信号Ｖｕｐ１が活性状態（たとえば、ハイレベル）になると、出力電圧を増加させる。同様に、可変電圧器２１０は、デジタル処理回路６から受けた昇圧信号Ｖｕｐ２が活性状態（たとえば、ハイレベル）になると、出力電圧を増加させる。

[0131] 図１９のその他の構成は図１の場合と同様であるので、同一または相当する部分には同一の参照符号を付して説明を繰り返さない。なお、図１９の容量素子１０９，２０９および可変電圧器１１０，２１０は、図１１に示す実施の形態２のバッテリレス多回転エンコーダＥＮＣ２の半導体装置ＳＤ２と組み合わせることもできる。

[0132] ［バッテリレス多回転エンコーダの動作］

図２０は、図１９のバッテリレス多回転エンコーダＥＮＣ４の通常処理の一例を示すタイミングチャートである。図２０のタイミングチャートは図２の実施の形態１の場合のタイミングチャートに対応するものであるので、対応する部分にはついては図２と同じ参照符号が付されている。

[0133] 実施の形態１の場合と同様に、発電素子１において電流パルスが発生すると、その電流パルスの向きと整流回路１０１，２０１の働きによって選択的に電流の流れる経路が決まる。整流回路１０１が有効な向きに電流が流れた場合は、容量素子１０２，１０９に電荷が供給されて、高電位側ノード１２０の電圧Ｖｐｌｓ１が上昇する。このとき、可変電圧器１１０の出力電圧は、ＧＮＤレベルもしくは低電圧に保たれる。

[0134] 時刻ｔ１において、高電位側ノード１２０の電圧Ｖｐｌｓ１が判定電圧ＶＤに達すると、実施の形態１の場合と同様に電圧判定回路１０３は、判定信号Ｖｄｅｔ１をローレベルからハイレベルに切り替える。これにより、選択回路２は電圧Ｖｐｌｓ１を定電圧回路３に供給し、定電圧回路３は供給された電圧Ｖｐｌｓ１から電源電圧Ｖｄｉｇを生成する。

[0135] 時刻ｔ２に電源電圧Ｖｄｉｇが規定の電圧に達したことによってリセット信号ＲＳＴが解除されると、実施の形態１の場合と同様にデジタル処理回路６は、一連の処理（読み出し、更新、書き込み）を開始する。

[0136] デジタル処理回路６は、電荷量判定回路１０４に送信する判定タイミング信号Ｖｔｍ１をローレベルからハイレベルに切り替える時刻ｔ４よりも前の時刻ｔ３１に、昇圧信号Ｖｕｐ１をローレベルからハイレベルに切り替える。これにより、可変電圧器１１０の出力電圧が上昇し、この出力電圧の上昇によって高電位側ノード１２０の電圧Ｖｐｌｓ１が増加するので、デジタル処理回路６によって処理可能な電荷量を増加させることができる。

[0137] 次の時刻ｔ４において、デジタル処理回路６は判定タイミング信号Ｖｔｍ１をローレベルからハイレベルに切り替える。判定タイミング信号Ｖｔｍ１に応答して、電荷量判定回路１０４は、高電位側ノード１２０の電圧Ｖｐｌｓ１に対応する電荷量が判定値以上であるか否かを判定する。この結果、電圧Ｖｐｌｓ１に対応する電荷量が判定値以上の場合に、デジタル処理回路６は書き込み処理を実行して一連の処理を完了する。一方、電圧Ｖｐｌｓ１に対応する電荷量が判定値未満の場合には、図３を参照して説明したように、デジタル処理回路６は更新したデータを不揮発性メモリ７に書き込まずに中

断処理を実行する。

[0138] 以上、整流回路１０１が有効になる方向に電流パルスが流れた場合について説明したが、整流回路２０１が有効になる方向に電流パルスが流れた場合も半導体装置ＳＤ４の動作は同様である。

[0139] また、上記では、デジタル処理回路６が昇圧信号Ｖｕｐ１を出力することにより可変電圧器１１０が出力電圧の切り替えを行う場合について説明したが、デジタル処理回路６以外の他の回路が昇圧信号Ｖｕｐ１を出力してもよい。

[0140] ［実施の形態４の効果］

以下、可変電圧器１１０の出力電圧の増加によって、処理可能な電荷量をどの程度増加させることができるかについて説明する。以下の説明は、整流回路２０１が有効になることによって容量素子２０２，２０９に電荷が蓄積される場合に、可変電圧器２１０の出力電圧を増加させる場合も同様である。

[0141] 可変電圧器１１０の出力電圧の上昇分をΔＶとし、容量素子１０２の静電容量をＣ１０２とし、容量素子１０９の静電容量をＣ１０９とすれば、高電位側ノード１２０の電圧Ｖｐｌｓ１の上昇分ΔＶｐｌｓ１は、

ΔＶｐｌｓ１＝Ｃ１０９×ΔＶ／（Ｃ１０２＋Ｃ１０９）　…(1)

で表される。この高電位側ノード１２０の電圧の上昇分ΔＶｐｌｓ１は、デジタル処理回路６が処理に使える電荷がΔＶｐｌｓ１×（Ｃ１０２＋Ｃ１０９）だけ増えたことを意味している。

[0142] ［可変電圧器１１０，２１０の構成例］

以下、図１９の可変電圧器１１０，２１０の構成例について説明する。以下に示す回路構成はあくまで一例であって、これに限定されるものではない。上述した機能を有するものであれば、どのような回路構成であっても構わない。

[0143] 図２１は、図１９の可変電圧器１１０の構成の一例を示す回路図である。図２１には、図１９の容量素子１０２，１０９も示されている。可変電圧器

２１０の構成も同様である。

[0144] 具体的に、可変電圧器１１０は、ＮＭＯＳトランジスタ３７０と、電圧バッファ３７１と、抵抗素子３７２，３７３とを含む。電圧バッファ３７１の出力端子は、容量素子１０９を介して容量素子１０２の高電位側ノード１２０に接続される。図２２を参照して後述するように、電圧バッファ３７１の電源端子には容量素子１０２の電圧Ｖｐｌｓ１と異なる電圧Ｖｂｕｆが供給される。電圧バッファ３７１の入力端子は、抵抗素子３７２を介して高電位側ノード１２０に接続されるとともに、抵抗素子３７３を介してグランドＧＮＤに接続される。さらに、抵抗素子３７３と並列にＮＭＯＳトランジスタ３７０が接続される。ＮＭＯＳトランジスタ３７０のゲート端子には昇圧信号Ｖｕｐ１の反転信号（／Ｖｕｐ１）が入力される。

[0145] 図２２は、図２１の電圧バッファ３７１の電源端子への電圧Ｖｂｕｆの供給方法の一例を説明するための図である。図２２に示すように、発電素子１に接続された容量素子１０２，２０２とは別に容量素子４０２が設けられる。容量素子１０２の高電位側ノード２２０と容量素子４０２の高電位側ノード４２０との間にスイッチ３８０が接続され、容量素子２０２の高電位側ノード２２０と容量素子４０２の高電位側ノード４２０との間にスイッチ３８１が接続される。容量素子１０２，２０２，４０２の低電位側ノードはグランドＧＮＤに接続される。

[0146] デジタル処理回路６は、容量素子１０２に蓄積された電荷を用いて一連の処理を実行した場合には、一連の処理の終了後に対応するスイッチ３８０を一定期間オンすることにより、処理で残った残電荷を容量素子４０２に移動させる。同様に、デジタル処理回路６は、容量素子２０２に蓄積された電荷を用いて一連の処理を実行した場合には、一連の処理の終了後に対応するスイッチ３８１を一定期間オンすることにより、処理で残った残電荷を容量素子４０２に移動させる。初期状態では、容量素子４０２に電荷は存在しないが、連続動作を行えば容量素子４０２に電荷を保持できる。容量素子４０２に発生した電圧Ｖｂｕｆを電圧バッファ３７１の電源電圧として用いること

により、残電荷を再利用できる。

[0147] なお、容量素子４０２は、容量素子１０２，２０２に代えて容量素子１０９，２０９とスイッチを介して接続されていてもよいし、容量素子１０２，２０２と容量素子１０９，２０９との両方にスイッチを介して接続されていてもよい。同様に、図１７の半導体装置ＳＤ３においても、容量素子１０２，２０２と容量素子１０８，２０８との少なくとも一方と一時的に接続されるように構成された残電荷の蓄積用の容量素子４０２を設けてもよい。この場合、図１７の昇圧回路１０７，２０７は、容量素子４０２の電圧を電源電圧として動作する。

[0148] 上記の可変電圧器１１０の構成によれば、昇圧信号Ｖｕｐ１がローレベルのとき、ＮＭＯＳトランジスタ３７０がオン状態になり、これにより、電圧バッファ３７１の入力端子がグランド電位になり、容量素子１０９の低電位側ノードがグランドレベルになる。この場合、容量素子１０２および容量素子１０９に発電素子１によって発生した電荷が蓄積される。

[0149] 昇圧信号Ｖｕｐ１がハイレベルになると、ＮＭＯＳトランジスタ３７０がオフ状態になり、これにより、電圧バッファ３７１の入力端子の電圧は、容量素子１０２の電圧を抵抗素子３７２，３７３で分圧した分圧電圧まで上昇する。この結果、容量素子１０２の電圧を抵抗素子３７２，３７３で分圧した分圧電圧が、電圧バッファ３７１を介して容量素子１０９の電圧に加算される。

[0150] 実施の形態５．

［バッテリレス多回転エンコーダの構成］

図２３は、実施の形態５によるバッテリレス多回転エンコーダＥＮＣ５の回路ブロック図である。実施の形態５は、実施の形態４の変形例であり、発電素子１の発電の終了後に可変電圧器１１０，２１０が出力電圧を切り替えるように構成されている点に特徴がある。

[0151] 具体的に、図２３のバッテリレス多回転エンコーダＥＮＣ５の半導体装置ＳＤ５は、容量素子１０２の高電位側ノード１２０と容量素子１０９の高電

位側ノード１２２との間に電流判定回路１１１をさらに備え、かつ容量素子２０２の高電位側ノード２２０と容量素子２０９の高電位側ノード２２２との間に電流判定回路２１１をさらに備える点で図１のバッテリレス多回転エンコーダＥＮＣ１の半導体装置ＳＤ１と異なる。

[0152] 電流判定回路１１１は、容量素子１０２の高電位側ノード１２０と容量素子１０９の高電位側ノード１２２との間に流れる電流の有無を判定する。電流判定回路１１１は、この電流がゼロになった後に可変電圧器１１０の出力電圧を増加させるように、制御信号を可変電圧器１１０に出力する。

[0153] 一例として、電流判定回路１１１は、抵抗素子１１１Ａと電圧比較器１１１Ｂとを含む。抵抗素子１１１Ａは、容量素子１０２の高電位側ノード１２０と容量素子１０９の高電位側ノード１２２との間に接続される。電圧比較器１１１Ｂは、抵抗素子１１１Ａの両端に生じる電圧を比較することにより、抵抗素子１１１Ａに生じる電圧がゼロであるか否かを判定する。なお、電流判定回路１１１の構成は、このような構成に限定されるものではない。

[0154] 同様に、電流判定回路２１１は、容量素子２０２の高電位側ノード２２０と容量素子２０９の高電位側ノード２２２との間に流れる電流の有無を判定する。電流判定回路２１１は、この電流がゼロになった後に可変電圧器２１０の出力電圧を増加させるように、制御信号を可変電圧器２１０に出力する。

[0155] 一例として、電流判定回路２１１は、抵抗素子２１１Ａと電圧比較器２１１Ｂとを含む。抵抗素子２１１Ａは、容量素子２０２の高電位側ノード２２０と容量素子２０９の高電位側ノード２２２との間に接続される。電圧比較器２１１Ｂは、抵抗素子２１１Ａの両端に生じる電圧を比較することにより、抵抗素子２１１Ａに生じる電圧がゼロであるか否かを判定する。なお、電流判定回路２１１の構成は、このような構成に限定されるものではない。

[0156] 図２３のその他の構成は図１の場合と同様であるので、同一または相当する部分には同一の参照符号を付して説明を繰り返さない。なお、図２３の容量素子１０９，２０９、可変電圧器１１０，２１０、および電流判定回路１

１１，２１１は、図１１に示す実施の形態２のバッテリレス多回転エンコーダＥＮＣ２の半導体装置ＳＤ２と組み合わせることもできる。

[0157] ［バッテリレス多回転エンコーダの動作］

図２４は、図２３のバッテリレス多回転エンコーダＥＮＣ５の通常処理の一例を示すタイミングチャートである。

[0158] 図２４のタイミングチャートは、実施の形態４の図２０のタイミングチャートに対応するものであるが、デジタル処理回路６から出力される昇圧信号Ｖｕｐ１に代えて、電流判定回路１１１の判定結果を表す出力信号が用いられる点で図２０のタイミングチャートと異なる。図２４のその他の点は、図２０と同様であるので、同一または相当する部分には同一の参照符号を付して説明を繰り返さない。

[0159] 発電素子１の発電中に可変電圧器１１０，２１０が昇圧すると、発電素子１に印加される電圧が上昇するので、逆方向電流によって発電が阻害されることになる。これを防止するために、実施の形態５では、発電素子１の発電が終わってから可変電圧器１１０，２１０が昇圧する。具体的に、電流判定回路１１１は、容量素子１０２の高電位側ノード１２０から容量素子１０９の高電位側ノード１２２の方向に流れる電流がゼロになることを検出することによって発電素子１の発電の終了を判定する。

[0160] 図２４の場合には、電流判定回路１１１は、容量素子１０２の高電位側ノード１２０から容量素子１０９の高電位側ノード１２２の方向に流れる電流を検出している場合に、ハイレベルの信号を出力する。電流判定回路１１１は、当該電流がゼロになるとローレベルの信号を出力する。可変電圧器１１０は、電流判定回路１１１の出力がハイレベルからローレベルに切り替わる時刻ｔ３１に、出力電圧を上昇させる。

[0161] ［実施の形態５の効果］

以上のとおり、実施の形態５のバッテリレス多回転エンコーダＥＮＣ５によれば、発電素子１の発電が終わった後に可変電圧器１１０，２１０の出力電圧が上昇する。したがって、高電位側ノード１２０，２２０の電圧増加に

起因して生じる発電素子１の逆方向電流の増加を抑えた上で、実施の形態４の場合と同様にデジタル処理回路６での処理に用いることができる有効電荷量を増加させることができる。

[0162] 今回開示された実施の形態はすべての点で例示であって制限的なものでないと考えられるべきである。この出願の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0163] １　発電素子、２　選択回路、３　定電圧回路、４　ＰＯＲ回路、５　発振回路、６　デジタル処理回路、７　不揮発性メモリ回路、１０１，２０１　整流回路、１０２，１０８，１０９，２０２，２０８，２０９　容量素子、１０３，２０３　電圧判定回路、１０４，２０４　電荷量判定回路、１０５，２０５　基準電圧生成回路、１０６，２０６　ピーク判定回路、１０７，２０７　昇圧回路、１１０，２１０　可変電圧器、１１１，２１１　電流判定回路、１２０，１２２，２２０，２２２　高電位側ノード、１３０，２３０　判定回路、ＥＮＣ１～ＥＮＣ５　バッテリレス多回転エンコーダ、ＧＮＤ　グランド、ＲＳＴ　リセット信号、ＳＤ１～ＳＤ５　半導体装置。

請求の範囲

[請求項1] 発電素子が発生する電流パルスによって動作する半導体装置であって、

前記電流パルスによって一連の処理を実行する処理回路と、

前記発電素子の発電量が十分か否かを判定する判定回路とを備え、

前記判定回路は、前記一連の処理の開始前かつ前記発電素子による前記電流パルスの発生中に第１の判定条件が満たされているか否かを判定し、前記一連の処理の実行中に第２の判定条件が満たされているか否かを判定し、

前記処理回路は、前記第１の判定条件が満たされていれば前記一連の処理を開始し、前記第２の判定条件が満たされていなければ前記一連の処理を中断する、半導体装置。

[請求項2] 前記半導体装置は、前記電流パルスを蓄積する第１の容量素子をさらに備え、

前記処理回路は、前記第１の容量素子の高電位側ノードの電圧によって前記一連の処理を実行する、請求項１に記載の半導体装置。

[請求項3] 前記半導体装置は、

第１の容量素子と、

前記電流パルスを蓄積する第２の容量素子と、

前記第２の容量素子の電圧を昇圧して前記第１の容量素子に出力する昇圧回路とをさらに備え、

前記処理回路は、前記第１の容量素子の高電位側ノードの電圧によって前記一連の処理を実行する、請求項１に記載の半導体装置。

[請求項4] 前記半導体装置は、第３の容量素子をさらに備え、

前記第３の容量素子は前記一連の処理の終了後に前記第１の容量素子および前記第２の容量素子の少なくとも一方に一時的に接続されるように構成され、これにより、前記少なくとも一方の容量素子の残電荷が前記第３の容量素子に移動し、

前記昇圧回路は、前記第３の容量素子の電圧を電源電圧として動作する、請求項３に記載の半導体装置。

[請求項5] 前記半導体装置は、

前記電流パルスを蓄積する第１の容量素子および第２の容量素子と、

前記第１の容量素子の低電位側ノードとグランドとの間に接続された可変電圧器とをさらに備え、

前記可変電圧器の出力電圧は、前記第１の判定条件の判定後かつ前記第２の判定条件の判定前に増加し、

前記処理回路は、前記第１の容量素子の高電位側ノードの電圧によって前記一連の処理を実行する、請求項１に記載の半導体装置。

[請求項6] 前記第１の容量素子の高電位側ノードと前記第２の容量素子の高電位側ノードとの間に流れる電流の有無を判定する電流判定回路をさらに備え、

前記可変電圧器の出力電圧は、前記電流判定回路によって前記第１の容量素子の高電位側ノードと前記第２の容量素子の高電位側ノードとの間に流れる電流がゼロになったと判定されたときに増加する、請求項５に記載の半導体装置。

[請求項7] 前記半導体装置は、第３の容量素子をさらに備え、

前記第３の容量素子は、前記一連の処理の終了後に前記第１の容量素子および前記第２の容量素子の少なくとも一方に一時的に接続されるように構成され、これにより、前記少なくとも一方の容量素子の残電荷が前記第３の容量素子に移動し、

前記可変電圧器は、前記第３の容量素子の電圧を電源電圧として動作する、請求項５または６に記載の半導体装置。

[請求項8] 前記第１の判定条件が満たされた場合に、前記第１の容量素子の高電位側ノードの電圧から一定の電源電圧を生成する定電圧回路をさらに備え、

前記処理回路は、前記電源電圧によって動作する、請求項２～７のいずれか１項に記載の半導体装置。

[請求項9] 前記第１の判定条件は、前記第１の容量素子の高電位側ノードの電圧が第１の判定値以上であることを含む、請求項２～８のいずれか１項に記載の半導体装置。

[請求項10] 前記第２の判定条件は、前記第１の容量素子に蓄えられている電荷量が第２の判定値以上であることを含む、請求項９に記載の半導体装置。

[請求項11] 前記第２の判定条件は、前記第１の容量素子の高電位側ノードの電圧のピーク値が第２の判定値以上であることを含む、請求項９に記載の半導体装置。

[請求項12] 前記第２の判定条件は、前記第１の容量素子の高電位側ノードの電圧が第２の判定値を少なくとも一時的に超えることを含む、請求項９に記載の半導体装置。

[請求項13] 前記一連の処理は、第１の処理と前記第１の処理の完了後に実行される第２の処理とを含み、

前記第１の判定値は、前記第１の処理を完了するのに必要な発電量に基づき、

前記第２の判定値は、前記第２の処理を完了するのに必要な発電量に基づき、

前記処理回路は、前記第１の処理の完了後に前記第２の判定条件が満たされていなければ、前記第２の処理を実行しない、請求項１０～１２のいずれか１項に記載の半導体装置。

[請求項14] 前記半導体装置は、不揮発性メモリをさらに備え、

前記第１の処理は、前記不揮発性メモリからデータを読み出す処理と、前記読み出したデータを更新する処理とを含み、

前記第２の処理は、前記更新されたデータを前記不揮発性メモリに書き込む処理を含む、請求項１３に記載の半導体装置。

[請求項15] 前記処理回路は、前記第１の処理の完了後に前記第２の判定条件が満たされていなければ、エラー情報を前記不揮発性メモリに書き込む、請求項１４に記載の半導体装置。

[請求項16] 前記不揮発性メモリに書き込まれる前記更新されたデータの最初と最後にエラー検出用のビットを含む、請求項１４または１５に記載の半導体装置。

[請求項17] 回転軸のまわりに位相角をずらして配置された前記発電素子としての複数の発電素子と、

前記複数の発電素子の各々が発生する電流パルスによって動作する請求項１～１６のいずれか１項に記載の半導体装置とを備え、

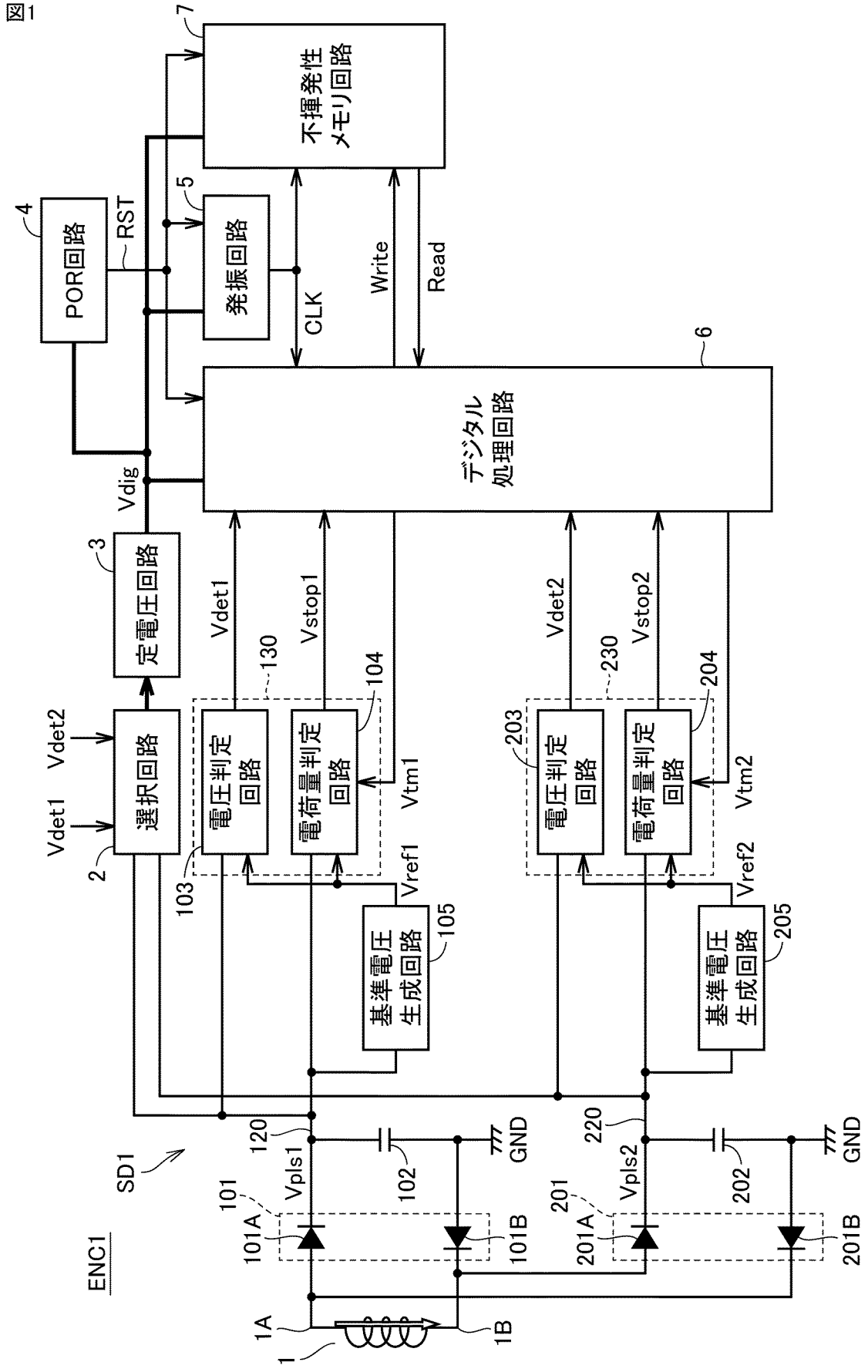
前記複数の発電素子の各々は電磁誘導を利用して発電するコイルを含む、バッテリレス多回転エンコーダ。

[請求項18] 前記一連の処理は、前記発生した電流パルスの数をカウントする処理を含み、

前記処理回路は、前記一連の処理を中断した場合に、前記電流パルスのカウント数を補正する、請求項１７に記載のバッテリレス多回転エンコーダ。

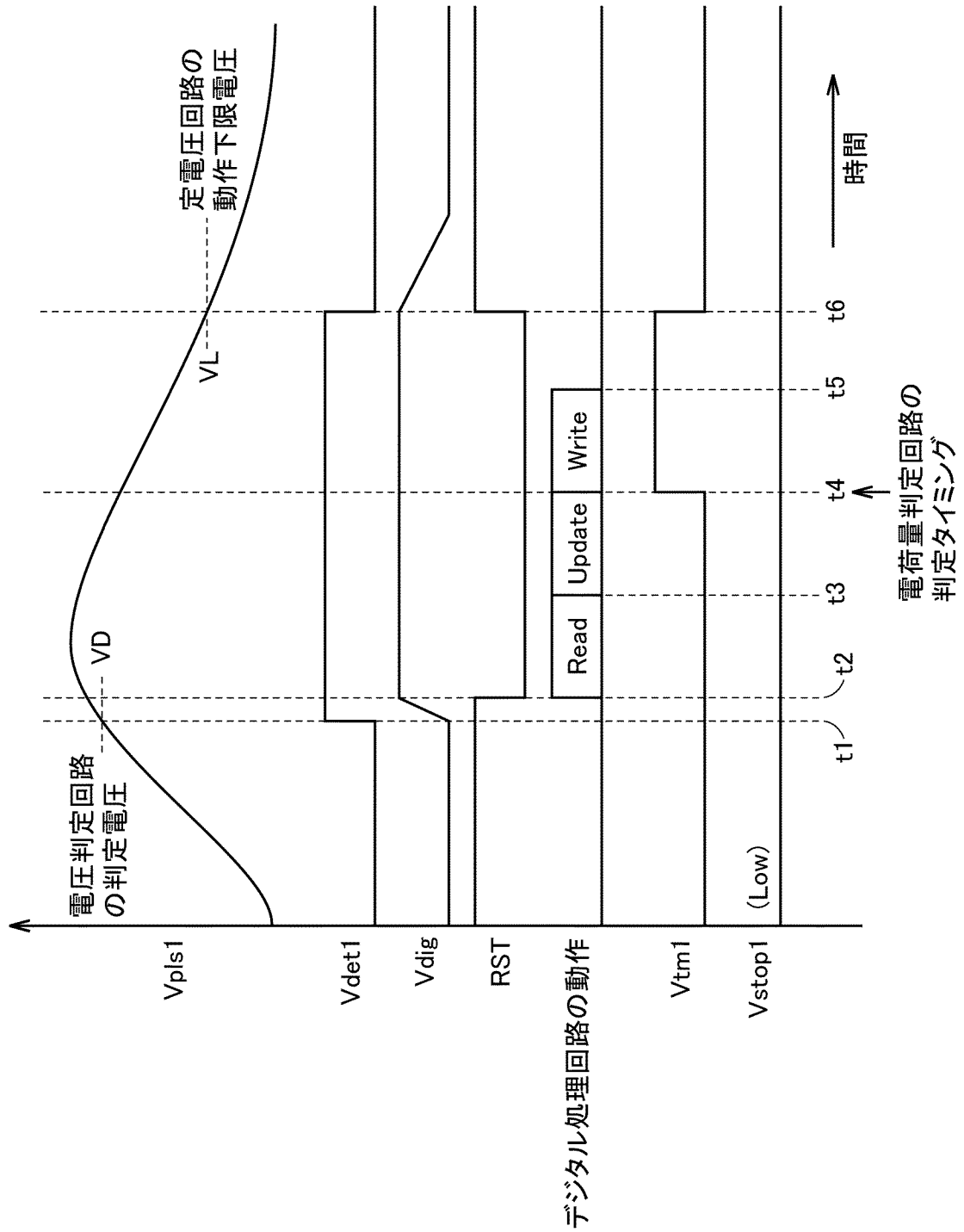
[図1]

図1


不揮発性メモリ回路
7
POR回路
4
RST
発振回路
5
CLK
Write
Read
デジタル処理回路
6
Vdig
定電圧回路
3
選択回路
2
Vdet2
Vdet1
電圧判定回路
130
電荷量判定回路
104
103
Vdet1
Vstop1
Vtm1
Vref1
基準電圧生成回路
105
電圧判定回路
203
電荷量判定回路
204
230
Vdet2
Vstop2
Vtm2
Vref2
基準電圧生成回路
205
SD1
ENC1
120
Vpls1
102
GND
101
101A
101B
220
Vpls2
202
201
201A
201B
1A
1B
1

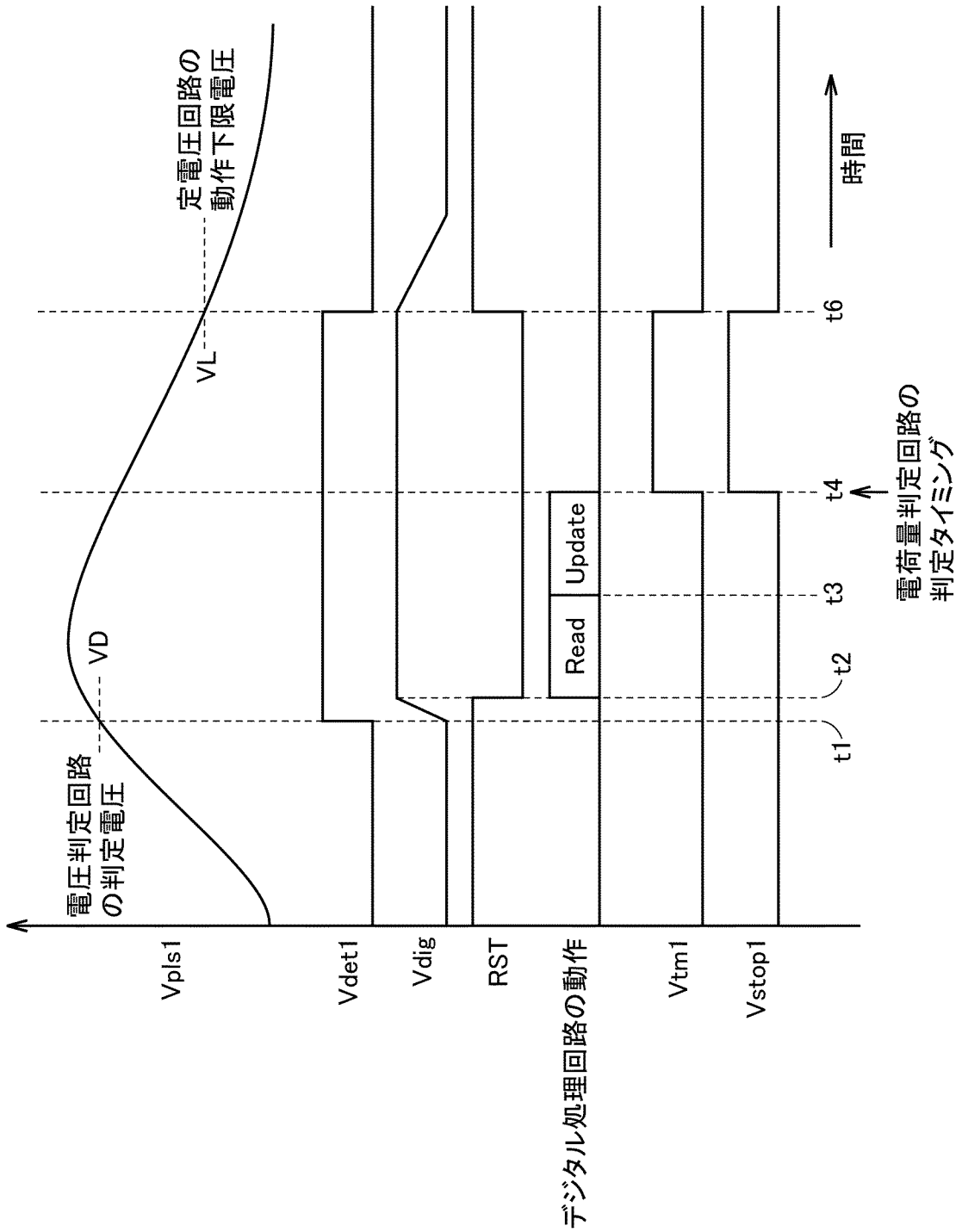
[図2]

図2


電圧判定回路
の判定電圧
VD
定電圧回路の
動作下限電圧
VL
時間
t1
t2
t3
t4
t5
t6
電荷量判定回路の
判定タイミング
Read
Update
Write
Vpls1
Vdet1
Vdig
RST
デジタル処理回路の動作
Vtm1
Vstop1
(Low)

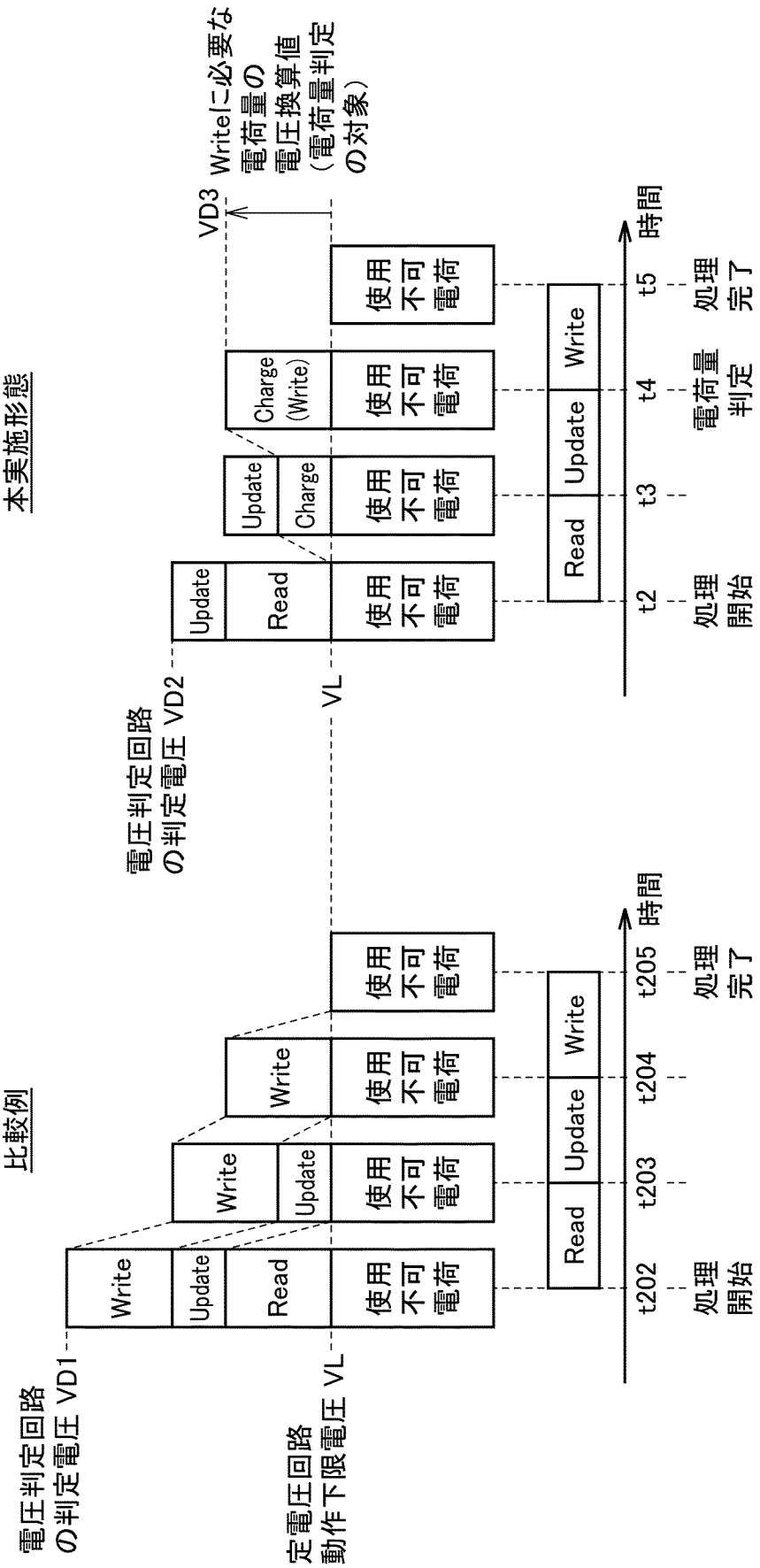
[図3]

図3


電圧判定回路
の判定電圧
VD
定電圧回路の
動作下限電圧
VL
時間
t1
t2
t3
t4
t6
電荷量判定回路の
判定タイミング
Read
Update
Vpls1
Vdet1
Vdig
RST
デジタル処理回路の動作
Vtm1
Vstop1

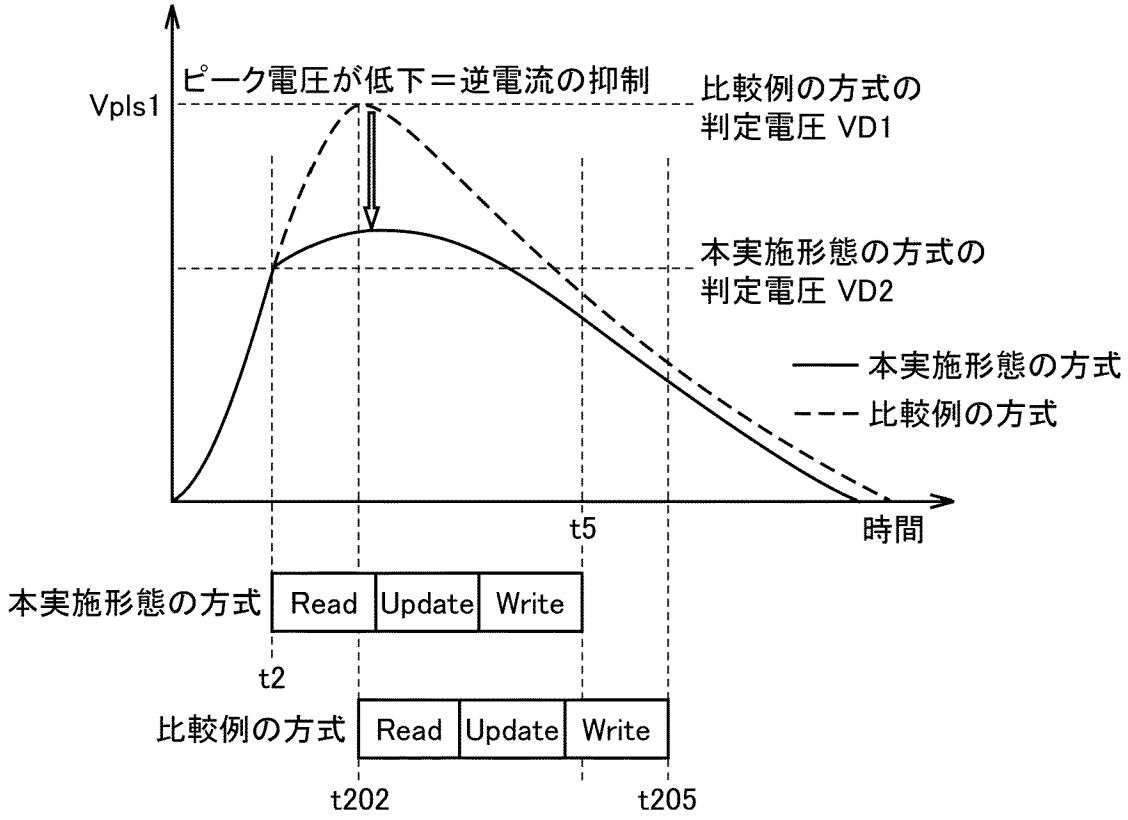
[図4]

図4


本実施形態
比較例
電圧判定回路
の判定電圧 VD1
電圧判定回路
の判定電圧 VD2
定電圧回路
動作下限電圧 VL
VL
VD3
Writeに必要な
電荷量の
電圧換算値
（電荷量判定
の対象）
Write
Update
Read
Charge
Charge
(Write)
使用
不可
電荷
t2
t3
t4
t5
t202
t203
t204
t205
時間
処理
開始
電荷量
判定
処理
完了

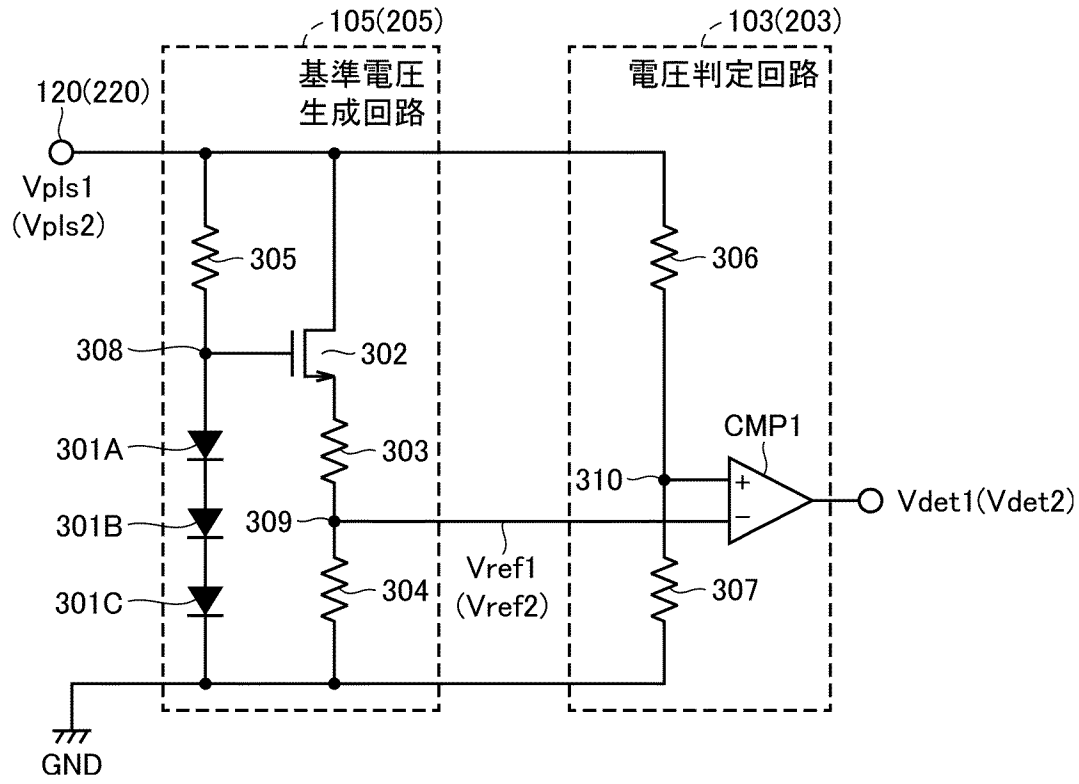
[図5]

図5


ピーク電圧が低下＝逆電流の抑制
Vpls1
比較例の方式の
判定電圧 VD1
本実施形態の方式の
判定電圧 VD2
本実施形態の方式
比較例の方式
時間
t5
本実施形態の方式
Read
Update
Write
t2
比較例の方式
Read
Update
Write
t202
t205

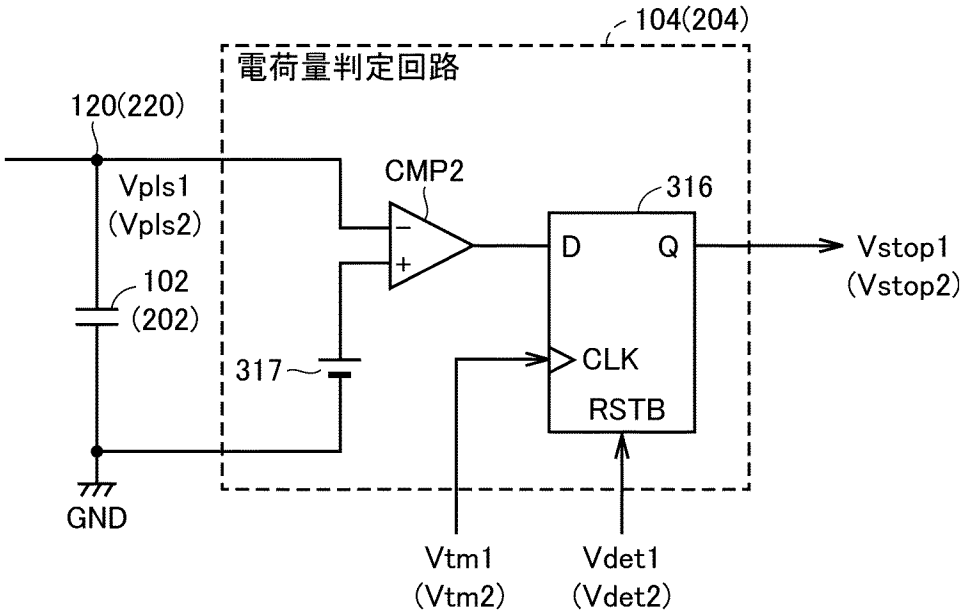
[図6]

図6


105(205)
基準電圧
生成回路
103(203)
電圧判定回路
120(220)
Vpls1
(Vpls2)
305
306
308
302
301A
303
CMP1
310
Vdet1(Vdet2)
301B
309
Vref1
(Vref2)
304
307
301C
GND

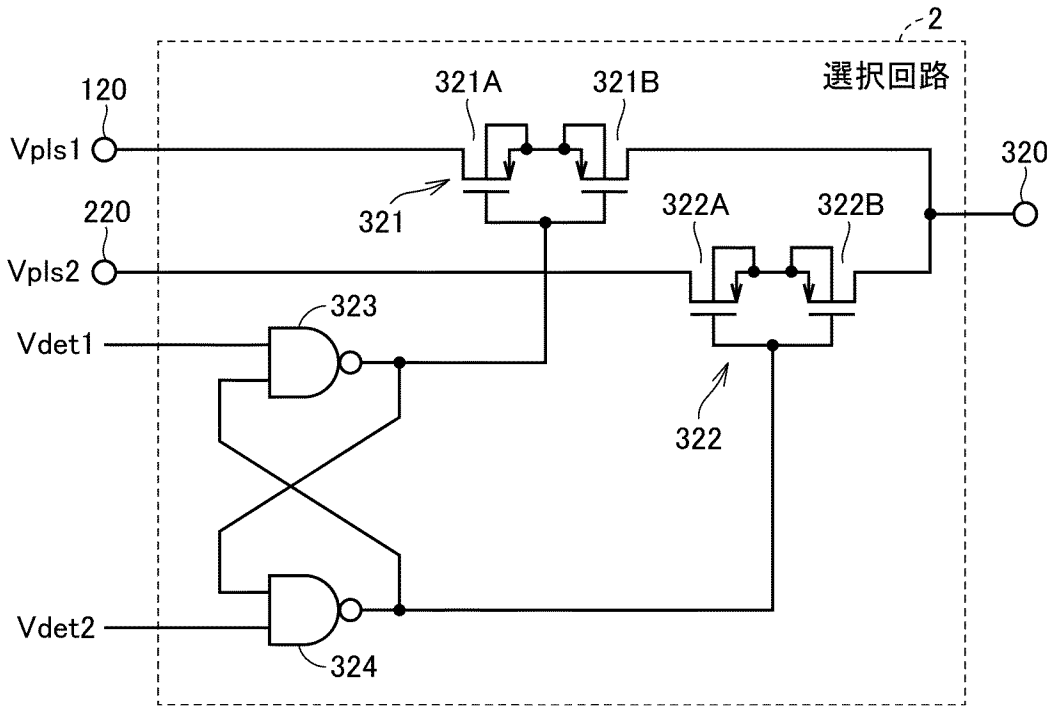
[図7]

図7


104(204)
電荷量判定回路
120(220)
Vpls1
(Vpls2)
102
(202)
317
GND
CMP2
316
D
Q
CLK
RSTB
Vstop1
(Vstop2)
Vtm1
(Vtm2)
Vdet1
(Vdet2)

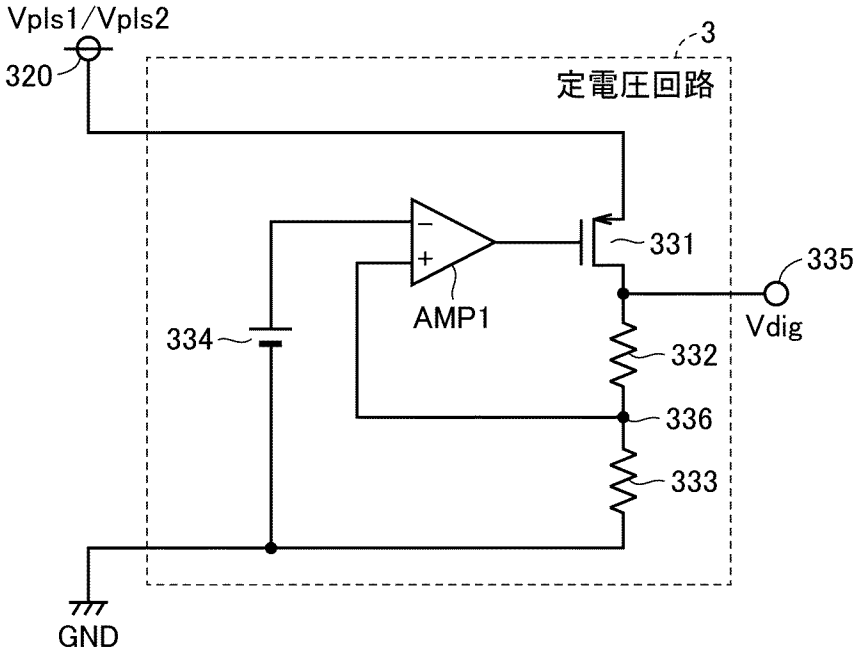
[図8]

図8


2
選択回路
120
Vpls1
220
Vpls2
Vdet1
Vdet2
321A
321B
321
322A
322B
322
323
324
320

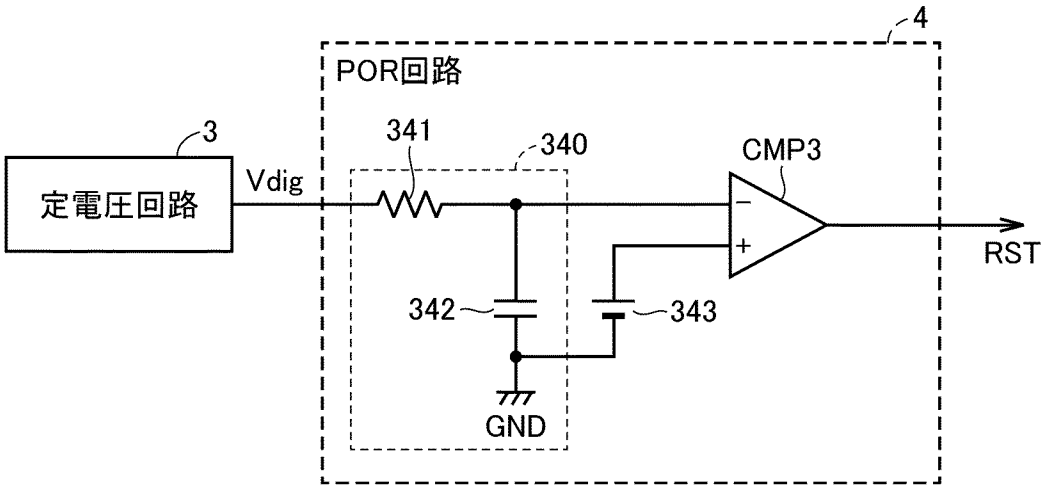
[図9]

図9


Vpls1/Vpls2
320
3
定電圧回路
331
335
AMP1
Vdig
334
332
336
333
GND

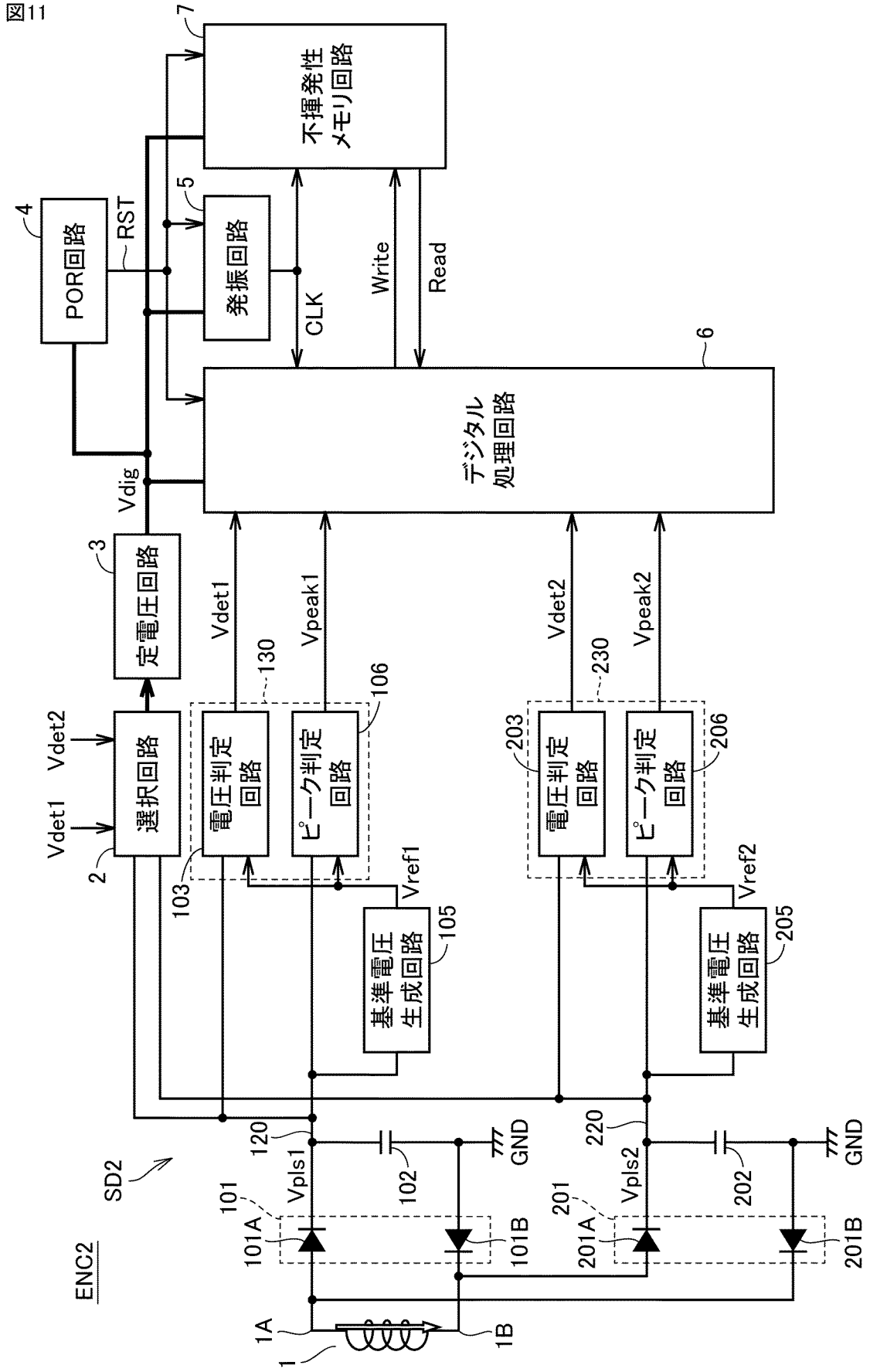
[図10]

図10


4
POR回路
3
定電圧回路
Vdig
341
340
CMP3
RST
342
343
GND

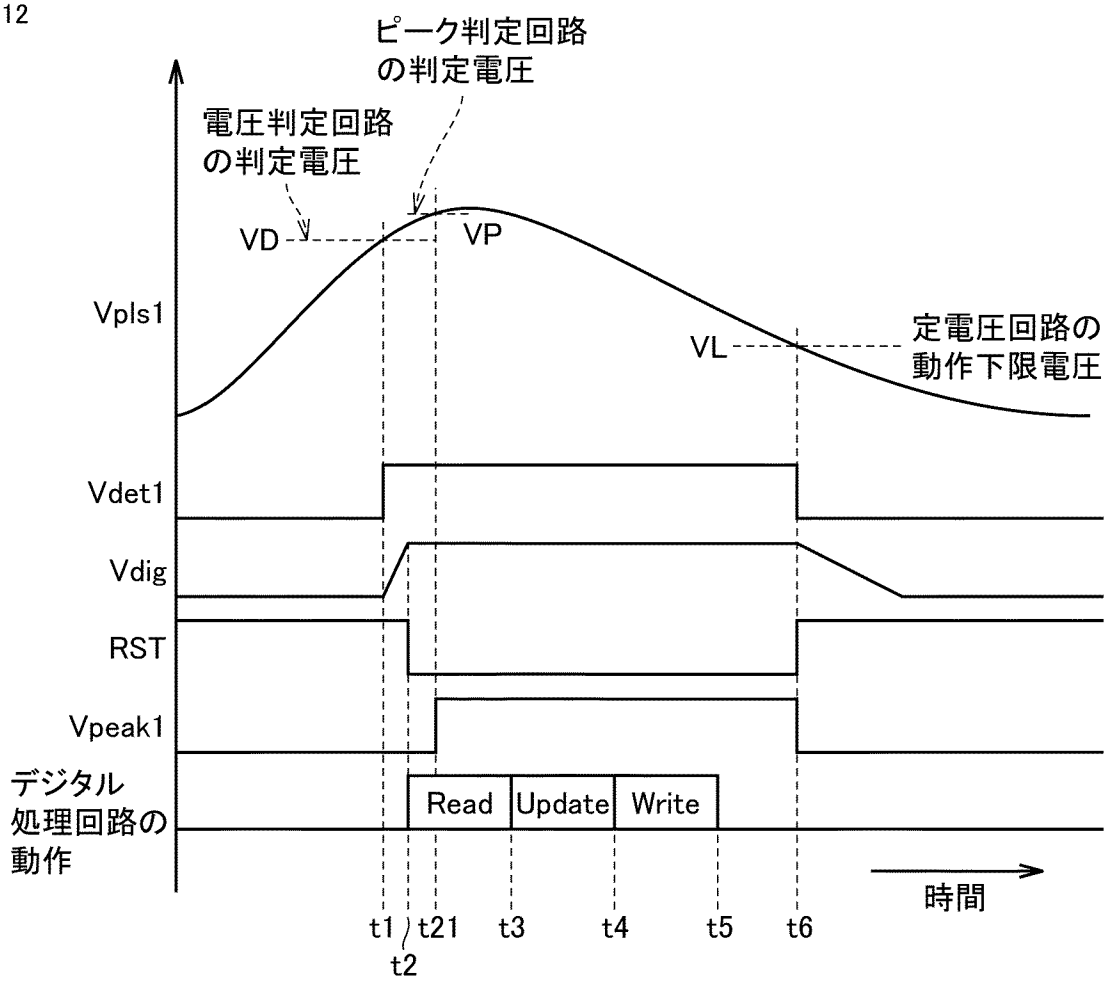
[図11]

図11


不揮発性メモリ回路
7
POR回路
4
RST
発振回路
5
CLK
Write
Read
デジタル処理回路
6
Vdig
定電圧回路
3
選択回路
2
Vdet2
Vdet1
電圧判定回路
130
ピーク判定回路
106
103
Vdet1
Vpeak1
Vref1
基準電圧生成回路
105
電圧判定回路
203
ピーク判定回路
206
Vdet2
Vpeak2
Vref2
基準電圧生成回路
205
SD2
ENC2
120
Vpls1
102
GND
101
101A
101B
220
Vpls2
202
GND
201
201A
201B
1A
1B
1

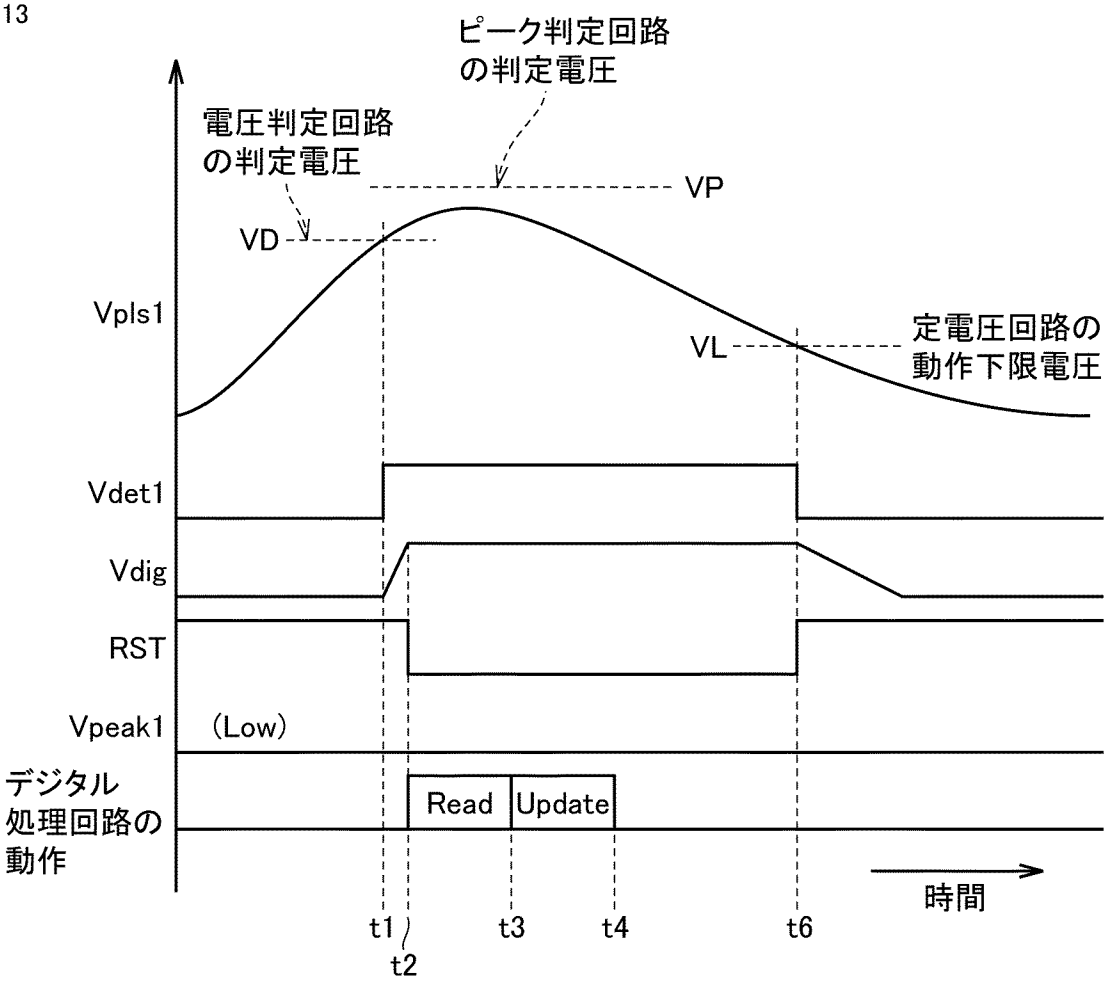
[図12]

図12


ピーク判定回路
の判定電圧
電圧判定回路
の判定電圧
VD
VP
Vpls1
VL
定電圧回路の
動作下限電圧
Vdet1
Vdig
RST
Vpeak1
デジタル
処理回路の
動作
Read
Update
Write
時間
t1
t2
t21
t3
t4
t5
t6

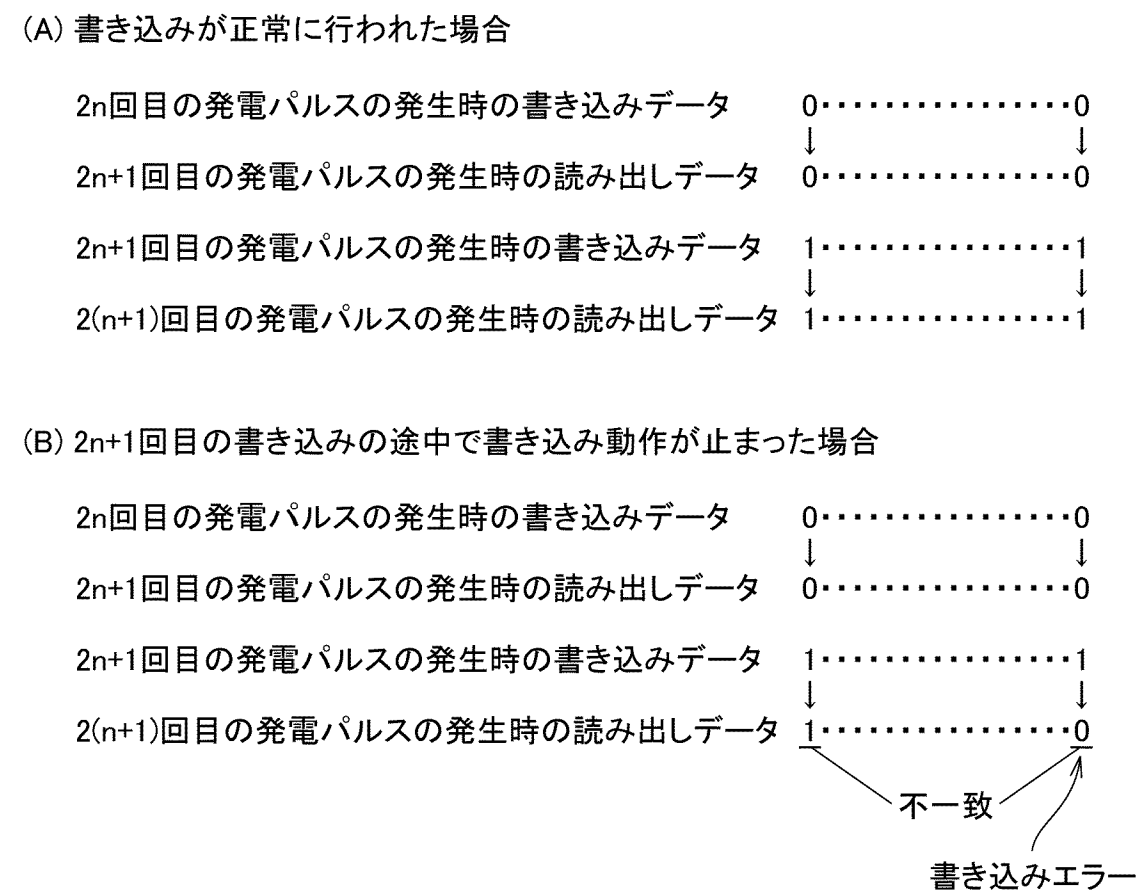
[図13]

図13


ピーク判定回路
の判定電圧
電圧判定回路
の判定電圧
VP
VD
Vpls1
VL
定電圧回路の
動作下限電圧
Vdet1
Vdig
RST
Vpeak1
(Low)
デジタル
処理回路の
動作
Read
Update
時間
t1
t2
t3
t4
t6

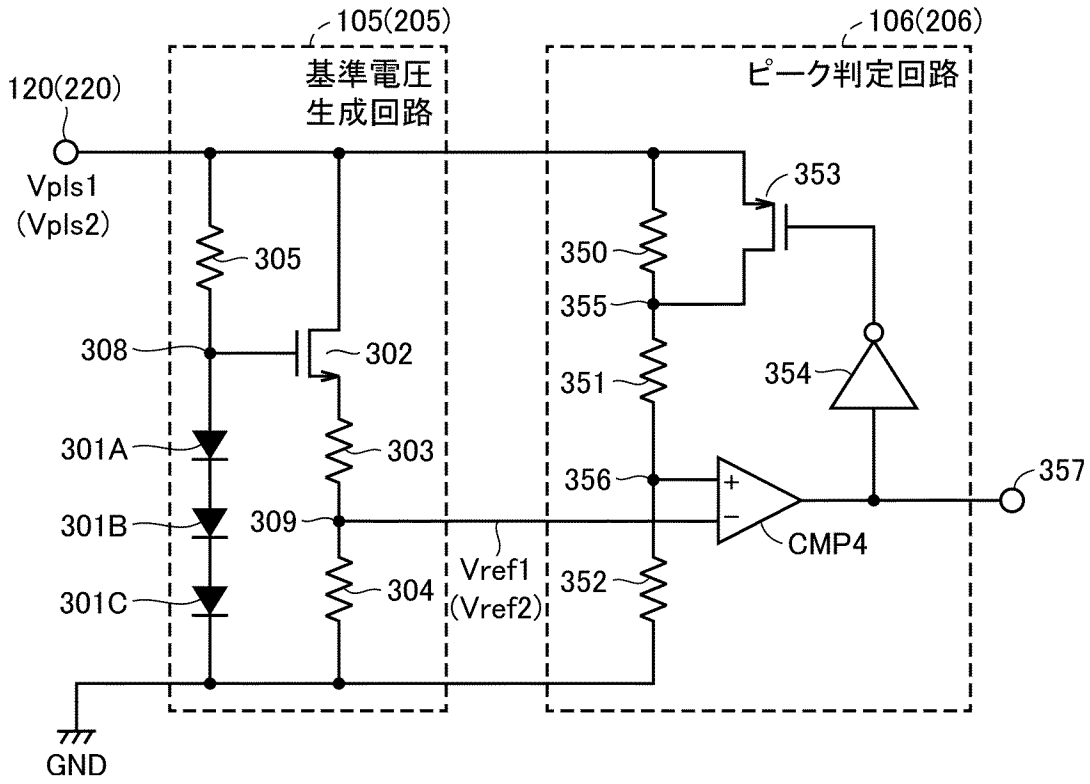
[図14]

図14



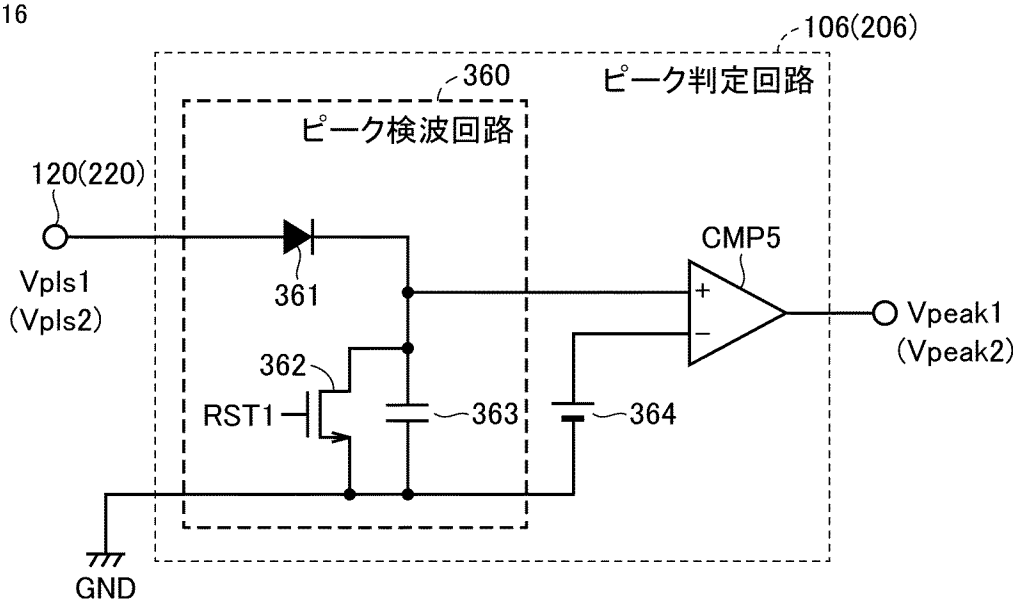
[図15]

図15



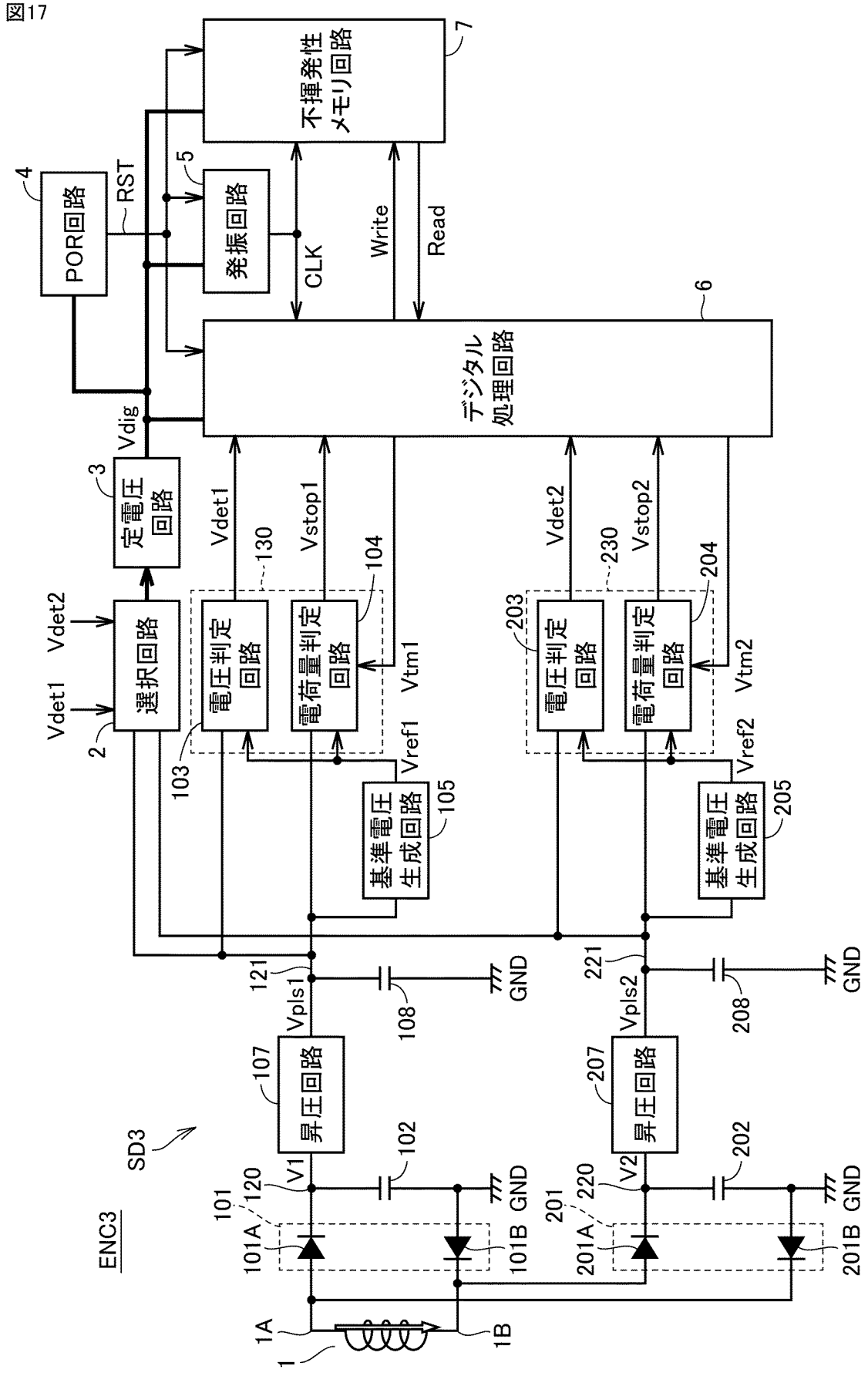
[図16]

図16


106(206)
ピーク判定回路
360
ピーク検波回路
120(220)
Vpls1
(Vpls2)
361
CMP5
+
−
Vpeak1
(Vpeak2)
362
RST1
363
364
GND

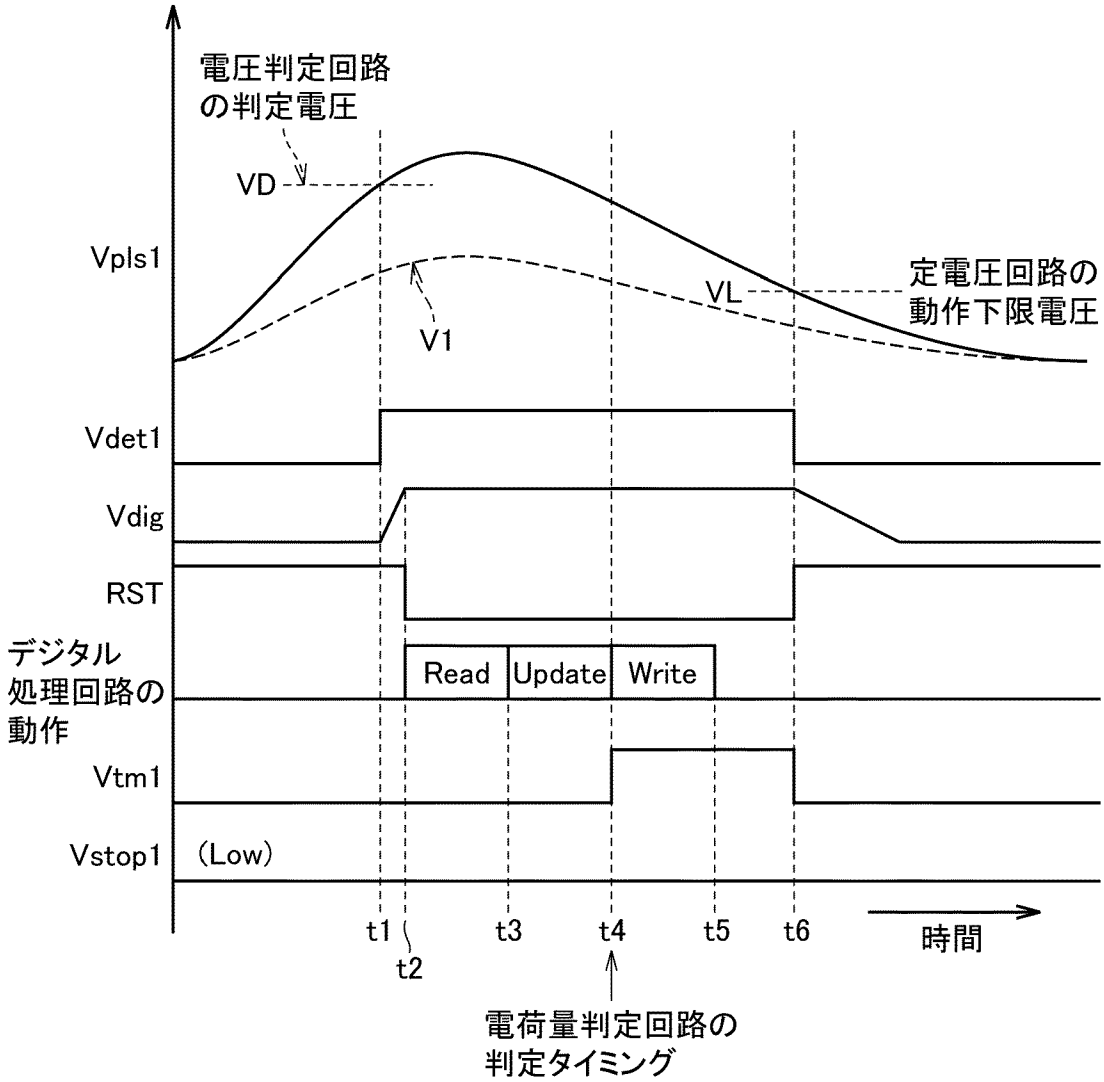
[図17]

図17


不揮発性メモリ回路
7
POR回路
4
RST
5
発振回路
CLK
Write
Read
6
デジタル処理回路
Vdig
3
定電圧回路
Vdet1
Vdet2
選択回路
2
103
130
電圧判定回路
Vstop1
104
電荷量判定回路
Vtm1
Vref1
基準電圧生成回路
105
203
230
204
Vref2
205
121
Vpls1
108
GND
221
Vpls2
208
107
昇圧回路
207
102
202
V1
V2
120
220
101
201
101A
201A
101B
201B
SD3
ENC3
1A
1B
1

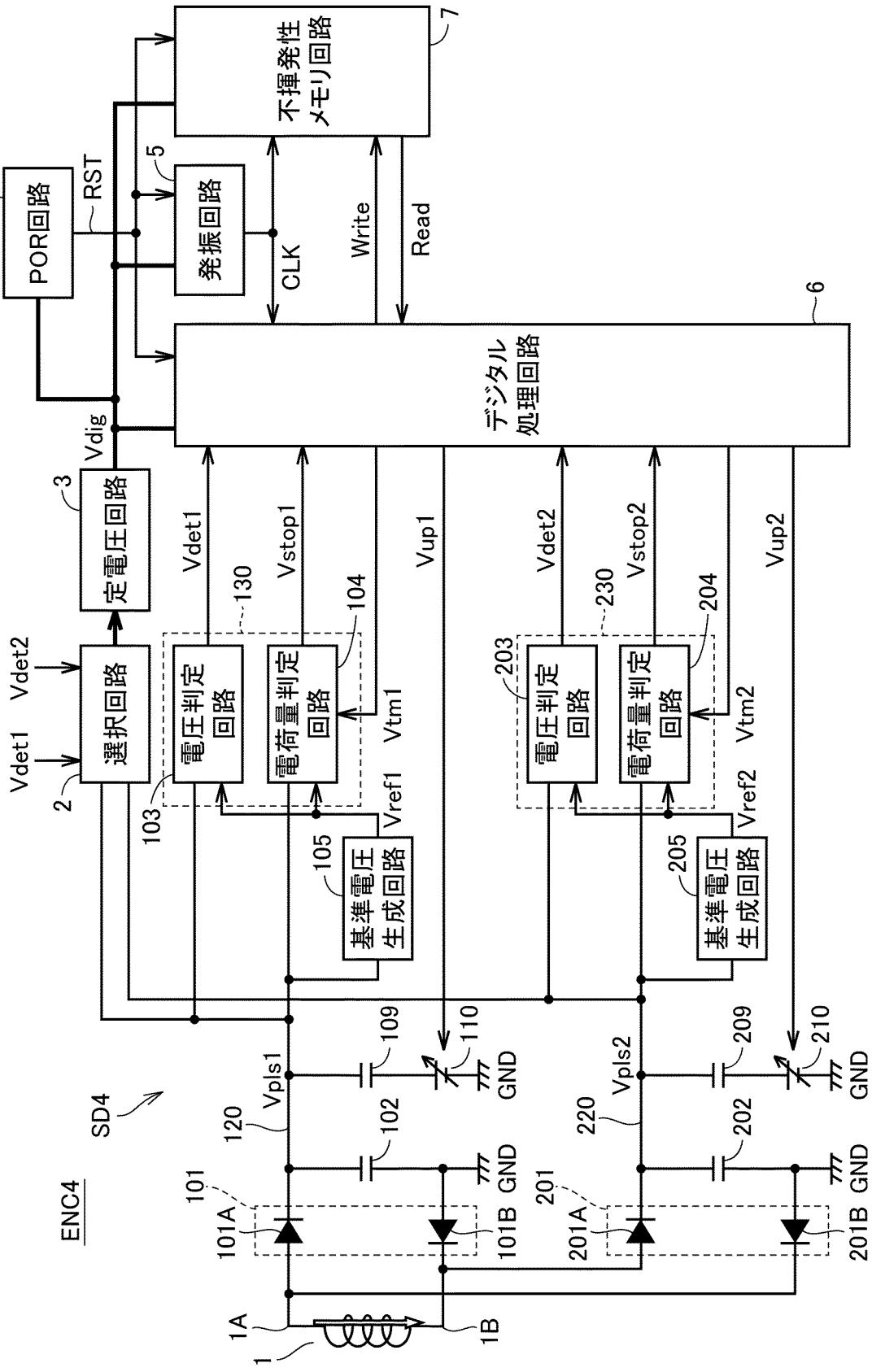
[図18]

図18


電圧判定回路
の判定電圧
VD
Vpls1
V1
VL
定電圧回路の
動作下限電圧
Vdet1
Vdig
RST
デジタル
処理回路の
動作
Read
Update
Write
Vtm1
Vstop1
(Low)
t1
t2
t3
t4
t5
t6
時間
電荷量判定回路の
判定タイミング

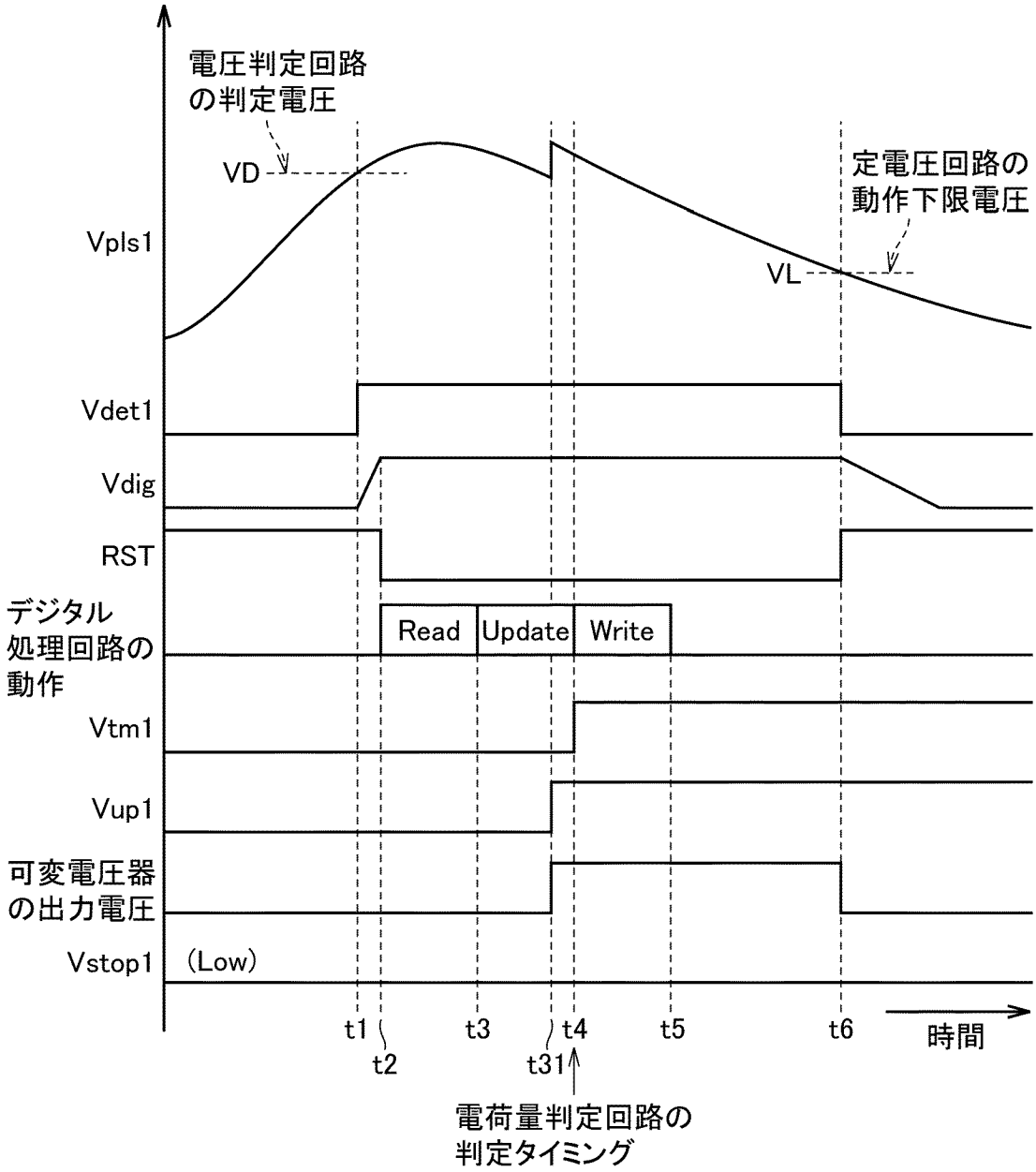
[図19]

図19


不揮発性メモリ回路
7
POR回路
4
RST
5
発振回路
CLK
Write
Read
6
デジタル処理回路
Vdig
3
定電圧回路
Vdet1
Vstop1
Vup1
Vdet2
Vstop2
Vup2
130
230
選択回路
Vdet2
Vdet1
2
103
電圧判定回路
104
電荷量判定回路
Vtm1
Vref1
105
基準電圧生成回路
203
204
Vtm2
Vref2
205
109
110
209
210
Vpls1
Vpls2
GND
120
220
102
202
101
101A
101B
201
201A
201B
SD4
ENC4
1A
1B
1

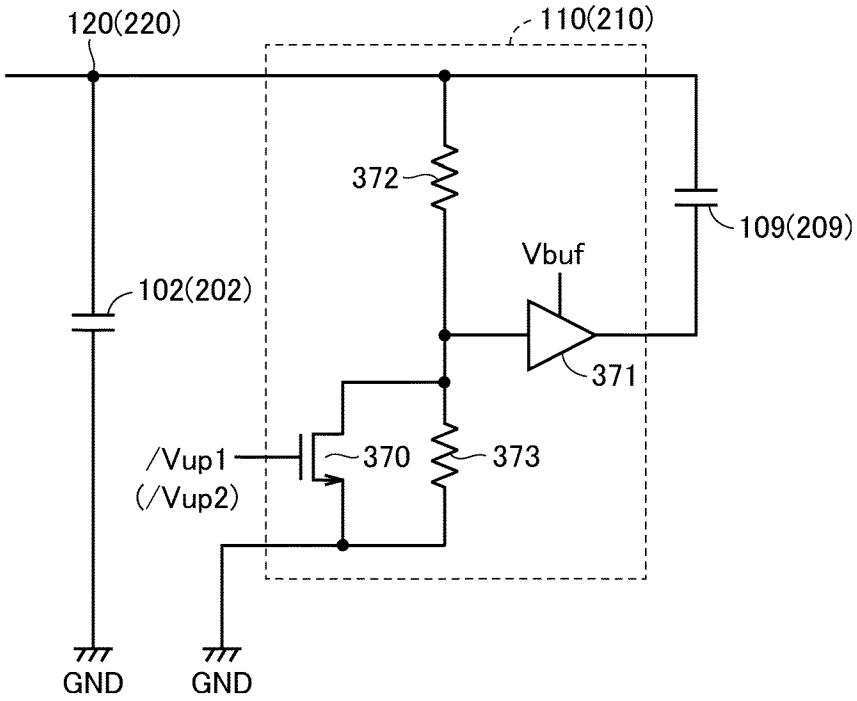
[図20]

図20


電圧判定回路
の判定電圧
VD
定電圧回路の
動作下限電圧
VL
Vpls1
Vdet1
Vdig
RST
デジタル
処理回路の
動作
Read
Update
Write
Vtm1
Vup1
可変電圧器
の出力電圧
Vstop1
(Low)
t1
t2
t3
t31
t4
t5
t6
時間
電荷量判定回路の
判定タイミング

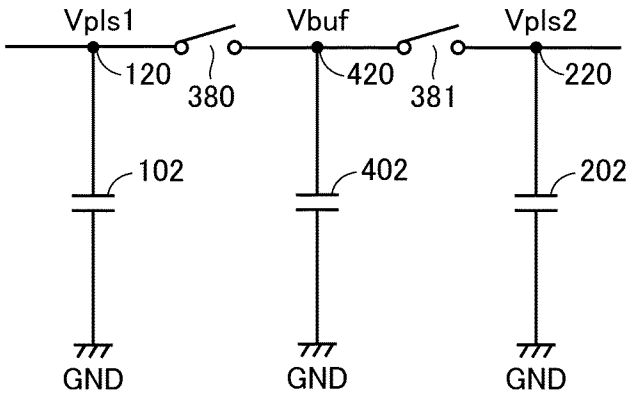
[図21]

図21



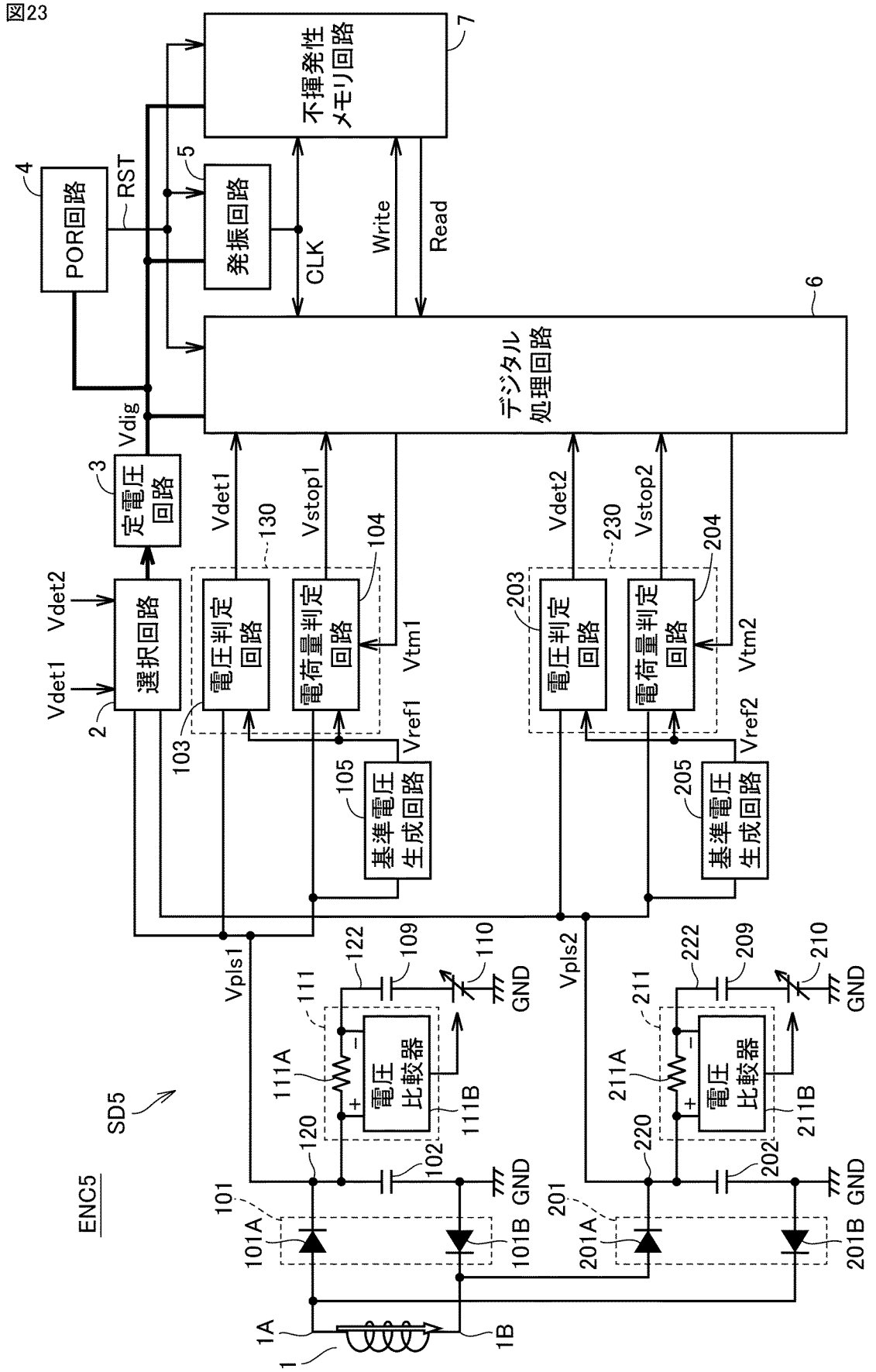
[図22]

図22



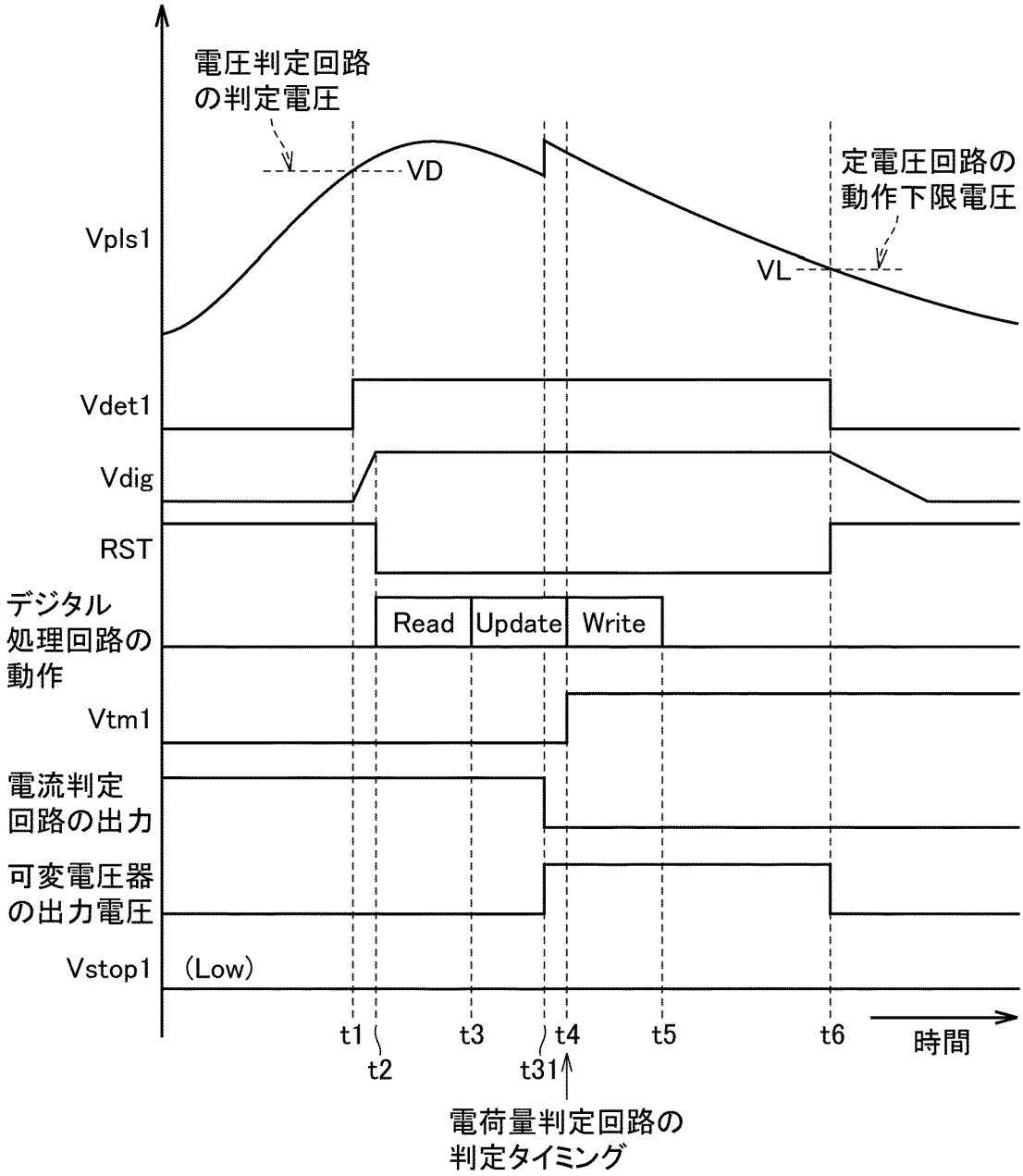
[図23]

図23


ENC5
SD5
不揮発性メモリ回路
7
POR回路
4
RST
発振回路
5
CLK
Write
Read
デジタル処理回路
6
Vdig
定電圧回路
3
選択回路
2
Vdet1
Vdet2
電圧判定回路
103
130
Vdet1
Vstop1
電荷量判定回路
104
Vtm1
Vref1
基準電圧生成回路
105
203
230
Vdet2
Vstop2
204
Vtm2
Vref2
205
Vpls1
Vpls2
111
111A
電圧比較器
111B
120
122
109
110
GND
102
211
211A
220
222
209
210
202
101
101A
101B
201
201A
201B
1
1A
1B

[図24]

図24


電圧判定回路
の判定電圧
VD
定電圧回路の
動作下限電圧
VL
Vpls1
Vdet1
Vdig
RST
デジタル
処理回路の
動作
Read
Update
Write
Vtm1
電流判定
回路の出力
可変電圧器
の出力電圧
Vstop1
(Low)
t1
t2
t3
t31
t4
t5
t6
時間
電荷量判定回路の
判定タイミング

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/015201

A. CLASSIFICATION OF SUBJECT MATTER

G05F 1/10(2006.01)i; ***G01D 5/244***(2006.01)i
FI: G05F1/10 303A; G01D5/244 E

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G05F1/10; G01D5/244

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 5769879 B2 (MITSUBISHI ELECTRIC CORPORATION) 26 August 2015 (2015-08-26) paragraphs [0021]-[0024], [0029]-[0034], fig. 1, 2	1-2, 8-18
A	paragraphs [0021]-[0024], [0029]-[0034], fig. 1, 2	3-7
Y	JP 2017-022508 A (ROHM CO., LTD.) 26 January 2017 (2017-01-26) paragraphs [0039], [0040]	1-2, 8-18
A	paragraphs [0039], [0040]	3-7
Y	JP 2018-156713 A (RENESAS ELECTRONICS CORPORATION) 04 October 2018 (2018-10-04) paragraph [0082]	1-2, 8-18
A	paragraph [0082]	3-7
Y	JP 2011-185711 A (MITSUBISHI ELECTRIC CORPORATION) 22 September 2011 (2011-09-22) paragraphs [0015], [0026]-[0034], fig. 1, 3, 7	2, 8-18
A	paragraphs [0015], [0026]-[0034], fig. 1, 3, 7	3-7

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
01 June 2023	**20 June 2023**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2022-160170 A (ABLIC INC.) 19 October 2022 (2022-10-19) paragraphs [0017], [0018]	2, 8-18
A	paragraphs [0017], [0018]	3-7
Y	JP 2002-318783 A (DENSO CORPORATION) 31 October 2002 (2002-10-31) paragraph [0115]	16-18
A	paragraph [0115]	3-7

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/015201

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 5769879 B2	26 August 2015	US 2015/0015245 A1 paragraphs [0048]-[0054], [0060]-[0068], fig. 1, 2	
JP 2017-022508 A	26 January 2017	(Family: none)	
JP 2018-156713 A	04 October 2018	US 2018/0277214 A1 paragraph [0096]	
JP 2011-185711 A	22 September 2011	(Family: none)	
JP 2022-160170 A	19 October 2022	US 2022/0318472 A1 paragraphs [0022], [0023]	
JP 2002-318783 A	31 October 2002	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2023/015201

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））
G05F 1/10(2006.01)i; G01D 5/244(2006.01)i
FI: G05F1/10 303A; G01D5/244 E

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））
G05F1/10; G01D5/244

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報　１９２２－１９９６年
日本国公開実用新案公報　１９７１－２０２３年
日本国実用新案登録公報　１９９６－２０２３年
日本国登録実用新案公報　１９９４－２０２３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 5769879 B2 (三菱電機株式会社) 26.08.2015 (2015-08-26) 段落[0021]-[0024], [0029]-[0034], 図1-2	1-2, 8-18
A	段落[0021]-[0024], [0029]-[0034], 図1-2	3-7
Y	JP 2017-022508 A (ローム株式会社) 26.01.2017 (2017-01-26) 段落[0039]-[0040]	1-2, 8-18
A	段落[0039]-[0040]	3-7
Y	JP 2018-156713 A (ルネサスエレクトロニクス株式会社) 04.10.2018 (2018-10-04) 段落[0082]	1-2, 8-18
A	段落[0082]	3-7
Y	JP 2011-185711 A (三菱電機株式会社) 22.09.2011 (2011-09-22) 段落[0015], [0026]-[0034], 図1, 図3, 図7	2, 8-18
A	段落[0015], [0026]-[0034], 図1, 図3, 図7	3-7

☑ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
01.06.2023	20.06.2023

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
町田　舞 5G 1158

電話番号 03-3581-1101 内線 3526

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2022-160170 A (エイブリック株式会社) 19.10.2022 (2022-10-19) 段落[0017]-[0018]	2, 8-18
A	段落[0017]-[0018]	3-7
Y	JP 2002-318783 A (株式会社デンソー) 31.10.2002 (2002-10-31) 段落[0115]	16-18
A	段落[0115]	3-7

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2023/015201

引用文献	公表日	パテントファミリー文献	公表日
JP 5769879 B2	26.08.2015	US 2015/0015245 A1 段落[0048]-[0054], [0060]-[0068], 図1-2	
JP 2017-022508 A	26.01.2017	（ファミリーなし）	
JP 2018-156713 A	04.10.2018	US 2018/0277214 A1 段落[0096]	
JP 2011-185711 A	22.09.2011	（ファミリーなし）	
JP 2022-160170 A	19.10.2022	US 2022/0318472 A1 段落[0022]-[0023]	
JP 2002-318783 A	31.10.2002	（ファミリーなし）	