I868627

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I868627 B**

(45)公告日： 中華民國 114 (2025) 年 01 月 01 日

(21)申請案號：112110519 (22)申請日： 中華民國 112 (2023) 年 03 月 21 日

(51)Int. Cl.： ***G11C7/18 (2006.01)*** ***G11C8/14 (2006.01)***
G11C16/06 (2006.01)

(30)優先權：2022/03/21 美國 17/655,699

(71)申請人：美商蘋果公司 (美國) APPLE INC. (US)
美國

(72)發明人：阿布 拉哈瑪 莫哈梅德 H ABU-RAHMA, MOHAMED H. (EG)；奧利瓦 安東尼塔 OLIVA, ANTONIETTA (US)；布哈提亞 亞捷 BHATIA, AJAY (US)；納扎爾 沙扎德 NAZAR, SHAHZAD (IN)

(74)代理人：陳長文；黃章典；金若芸

(56)參考文獻：

TW 201539469A US 2021/0242870A1

審查人員：謝紀明

申請專利範圍項數：20 項 圖式數：22 共 86 頁

(54)名稱

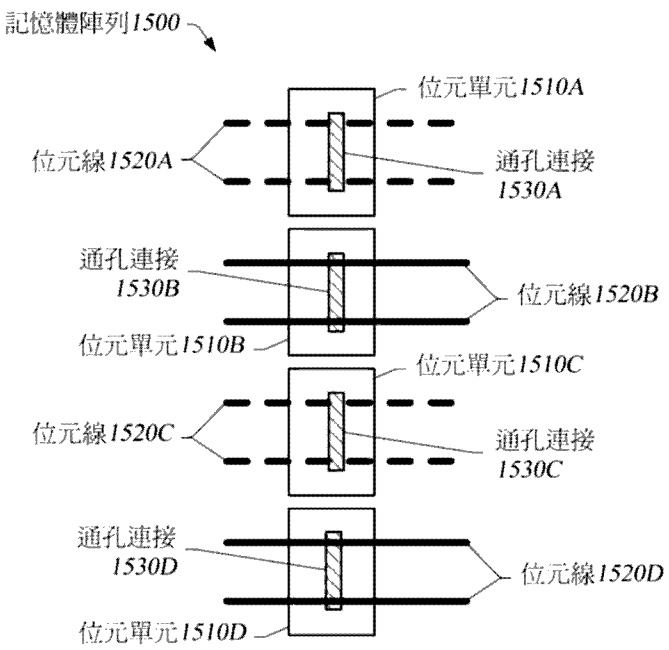
具有用於形成至半導體基材上之電晶體的連接的佈局之記憶體設備，以及記憶體系統

(57)摘要

本發明揭示記憶體陣列中之位元線及字線的背側佈線及頂側佈線的各種實施方案。背側金屬層及頂側金屬層中之位元線可在記憶體陣列中之相鄰位元單元之間交替。在記憶體陣列中之位元單元之間交替位元線的位置可在一記憶體陣列中減少位元線電容。將字線置放於背側金屬層中可使得雙字線橫跨一記憶體陣列中之位元單元之跨度實施。雙字線可交替地連接至相鄰的位元單元，從而實現基於傳輸一控制信號的字線而進行位元單元的選擇性雙態觸變。

Various implementations of backside and topside routing of bitlines and wordlines in memory arrays are disclosed. Bitlines in backside and topside metal layers may be alternated between adjacent bit cells in a memory array. Alternating the location of the bitlines between bit cells in the memory array may reduce bitline capacitance in a memory array. Placing wordlines in backside metal layers may allow dual wordlines to be implemented across a span of bit cells in a memory array. The dual wordlines may be alternately connected to adjacent bit cells, thereby allowing selective toggling of bit cells based on the wordline transmitting a control signal.

指定代表圖：



【圖15】

符號簡單說明：

1500:記憶體陣列

1510A:位元單元

1510B:位元單元

1510C:位元單元

1510D:位元單元

1520A:位元線

1520B:位元線

1520C:位元線

1520D:位元線

1530A:通孔連接

1530B:通孔連接

1530C:通孔連接

1530D:通孔連接

公告本

I868627

【發明摘要】

【中文發明名稱】 具有用於形成至半導體基材上之電晶體的連接的佈局之記憶體設備，以及記憶體系統

【英文發明名稱】 MEMORY APPARATUS WITH LAYOUTS FOR MAKING CONNECTION TO TRANSISTORS ON SEMICONDUCTOR SUBSTRATES, AND MEMORY SYSTEM

【中文】

本發明揭示記憶體陣列中之位元線及字線的背側佈線及頂側佈線的各種實施方案。背側金屬層及頂側金屬層中之位元線可在記憶體陣列中之相鄰位元單元之間交替。在記憶體陣列中之位元單元之間交替位元線的位置可在一記憶體陣列中減少位元線電容。將字線置放於背側金屬層中可使得雙字線橫跨一記憶體陣列中之位元單元之跨度實施。雙字線可交替地連接至相鄰的位元單元，從而實現基於傳輸一控制信號的字線而進行位元單元的選擇性雙態觸變。

【英文】

Various implementations of backside and topside routing of bitlines and wordlines in memory arrays are disclosed. Bitlines in backside and topside metal layers may be alternated between adjacent bit cells in a memory array. Alternating the location of the bitlines between bit cells in the memory array may reduce bitline capacitance in a memory array. Placing wordlines in backside metal layers may allow dual wordlines to be implemented across a span of bit cells in a memory array. The dual wordlines may be alternately connected to adjacent bit cells, thereby allowing selective toggling of bit cells based on the wordline transmitting a control signal.

【指定代表圖】　　圖15

【代表圖之符號簡單說明】

1500:記憶體陣列

1510A:位元單元

1510B:位元單元

1510C:位元單元

1510D:位元單元

1520A:位元線

1520B:位元線

1520C:位元線

1520D:位元線

1530A:通孔連接

1530B:通孔連接

1530C:通孔連接

1530D:通孔連接

【特徵化學式】無

【發明說明書】

【中文發明名稱】 具有用於形成至半導體基材上之電晶體的連接的佈局之記憶體設備，以及記憶體系統

【英文發明名稱】 MEMORY APPARATUS WITH LAYOUTS FOR MAKING CONNECTION TO TRANSISTORS ON SEMICONDUCTOR SUBSTRATES, AND MEMORY SYSTEM

【技術領域】

【0001】 本文所述之實施例係關於半導體裝置。更具體而言，本文所述之實施例係關於用於形成至半導體基材上之電晶體的連接的佈局。

【先前技術】

【0002】 標準單元為可提供邏輯功能、儲存功能等的電晶體、被動結構、及互連結構的群組。標準單元方法論中的目前趨勢係朝向減小標準單元之大小，同時增加標準單元內的複雜度（例如，電路密度及組件數目）。然而，標準單元設計變得越小，變得更難以提供對標準單元內之組件的存取（例如，連接）。

【0003】 另外，隨著標準單元之大小減小，標準單元之效能可變得更易受該單元內之性質影響。例如，標準單元內諸如該單元中之金屬跡線、或擴散區域與金屬跡線之間的界面中的電阻可能降低單元之效能，其中隨著單元變得更小對效能的影響變得更為一問題。因此，降低標準單元內之電阻可增加單元之效能。

【發明內容】

無

【圖式簡單說明】

【0004】 本揭露所述之實施例的方法及設備之特徵及優點將藉由參照下列之根據本揭露所述之實施例之目前較佳但為說明性的實施例之詳細描述而連同隨附圖式更完整地理解，其中：

〔圖 1〕描繪具有頂側連接之標準單元之實施例的俯視表示圖。

〔圖 2〕描繪沿著圖 1 所示之截線的標準單元之實施例的剖面表示圖。

〔圖 3〕描繪具有背側層電力連接之標準單元之實施例的仰視表示圖。

〔圖 4〕描繪沿著圖 3 所示之截線的標準單元之實施例的剖面表示圖。

〔圖 5〕描繪具有頂側連接及背側連接兩者之標準單元之實施例的仰視表示圖。

〔圖 6〕描繪沿著圖 5 所示之截線 6-6 的標準單元之實施例的剖面表示圖。

〔圖 7〕描繪沿著圖 5 所示之截線 7-7 的標準單元之實施例的剖面表示圖。

〔圖 8〕描繪具有具有通孔程式化之兩個標準單元的系統的實施例的剖面表示圖。

〔圖 9〕描繪具有頂側電力連接及背側電力連接兩者、連同背側信號佈線連接之單元的實施例的仰視表示圖。

〔圖 10〕描繪根據一些實施例之佈局的仰視表示圖。

〔圖 11〕描繪根據一些實施例之佈局的俯視表示圖。

〔圖 12〕描繪根據一些實施例之沿著圖 10 及圖 11 中之截線 12-12 的佈局之實施例的剖面表示圖。

〔圖 13〕描繪根據一些實施例之沿著圖 10 及圖 11 中之截線 13-13 的佈局之實施例的剖面表示圖。

〔圖 14〕描繪根據一些實施例之沿著圖 10 及圖 11 中之截線 14-14 的佈局之實施例的剖面表示圖

〔圖 15〕描繪根據一些實施例之顯示位元單元及位元線的記憶體陣列的俯視表示圖。

〔圖 16〕描繪根據一些實施例之在位元單元中具有單端位元線的記憶體陣列的俯視表示圖。

〔圖 17〕描繪根據一些實施例之顯示位元單元及字線的記憶體陣列的俯視表示圖。

〔圖 18〕描繪根據一些實施例之在頂側金屬層及背側金屬層中具有位元線及字線兩者的記憶體陣列的俯視表示圖。

〔圖 19〕描繪根據一些實施例之大型記憶體巨集單元取代兩個較小的記憶體巨集單元的俯視表示圖。

〔圖 20〕描繪根據一些實施例之高記憶體巨集單元取代寬記憶體巨集單元的俯視表示圖。

〔圖 21〕描繪根據一些實施例之具有階層式位元線的記憶體陣列的俯視表示圖。

〔圖 22〕係實例系統之一個實施例的方塊圖。

【0005】 雖然本文中所揭露實施例可受到各種修改且具有替代形式，其特定實施例係以圖式中實例之方式展示，且在本文中詳細說明。然而，應理解，圖式及其詳細說明並非意欲將申請專利範圍之範圍侷限於所揭示之具體形

式。反之，本申請案意欲涵括所有落於所附申請專利範圍所界定之本申請案之本揭露的精神與範圍內的修改、均等物、及替代物。

【實施方式】

【0006】 本揭露係關於利用背側金屬層以用於將電力及/或控制信號連接提供至積體電路單元（諸如標準單元）中之電晶體。如本文所使用，用語「標準單元(standard cell)」係指形成於一基材上之電晶體結構、被動結構、及互連結構的群組，以提供邏輯或儲存功能，其等為各種實施方案的標準。積體電路單元亦可包括針對特定實施方案個別地設計的客製電路設計單元。單元的許多目前設計係為電晶體上方的電晶體（或其他結構）提供電力或信號的連接及佈線。例如，可將用於電力或信號的連接及佈線提供於該裝置之頂側層（例如，當在典型截面圖中檢視時，在該裝置中之電晶體的主動層上方的層）中。如本文所使用，用語「頂側(topside)」係指在該裝置之主動層垂直上方（例如，在該裝置之電晶體區域上方）的該裝置中之區域。例如，頂側可係指在垂直維度上在電晶體區域上方的組件（諸如接觸件或層），如圖式所描繪及本文所描述。在一些情況下，用語「前側(frontside)」可與用語「頂側」互換使用。

【0007】 圖1描繪具有頂側連接之標準單元100之實施例的俯視表示圖。為求圖示簡化，在本文揭示之單元的表示圖中僅顯示與本揭露相關的組件。所屬技術領域中具有通常知識者將理解，額外組件可存在於本文描繪之單元的任一者中。

【0008】 在圖1之繪示實施例中，標準單元100包括閘極102、裝置104、源極/汲極接觸件106、及金屬層108。閘極102（例如，閘極102A、102B、

102C）可為多晶線(poly line)（例如，多晶矽層或金屬層）。在各種實施例中，本揭露中之閘的繪示圖包括閘極間隔物103。裝置104可係例如一電晶體，諸如一FinFET裝置、一奈米片FET (NSH)裝置、或GAAFET（「完全包圍閘極(gate-all-around) FET」）裝置。亦可設想到電晶體裝置之其他實施例。在各種實施例中，接觸件106或通孔107在裝置104與金屬層108之間提供連接。在具有多個金屬層的實施例中，金屬層108可包括一或多個金屬層，其中接觸件106及通孔107提供至不同金屬層的連接。例如，接觸件106可在裝置104中之區域（例如，該裝置中之源極/汲極區域）與第一金屬層（例如，接地金屬層）之間提供連接，而通孔107在該裝置中之區域與其他更高的金屬層（例如，在第一金屬層上方的層）之間提供連接。在某些實施例中，金屬層108提供從裝置104至Vdd（例如，供應電壓）及Vss（例如，接地）的佈線。金屬層108亦可提供用於連接的佈線，以控制至/來自裝置104的信號，如本文所描述。

【0009】 圖2描繪根據一些實施例之沿著圖1所示之截線的標準單元100之實施例的剖面表示圖。在繪示實施例中，標準單元100包括基材200，其中絕緣層202形成於閘極102上方。在一些實施例中，如圖2所示，閘極102B係主動閘，而閘極102A及102C係在該主動閘之兩個側上的隔離閘極。在某些實施例中，基材200係矽基材，且絕緣層202係氧化物層。在各種實施例中，基材200對於裝置104之實施方案可包括額外組件或特徵。例如，基材200針對裝置104中之實施方案可包括絕緣層、擴散（例如，氧化物擴散）區域、或摻雜區域。

【0010】 為求圖示簡化，基材200及絕緣層202經描繪為單一層。在一些實施例中，絕緣層202包括形成於基材上方的一或多個絕緣層。例如，基材200可係一矽基材，其中一或多個氧化物層形成於基材上方。絕緣層202可包括單

一絕緣層或多個絕緣層。例如，絕緣層202可包括多個氧化物層。在各種實施例中，絕緣層202至少部分環繞或囊封裝置104之區域（例如，閘極102、源極/汲極區域204、接觸件106等）。

【0011】 在某些實施例中，如圖2所示，裝置104之源極/汲極區域204在標準單元100中係定位於基材200上方。源極/汲極區域204可係FinFET或NSH裝置中的例如鰭片或奈米片堆疊。亦可設想到各種實施例，其中源極/汲極區域204在基材200中，或者源極/汲極區域之部分在基材中。

【0012】 如圖2所示，接觸件106、通孔107、及金屬層108在裝置104之頂側層中於源極/汲極區域204及閘極102上方。在各種實施例中，通孔107提供至源極/汲極區域204A的信號連接，而接觸件106提供至源極/汲極區域204B的電力信號連接。例如，在圖1及圖2之繪示實施例中，接觸件106B透過金屬層108中的佈線將源極/汲極區域204B連接至Vdd（應注意，接觸件106B從裝置104水平地延伸至金屬層108耦接至Vdd的部分，如圖1所示），而通孔107（透過接觸件106A）將源極/汲極區域204A連接至金屬層108中的信號佈線。因此，金屬層108可包括用於電力連接及控制信號連接兩者的佈線。如圖1及圖2所示，使用接觸件106及通孔107在裝置104上方為電力及控制信號兩者提供連接及佈線可能在標準單元100中具有裝置上方的面積成本。

【0013】 針對標準單元之設計的一些設想到實施例將用於電力連接的連接及佈線移動至電晶體下方的金屬層。例如，可將用於電力的連接及佈線提供於該裝置之背側層（例如，當在典型截面圖中檢視時，在該裝置中之電晶體的主動層下方的層）中。如本文所使用，用語「背側(backside)」係指在該裝置之主動層垂直下方（例如，在該裝置之電晶體區域下方）的該裝置中之區域。例

如，背側可係指諸如在垂直維度上電晶體區域下方之接觸件或層的組件，如圖式所描繪及本文所述。應注意，如本文所使用，位於主動層下方的背側元件可能處於主動層製造於其上的矽基材上方、內、或下方。亦即，如本文所使用，「背側」係相對於主動層，而非矽基材。

【0014】 圖3描繪具有背側層電力連接之標準單元300之實施例的仰視表示圖。在圖3之繪示實施例中，標準單元300包括閘極302、裝置304、背側通孔306、及背側金屬層308。閘極302及裝置304可實質上類似於閘極102及裝置104，描繪於圖1。通孔306在裝置304（例如，該裝置中之源極/汲極區域）與背側金屬層308之間提供連接。背側金屬層308可包括一或多個金屬層，其提供從裝置304至Vdd（例如，供應電壓）及Vss（例如，接地）的電力佈線。

【0015】 圖4描繪根據一些實施例之沿著圖3所示之截線的標準單元300之實施例的剖面表示圖。在繪示實施例中，標準單元300包括基材200，其中閘極302、閘極間隔物303、及源極/汲極區域404形成於裝置304中。如圖4所示，裝置304之源極/汲極區域404在該裝置中定位於基材200上方及絕緣層202下方。源極/汲極區域404可係FinFET、NSH、或GAAFET裝置中的例如鰭片或奈米片堆疊。至源極/汲極區域404B的電力連接係由來自背側金屬層308的背側通孔306形成。因此，在圖4之繪示實施例中，背側通孔306將電力從源極/汲極區域404B路由至背側金屬層308，且背側金屬層取代金屬層108中的電力佈線以提供至裝置304的電力連接。

【0016】 如圖4所示，背側通孔306及背側金屬層308定位於裝置304下方（例如，在該裝置於源極/汲極區域404下方的背側層中）。在某些實施例中，背側通孔306包括通過基材200的埋入通孔，以在源極/汲極區域404與背側金屬

層308之間連接。在一些實施例中，如繪示實施例所示，背側金屬層308係形成於基材200之底部表面處或附近。在某些實施例中，背側金屬層308係裝置304之主動層的一或多個背側層（例如，背側金屬層308係在裝置304之電晶體區域的垂直下方）。在一些實施例中，背側金屬層308係基材200中之一或多個埋入層（例如，埋入或嵌入在該基材之底部表面下的金屬層）。在一些實施例中，背側金屬層308係埋入在載體基材層（例如，矽載體基材）下。可設想到其他實施例，其中背側金屬層308不位於基材200中。

【0017】 如圖3及圖4所示，將至源極/汲極區域404的電力連接移動至裝置304下方增加了該裝置上方的可用區域。應注意，接觸件106及金屬層108經描繪於圖4中之裝置304的源極/汲極區域404上方，因為頂側金屬層可用於標準單元300內的其他連接（例如，控制信號連接）。例如，在一些實施例中，至源極/汲極區域404B的電力連接可使用背側通孔306及背側金屬層308形成，而至源極/汲極區域404A的信號連接係使用接觸件106A至金屬層108形成。在一些實施例中，可留空源極/汲極區域404B上方之接觸件106的空間，以增加源極/汲極區域及裝置304上方的可用區域。此空的區域可留空、或用於其他源的佈線（諸如用於控制信號的額外接觸件、或用於其他信號的接觸件）。

【0018】 如上文所描述，圖3及圖4所描繪之標準單元300的實施例可改善該單元佈局內之面積的利用率。然而，單元內之界面電阻（例如，在源極/汲極區域404與背側通孔306之間的界面處的電阻）在該單元中可能存在問題，特別是該單元的大小減小時。本揭露認知到，冗餘的電力連接可形成在裝置上方及下方，以降低標準單元佈局中的界面電阻。

【0019】 本文揭示之某些實施例具有三個大致元件：1)一電晶體，其具有一閘極區域、一源極區域、及一汲極區域，其中該電晶體在垂直於基材的一垂直維度上位於基材上方；2)一第一金屬層，其在該垂直維度上位於該電晶體上方（例如，在該電晶體之頂側上）；3)及一第二金屬層，其在該垂直維度上位於該電晶體下方（例如，在該電晶體之背側上）。在一些實施例中，一或多個軌（諸如電力供應軌）係連接至第一金屬層及第二金屬層兩者。例如，供應電壓軌及接地軌兩者可連接至第一金屬層及第二金屬層兩者（其中金屬層具有用於供應電壓及接地的分開佈線）。在某些實施例中，電晶體之源極區域或汲極區域係連接至第一金屬層及第二金屬層兩者。將源極/汲極區域連接至第一金屬層及第二金屬層兩者在源極/汲極區域與供應電壓軌、接地軌、或兩個軌之間提供了冗餘的連接。

【0020】 在某些實施例中，源極區域連接至供應電壓軌，且汲極區域透過第一金屬層及第二金屬層兩者連接至接地軌。例如，源極區域係連接至第一金屬層及第二金屬層兩者中的電壓供應佈線，其中兩個金屬層中之佈線係連接至供應電壓軌。類似地，汲極區域係連接至第一金屬層及第二金屬層兩者中的接地佈線，其中兩個金屬層中之佈線係連接至接地軌。

【0021】 在各種實施例中，連接至第一金屬層及第二金屬層的軌可係信號軌。例如，可設想到軌提供位元單元信號的實施例。在該源極/汲極區域至信號軌之間提供冗餘信號連接可使得信號在比單一信號連接更少的電阻的情況下離開裝置。在一些實施例中，來自相鄰裝置（例如，相鄰的電晶體）的源極或汲極區域可選擇性地連接至第一金屬層或第二金屬層。例如，可在多電晶體佈

局中實施通孔程式化，以交替來自交替的電晶體中之第一金屬層與第二金屬層之間的源極/汲極區域的連接。

【0022】 簡短的說，本發明人已認知到，在單元佈局中於裝置上方及裝置下方兩者提供用於裝置的連接改善了該單元的效能。在裝置上方及下方提供冗餘的連接降低了該單元內之界面電阻。例如，使用冗餘的連接降低了在該單元中擴散區域及金屬之間的界面電阻，從而改善該單元的效能。本發明人亦已認知到，雖然在裝置上方及下方提供冗餘連接會因為裝置上方的連接而確實具有面積成本，但是相對於僅在裝置下方具有連接之單元（諸如圖3及圖4所示），降低單元中之界面電阻仍然改善了該單元的效能。另外，冗餘的連接可降低單元中的界面電阻，並改善單元的效能，而不須增加單元之大小、或不須提供至單元的額外電力。

【0023】 圖5描繪具有頂側電力連接及背側電力連接兩者之標準單元500之實施例的仰視表示圖。在繪示實施例中，標準單元500包括閘極502及裝置504。閘極502及裝置504可類似於本文所述之其他實施例。在某些實施例中，閘極502係由多晶矽層或金屬層形成的多晶線，且裝置504係電晶體（例如，FinFET裝置、或奈米片FET裝置）。標準單元500包括至頂側金屬層508的頂側（源極/汲極）接觸件506及頂側通孔507兩者、及至背側金屬層512的背側通孔510。應注意，雖然圖5中繪示頂側通孔507，但該頂側通孔一般在仰視圖中被頂側接觸件506隱蔽。在一些實施例中，頂側接觸件506在裝置504與頂側金屬層508之間提供控制信號連接，而頂側通孔507及背側通孔510將來自裝置之電力連接分別提供至頂側金屬層508及背側金屬層512。

【0024】 在某些實施例中，頂側金屬層508中的電力佈線及背側金屬層512中的電力佈線係耦接至軌514及軌516。在繪示實施例中，軌514係供應電壓軌，且軌516係用於耦接至軌之電力供應器的接地軌。亦可設想到其他實施例，其中軌514及軌516係耦接至不同電力供應器或攜載不同電位。在各種實施例中，頂側金屬層部分508A及背側金屬層部分512A提供從裝置504至Vdd（例如，供應電壓）的佈線。類似地，頂側金屬層部分508B及背側金屬層部分512B提供從裝置504至Vss（例如，接地電壓）的佈線。應注意，軌514及軌516、及至/來自軌的耦接係示意性地顯示於繪示實施例中，且軌的實際實施方案、及至/來自軌的耦接可基於標準單元500的所欲功能透過各種設計實行。另外，雖然在圖5中未以垂直地重疊顯示頂側通孔507及背側通孔510，但可設想到各種實施例，其中在垂直方向上頂側通孔與背側通孔之間存在部分重疊或完全重疊。

【0025】 如圖5所示，裝置504使用頂側金屬層508及背側金屬層512兩者連接至軌514及軌516。圖6描繪沿著圖5所示之截線6-6的標準單元500之實施例的剖面表示圖。在繪示實施例中，標準單元500包括基材200，其中閘極502、閘極間隔物503、及源極/汲極區域604形成於該基材上方。源極/汲極區域604係裝置504之源極/汲極區域。源極/汲極區域604可係FinFET或NSH裝置中的例如鰭片或奈米片堆疊。在某些實施例中，頂側接觸件506A耦接至源極/汲極區域604A，而頂側接觸件506B及頂側通孔507將源極/汲極區域604B耦接至頂側金屬層508。在一些實施例中，如本文所述，頂側接觸件506B及頂側通孔507將源極/汲極區域604B連接至頂側金屬層508中的電力佈線（例如，至軌514或軌516的佈線），而頂側接觸件506A提供至源極/汲極區域604A的信號佈線（例如，透過頂側金屬層508中的經連接控制信號佈線）。例如，在圖5及圖6之繪示實施

例中，頂側接觸件506B及頂側通孔507將源極/汲極區域604B連接至頂側金屬層部分508A，以用於路由至軌514及Vdd。如圖6所示，源極/汲極區域604之間不存在連接（例如，通孔或接觸件），且沿著圖5中之截線6-6的路徑不存在背側金屬層512。

【0026】 圖7描繪沿著圖5所示之截線7-7的標準單元500之實施例的剖面表示圖。在繪示實施例中，背側通孔510及背側金屬層512定位於裝置504之源極/汲極區域604下方（例如，在該裝置之背側層中）。在某些實施例中，背側通孔510係通過基材200的埋入通孔，以將源極/汲極區域604B連接至背側金屬層512。在各種實施例中，如圖7所示及本文所述，背側金屬層512係形成於基材200之底部表面處或附近。在一些實施例中，背側金屬層512係基材200中之埋入層（例如，埋入或嵌入在該基材之底部表面下的金屬層）。可設想到額外實施例，其中背側金屬層512不位於基材200中。

【0027】 在某些實施例中，背側通孔510將源極/汲極區域604B連接至背側金屬層512中的電力佈線（例如，至軌514或軌516的佈線）。例如，在圖5及圖7之繪示實施例中，背側通孔510將源極/汲極區域604B連接至背側金屬層部分512A，以用於路由至軌514及Vdd。如圖7所示，在源極/汲極區域604A、604B及沿著圖5中之截線7-7的路徑的頂側金屬層508之間不存在垂直連接（例如，通孔）。

【0028】 在各種實施例中，如圖5至圖7所示，標準單元500使用該標準單元中之裝置上方及下方兩者的連接而在裝置504與軌514及516之間包括電力連接（例如，在該裝置之頂側層及背側層兩者中）。例如，軌514透過頂側通孔507與頂側金屬層部分508A、及背側通孔510與背側金屬層部分512A兩者，連

接至源極/汲極區域604B。在標準單元500中，提供裝置504上方及下方兩者的電力連接可降低擴散區域（例如，源極/汲極區域604B）與金屬層（例如，頂側通孔507及背側通孔510）之間的界面電阻。例如，藉由使用從裝置504上方及下方兩者至軌514及軌516的連接增加擴散區域與金屬層之間的連接區、及降低該等軌與該裝置之間的路徑中的電阻，來降低界面電阻。在一些實施例中，標準單元500中的界面電阻經降低至標準單元100或標準單元300中之界面電阻的約一半，因為標準單元500使至軌514及軌516的電力連接數目變成兩倍。

【0029】 在標準單元500中提供裝置504上方及下方的冗餘電力連接相較於標準單元300會因為裝置上方的連接而可能具有增加的面積成本。然而，降低標準單元500中的界面電阻改善了標準單元500相較於標準單元300的效能。例如，相對於標準單元300，標準單元500可具有大約5%或更大的效能上的改善。另外，在具有相同面積成本的同時，標準單元500相較於標準單元100甚至具有具更大的效能。因此，標準單元500可具有改善的效能，而不須增加單元之大小、或不須提供額外電力至單元。

【0030】 在一些實施例中，使用頂側通孔507及頂側金屬層508中之金屬相對於背側通孔510及背側金屬層512中之金屬的特性，以控制將電力提供至裝置504之電力供應器的性質。例如，頂側通孔507及頂側金屬層508中之金屬的電阻可相對於背側通孔510及背側金屬層512中之金屬的電阻而特徵化，以判定欲透過頂側金屬層及背側金屬層提供之電力的相對百分比。接著可基於該相對百分比使用程式化或模型化來控制將電力提供至標準單元500的電力供應器。在一些實施例中，一或多個連結單元可耦接至頂側金屬層及背側金屬層，以使頂側金屬層及背側金屬層連結在一起。

【0031】 在一些實施例中，電力供應器可連接至頂側金屬層及背側金屬層，而不具有任何程式化或模型化，使得電力供應器基於頂側金屬層及背側金屬層的相對電阻將電力分配至頂側金屬層及背側金屬層。在此類實施例中，頂側金屬層中之電阻與背側金屬層中之電阻之間的不匹配可係小的。小的差異可在可忍受限制內，使得不需要電力供應器的程式化或模型化。例如，頂側金屬層及背側金屬層上電壓的差異可係大約為幾毫伏特。

【0032】 在一些實施例中，標準單元500可以複數個標準單元實施，其中通孔在該等單元之間程式化。圖8描繪具有具有通孔程式化之兩個標準單元500的系統的實施例的剖面表示圖。系統800包括第一標準單元500A及第二標準單元500B。雖然描繪了兩個標準單元，但應理解，系統800可包括類似於第一標準單元500A及第二標準單元500B的複數個交替標準單元。

【0033】 系統800可包括至第一標準單元500A及第二標準單元500B之兩個電壓源Vdd1及Vdd2之間的佈線。在繪示實施例中，Vdd1係路由至第一標準單元500A中之背側金屬層512，且Vdd2係路由至第二標準單元500B中之頂側金屬層508。通孔程式化在系統800中實施，以交替至第一標準單元500A及第二標準單元500B中之Vdd1及Vdd2的連接。

【0034】 例如，如圖8所示，在第一標準單元500A中，不存在頂側金屬層508（路由至Vdd2）與源極/汲極區域604A、604B之間的連接（無接觸件通孔），而使用背側通孔510以在背側金屬層512（路由至Vdd1）與源極/汲極區域604B之間存在連接。相反地，在第二標準單元500B中，使用通孔507以在頂側金屬層508（路由至Vdd2）與源極/汲極區域604B之間存在連接，而不存在背側金屬層512（路由至Vdd1）與源極/汲極區域604A、604B之間的連接。因此，

基於由標準單元中存在/不存在接觸件通孔判定的程式化，第一標準單元500A接收Vdd1，而第二標準單元500B接收Vdd2。

【0035】 圖5至圖8所示之實施例藉由具有裝置504上方及下方兩者的連接來為電力連接提供降低的界面電阻。亦可設想到各種實施例，以為電晶體裝置（諸如，裝置504）上方及下方的閘極提供信號（例如，控制信號）連接，以為單元（諸如標準單元500）中之信號傳輸潛在地提供額外益處。例如，提供通過單元的額外信號連接或佈線可減少RC延遲，其一般係來自在單元之頂側層中的通孔連接處的電阻。

【0036】 然而，在背側金屬層中提供至閘極的信號連接（例如，至背側金屬層512的背側通孔510連接）可係不可靠的且難以實施或昂貴。例如，將至閘極的信號連接置放在背側層中可能把信號及供電連接放得太近，從而引起降低裝置可靠性的寄生問題。另外，在背側層中形成至閘極的信號連接可能需要高度控制的程序，以能夠在接近的情況下置放信號連接及電力連接，從而增加成本並減少裝置產率。本揭露設想到在背側層提供用於信號連接的路由路徑，以降低傳輸信號中的電阻，而至閘極的背側層連接不需太接近電力連接。所揭示之方法可藉由減少單元中之RC延遲來相對先前單元佈局（諸如圖1至圖4所描繪者）改善積體電路單元的效能。

【0037】 本文揭示之某些實施例具有三個大致元件：1)一第一電晶體及一第二電晶體，其等位於一積體電路之一電晶體區域中；2)一通孔結構，其在該第一電晶體相對於該第二電晶體的一側上；及3)一控制信號，其從該第二電晶體路由至該第一電晶體，該控制信號從該第二電晶體至一背側金屬層中、通過該通孔結構至一頂側金屬層、並通過該頂側金屬層至該第一電晶體之一閘

極。在某些實施例中，該控制信號路由在背側金屬層中通過第一電晶體下方。在一些實施例中，該控制信號路由在該第二電晶體之一信號輸出與該第一電晶體的之一信號輸入之間行進。

【0038】 在各種實施例中，該通孔結構包括非主動（例如，「虛置(dummy)」）源極/汲極區域、及將該背側金屬層連接至該頂側金屬層的一或多個通孔。在一些實施例中，實施二或更多個通孔結構以在該背側金屬層與該頂側金屬層之間傳輸該控制信號。該二或更多個通孔結構可在該背側金屬層與該頂側金屬層之間平行傳輸該控制信號。接著，該等通孔結構可在該等金屬層中連接在一起（例如，「短路(shorted)」），以傳輸該控制信號。

【0039】 簡短的說，本發明人已認知到以下係可能的：藉由使用一電晶體與該連接電晶體之相對側上的通孔結構，來提供通過背側層之控制信號的佈線連接，而不需背側層中之額外閘極連接。該等通孔結構可係例如非主動（例如，「虛置」）電晶體。除了其他路由之外，在該電晶體下方提供通過背側層、通過通孔結構的佈線連接提供了一控制信號路由，以減少信號傳輸中的RC延遲。雖然添加此類通孔結構可能具有面積成本，但單元效能在控制信號路由通過通孔結構之情況下的改善可提供信號傳輸上、值得面積成本的實質回報。

【0040】 圖9描繪具有頂側電力連接及背側電力連接兩者、連同背側信號佈線連接之一單元900的實施例的仰視表示圖。單元900可係例如標準單元或客製電路設計單元。在繪示實施例中，單元900包括閘極902及裝置904。閘極902及裝置904可類似於本文所述之閘極及裝置的其他實施例。在某些實施例中，閘極902係由多晶矽層或金屬層形成的多晶線，且裝置904係電晶體（例如，FinFET裝置、奈米片FET裝置、或GAAFET裝置）。裝置904亦包括至頂側金屬

層908的頂側（源極/汲極）電力接觸件906及頂側通孔907兩者、及至背側金屬層912的背側通孔910。頂側通孔907在裝置904與頂側金屬層908之間提供電力連接（例如，Vdd/Vss連接），而背側通孔910在該裝置與背側金屬層912之間提供電力連接。

【0041】 如本文所述，頂側金屬層908及背側金屬層912可耦接至電力軌，以提供至裝置904的電力連接。例如，頂側金屬層部分908A及背側金屬層部分912A可提供從裝置904至Vdd（例如，供應電壓）的佈線，而頂側金屬層部分908B及背側金屬層部分912B提供從裝置904至Vss（例如，接地電壓）的佈線。為求圖示簡化，圖9中之單元900的實施例中未顯示電力軌。

【0042】 在某些實施例中，背側金屬層912包括背側金屬層部分912C。如本文所述，可實施背側金屬層部分912C以提供通過單元900之控制信號的佈線連接。背側金屬層部分912C可在與背側金屬層部分912A及背側金屬層部分912B相同的背側金屬層中，或可在不同的背側金屬層中。在各種實施例中，背側金屬層部分912C包括第一背側金屬層或第二背側金屬層。

【0043】 如圖9所示，背側通孔910不接觸背側金屬層部分912C，以避免路由通過背側金屬層912之電力連接與信號連接之間的短路。如上文所述，鑒於背側金屬層中之電力連接（例如，背側通孔910、及背側金屬層部分912A與912B），在背側金屬層912中置放閘極連接係困難、不可靠、且昂貴的。因此，本揭露設想到透過背側金屬層部分912C提供佈線連接，而不在裝置904下方（例如，在該裝置之垂直區域中）透過背側通孔910提供連接。在各種實施例中，如圖10至圖13所示，「虛置」單元可相鄰於單元900定位，以提供控制信號的佈線。

【0044】 圖10描繪根據一些實施例之佈局1000的仰視表示圖。在繪示實施例中，佈局1000包括單位1001。單元1001包括非主動（「虛置」）閘極1002，其中通孔結構1010A、1010B、1010C定位於該等非主動閘極之間，以形成非主動（「虛置」）裝置1004。在各種實施例中，單元1001可相鄰於主動單元及閘極（例如，圖9所示之單元900及閘極902A）定位。在某些實施例中，單元1001係包括在相鄰於主動單元之一端部分（例如，在該單元佈局之端部分中）、或該單元佈局中之另一信號端點的唯一單元。單元1001包括三個背側金屬層部分912A、912B、912C之延伸的路徑。在某些實施例中，背側金屬層部分912C的延伸為與主動單元（例如，裝置904）相關聯的控制信號提供佈線路徑。應理解，金屬層部分912A、912B、912C之各者可位於單一背側金屬層、不同背側金屬層、或背側金屬層的組合中。

【0045】 在某些實施例中，單元1001包括一或多個通孔結構1010。在繪示實施例中，單元1001包括三個通孔結構1010A、1010B、1010C，儘管可設想到任何數目之通孔結構1010。如本文所述，通孔結構1010可包括背側通孔910、頂側通孔907（顯示於圖11中）、及將背側金屬層部分912C連接至頂側金屬層908的非主動（例如，「虛置」）、及源極/汲極區域1214（顯示於圖12及圖13中）。背側通孔910A、910B、910C在裝置1004之源極/汲極區域（例如，圖12及圖13所示之源極/汲極區域1214）與背側金屬層部分912C之間提供連接。

【0046】 圖11描繪根據一些實施例之佈局1000的俯視表示圖。在繪示實施例中，通孔結構1010包括頂側通孔907A、907B、907C，其等將裝置1004之源極/汲極區域（例如，圖12及圖13所示之源極/汲極區域1214）連接至頂側金

屬層部分908C。在一些實施例中，頂側金屬層部分908C包括多個部分（例如，路徑）。此等多個路徑可如圖11示意性地顯示連接在一起（例如，短路），以在頂側通孔907與主動單元之間提供連接。例如，閘極通孔可將頂側金屬層部分908C向下連接至主動單元的閘極（諸如圖9中之閘極902）。在一些實施例中，頂側金屬層部分908C係位於頂側金屬層908之第一金屬層中，儘管可實施其他金屬層。

【0047】 在圖10及圖11之繪示實施例中，頂側金屬層部分908A、908B及背側金屬層部分912A、912B並未連接至單元1001中之裝置1004的任何部分。例如，不存在將裝置1004中之源極/汲極區域（例如，圖12及圖13所示之源極/汲極區域1214）連接至頂側金屬層部分908A、908B、或背側金屬層部分912A、912B的任何頂側通孔907或背側通孔910。在不具有此等連接的情況下，電力連接不提供於裝置1004中，且裝置1004係一非主動（例如「虛置」）裝置。在裝置1004為非主動的情況下，控制信號路由通路（例如，圖12及圖13所示之控制信號路由1220）可通過裝置1004，而不受來自電力信號任何干擾。

【0048】 圖12描繪根據一些實施例之沿著圖10及圖11中之截線12-12的佈局1000之實施例的剖面表示圖。在繪示實施例中，控制信號路由1200的路徑（虛線）描繪於源極/汲極區域1214A、1214C與主動單元之間。例如，控制信號路由1200從源極/汲極區域1214A、1214C通過接觸件906及頂側通孔907A與907C行進至頂側金屬層部分908C，其接著路由至主動單元。在圖12所示之單元1001的截面中，通孔結構1010A及1010C為控制信號路由1200提供至背側金屬層部分912A上方之頂側金屬層部分908C的路徑（其包括電力佈線）。背側通孔910A、910C亦沿著圖12所描繪之截面定位。然而，應注意，通孔結構1010A、

1010C中的背側通孔910A、910C分別（亦如圖10所示）提供至背側金屬層部分912C的連接路徑，而非至背側金屬層部分912A的連接路徑。因此，在圖12之繪示實施例中，控制信號路由1200具有從源極/汲極區域1214A、1214C至背側通孔910A、910C中、並接著至背側金屬層部分912C（其接著路由至主動單元）的路徑，而背側通孔910A、910C不連接至背側金屬層部分912A。因此，如圖12所示，控制信號路由1200具有通過源極/汲極區域1214A及源極/汲極區域1214C兩者介於頂側層金屬層部分908C與背側金屬層部分912C之間的路徑。

【0049】 可設想到在背側通孔910A、910C與背側金屬層部分912C之間的金屬佈線之各種實施例。金屬佈線可包括在兩個結構之間提供路徑/路由的例如金屬通孔、金屬導線、金屬跡線等之任何組合。例如，在一個實施例中，背側通孔910A、910C可分別從源極/汲極區域1214A、1214C垂直地向下延伸（如圖12所示）至基材200中，其中額外的金屬佈線接著將背側通孔連接至背側金屬層部分912C。

【0050】 圖13描繪根據一些實施例之沿著圖10及圖11中之截線13-13的佈局1000之實施例的剖面表示圖。在圖13所示之單元1001的截面中，通孔結構1010B為控制信號路由1200在源極/汲極區域1214B與背側金屬層部分912C之間提供路徑。類似於圖12之截面，在圖13之截面中，背側金屬層部分912B（例如，電力佈線）定位於電晶體區域1230下方。然而，通孔結構1010B中之背側通孔910B（亦顯示於圖10中）為源極/汲極區域1214B提供至背側金屬層部分912C的連接路徑，而非至背側金屬層部分912B的連接路徑。因此，控制信號路由1200從源極/汲極區域1214B通過背側通孔910B，並接著行進至背側金屬層部分912C（其接著路由至主動單元）。如上文所述，可設想到在背側通孔910B之

底部與背側金屬層部分912C之間的金屬佈線之各種實施例。例如，在一個實施例中，背側通孔910B垂直地延伸至基材200中，其中額外的金屬佈線將該背側通孔連接至背側金屬層部分912C。

【0051】 圖14描繪根據一些實施例之沿著圖10及圖11中之截線14-14的佈局1000之實施例的剖面表示圖。在圖14所示之單元1001的截面中，通孔結構1010A、1010B、1010C為控制信號路由1200提供通過背側金屬層部分912C介於源極/汲極區域1214A、1214B、1214C與主動單元之間的路徑。在該截面之繪示實施例中，背側金屬層部分912C在裝置1004中係定位於電晶體區域1230下方。因此，通孔結構1010A、1010B、1010C中之背側通孔910A、910B、910C分別為源極區域1214A、1214B、1214C提供直接向下至背側金屬層部分912C的連接。控制信號路由1200接著從源極/汲極區域1214A、1214B、1214C至背側金屬層部分912C，並接著至主動單元。

【0052】 在圖12至圖14之繪示實施例中，裝置1004形成於單元1001之電晶體區域1230中。電晶體區域1230包括一般實施在裝置之主動層中的結構（諸如相鄰的主動單元）。例如，電晶體區域1230可包括閘極1002、閘極間隔物1003、及源極/汲極區域1214，其等發現於電晶體裝置之主動層中。源極/汲極區域1214可係例如形成FinFET或NSH裝置中之鰭片或奈米片堆疊的裝置1004的摻雜區域。

【0053】 如上文所述，在單元1001中，閘極1002及源極/汲極區域1214不連接至任何電力源，且因此裝置1004之電晶體區域1230可視為非主動（例如，「虛置」）電晶體區域。由於裝置1004之電晶體區域1230中的非主動性，源極/汲極區域1214可實施於控制信號路由1200中，如圖12至圖14所示。因此，如繪

示實施例所示，控制信號路由1200可在源極/汲極區域與主動單元之閘極之間提供一路徑，其包括通過背側金屬層部分912C、通過通孔結構1010（例如，通過背側通孔910、通過源極/汲極區域1214、並通過通孔907）、並通過頂側金屬層部分908C的路徑。

【0054】 在典型的單元佈局中，來自一主動單元裝置之輸出的一佈線（例如，圖9所示之裝置904，其在閘極902A具有輸出）將從該閘極向上，並通過頂側金屬層908行進至該主動單元裝置中之源極/汲極區域的輸入。如本文所述，此類佈線可能具有產生RC延遲的高電阻。然而，圖12至圖14所示之控制信號路由1200係一路由，該路由藉由透過單元1001中之結構（例如，通孔結構1010）在頂側金屬層部分908C與背側金屬層部分912C之間路由控制信號，來包括背側金屬層912的額外使用。因此，在各種實施例中，單元1001中之通孔結構1010為控制信號在一主動裝置（例如，裝置904）與其他主動裝置相對的一側上提供一路由。

【0055】 在某些實施例中，單元1001包括三個通孔結構1010A、1010B、1010C。如上文所述，三個通孔結構1010A、1010B、1010C可在頂側金屬層部分908C與背側金屬層部分912C之間平行耦接，其中該等通孔結構在頂側金屬層部分中及在背側金屬層部分中連接在一起（例如，短路）。因此，控制信號路由1200可在從背側金屬層部分912C行進至通孔結構1010A、1010B、1010C中時「分割(divide)」（例如，分離），並平行運行通過通孔結構1010A、1010B、1010C。在頂側金屬層部分908C中，控制信號可接著「重新組合(recombine)」（例如，組合回一起）且連接至主動單元中之閘極。應注意，雖然圖10至圖14描繪三個通孔結構1010A、1010B、1010C，但單元1001中之通孔結構的數目可

變化。例如，通孔結構1010之數目可變化以平衡相對於效能（其中更多通孔結構提供更高的效能）的面積成本（由於通孔結構的實體存在的緣故）。

【0056】 相較於僅將控制信號路由通過頂側金屬層908（其具有相對小的金屬結構（跡線）），將控制信號運行通過背側金屬層912提供控制信號之低電阻路徑（例如，「高速(highway)」路徑）。因此，透過背側金屬層912及控制信號路由1200傳輸控制信號降低了傳輸控制信號中的RC延遲。應注意，可透過在裝置904下方提供低電阻路徑的任何背側金屬層來路由控制信號。

【0057】 如圖10至圖14所示，控制信號可沿著控制信號路由1200傳輸至一主動裝置（例如，裝置904）。控制信號路由1200行進通過具有低電阻的背側金屬層（例如，背側金屬層部分912C），且接著在到達頂側金屬層（例如，頂側金屬層部分908C）之前平行行進通過多個通孔結構1010。背側金屬層路徑中之低電阻路徑及通過通孔結構1010之平行路徑的組合可提供顯著地減少傳輸控制信號至/來自裝置904的RC延遲，從而改善單元佈局1000中之裝置相較於先前單元佈局的效能。

【0058】 提供通過頂側金屬層及背側金屬層兩者之控制信號可係有用的一個實例係在一位元單元抹除程序中之佈局1000的實施方案。在此類實施例中，可在裝置904處產生一位元單元抹除信號。裝置904可預充電以提供位元單元抹除信號。在較低界面電阻的情況下，相同驅動器電力可在該佈局內將位元單元抹除信號驅動至更遠的距離。例如，裝置904可能夠將位元單元抹除信號發送至位元單元之較大群組（諸如4個位元單元，而非2個位元單元）。作為另一實例，可設想到實施例，其中可實施通過頂側金屬層及背側金屬層兩者至/來自裝置904的控制信號，以在佈局1000中提供差動式結構實施例。在此類實施

例中，信號可平行路由至頂側金屬層及背側金屬層，其中信號從佈局1000之一側上的頂側逸出且從該佈局之另一側上的背側逸出。信號可平行路由，使得頂側金屬層及背側金屬層均看見相同的共模(common mode)。可設想到組合控制信號路由1200與頂側金屬層及背側金屬層中之冗餘電力連接的額外單元佈局，以提供信號傳輸及電力傳輸兩者相較於先前單元佈局的改善效能。

【0059】 上述實施例係關於利用背側金屬層以為積體電路單元佈局中之電力及/或控制信號提供額外連接。在本揭露中亦設想到此等額外連接之實施方案的各種實施例。例如，可設想到標準記憶體陣列（例如，SRAM陣列）設計利用背側金屬層中之電力及/或控制信號的額外連接，以改善SRAM陣列中的電力、效能、及面積(PPA)度量。SRAM陣列的目前設計一般係為電晶體上方的電晶體（或其他結構）提供電力或信號的連接及佈線。如本文所述，可設想到一些實施例，其具有至SRAM陣列之背側金屬層中之電力的連接（單獨的連接、或與頂側金屬層電力連接組合）。

【0060】 雖然在SRAM陣列的背側金屬層中提供電力連接為電力傳輸提供額外益處，但本揭露認知到可藉由為背側層中的位元線及/或字線置放一些信號連接路徑來達成額外益處。例如，為位元線將一些信號連接路徑移動至背側層可使得位元線上的電容(cap)減少，其改善SRAM陣列中效能及電力利用率，而為字線將一些信號連接路徑移動至背側層可改善SRAM陣列中電力利用率。亦可藉由將位元線或字線置放在背側層中來實現面積成本上的進一步改善。

【0061】 本文揭示之某些實施例具有三個大致元件：1)複數個位元單元，其等在一陣列中相鄰地定位；2)一第一位元線或一第一對位元線，其等交替地橫跨該陣列中的位元單元；3)一第二位元線或一第二對位元線，其等從該

第一位元線或該第一對位元線橫跨隔一個的位元單元。在各種實施例中，（該等）第一位元線係位於該裝置之一頂側（例如，前側、或在該等位元單元上方）上的一第一金屬層中之金屬導線，而（該等）第二位元線係位於該裝置之背側（例如，在該等位元單元下方）上的一第二金屬層中之金屬導線。在記憶體陣列中交替相鄰位元單元之間的（該等）第一位元線及（該等）第二位元線，可藉由在相同金屬層中之不同位元線之間提供增加的分離來提供該記憶體陣列中電容顯著的減少。減少記憶體陣列中之電容可提供用於改善該記憶體陣列內之其他參數（諸如漏電）的權衡，如本文所述。

【0062】 本文揭示之另一實施例具有三個大致元件：1)複數個位元單元，其等在一陣列中相鄰地定位；2)一第一字線，其橫跨該陣列中的該等位元單元，其中該第一字線係位於該等位元單元上方的一第一金屬層中之一第一導線；及3)一第二字線，其橫跨該陣列中的該等位元單元，其中該第二字線係位於該等位元單元下方的一第二金屬層中之一第二導線。在各種實施例中，該第一字線及該第二字線連接至該陣列內之交替的位元單元。例如，一記憶體陣列可具有四個相鄰位元單元，其中兩個字線橫跨該四個位元單元。在該記憶體陣列中，該第一字線連接至該第一位元單元及該第三位元單元，而該第二字線連接至該第二位元單元及該第四位元單元。

【0063】 交替兩個分開字線之間的連接可提供該等位元單元的獨立控制。例如，該第一字線控制該第一位元單元及該第三位元單元的雙態觸變，且該第二字線控制該第二位元單元及該第四位元單元的雙態觸變。因此，當欲改變單一位元時僅需雙態觸變位元單元的一半而非雙態觸變所有四個位元單元，從而減少記憶體陣列中的動態電力消耗。將用於字線的線置放於背側金屬層中

亦可提供面積成本優點，因為兩個字線可透過兩個不同的金屬層（例如，頂側金屬層及背側金屬層）置放於類似垂直區域（在位元單元上方/下方）中，從而在沒有面積成本的情況下使字線容量變成兩倍。

【0064】 簡短的說，本發明人已認知到背側金屬層中的配線可有利地實施於記憶體陣列（例如，SRAM陣列）中。利用用於位元線及/或字線佈線之背側金屬層中的配線可在記憶體陣列中提供各種PPA改善。例如，可藉由減少位元線電容來提供效能及電力改善，這可另外充分利用於記憶體陣列中的其他改善，包括減少面積的機會。

【0065】 圖15描繪根據一些實施例之顯示位元單元及位元線的記憶體陣列1600的俯視表示圖。在繪示實施例中，記憶體陣列1600包括四個位元單元：位元單元1610A、位元單元1510B、位元單元1510C、及位元單元1510D。雖然圖15中描繪四個位元單元，但應理解，記憶體陣列1500可包括任何數目之位元單元。在各種實施例中，位元單元1510A、位元單元1510B、位元單元1510C、及位元單元1510D在記憶體陣列1500中相鄰地定位（例如，鄰近於彼此定位）。例如，如圖15所描繪，位元單元1510A至1510D係彼此垂直地相鄰定位（例如，垂直地「堆疊stacked」於彼此之上）。

【0066】 在某些實施例中，記憶體陣列1500包括橫跨各位元單元1510的位元線對。例如，在繪示實施例中，位元線1520A橫跨位元單元1510A，位元線1520B橫跨位元單元1510B，位元線1520C橫跨位元單元1510C，且位元線1520D橫跨位元單元1510D。各對位元線可係位元線的互補對（例如，一個位元線係正位元線，且另一位元線係負位元線）。在各種實施例中，位元線1520垂直於位元單元1510相鄰定位的方向（例如，在圖15中位元單元1510A至

1510D所堆疊的方向）而運行。在某些實施例中，位元線1520係在記憶體裝置之金屬層中形成的導線（例如，金屬路由、金屬跡線、金屬結構等）。

【0067】 在某些實施例中，位元線1520（例如，位元線中之導線）藉由通孔連接1530而連接至其等各別位元單元1510。例如，在繪示實施例中，位元線1520A藉由通孔連接1530A而連接至位元單元1510A，位元線1520B藉由通孔連接1530B而連接至位元單元1510B，位元線1520C藉由通孔連接1530C而連接至位元單元1510C，且位元線1520D藉由通孔連接1530D而連接至位元單元1510D。應注意，雖然通孔連接1530在圖15中描繪為橫跨該等對之位元線，但一位元線對中之各線可具有其自身個別的通孔連接。因此，通孔連接1530A至1530D可各自包括多於一個通孔連接。另外，在於單一位元單元中具有多個通孔連接1530的實施例中，通孔連接按設計規則所需可在位元單元內對準或偏移。

【0068】 本揭露設想到在位元單元1510之頂側及背側上的不同金屬層中置放不同對之位元線1520（如圖15所示），以改善相對於典型SRAM陣列的PPA。在繪示實施例中，位元線1520A及位元線1520C係記憶體陣列1500之背側金屬層（例如，在位元單元1510A及位元單元1510C之電晶體區域下方的金屬層）中的線。相反地，位元線1520B及位元線1520D係記憶體陣列1500之頂側金屬層（例如，在位元單元1510B及位元單元1510D之電晶體區域上方的金屬層）中的線。因此，如圖15所示，位元線在相鄰位元單元中於背側金屬層與頂側金屬層之間交替。例如，位元單元1510A中的位元線1520A係在背側金屬層中，接著位元單元1510B中的位元線1520B切換至頂側金屬層，其中位元單元1510C

中的位元線1520C切換回背側金屬層，且接著位元單元1510D中的位元線1520D切換回頂側金屬層。

【0069】 在各種實施例中，可使用本文所述之技術將位元線1520置放於頂側金屬層或背側金屬層中。應注意，位元線1520可置放於背側金屬層中，而不需閘極連接，因為位元線連接至記憶體陣列1500中的汲極。可設想到額外實施例，其中各對位元線包括在頂側金屬層中的一個位元線、及在背側金屬層中的一個位元線。在此類實施例中，可實施額外設計考量以在各對位元線中維持位元線之間的對稱性。

【0070】 在記憶體陣列之一些實施例中，可設想到位元單元中的單端位元線。圖16描繪根據一些實施例之在位元單元中具有單端位元線的記憶體陣列1600的俯視表示圖。在繪示實施例中，記憶體陣列1600包括位元單元1610A至1610D，其中單一位元線1620A至1620D橫跨該等位元單元。類似於圖15之實施例，位元線1620A至1620D可在相鄰位元單元1610A至1610D之間於背側金屬層與頂側金屬層之間交替。雖然圖16中描繪四個位元單元，但應理解，記憶體陣列1600可包括任何數目之位元單元。在各種實施例中，通孔連接1630A至1630D在位元線1620A至1620D與其等各別位元單元1610A至1610D之間提供連接。

【0071】 在典型的SRAM陣列中，位元線係位元單元之頂側（例如，前側）上的金屬層中的線（例如，位元線係在位元單元之電晶體區域上方的金屬層中）。然而，在相同金屬層中置放位元線可能需要位元線之間的高屏蔽需求，從而增加記憶體陣列中的位元線電容，且降低記憶體陣列的效能。

【0072】 在本揭露中，如圖15及圖16所示在相鄰位元單元中於背側金屬層與頂側金屬層之間交替位元線減少了記憶體陣列中的位元線電容。例如，交替位元線在相同金屬層中於位元線（位元線對）之間建立較高的分離距離。此增加的分離距離減少了位元線的屏蔽需求，並減少了位元線電容。減少位元線電容可在記憶體陣列的其他特性中進一步充分利用。例如，在較低屏蔽需求的情況下，可減少屏蔽結構的面積利用率，從而在記憶體陣列中增加面積可用度以用於其他結構。作為另一實例，在減少位元線電容的情況下記憶體陣列中的位元單元可減速，同時提供相同效能。位元單元減速可減少記憶體陣列中的漏電。

【0073】 圖17描繪根據一些實施例之顯示位元單元及字線的記憶體陣列1700的俯視表示圖。在繪示實施例中，記憶體陣列1700包括四個位元單元：位元單元1710A、位元單元1710B、位元單元1710C、及位元單元1710D。雖然圖17中描繪四個位元單元，但應理解，記憶體陣列1700可包括任何數目之位元單元。在各種實施例中，位元單元1710A、位元單元1710B、位元單元1710C、及位元單元1710D在記憶體陣列1700中相鄰地定位（例如，鄰近於彼此定位）。例如，如圖17所描繪，位元單元1710A至1710D係彼此垂直地相鄰定位（例如，垂直地「堆疊」於彼此之上）。

【0074】 在某些實施例中，記憶體陣列1700包括橫跨位元單元1710A至1710D的一對平行字線（字線1720A及字線1720B）。因此，字線1720A及字線1720B可視為橫跨記憶體陣列1700。在各種實施例中，字線1720A及字線1720B在位元單元1710A至1710D相鄰定位的相同方向上（例如，在圖17所描繪的垂直方向上）橫跨該等位元單元。因此，字線1720A及1720B沿著其等長度橫跨記

憶體陣列1700提供對位元單元1710A至1710D的存取。在某些實施例中，字線1720A係記憶體陣列1700之背側金屬層中的導線，而字線1720B係該記憶體陣列之頂側金屬層中的導線。將字線1720A置放於背側金屬層中、及將字線1720B置放於頂側金屬層中，使得兩個字線定位於記憶體陣列1700中之位元單元的相同群組（例如，位元單元1710A至1710D）上。將兩個字線置放於位元單元的相同群組上方提供了面積利用率的優點，如下文所述。

【0075】 如圖17所示，藉由通孔連接1730A至1730D提供對位元單元1710A至1710D的存取（例如，連接）。通孔連接1730可係例如通過在含有位元單元1710之電晶體區域與含有字線1720之金屬層之間定位的絕緣層的金屬通孔。在各種實施例中，在字線通過位元單元時，通孔連接1730A至1730D在位元單元1710A至1710D與字線1720A或字線1720B之間提供連接。在某些實施例中，藉由交替由通孔連接1730A至1730D提供的連接，來對相鄰的位元單元在字線1720A與字線1720B之間交替至位元單元1710A至1710D的連接。例如，在繪示實施例中，通孔連接1730A在位元單元1710A與字線1720B之間提供連接，接著通孔連接1730B在位元單元1710B與字線1720A之間提供連接，接著通孔連接1730C在位元單元1710C與字線1720B之間提供連接，且通孔連接1730D在位元單元1710D與字線1720A之間提供連接。因此，位元單元1710B及1710D中至字線1720A的連接與位元單元1710A及1710C中至字線1720B的連接交替。

【0076】 在典型的SRAM陣列中，在一頂側層中僅一單一字線可用於相鄰位元單元的陣列。例如，僅允許在一頂側金屬層中實施單一字線，因為不存在足夠的面積以置放橫跨多個垂直（如所繪示）位元單元的兩個平行字線。在單一字線的情況下，當提供一指令（例如，控制信號）以雙態觸變單一位元單

元時，沿著該字線的所有位元單元接收雙態觸變的指令。由於所有位元單元經雙態觸變，因此與僅雙態觸變一選取數目之位元單元相比，電力消耗不必要地增加。

【0077】 在各種實施例中，使用本文所述之技術將字線1720置放於頂側金屬層或背側金屬層中。應注意，置放於背側金屬層中的字線1720一般需要閘極連接（例如，至一傳輸閘）。因此，可設想到實施例，其中針對字線1720實施本文所述之通過背側層至閘極的連接。

【0078】 在本揭露中，將字線置放於頂側金屬層及背側金屬層中可使得至位元單元的連接在同時提供對位元單元之相同群組的存取的平行字線之間交替。例如，如圖17所示，字線1720A（在背側金屬層中）及字線1720B（在頂側金屬層中在記憶體陣列1700中具有至相鄰的位元單元1710的交替連接。因此，單一字線（例如，字線1720A或字線1720B）能夠在記憶體陣列1700中提供控制信號至一減少數目的位元單元1710（例如，位元單元的一半）。例如，當雙態觸變的控制信號透過字線1720A發送時，僅位元單元1710A及位元單元1710C雙態觸變，而位元單元1710B及位元單元1710D維持在其等目前狀態。類似地，當雙態觸變的控制信號透過字線1720B發送時，僅位元單元1710B及位元單元1710D雙態觸變，而位元單元1710A及位元單元1710C維持在其等目前狀態。

【0079】 相較於具有單一字線的記憶體陣列，減少由單一控制信號雙態觸變之位元單元的數目可在記憶體陣列1700中減少動態電力消耗。提供減少的動態電力消耗亦有著低面積成本，因為字線計數在位元單元上方的垂直區域中變成兩倍，而不需增加位元單元的面積以容納多個字線。圖17所述用於使字線變成兩倍之技術的實施例亦可施用至積體電路（諸如記憶體陣列）中實施的其

他控制信號線。例如，控制信號（諸如但不限於，位元線預充電信號、行選擇信號、交叉耦接PMOS結構信號）係可利用線在頂側金屬層及背側金屬層中兩倍化的控制信號。將所揭示技術施用至此等控制信號可進一步減少電力，因為此等信號係全電力信號，不像字線控制信號。

【0080】 亦可設想到記憶體陣列之各種實施例利用將位元線及字線置放於頂側金屬層及背側金屬層中。圖18描繪根據一些實施例之在頂側金屬層及背側金屬層中具有位元線及字線兩者的記憶體陣列1800的俯視表示圖。在繪示實施例中，記憶體陣列1800包括四個位元單元：位元單元1810A、位元單元1810B、位元單元1810C、及位元單元1810D。雖然圖18中描繪四個位元單元，但應理解，記憶體陣列1800可包括任何數目之位元單元。在各種實施例中，位元單元1810A、位元單元1810B、位元單元1810C、及位元單元1810D在記憶體陣列1800中相鄰地定位（例如，鄰近於彼此定位）。例如，如圖18所描繪，位元單元1810A至1810D係彼此垂直地相鄰定位（例如，垂直地「堆疊」於彼此之上）。

【0081】 記憶體陣列1800之繪示實施例基本上包括與圖17所示之記憶體陣列1700的字線重疊的圖15所示之記憶體陣列1500的位元線。因此，記憶體陣列1800包括橫跨位元單元1810A的位元線1820A、橫跨位元單元1810B的位元線1820B、橫跨位元單元1810C的位元線1820C、及橫跨位元單元1810D的位元線1820D。記憶體陣列1800進一步包括橫跨位元單元1810A至1810D的字線1830A及1830B。

【0082】 如較早的實施例所述，位元線1820A至1820D可包括在頂側金屬層或背側金屬層中的位元線對。例如，在繪示實施例中，位元線1820A及位元

線1820C在背側金屬層中，且位元線1820B及位元線1820D中在頂側金屬層中。類似地，字線1830A可在背側金屬層中，而字線1830B在頂側金屬層中。通孔連接1840A至1840D接著提供從位元單元1810A至1840D至字線1830A及字線1830B的交替連接，而通孔連接1850A至1850D在位元線1820A至1820D與位元單元1810A至1810D之間提供交替連接，如本文所述。

【0083】 應理解，雖然位元線1820及字線1830彼此交叉，且兩者經描述為「在背側（或頂側）金屬層中」，但位元線及字線可在頂側層及背側層兩者中實施於不同金屬層中。例如，位元線1820A可實施於背側金屬層中的第一金屬層中，而字線1830A實施於背側金屬層中的第二金屬層中。可設想到其他實施例，其中位元線及字線路由通過多個金屬層以容納該等線之間的間隔。圖18中描繪之記憶體陣列1800的實施例可受益於本文所述關於在背側金屬層及頂側金屬層中同時具有位元線及字線兩者的各種優點。

【0084】 在各種實施例中，頂側金屬層及背側金屬層兩者中的字線可實施於記憶體陣列之大型單元（例如，「巨集單元(megacell)」）中，以改善此類單元中之面積利用率。圖19描繪根據一些實施例之大型記憶體巨集單元取代兩個較小的記憶體巨集單元的俯視表示圖。在繪示實施例中，巨集單元1910A及1910B經組合成單一巨集單元（巨集單元1900）。巨集單元1910A包括由位元線邏輯電路1914A分開的記憶體陣列庫(bank) 1912A及記憶體陣列庫1912B，其中字線邏輯電路1916A相鄰於該等記憶體陣列庫及該位元線邏輯電路定位。除了記憶體單元及記憶體陣列之其他所設想到實施例以外，記憶體陣列庫1912A及1912B可包括本文揭示之各種記憶體單元或記憶體陣列之任一者。位元線邏輯電路1914A可包括用於從記憶體陣列庫1912A及1912B讀取資料的感測放大器或

其他邏輯。字線邏輯電路1916A可包括於與記憶體陣列庫1912A及1912B中之字線相互作用的字線解碼器邏輯、字線選擇邏輯、或多工器邏輯。

【0085】 在各種實施例中，巨集單元1910A亦包括全域輸入/輸出(I/O)電路1918A及全域控制電路1920A。全域I/O電路1918A可包括例如寫入驅動器或感測放大器。全域控制電路1920A可包括例如時脈或解碼器邏輯。巨集單元1910B基於包括記憶體陣列庫1912C、記憶體陣列庫1912D、位元線邏輯電路1914B、字線邏輯電路1916B、全域輸入/輸出(I/O)電路1918B、及全域控制電路1920B而可類似於巨集單元1910A。

【0086】 如圖19中之箭頭所示，可將巨集單元1910A及1910B組合以形成巨集單元1900。巨集單元1900包括記憶體陣列庫1912A至1912D、與位元線邏輯電路1914、字線邏輯電路1916、全域輸入/輸出(I/O)電路1918、及全域控制電路1920的單一例項。因此，相較於1910A及1910B之組合，巨集單元1900可具有降低的面積成本。

【0087】 巨集單元1900可藉由在頂側金屬層及背側金屬層兩者中實施字線而形成。例如，在繪示實施例中，巨集單元1900包括分別用於連接至記憶體陣列庫1912A及記憶體陣列庫1912C的字線1930A及字線1930B。可將類似的字線提供至記憶體陣列庫1912B及1912D。

【0088】 在某些實施例中，字線1930A位於頂側金屬層中，而字線1930B位於背側金屬層中。如圖19所示，相較於字線1930A所具有之運行以連接至記憶體陣列庫1912A中的記憶體單元，字線1930B具有較長的運行距離以連接至記憶體陣列庫1912C中的記憶體單元。由於此較長的距離，字線1930B可置放於背側金屬層中，因為背側金屬層一般具有比頂側金屬層更低電阻的金屬配線。使

用字線1930B的低電阻背側金屬層亦消除頂側金屬層字線連接至記憶體陣列庫1912C或記憶體陣列庫1912D可能需要的中繼器需求。因此，相較於巨集單元1910A及1910B之組合，巨集單元1900提供較佳的面積利用率、及較佳效能和電力度量。

【0089】 在各種實施例中，具有大面積成本之寬的記憶體巨單元可可轉換成較高、較窄的記憶體巨單元以減少面積需求。圖20描繪根據一些實施例之高記憶體巨集單元取代寬記憶體巨集單元的俯視表示圖。在繪示實施例中，巨集單元2000係寬的記憶體巨集單元。巨集單元2000包括記憶體陣列庫2012A、記憶體陣列庫2012B、記憶體陣列庫2012C、及記憶體陣列庫2012D。記憶體陣列庫2012A及記憶體陣列庫2012B由位元線邏輯電路2014A分開並與該位元線邏輯電路連接，而記憶體陣列庫2012C及記憶體陣列庫2012D由位元線邏輯電路2014B分開並與該位元線邏輯電路連接。

【0090】 巨集單元2000包括字線邏輯電路2016（與記憶體陣列庫2012A至2012D之各者整合）、全域I/O電路2018、及全域控制電路2020的單一例項。如圖20所示，巨集單元2000可轉換成巨集單元2050。巨集單元2050可具有與圖18所示之記憶體陣列1800類似的結構，其具有記憶體陣列庫2012A至2012D、及位元線邏輯電路2014、字線邏輯電路2016、全域I/O電路2018、及全域控制電路2020的單一例項。

【0091】 可藉由在頂側金屬層及背側金屬層兩者中實施字線來提供巨集單元2050的轉換，類似於記憶體陣列1800。例如，在繪示實施例中，巨集單元2050包括在頂側金屬層中用於連接至記憶體陣列庫2012A的字線2030A、及在背側金屬層中用於連接至記憶體陣列庫2012C的字線2030B。因此，相較於巨集

單元2000，巨集單元2050提供較佳的面積利用率、及較佳效能和電力度量。相較於巨集單元2000，在字線邏輯電路2016減少寬度的情況下，亦發現到在巨集單元2050中節省額外面積。

【0092】 基於頂側金屬層及背側金屬層兩者中之位元線實施方案的本揭露，亦可設想到階層式位元線佈局的各種實施例。圖21描繪根據一些實施例之具有階層式位元線的記憶體陣列的俯視表示圖。在繪示實施例中，記憶體陣列2100係具有在兩個頂側金屬層中橫跨位元單元2110的位元線的記憶體陣列。例如，位元線2120A可在第一金屬層中，而位元線2120B在第二金屬層中。

【0093】 位元線之階層式佈線可藉由在位元單元庫2130A與位元單元庫2130B之間的轉變處從位元線2120A跳連至位元線2120B實施，如圖21所示。位元單元庫2130中的位元單元2110可共用資源（諸如感測放大器），以減少大型資料快取（例如，具有512個字線的快取）的位元線電容。資源的分享亦可減少記憶體陣列2100中所需之局部I/O連接的數目。

【0094】 在背側金屬層中添加位元線佈線可提供位元線電容的額外減少。例如，記憶體陣列2150包括橫跨位元單元2160的三個位元線2170A、2170B、2170C。位元線2170A係在背側金屬層中的第一金屬層中，而位元線2170B係在第一金屬層中，且位元線2170C係在頂側金屬層中的第二金屬層中。因此，三個位元單元庫2180A、2180B、及2180C可由位元線2170A、2170B、2170C的階層產生。

實例電腦系統

【0095】 接下來參照圖22，其顯示系統2200之一個實施例的方塊圖，其可併入及/或以其他方式利用本文所述之方法及機制。在所繪示之實施例中，系統2200包括單晶片系統(SoC) 2206之至少一例項可包括多種類型之處理單元，諸如中央處理單元(CPU)、圖形處理單元(GPU)、或否則通訊網狀架構、及至記憶體及輸入/輸出裝置的介面。在一些實施例中，SoC 2206中之一或多個處理器包括多個執行線道(execution lane)及指令問題佇列類似於。在各種實施例中，SoC 2206耦接至外部記憶體2202、周邊設備2204、與電力供應器2208。

【0096】 亦提供一電力供應器2208，其將供應電壓供應至SoC 2206以及將一或多個供應電壓供應至記憶體2202及/或周邊設備2204。在各種實施例中，電力供應器2208代表電池（例如智慧型手機、膝上型電腦或平板電腦、或其他裝置中的可再充電電池）。在一些實施例中，包括SoC 2206之多於一個例項（且亦包括多於一個外部記憶體2202）。

【0097】 記憶體2202係任何類型記憶體，諸如動態隨機存取記憶體(dynamic random access memory, DRAM)、同步DRAM (SDRAM)、雙倍資料速率（DDR、DDR2、DDR3等）SDRAM（包括諸如mDDR3等的SDRAM的行動版本，及/或諸如LPDDR2等的SDRAM的低功率版本）、RAMBUS DRAM (RDRAM)、靜態RAM (SRAM)等。一或多個記憶體裝置耦接至電路板上，以形成記憶體模組，諸如單列記憶體模組(single inline memory module, SIMM)、雙列記憶體模組(dual inline memory module, DIMM)等。替代地，裝置係以疊層晶片(chip-on-chip)組態、疊層封裝(package-on-package)組態、或多晶片模組組態利用SoC或積體電路安裝。

【0098】 周邊設備2204取決於系統2200之類型而包括任何所欲電路系統。例如，在一個實施例中，周邊設備2204包括用於各種類型之無線通訊（諸如，WiFi、藍牙、蜂巢式、全球定位系統等）的裝置。在一些實施例中，周邊設備2204亦包括額外儲存器，包括RAM儲存器、固態儲存器、或磁碟儲存器。周邊設備2204包括使用者介面裝置，諸如顯示螢幕（包括觸控顯示螢幕或多觸控顯示螢幕）、鍵盤、或其他輸入裝置、麥克風、揚聲器等。

【0099】 如所繪示，系統2200展示具有在廣泛範圍之區域中的應用。例如，系統2200可使用為桌上型電腦2210、膝上型電腦2220、平板電腦2230、蜂巢式或行動電話2240、或電視機2250（或耦接至電視機的機上盒）之晶片、電路系統、組件等的部分。亦說明了智慧型手錶及健康監測裝置2260。在一些實施例中，智慧型手錶可包括多種通用運算相關功能。例如，智慧型手錶可提供電子郵件、手機服務、使用者日曆等等。在各種實施例中，健康監測裝置可係專用醫學裝置或否則包括專用健康相關功能性。例如，健康監測裝置可監測使用者之生命徵象，追蹤使用者對其他使用者的接近性以用於流行病皮社交距離之目的，接觸追跡、在健康危機之情況下向緊急服務提供通訊。流行病學功能（諸如接觸者追蹤(contact tracing)）、提供對急診醫療服務之通訊等。在各種實施例中，上文所提及之智慧手錶可或可不包括一些或任何健康監測相關功能。亦設想到其他穿戴裝置，諸如圍繞頸部穿戴之裝置、可植入人體中之裝置、經設計以提供擴增及/或虛擬實境體驗的眼鏡等等。

【0100】 系統2200可進一步用作為基於雲端之（多個）服務2270之部分。例如，先前所提及之裝置及/或其他裝置可存取雲端中的運算資源（亦即，遠端地定位硬體及/或軟體資源）。再進一步，系統2200可用於除先前所提及之

外的居家2280之一或多個裝置中。例如，居家內之器具可監測及偵測值得關注之條件。例如，在居家內之各種裝置（例如，冰箱、冷氣系統等）可監測裝置之狀態，且提供應偵測到特定事件的警示給屋主（或例如修復設施）。替代地，恆溫器可監測家中之溫度，且可基於屋主對各種條件的回應歷史而自動調整溫氣/冷氣系統。圖22中亦說明了系統2200對各種運輸模式2290的應用。例如，系統2200可用於飛機、火車、公共汽車、出租汽車、自用汽車、從私人船至遊輪的水面船隻、機車（用於租賃或自用）等等之控制及/或娛樂系統中。在各種情況下，系統2200可用以提供自動化指引（例如，自動駕駛車輛）、一般系統控制及其他。此等任何許多其他實施例皆可行及設想。應注意，圖22所繪示之裝置及應用僅為說明性且不意欲為限制性。其他裝置係可行且經設想的。

***

【0101】 本揭露包括對「一實施例(an embodiment)」或「實施例」群組(groups of "embodiments")（例如，「一些實施例(some embodiment)」或「各種實施例(various embodiments)」）的引用。實施例係所揭露之概念的不同實施方案或例項。提及「一實施例(an embodiment)」、「一個實施例(one embodiment)」、「一特定實施例(a particular embodiment)」、及類似者不必然指稱相同實施例。設想大量可行的實施例，包括該些具體揭示者，以及落在本揭露之精神或範圍內的修改或替代例。

【0102】 本揭露可討論可由所揭露之實施例產生的潛在優點。並非這些實施例之所有實施方案將必須表現潛在優點之任何者或全部。無論是針對特定實施方案所實現的優點是否取決於許多因素，其中一些者係在本揭露範圍外。事實上，落在申請專利範圍之範圍內的實施方案可能不會展現一些或所有任何

所揭露之優點有許多原因。例如，一特定實施方案可包括本揭露範圍外的其他電路系統（結合所揭露實施例之一者）而使一或多個所揭露優點無效或減弱。此外，特定實施方案（例如，實施方案技術或工具）之次佳設計執行亦可使所揭露優點無效或減弱。即使假定經熟練的實施方案，優點的實現仍可取決於其他因素，諸如於其中部署該實施方案之環境情況。例如，施加至一特定實施方案的輸入可防止在此揭露中解決的一或多個問題免於出現在特定場合，結果係可能無法實現其解決方案的效益。考慮到本揭露外部的可能因素的存在，明確地意欲將本文所述的任何潛在優點並非解讀為必須符合請求項限制以證明侵權。而是，此類潛在優點之識別意欲說明具有本揭露之利益的設計者可用的（多種）改善類型。許可地描述的此類優點（例如，陳述特定優點「可引起」）並非意欲傳達實際上此類優點是否可實現的疑慮，而是認知到實現此類優點的技術現實常取決於額外因素。

【0103】 除非另外陳述，否則實施例係非限制性的。即，所揭露之實施例並非意欲限制基於本揭露之草擬的申請專利範圍之範圍，即使僅描述關於一特定特徵的一單一實例。所揭露之實施例意欲係說明性而非限制，而在本揭露中沒有與此相反的任何陳述。因此，本申請案意欲允許申請專利範圍涵蓋所揭露之實施例以及此類替代例、修改例、與均等物，此等對於受益於本揭露之所屬技術領域中具有通常知識者來說將是顯而易見的。

【0104】 例如，此申請案中的特徵可以任何合適的方式組合。據此，在此申請案之審查期間（或主張其優先權之申請案）可對特徵之任何此類組合制定新請求項。具體而言，參考隨附申請專利範圍，可組合來自獨立請求項之特

徵與其他獨立請求項之特徵，若適當，包括依附於其他附屬請求項的請求項。類似地，若適當，可組合來自各別附屬請求項之特徵。

【0105】 據此，雖然隨附的附屬請求項可經草擬，使得各依附於一單一其他請求項，但是亦設想額外相依性。與本揭露一致的附屬項之特徵的任何組合經設想且可在此申請案或另一申請案中主張。簡言之，組合不限於在隨附申請專利範圍中具體列舉者。

【0106】 若適當，亦設想以一種格式或法定類型（例如，設備）草擬之請求項意欲支持另一種格式或法定類型（例如，方法）之對應請求項。

***

【0107】 因為本揭露係一法律文件，所以各種用語及詞組可受到行政與司法解釋的規約。公告特此以下段落以及在整份揭露內容提供的定義將用於判定如何解釋基於本揭露所草擬的申請專利範圍。

【0108】 除非上下文另有明確指定，否則提及項目的單數形式（即，名詞或名詞詞組之前有「一(a/an)」、或「該(the)」）意欲意指「一或多個(one or more)」）。因此，在一請求項提及「一項目(an item)」在沒有隨附上下文情況中不排除該項目的額外例項。「複數個(plurality)」項目係指二或更多個項目之一集合。

【0109】 在本文中，字語「可(may)」在本文中以許可意涵使用（即，具有可能以、能夠），且非以強制意涵使用（即，必須）。

【0110】 用語「包含(comprising)」及「包括(including)」及其形式係開放式，意指「包括但不限於(including, but not limited to)」。

【0111】 當本揭露中關於一選項清單使用用語「或(or)」時，其通常將被理解為以包含性意涵使用，除非上下文另有提供。因此，陳述「x或y (x or y)」相當於「x或y、或兩者(x or y, or both)」，因此：1)涵蓋x，但不涵蓋y；2)涵蓋y，但不涵蓋x；及3)涵蓋x與y兩者。另一方面，諸如「x或y任何者但非兩者(either x or y, but not both)」的詞組清楚表明「或(or)」係以排他性含意意義使用。

【0112】 陳述「w、x、y、或z、或其任何組合(w, x, y, or z, or any combination thereof)」或「...w、x、y、及z之至少一者(at least one of … w, x, y, and z)」意欲涵蓋涉及在該集合中的單一元件至多總數目個元件的所有可能性。例如，給定集合[w, x, y, z]，這些詞組涵蓋該集合之任何單一元件（例如，w，但沒有x、y、或z (w but not x, y, or z)）、任何二個元件（例如，w與x，但沒有y或z (w and x, but not y or z)）、任何三個元件（例如，w、x與y，但沒有z (w, x, and y, but not z)）、及所有四個元件。因此，詞組「...w、x、y、及z之至少一者(at least one of … w, x, y, and z)」係指該集合[w, x, y, z]之至少一個元件，藉此涵蓋此元件清單中的所有可行組合。此詞組並不解讀為需要w之至少一個例項、x之至少一個例項、y之至少一個例項、及z之至少一個例項。

【0113】 在本揭露中，各種「標示」可置於名詞或名詞詞組之前。除非上下文另有提供，否則用於一特徵的不同標示（例如，「第一電路(first circuit)」、「第二電路(second circuit)」、「特定電路(specific circuit)」、「給定電路(given circuit)」等）係指該特徵的不同例項。額外地，除非另有說明，否則標示「第一(first)」、「第二(second)」、及「第三(third)」當施加至一特徵時並非意味任何類型的順序（例如，空間、時間、邏輯等）。

【0114】 詞組「基於(based on)」或係用以敘述影響一判定的一或多個因素。此用語不排除可能有額外因素可影響判定。意即，一判定可單獨基於特定因素，或基於該等特定因素以及其他未指出因素。參見片語「基於B判定A(determine A based on B)」。此片語指定B係用以判定A或影響A之判定的因素。此片語不排除A之判定亦可能基於一些其他因素，諸如C。此片語亦意欲涵蓋A僅基於B判定的實施例。如本文所使用，片語「基於(based on)」係與片語「至少部分地基於(based at least in part on)」同義。

【0115】 詞組「回應於(in response to/response to)」描述觸發效應之一或多個因素。此詞組不排除額外因素可影響或以其他方式觸發效應的可能性，聯合特定因素或獨立於特定因素任一者。意即，一效應可係單獨回應於該等因素，或可回應於該等被指出因素以及其他未指出因素。參見片語「回應於B而執行A(perform A in response to B)」此片語指定B係觸發A之執行或觸發A之特定結果的因素。此片語不排除亦可回應於一些其他因素（諸如C）而執行A。此片語亦不排除可共同回應於B及C而執行A。此片語亦意欲涵蓋A僅回應於B執行的實施例。如本文所使用，片語「回應於(responsive to)」與片語「至少部分地回應於(responsive at least in part to)」同義。類似地，詞組「回應於(in response to)」與詞組「至少部分回應於(at least in part in response to)」同義。

***

【0116】 在本揭露中，不同的實體（其等可能被不同地稱為「單元(unit)」、「電路(circuit)」、其他組件等）可被描述或主張為「經組態(configured)」以執行一或多個任務或操作。此表示法（『實體』經組態以『執行一或多個任務』）在本文中係用以指稱結構（即，實體之物）。具體而言，

此表示法係用以指示此結構係經配置以在操作期間執行該一或多個任務。即使一結構目前並未被操作，仍可稱該結構「經組態以(configured to)」執行某任務。因此，經說明或敘述為「經組態以(configured to)」執行某任務的一實體，係指實體之物，諸如裝置、電路、具有處理單元的系統、儲存有可執行用以實施該任務之程式指令的記憶體等。此詞組在本文中並非用以指稱無形之物。

【0117】 在一些情況中，各種單元/電路/組件可在本文中描述為執行一組任務或操作。應理解，這些實體「經組態以(configured to)」執行該等任務/操作，即使未具體提及。

【0118】 用語「經組態以(configured to)」並非意欲意指「可組態以(configurable to)」。例如，未經程式化的FPGA將不被視為「經組態以(configured to)」執行一特定功能。然而，此未經程式化的FPGA可係「可組態以(configurable to)」執行該功能。在適當程式化之後，接著，該FPGA可聲稱「經組態以(configured to)」執行特定功能。

【0119】 為基於本揭露之美國專利申請案的目的，在一請求項中描述一結構「經組態以」執行一或多個任務係明確地意圖不援引35 U.S.C. § 112(f)對該請求項元件進行解讀。如果申請人意欲在基於本揭露的美國專利申請案的審查期間援引章節112(f)，將使用「用以『執行一功能』之構件」這樣的句構來陳述請求項元件。

【0120】 在本揭露中可描述不同的「電路(circuit)」。這些電路或「電路系統(circuitry)」構成包括各種類型電路元件的硬體，諸如組合式邏輯、時控儲存裝置（例如，正反器、暫存器、鎖存器等）、有限狀態機、記憶體（例如，隨機存取記憶體、嵌入式動態隨機存取記憶體）、可程式化邏輯陣列等。電路

系統可經客製化設計或自標準程式庫取用。在各種實施方案中，電路系統可依需要包括數位組件、類比組件、或兩者之組合。某些類型的電路通常可稱為「單元(unit)」（例如，解碼單元、算術邏輯單元(ALU)、功能單元、記憶體管理單元(memory management unit, MMU)等）。此類單元亦指電路或電路系統。

【0121】 因此，所揭露之電路/單元/組件及圖式中所繪示與本文所揭露的其他元件包括硬體元件，諸如前述段落中所述者。在許多例項中，可藉由描述一特定電路之功能來指定在該電路內之硬體元件的內部配置。例如，一特定「解碼單元(decode unit)」可描述為執行「處理指令的作業碼，並將該指令路由到複數個功能單元中之一或多者(processing an opcode of an instruction and routing that instruction to one or more of a plurality of functional units)」的功能，其意指該解碼單元「經組態以(configured to)」執行此功能。本功能之說明書對電腦技術領域中具有通常知識者足以意味著用於該電路之一組可行結構。

【0122】 在各種實施例中，如前述段落中所討論者，電路、單元、及由其等經組態以實施之功能或操作所定義的其他元件，該配置及此類電路/單元/組件相對於彼此及以其等互動的方式來形成硬體之微階層性定義，該硬體最終製造於積體電路中或經程式化至FPGA中，以形成微階層性定義之實體實施方案。因此，該微階層性定義係由所屬技術領域中具有通常知識者所認知為許多實體實施方案可自其衍生的結構，其等所有皆落入該微階層性定義係所描述之廣泛結構內。即，提出根據本揭露所提供之微階層性定義的具有通常知識的技術人員可在無需過度實驗且在應用通常知識之情況中，藉由以硬體描述語言(hardware description language, HDL)（諸如Verilog或VHDL）編碼電路/單元/組件的描述來實施該結構。HDL描述常以可呈功能性之方式表達。但是對於所屬

技術領域中具有通常知識者，此HDL描述係用於將電路、單元、或組件的結構變換成下一層級之實施方案細節的方式。此一HDL描述可採取行為程式碼（其一般並非可合成的）、暫存器傳送語言(register transfer language, RTL)程式碼（其一般係可合成，對比於行為程式碼）、或結構性程式碼（例如，指定邏輯閘及其等連接性的接線對照表）之形式。隨後，HDL描述可依據針對一給定積體電路製造技術所設計的元件庫而合成，且可針對時序、功率及其他原因進行修改以產生一最終設計資料庫，該最終設計資料庫傳送至製造廠以製造遮罩，最後生產出積體電路。一些硬體電路或其部分亦可在一簡圖編輯器(schematic editor)中經客製化設計，並隨合成電路系統被轉移至積體電路設計中。積體電路可包括電晶體及其他電路元件（例如，被動元件諸如電容器、電阻器、電感器等）及電晶體與電路元件間之互連件。一些實施例可實施多個積體電路，該多個積體電路經耦接在一起以實施硬體電路，且/或在一些實施例中可使用離散元件。替代地，HDL設計可經合成至一可程式化邏輯陣列，諸如現場可程式化閘陣列(FPGA)，且可於FPGA中實施。此電路群組之設計與這些電路的後續下層實施方案之間的解耦通常導致以下情境，其中當此程序係在電路實施程序的一不同階段執行時，電路或邏輯設計者從不針對下層實施方案指定超出電路經組態以執行動作之描述的特定一組結構。

【0123】 事實上，電路元件之許多不同的下層組合可用以實施相同規格電路，導致該電路的大量等效結構。如所提及，這些下層電路實施方案可根據製造技術的變化、經選擇以製造積體電路的製造廠、針對一特定專案所提供之元件庫等而變化。在許多情況中，由不同設計工具或方法論進行選擇，以產生此等不同實施方案可係任意的。

【0124】 此外，對於電路之特定功能規格的單一實施方案常見的是，針對給定實施例，包括大量裝置（例如，數百萬的電晶體）。據此，數量龐大的此資訊使得提供完整陳述用以實施單一實施例之下層結構係不切實際的，更別說是龐大陣列的等效可行實施方案。出於此原因，本揭露描述使用產業中通常採用的功能速記的電路結構。

【符號說明】

【0125】

100:標準單元

102:閘極

102A:閘極

102B:閘極

102C:閘極

103:閘極間隔物

104:裝置

106:源極/汲極接觸件；接觸件

106A:接觸件

106B:接觸件

107:通孔

108:金屬層

200:基材

202:絕緣層

204:源極/汲極區域

204A:源極/汲極區域

204B:源極/汲極區域

300:標準單元

302:閘極

303:閘極間隔物

304:裝置

306:背側通孔；通孔

308:背側金屬層

404:源極/汲極區域

404B:源極/汲極區域

500:標準單元

500A:第一標準單元

500B:第二標準單元

502:閘極

503:閘極間隔物

504:裝置

506:頂側（源極/汲極）接觸件；頂側接觸件

506A:頂側接觸件

506B:頂側接觸件

507:頂側通孔；通孔

508:頂側金屬層

508A:頂側金屬層部分

508B:頂側金屬層部分

510:背側通孔

512:背側金屬層

512A:背側金屬層部分

512B:背側金屬層部分

514:軌

516:軌

604:源極/汲極區域

604A:源極/汲極區域

604B:源極/汲極區域

800:系統

900:單元

902:閘極

902A:閘極

904:裝置

906:頂側（源極/汲極）電力接觸件；接觸件

907:頂側通孔；通孔

907A:頂側通孔

907B:頂側通孔

907C:頂側通孔

908:頂側金屬層

908A:頂側金屬層部分

908B:頂側金屬層部分

908C:頂側金屬層部分

910:背側通孔

910A:背側通孔

910B:背側通孔

910C:背側通孔

912:背側金屬層

912A:背側金屬層部分；金屬層部分

912B:背側金屬層部分；金屬層部分

912C:背側金屬層部分；金屬層部分

1000:佈局

1001:單位

1002:非主動（「虛置」）閘極；閘極

1003:閘極間隔物

1004:非主動（「虛置」）裝置；裝置

1010:通孔結構

1010A:通孔結構

1010B:通孔結構

1010C:通孔結構

1200:控制信號路由

1214:源極/汲極區域

1214A:源極/汲極區域

1214B:源極/汲極區域

1214C:源極/汲極區域

1230:電晶體區域

1500:記憶體陣列

1510A:位元單元

1510B:位元單元

1510C:位元單元

1510D:位元單元

1520:位元線

1520A:位元線

1520B:位元線

1520C:位元線

1520D:位元線

1530:通孔連接

1530A:通孔連接

1530B:通孔連接

1530C:通孔連接

1530D:通孔連接

1600:記憶體陣列

1610A:位元單元

1610B:位元單元

1610C:位元單元

1610D:位元單元

1620A:位元線

1620B:位元線

1620C:位元線

1620D:位元線

1630A:通孔連接

1630B:通孔連接

1630C:通孔連接

1630D:通孔連接

1700:記憶體陣列

1710A:位元單元

1710B:位元單元

1710C:位元單元

1710D:位元單元

1720A:字線

1720B:字線

1730A:通孔連接

1730B:通孔連接

1730C:通孔連接

1730D:通孔連接

1800:記憶體陣列

1810A:位元單元

1810B:位元單元

1810C:位元單元

1810D:位元單元

1820A:位元線

1820B:位元線

1820C:位元線

1820D:位元線

1830A:字線

1830B:字線

1840A:通孔連接

1840B:通孔連接

1840C:通孔連接

1840D:通孔連接

1850A:通孔連接

1850B:通孔連接

1850C:通孔連接

1850D:通孔連接

1900:巨集單元

1910A:巨集單元

1910B:巨集單元

1912A:記憶體陣列組

1912B:記憶體陣列組

1912C:記憶體陣列組

1912D:記憶體陣列組

1914:位元線邏輯電路

1914A:位元線邏輯電路

1914B:位元線邏輯電路

1916:字線邏輯電路

1916A:字線邏輯電路

1916B:字線邏輯電路

1918:全域輸入/輸出電路

1918A:全域輸入/輸出電路

1918B:全域輸入/輸出電路

1920:全域控制電路

1920A:全域控制電路

1920B:全域控制電路

1930A:字線

1930B:字線

2000:巨集單元

2012A:記憶體陣列組

2012B:記憶體陣列組

2012C:記憶體陣列組

2012D:記憶體陣列組

2014:位元線邏輯電路

2016:字線邏輯電路

2018:全域I/O電路

2020:全域控制電路

2030A:字線

2030B:字線

2050:巨集單元

2100:記憶體陣列

2110:位元單元

2120A:位元線

2120B:位元線

2130A:位元單元組

2130B:位元單元組

2150:記憶體陣列

2160:位元單元

2170A:位元線

2170B:位元線

2170C:位元線

2180A:位元單元組

2180B:位元單元組

2180C:位元單元組

2200:系統

2202:外部記憶體

2204:周邊設備

2206:單晶片系統

2208:電力供應器

2210:桌上型電腦

2220:膝上型電腦

2230:平板電腦

2240:蜂巢式或行動電話

2250:電視機

2260:智慧型手錶及健康監測裝置

2270:服務

2280:居家

2290:運輸模式

6-6:截線

7-7:截線

12-12:截線

13-13:截線

14-14:截線

Vdd:供應電壓

Vdd1:電壓源

Vdd2:電壓源

Vss:接地

【發明申請專利範圍】

【請求項1】 一種具有用於形成至半導體基材上之電晶體的連接的佈局之記憶體設備，其包含：

複數個位元單元，該等位元單元相鄰地定位，其中該複數個位元單元包括相鄰於一第二位元單元的一第一位元單元；

一第一金屬層，其在垂直於該複數個位元單元的一垂直維度上位於該複數個位元單元上方；

一第二金屬層，其在垂直於該複數個位元單元的該垂直維度上位於該複數個位元單元下方；

一第一位元線，其橫跨該第一位元單元，其中該第一位元線包括位於該第一金屬層中之一導線，且其中位於該第一金屬層中之該導線連接至該第一位元單元；及

一第二位元線，其橫跨該第二位元單元，其中該第二位元線包括位於該第二金屬層中之一導線，且其中位於該第二金屬層中之該導線連接至該第二位元單元。

【請求項2】 如請求項1之設備，其中該第一位元線包括位於該第一金屬層中之一額外導線，且其中位於該第一金屬層中之該導線以及位於該第一金屬層中之該額外導線經組態為一互補對。

【請求項3】 如請求項1之設備，其中該第二位元線包括位於該第二金屬層中之一額外導線，且其中位於該第二金屬層中之該導線以及位於該第二金屬層中之該額外導線經組態為一互補對。

【請求項4】 如請求項1之設備，其進一步包含：

一第三位元單元，其相鄰於該複數個位元單元中之該第二位元單元，該第三位元單元係在該第二位元單元之與該第一位元單元相對的一側上；及

一第三位元線，其橫跨該第三位元單元，其中該第三位元線包括位於該第一金屬層中之一額外導線，且其中位於該第一金屬層中之該額外導線連接至該第三位元單元。

【請求項5】 如請求項4之設備，其進一步包含：

一第四位元單元，其相鄰於該複數個位元單元中之該第三位元單元，該第四位元單元係在該第三位元單元之與該第二位元單元相對的一側上；及

一第四位元線，其橫跨該第四位元單元，其中該第四位元線包括位於該第二金屬層中之一額外導線，且其中位於該第二金屬層中之該額外導線連接至該第四位元單元。

【請求項6】 如請求項1之設備，其中該第一位元線及該第二位元線在一第一方向上橫跨該複數個位元單元，該設備進一步包含：

一第一字線，其在一第二方向上橫跨該複數個位元單元，該第二方向垂直於該第一方向，其中該第一字線包括位於該第一金屬層中之一額外導線；及

一第二字線，其在該第二方向上橫跨該複數個位元單元，其中該第二字線包括位於該第二金屬層中之一額外導線。

【請求項7】 如請求項6之設備，其中該第一字線連接至該等第二位元單元，且其中該第二字線連接至該等第一位元單元。

【請求項8】 如請求項1之設備，其中該第一位元線平行該第二位元線。

【請求項9】 如請求項1之設備，其中該等位元單元在一第一方向上相鄰地定位，且其中該第一位元線及該第二位元線在垂直於該第一方向的一第二方向上橫跨該複數個位元單元。

【請求項10】一種具有用於形成至半導體基材上之電晶體的連接的佈局之記憶體設備，其包含：

複數個位元單元，該等位元單元相鄰地定位，其中該複數個位元單元包括在該記憶體設備之一水平維度上相鄰於一第二位元單元的一第一位元單元；

一第一金屬層，其在垂直於該複數個位元單元的一垂直維度上位於該複數個位元單元上方；

一第二金屬層，其在垂直於該複數個位元單元的該垂直維度上位於該複數個位元單元下方；

一第一字線，其橫跨該複數個位元單元，其中該第一字線包括位於該第一金屬層中之一導線，且其中位於該第一金屬層中之該導線連接至該第一位元單元；及

一第二字線，其橫跨該複數個位元單元，其中該第二字線包括位於該第二金屬層中之一導線，且其中位於該第二金屬層中之該導線連接至該第二位元單元。

【請求項11】如請求項10之設備，其進一步包含一第三位元單元，該第三位元單元相鄰於該複數個位元單元中之該第二位元單元，該第三位元單元係在

該第二位元單元之與該第一位元單元相對的一側上，其中位於該第一金屬層中之該導線連接至該第三位元單元。

【請求項12】如請求項11之設備，其進一步包含一第四位元單元，該第四位元單元相鄰於該複數個位元單元中之該第三位元單元，該第四位元單元係在該第三位元單元之與該第二位元單元相對的一側上，其中位於該第二金屬層中之該導線連接至該第四位元單元。

【請求項13】如請求項10之設備，其中該等位元單元在該水平維度上在一第一方向上相鄰地定位，且其中該第一字線及該第二字線在該第一方向上橫跨該複數個位元單元。

【請求項14】如請求項10之設備，其中該第一字線及該第二字線在一第一方向上橫跨該複數個位元單元，該設備進一步包含：

一第一位元線，其在一第二方向上橫跨該第一位元單元，該第二方向垂直於該第一方向，其中該第一位元線包括位於該第一金屬層中之一額外導線；及

一第二位元線，其在該第二方向上橫跨該第二位元單元，其中該第二位元線包括位於該第二金屬層中之一額外第二導線。

【請求項15】如請求項10之設備，其進一步包含一字線邏輯單元，該字線邏輯單元耦接至該第一字線及該第二字線，其中該字線邏輯單元經組態以提供分開的控制信號至該第一字線及該第二字線。

【請求項16】一種記憶體系統，其包括如請求項6至7中任一項之記憶體設備或如請求項10至15中任一項之記憶體設備，該系統包含：

一積體電路之一電晶體區域；

該第一金屬層，其在垂直於該電晶體區域的一垂直維度上位於該電晶體區域上方；

該第二金屬層，其在垂直於該電晶體區域的該垂直維度上位於該電晶體區域下方；

一字線邏輯電路；

一第一庫之記憶體單元，其相鄰於該字線邏輯電路定位；

一第二庫之記憶體單元，其在該第一庫之與該字線邏輯電路相對的一側上相鄰於該第一庫定位；

該第一字線，其從該字線邏輯電路延伸至該第一庫中之該等記憶體單元中，其中該第一字線包括位於該第一金屬層中之該導線，且其中位於該第一金屬層中之該導線連接至該第一庫中之該等記憶體單元；及

該第二字線，其從該字線邏輯電路延伸至該第二庫中之該等記憶體單元中，其中該第二字線通過該第一庫中之該等記憶體單元，其中該第二字線包括位於該第二金屬層中之該導線，且其中位於該第二金屬層中之該導線連接至該第二庫中之該等記憶體單元。

【請求項17】如請求項16之系統，其進一步包含一位元線邏輯電路，其相鄰於該第一庫及該第二庫，且橫跨該第一庫及該第二庫之長度。

【請求項18】如請求項17之系統，其進一步包含：

一第三庫之記憶體單元，其相鄰於該字線邏輯電路定位；及

一第四庫之記憶體單元，其在該第三庫之與該字線邏輯電路相對的一側上相鄰於該第三庫定位；

其中該第三庫及該第四庫在該位元線邏輯電路之與該第一庫及該第二庫相對的一側上相鄰於該位元線邏輯電路。

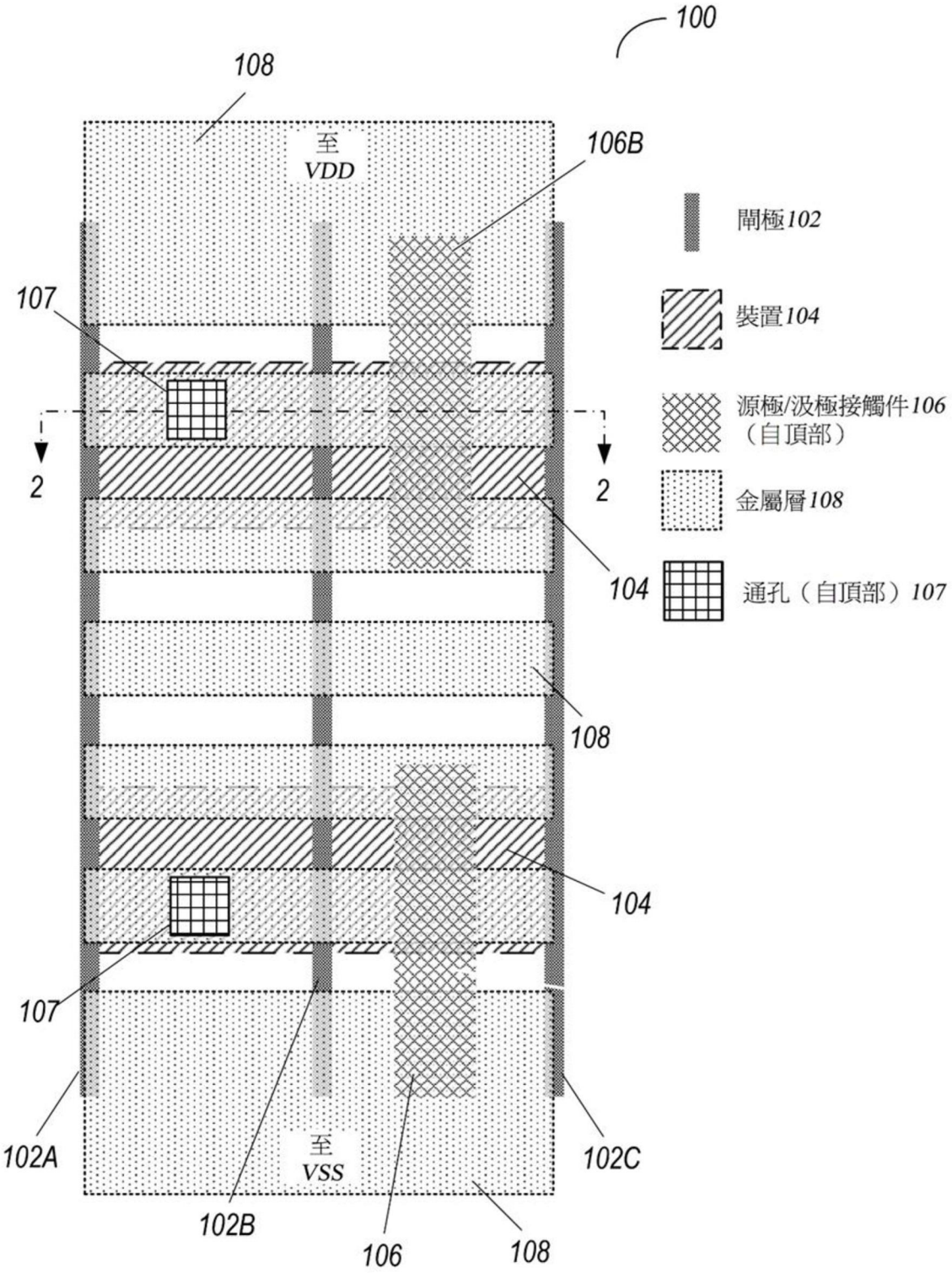
【請求項19】如請求項18之系統，其進一步包含

一第三字線，其從該字線邏輯電路延伸至該第三庫中之該等記憶體單元中，其中該第三字線係位於該第一金屬層中之一第三導線，且其中該第三字線連接至該第三庫中之該等記憶體單元；及

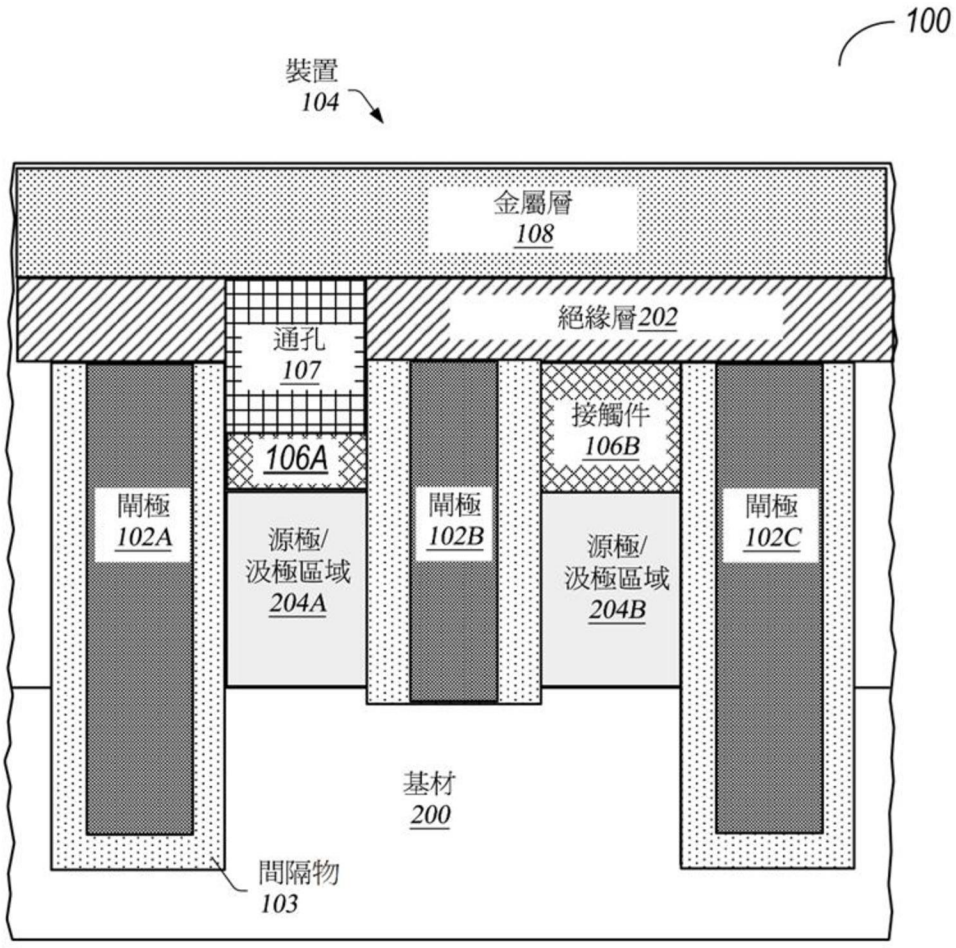
一第四字線，其從該字線邏輯電路延伸至該第四庫中之該等記憶體單元中，其中該第四字線通過該第三庫中之該等記憶體單元，其中該第四字線係位於該第二金屬層中之一第四導線，且其中該第四字線連接至該第四庫中之該等記憶體單元。

【請求項20】如請求項16之系統，其進一步包含一全域控制邏輯電路，該全域控制邏輯電路耦接至該第一庫之記憶體單元及該第二庫之記憶體單元，其中全域控制邏輯電路包括一或多個時脈及一或多個解碼器。

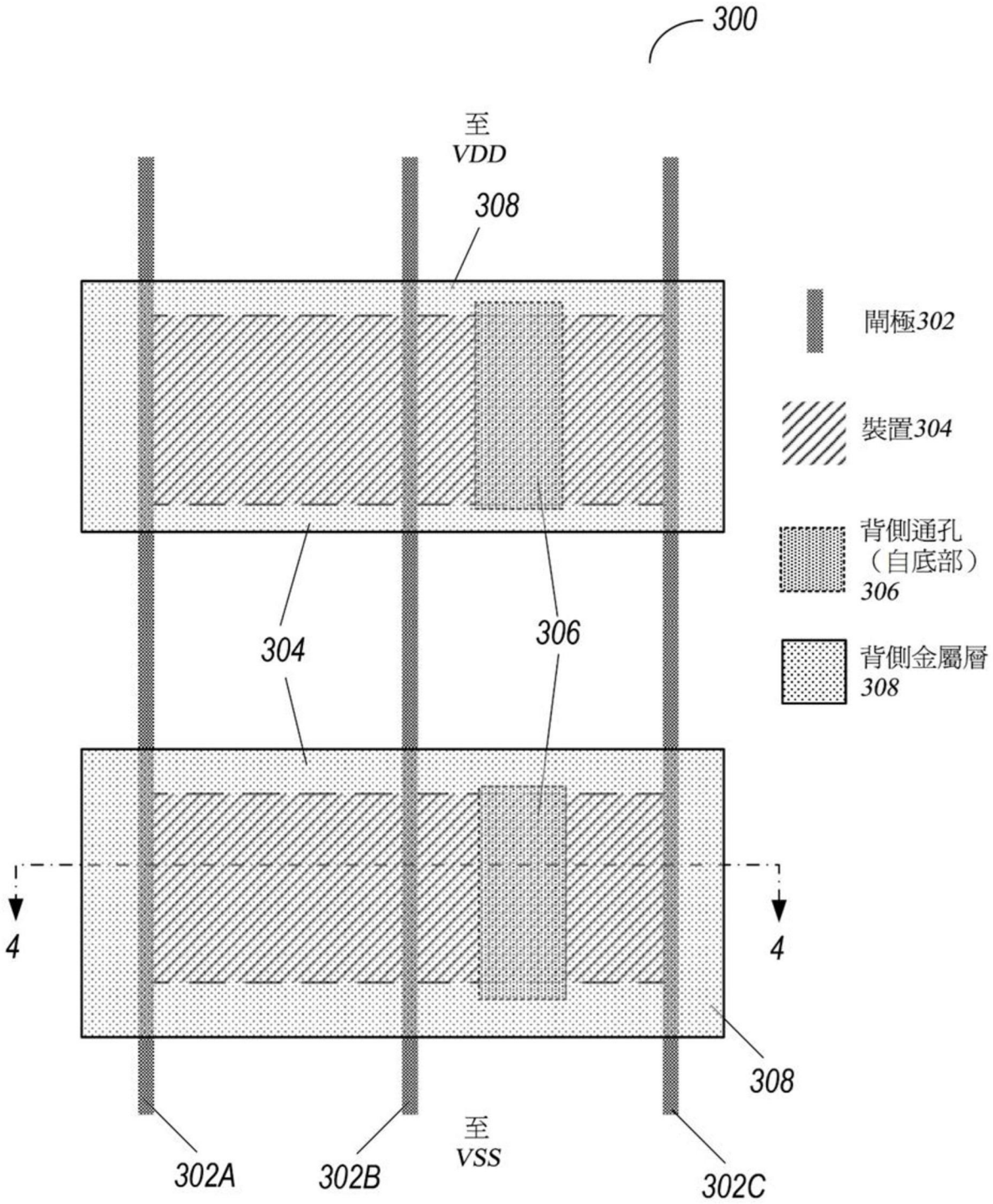
【發明圖式】


100
108
至
VDD
106B
107
2
2
104
108
104
107
102A
至
VSS
102B
106
108
102C
閘極102
裝置104
源極/汲極接觸件106
（自頂部）
金屬層108
通孔（自頂部）107

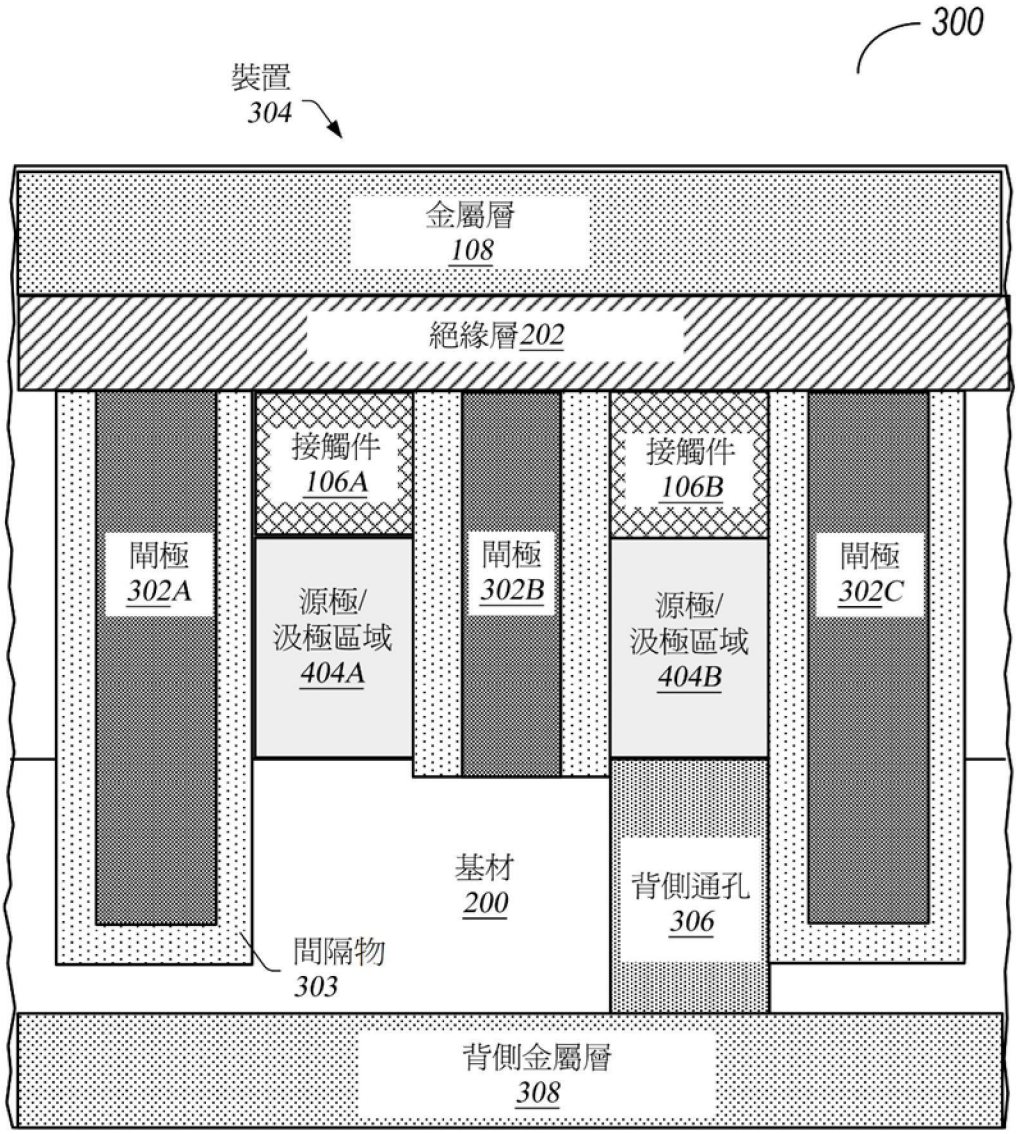
【圖1】


100
裝置
104
金屬層
108
絕緣層202
通孔
107
106A
接觸件
106B
閘極
102A
源極/
汲極區域
204A
閘極
102B
源極/
汲極區域
204B
閘極
102C
基材
200
間隔物
103

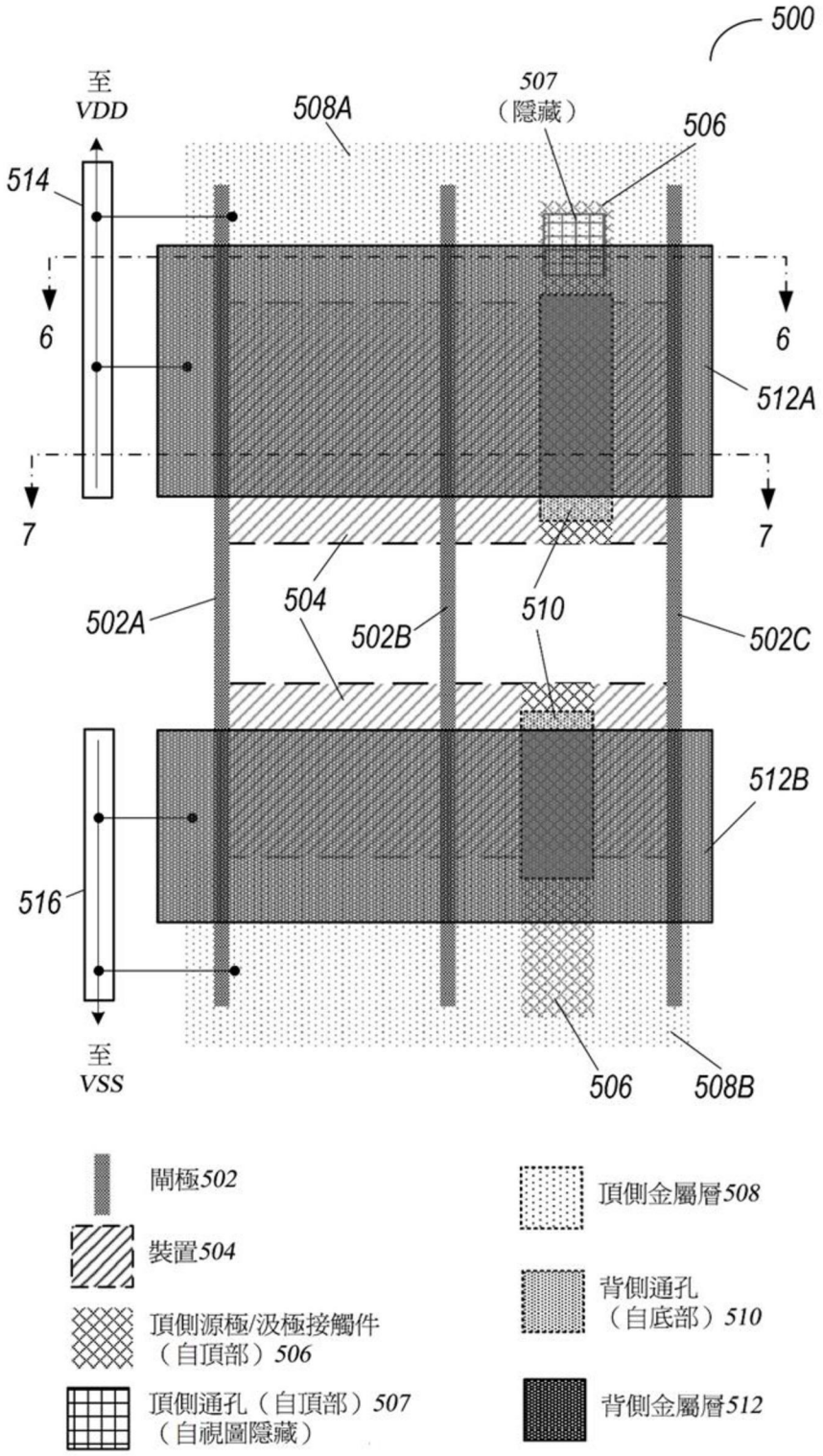
【圖2】


300
至
VDD
308
閘極302
裝置304
背側通孔
（自底部）
306
背側金屬層
308
304
306
4
4
308
至
VSS
302A
302B
302C

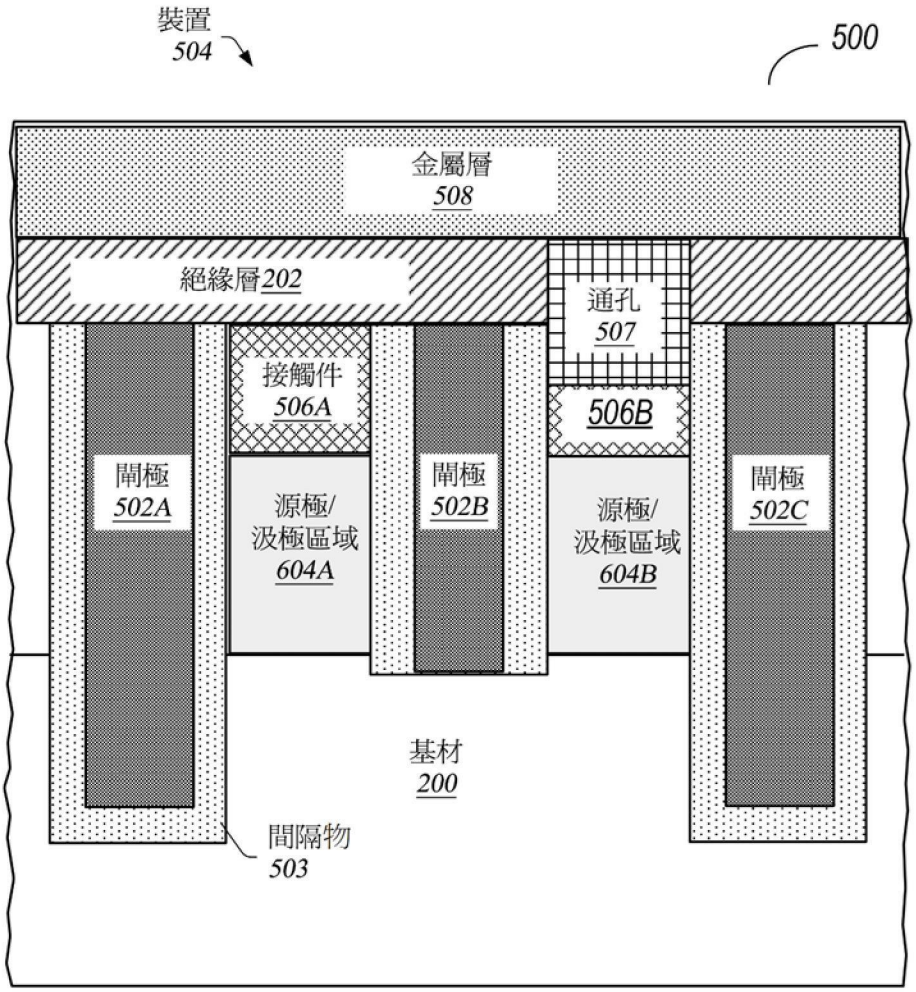
【圖3】


300
裝置
304
金屬層
108
絕緣層202
接觸件
106A
接觸件
106B
閘極
302A
源極/
汲極區域
404A
閘極
302B
源極/
汲極區域
404B
閘極
302C
基材
200
背側通孔
306
間隔物
303
背側金屬層
308

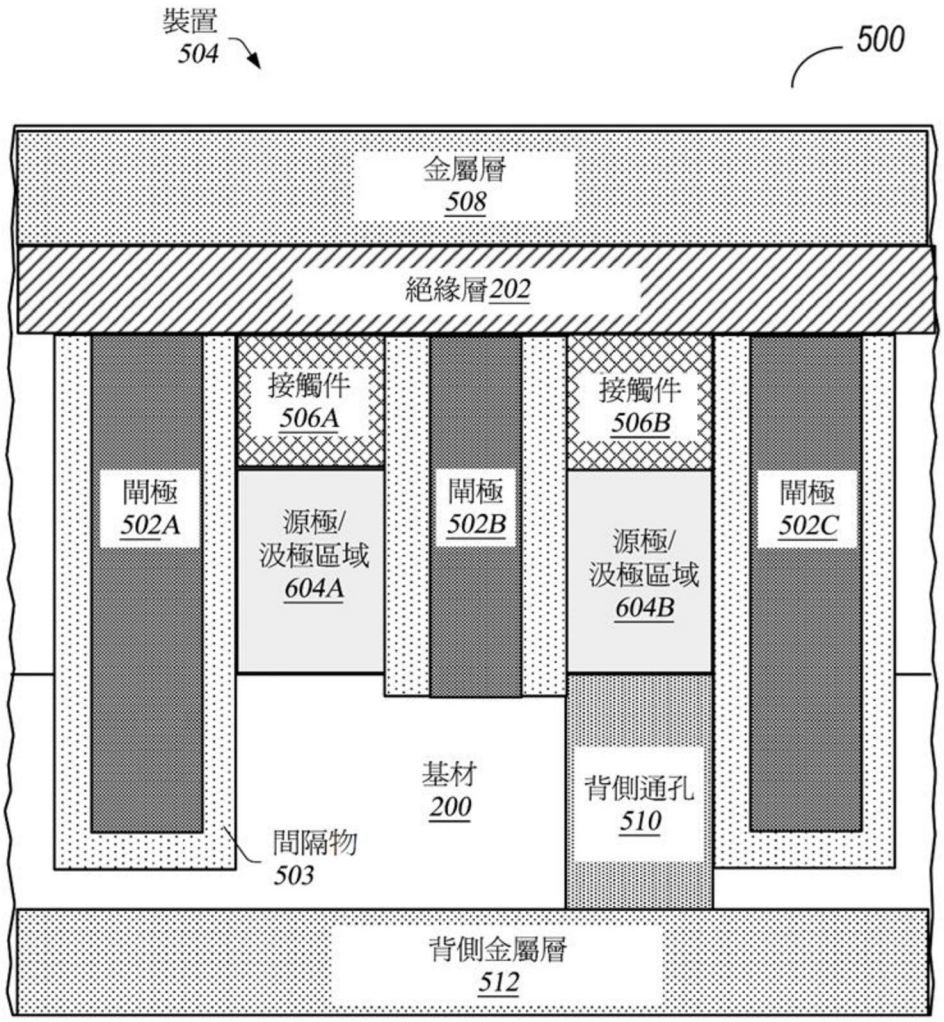
【圖4】


500
至
VDD
508A
507
（隱藏）
506
514
6
6
512A
7
7
504
502A
502B
510
502C
512B
516
至
VSS
506
508B
閘極502
裝置504
頂側源極/汲極接觸件
（自頂部）506
頂側通孔（自頂部）507
（自視圖隱藏）
頂側金屬層508
背側通孔
（自底部）510
背側金屬層512

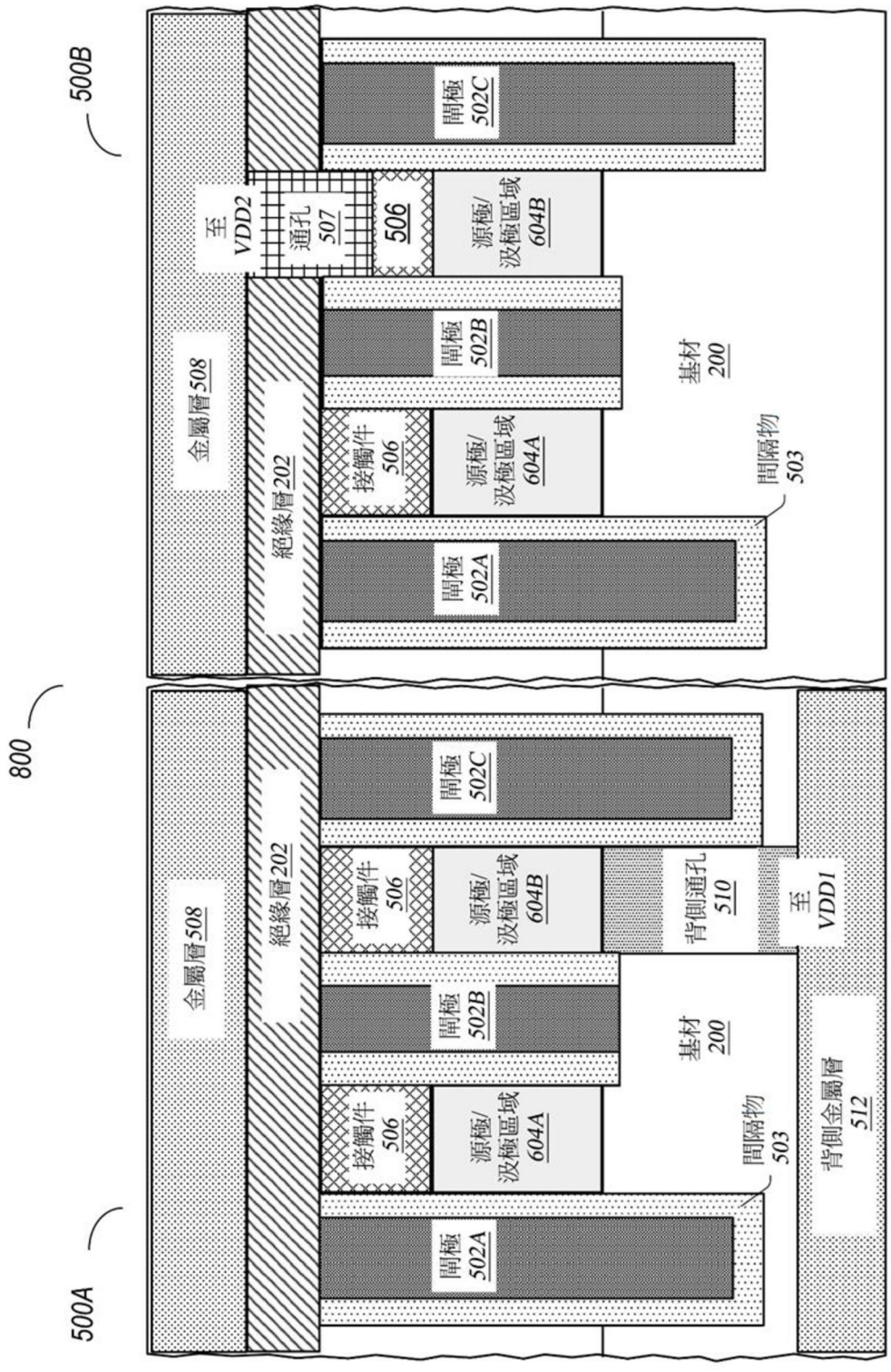
【圖5】


裝置
504
500
金屬層
508
絕緣層202
通孔
507
接觸件
506A
506B
閘極
502A
源極/
汲極區域
604A
閘極
502B
源極/
汲極區域
604B
閘極
502C
基材
200
間隔物
503

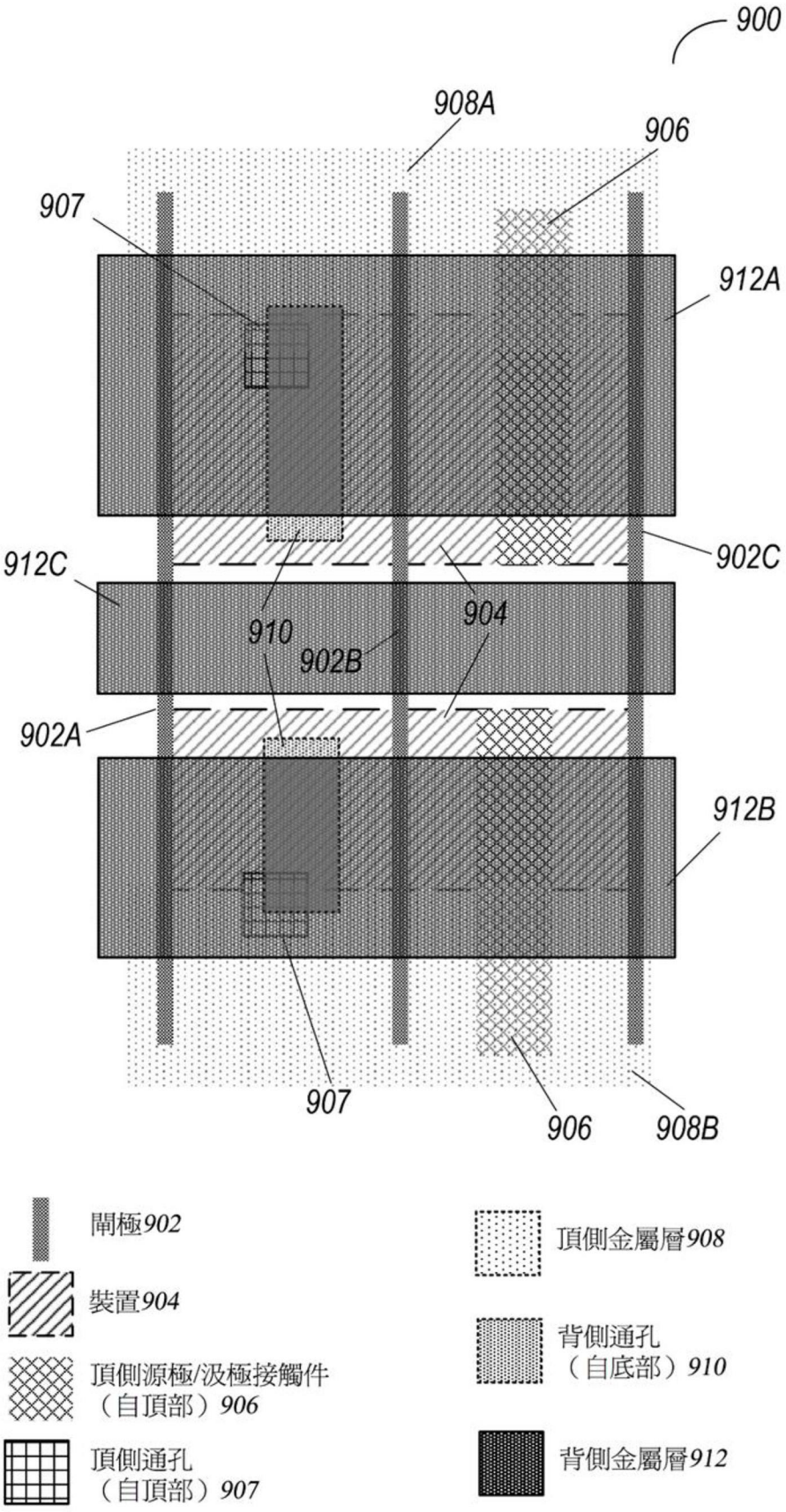
【圖6】


裝置
504
500
金屬層
508
絕緣層202
接觸件
506A
接觸件
506B
閘極
502A
源極/
汲極區域
604A
閘極
502B
源極/
汲極區域
604B
閘極
502C
基材
200
背側通孔
510
間隔物
503
背側金屬層
512

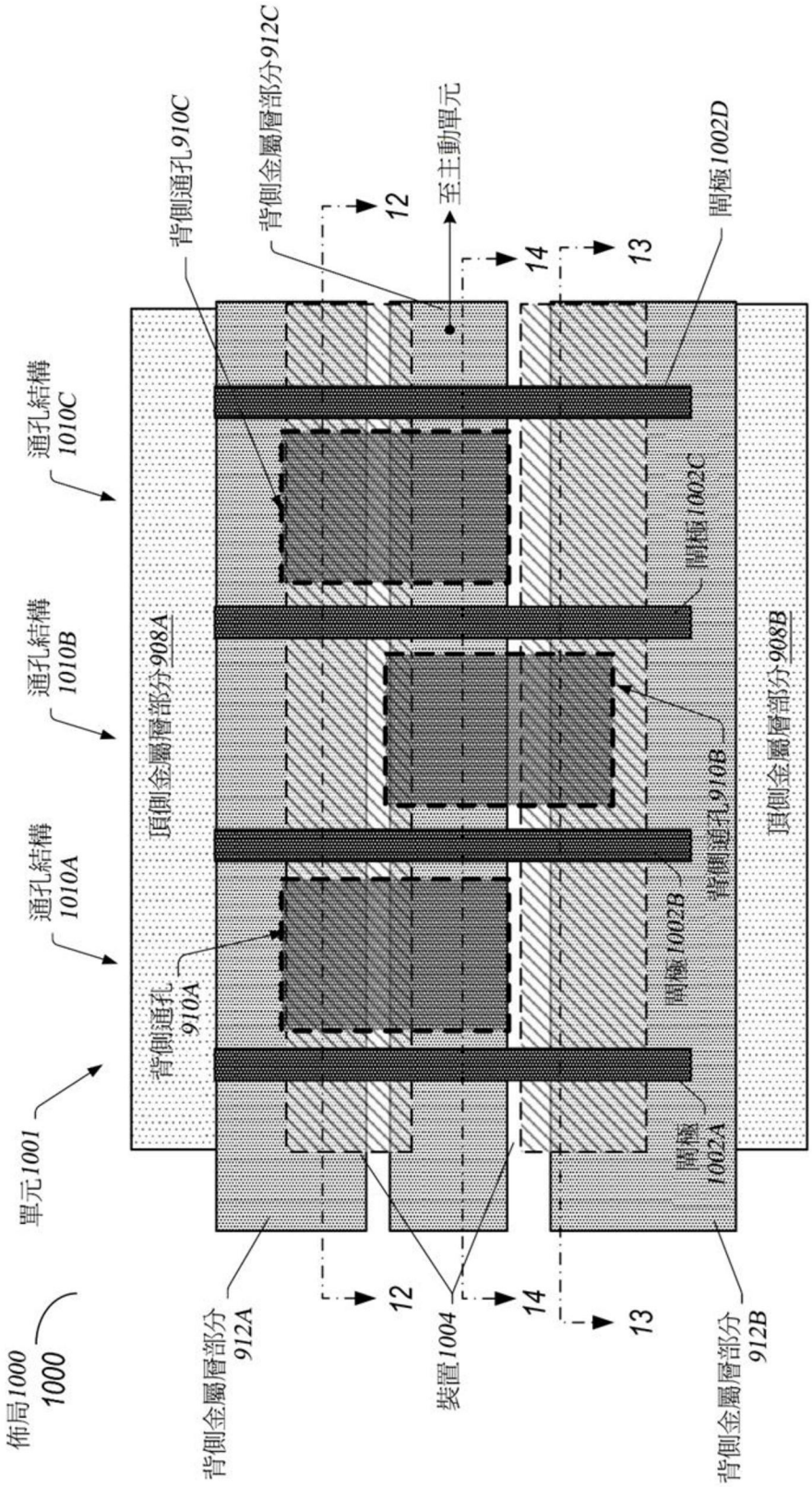
【圖7】


800
500A
500B
金屬層508
絕緣層202
閘極502C
接觸件506
源極/汲極區域604B
背側通孔510
至VDD1
閘極502B
源極/汲極區域604A
基材200
閘極502A
間隔物503
背側金屬層512
至VDD2
通孔507

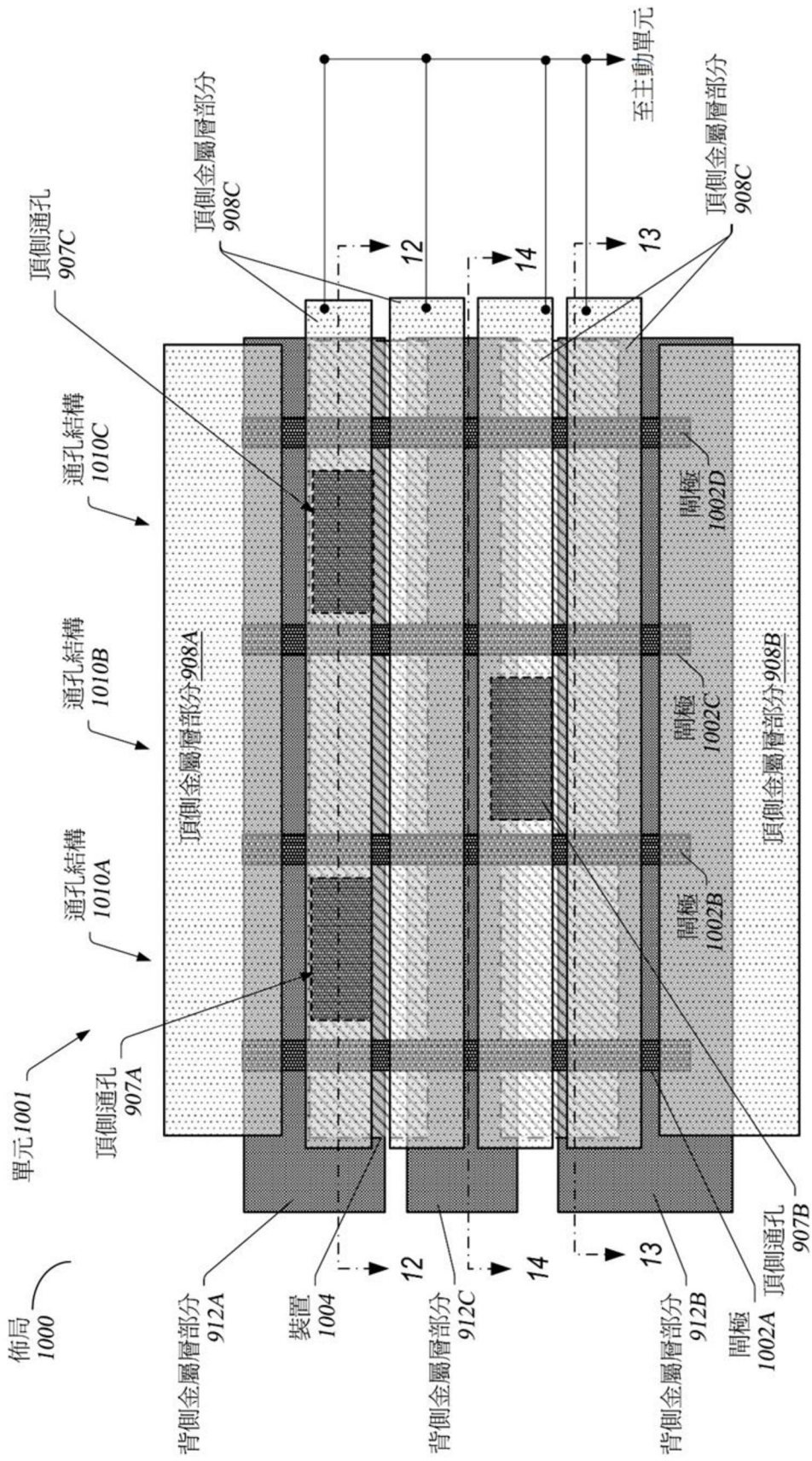
【圖8】


900
908A
906
907
912A
902C
912C
910
902B
904
902A
912B
907
906
908B
閘極902
裝置904
頂側源極/汲極接觸件（自頂部）906
頂側通孔（自頂部）907
頂側金屬層908
背側通孔（自底部）910
背側金屬層912

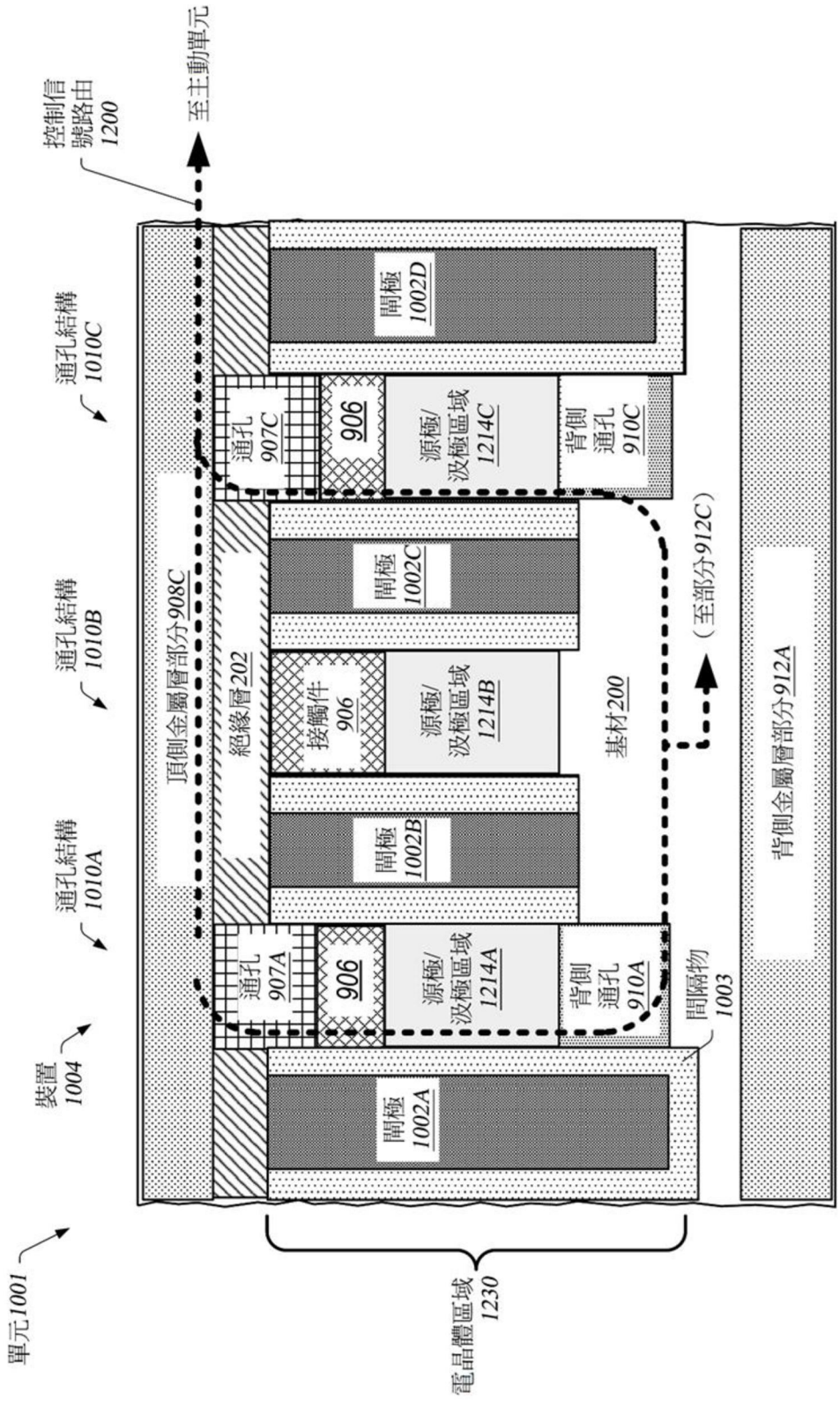
【圖9】


佈局1000
1000
單元1001
通孔結構1010A
通孔結構1010B
通孔結構1010C
背側通孔910A
背側通孔910C
頂側金屬層部分908A
頂側金屬層部分908B
背側金屬層部分912A
背側金屬層部分912C
背側金屬層部分912B
裝置1004
至主動單元
閘極1002A
閘極1002B
閘極1002C
閘極1002D
12
13
14

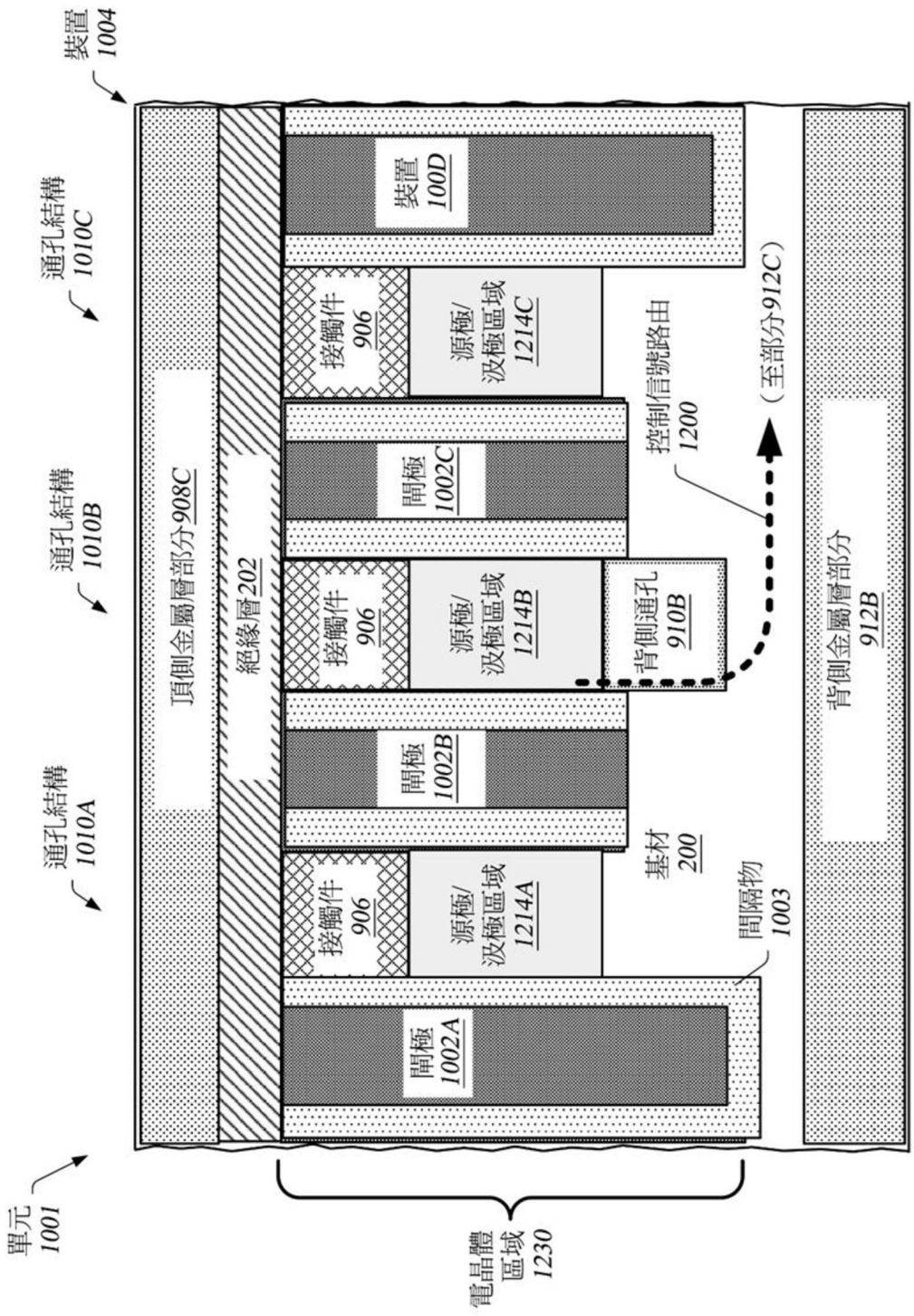
【圖10】


至主動單元
頂側金屬層部分
908C
頂側通孔
907C
通孔結構
1010C
通孔結構
1010B
通孔結構
1010A
頂側金屬層部分908A
頂側金屬層部分908B
閘極
1002D
閘極
1002C
閘極
1002B
閘極
1002A
單元1001
頂側通孔
907A
頂側通孔
907B
佈局
1000
裝置
1004
背側金屬層部分
912A
背側金屬層部分
912C
背側金屬層部分
912B
12
14
13

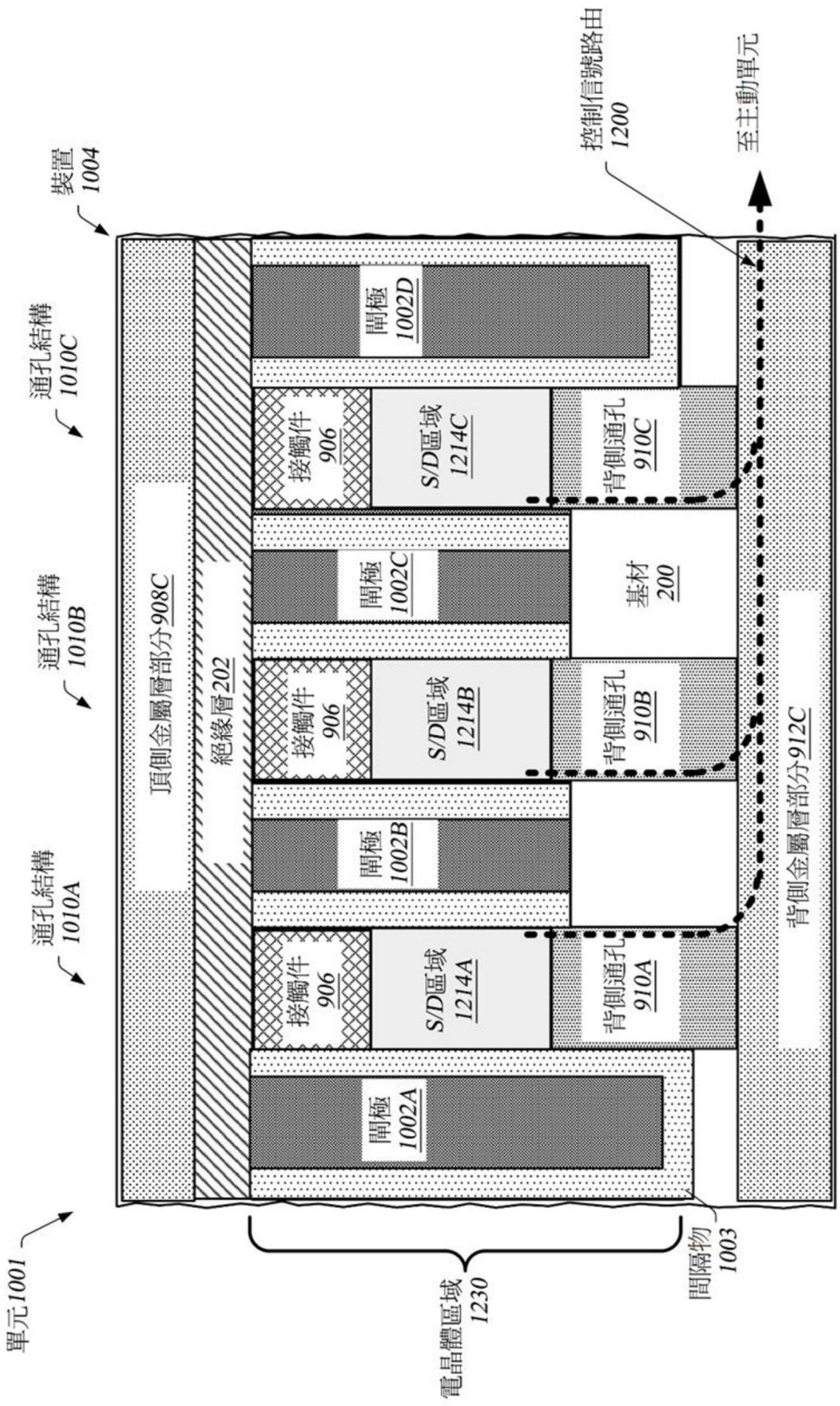
【圖11】


控制信號路由 1200
至主動單元
通孔結構 1010C
通孔結構 1010B
通孔結構 1010A
裝置 1004
單元 1001
閘極 1002D
閘極 1002C
閘極 1002B
閘極 1002A
通孔 907C
906
源極/汲極區域 1214C
背側通孔 910C
頂側金屬層部分 908C
絕緣層 202
接觸件 906
源極/汲極區域 1214B
基材 200
（至部分 912C）
通孔 907A
906
源極/汲極區域 1214A
背側通孔 910A
間隔物 1003
背側金屬層部分 912A
電晶體區域 1230

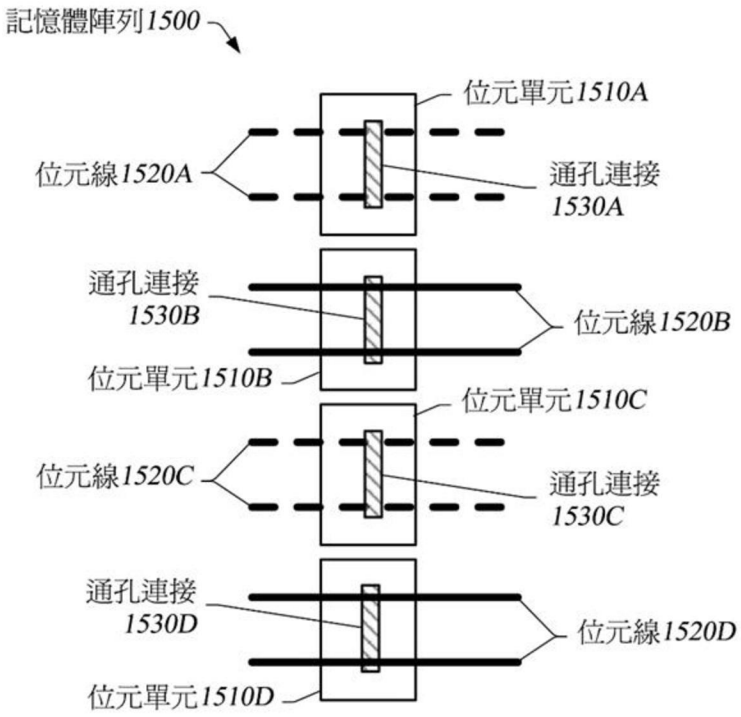
【圖12】


裝置 1004
通孔結構 1010C
通孔結構 1010B
通孔結構 1010A
單元 1001
電晶體區域 1230
頂側金屬層部分 908C
絕緣層 202
裝置 100D
接觸件 906
源極/汲極區域 1214C
閘極 1002C
接觸件 906
源極/汲極區域 1214B
閘極 1002B
接觸件 906
源極/汲極區域 1214A
閘極 1002A
背側通孔 910B
控制信號路由 1200
（至部分 912C）
基材 200
閘隔物 1003
背側金屬層部分 912B

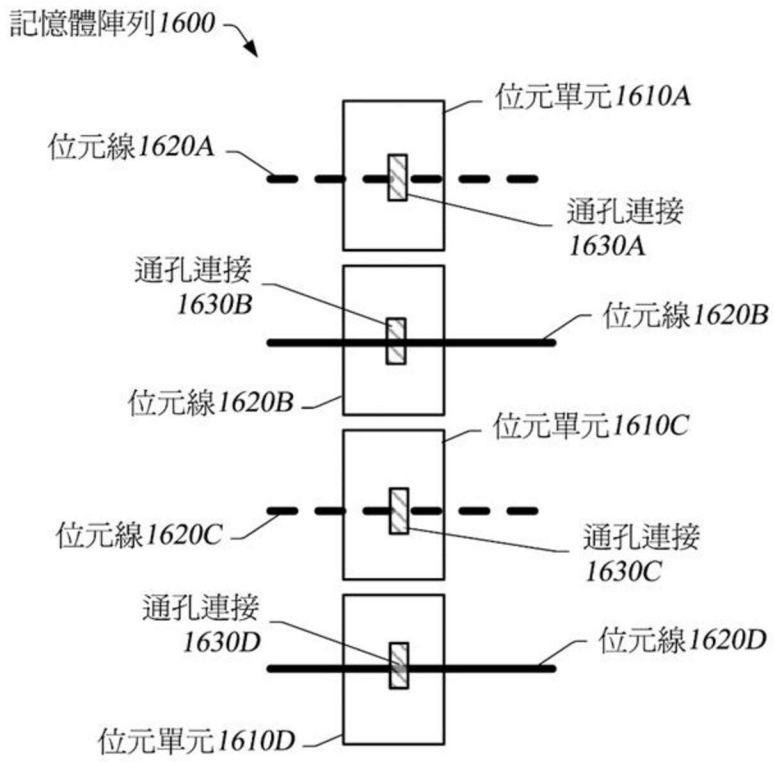
【圖13】


裝置 1004
控制信號路由 1200
至主動單元
通孔結構 1010C
通孔結構 1010B
通孔結構 1010A
閘極 1002D
接觸件 906
S/D區域 1214C
背側通孔 910C
閘極 1002C
基材 200
接觸件 906
S/D區域 1214B
背側通孔 910B
閘極 1002B
接觸件 906
S/D區域 1214A
背側通孔 910A
閘極 1002A
頂側金屬層部分 908C
絕緣層 202
背側金屬層部分 912C
單元 1001
電晶體區域 1230
間隔物 1003

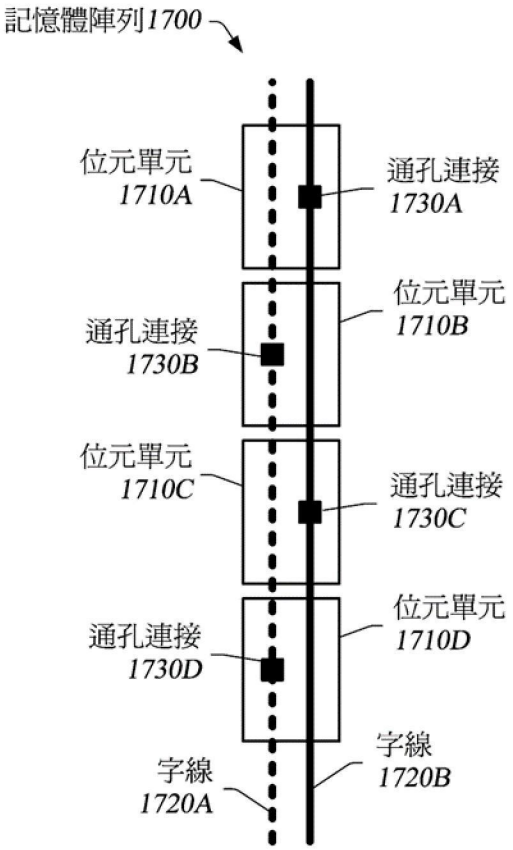
【圖14】


記憶體陣列1500
位元單元1510A
位元線1520A
通孔連接
1530A
通孔連接
1530B
位元線1520B
位元單元1510B
位元單元1510C
位元線1520C
通孔連接
1530C
通孔連接
1530D
位元線1520D
位元單元1510D

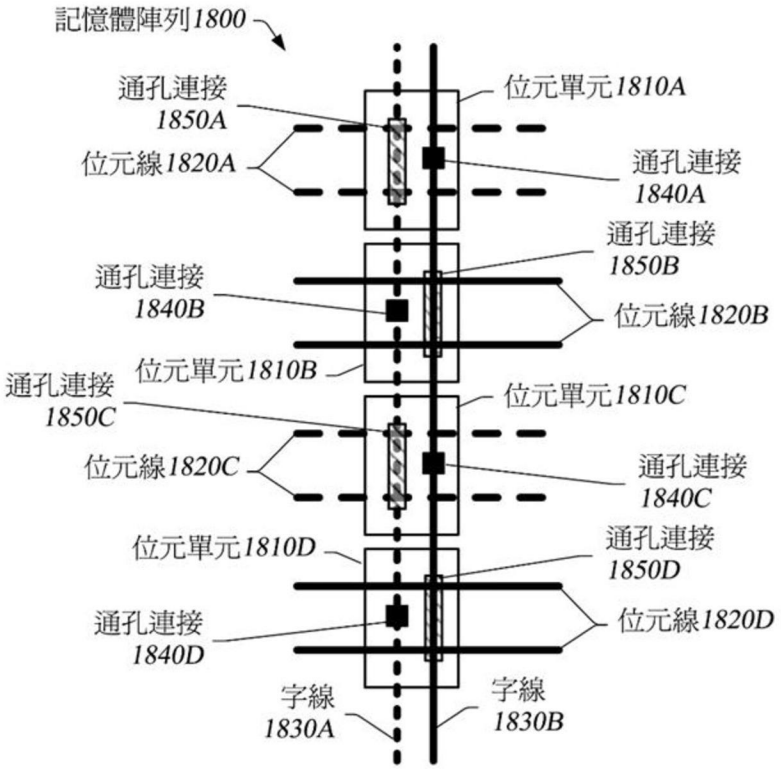
【圖15】


記憶體陣列1600
位元單元1610A
位元線1620A
通孔連接
1630A
通孔連接
1630B
位元線1620B
位元線1620B
位元單元1610C
位元線1620C
通孔連接
1630C
通孔連接
1630D
位元線1620D
位元單元1610D

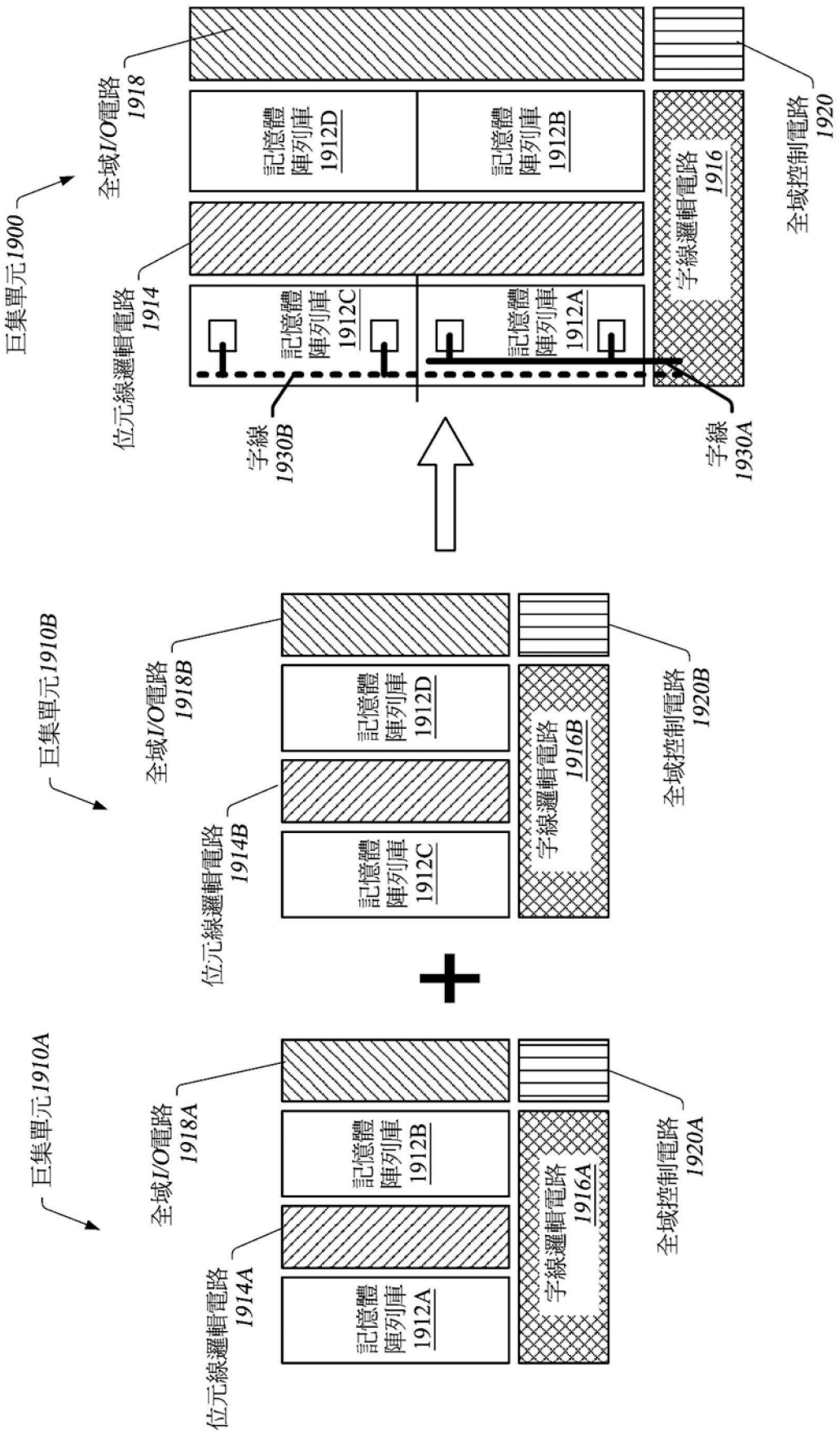
【圖16】


記憶體陣列1700
位元單元
1710A
通孔連接
1730A
位元單元
1710B
通孔連接
1730B
位元單元
1710C
通孔連接
1730C
位元單元
1710D
通孔連接
1730D
字線
1720A
字線
1720B

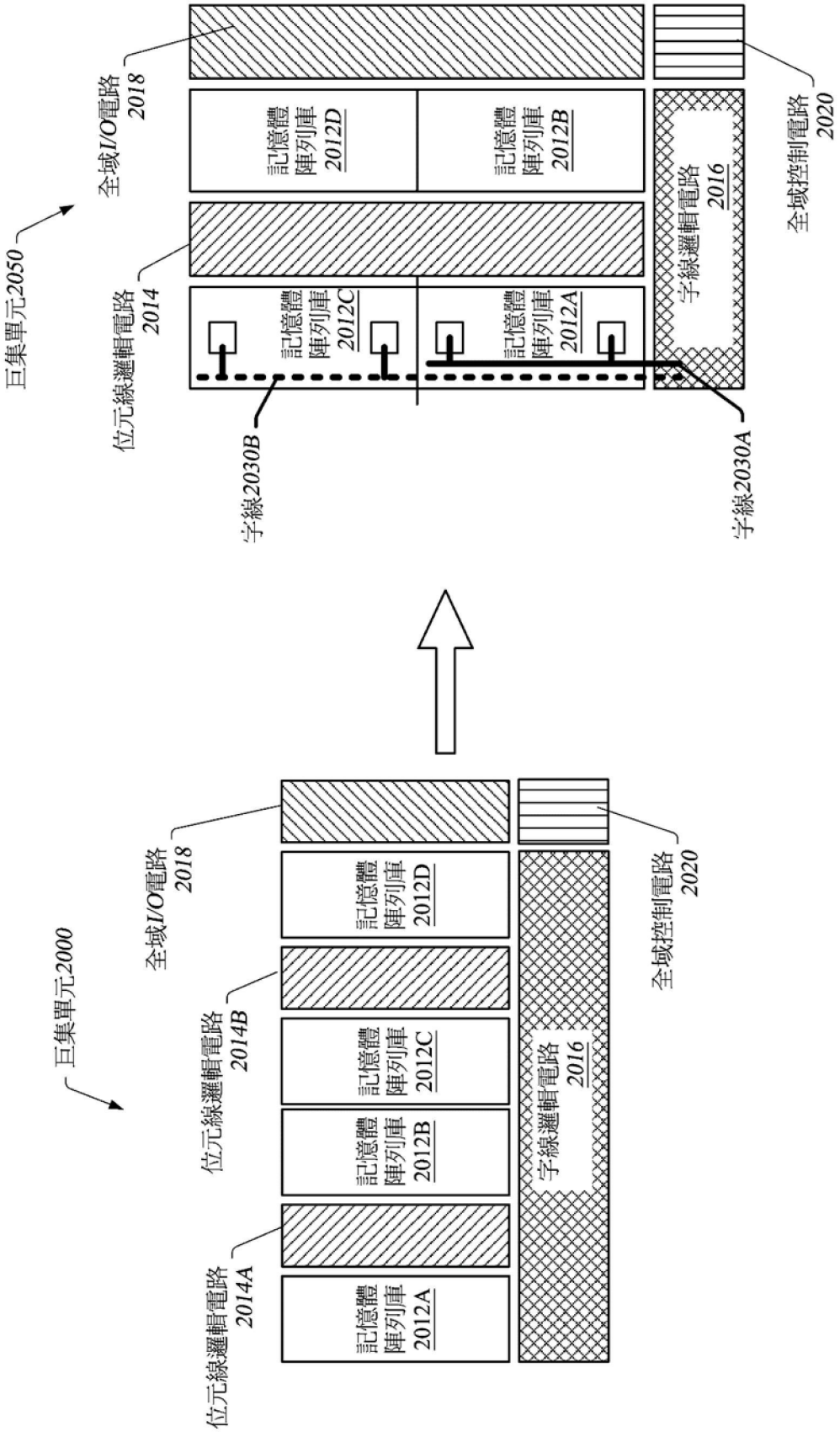
【圖17】


記憶體陣列1800
通孔連接
1850A
位元單元1810A
位元線1820A
通孔連接
1840A
通孔連接
1850B
通孔連接
1840B
位元線1820B
位元單元1810B
通孔連接
1850C
位元單元1810C
位元線1820C
通孔連接
1840C
位元單元1810D
通孔連接
1850D
通孔連接
1840D
位元線1820D
字線
1830A
字線
1830B

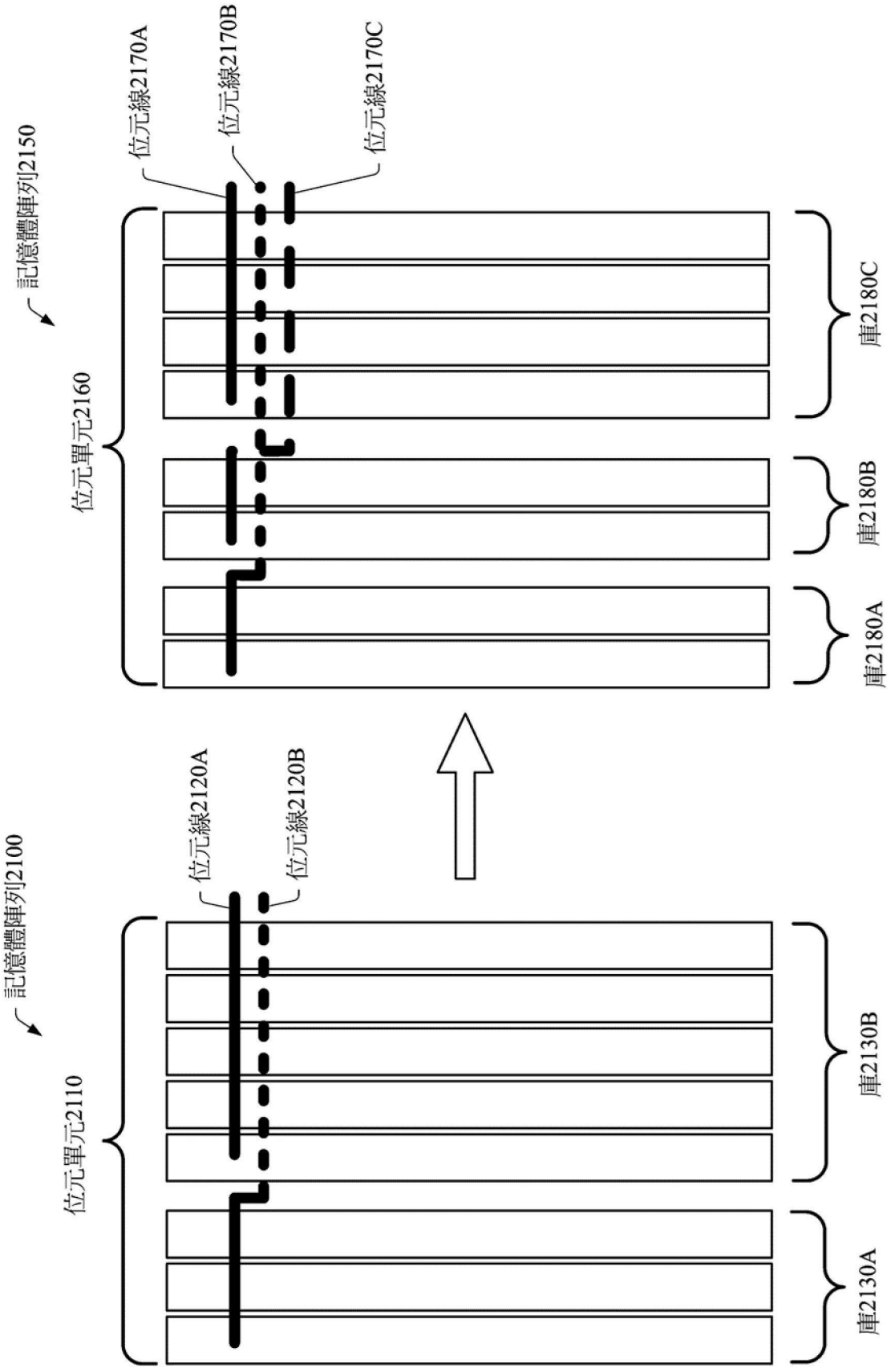
【圖18】


巨集單元1900
全域I/O電路 1918
位元線邏輯電路 1914
記憶體陣列庫 1912D
記憶體陣列庫 1912B
記憶體陣列庫 1912C
記憶體陣列庫 1912A
字線邏輯電路 1916
全域控制電路 1920
字線 1930B
字線 1930A
巨集單元1910B
全域I/O電路 1918B
位元線邏輯電路 1914B
記憶體陣列庫 1912D
記憶體陣列庫 1912C
字線邏輯電路 1916B
全域控制電路 1920B
巨集單元1910A
全域I/O電路 1918A
位元線邏輯電路 1914A
記憶體陣列庫 1912B
記憶體陣列庫 1912A
字線邏輯電路 1916A
全域控制電路 1920A

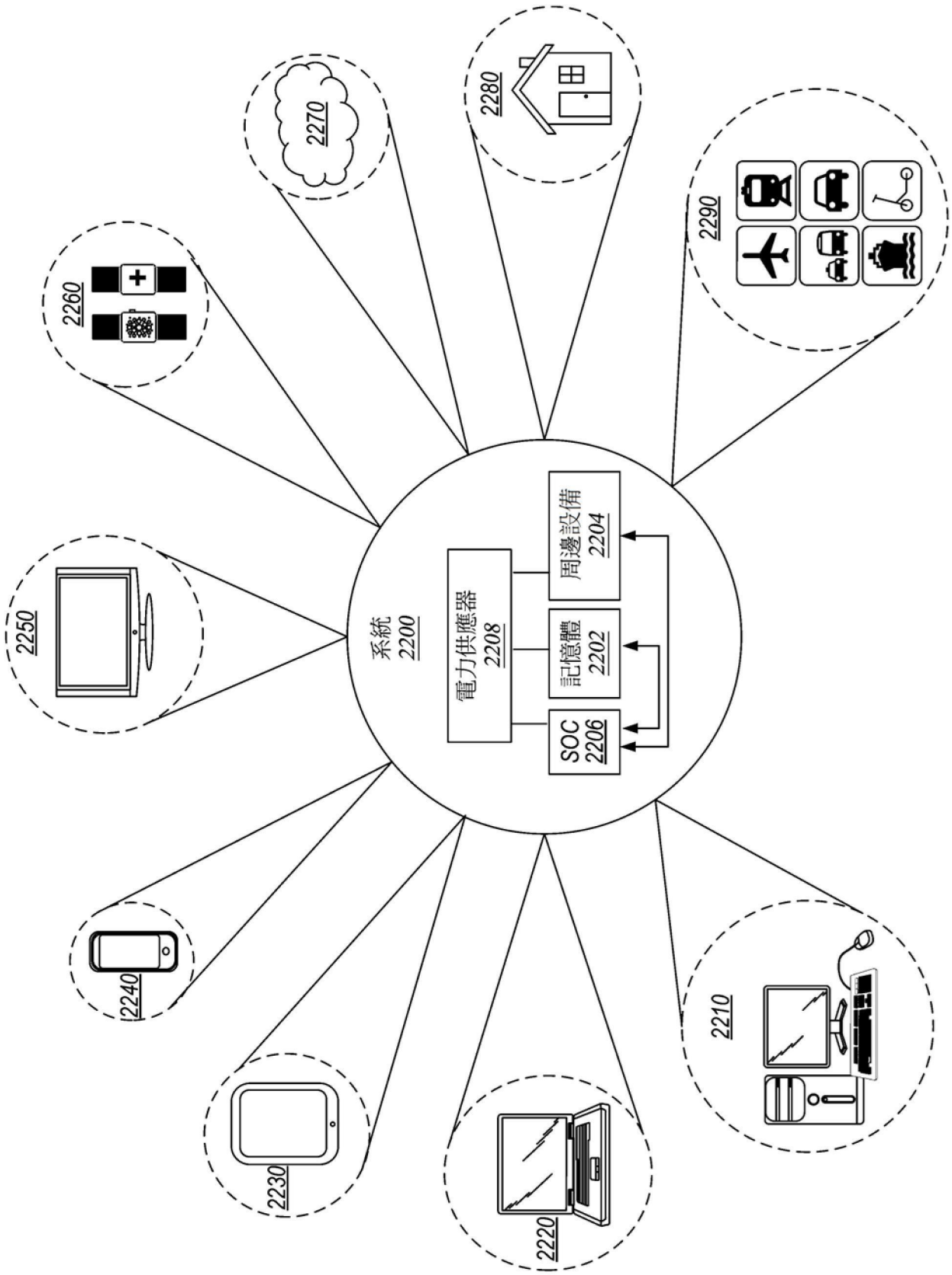
【圖19】


巨集單元2050
全域I/O電路 2018
位元線邏輯電路 2014
記憶體陣列庫 2012D
記憶體陣列庫 2012B
記憶體陣列庫 2012C
記憶體陣列庫 2012A
字線邏輯電路 2016
全域控制電路 2020
字線2030B
字線2030A
巨集單元2000
全域I/O電路 2018
位元線邏輯電路 2014B
位元線邏輯電路 2014A
記憶體陣列庫 2012D
記憶體陣列庫 2012C
記憶體陣列庫 2012B
記憶體陣列庫 2012A
字線邏輯電路 2016
全域控制電路 2020

【圖20】


記憶體陣列2150
位元線2170A
位元線2170B
位元線2170C
位元單元2160
庫2180C
庫2180B
庫2180A
記憶體陣列2100
位元線2120A
位元線2120B
位元單元2110
庫2130B
庫2130A

【圖21】


2270
2280
2290
2260
2250
系統
2200
電力供應器
2208
記憶體
2202
周邊設備
2204
SOC
2206
2240
2230
2220
2210

【圖22】