

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 1 部門第 2 区分

【発行日】平成29年8月31日(2017.8.31)

【公表番号】特表2017-519575(P2017-519575A)

【公表日】平成29年7月20日(2017.7.20)

【年通号数】公開・登録公報2017-027

【出願番号】特願2016-575286(P2016-575286)

【国際特許分類】

A 6 1 B 5/00 (2006.01)

G 0 8 B 25/04 (2006.01)

G 0 8 B 21/02 (2006.01)

H 0 5 K 1/02 (2006.01)

A 4 1 D 13/00 (2006.01)

【F I】

A 6 1 B 5/00 C

G 0 8 B 25/04 K

G 0 8 B 21/02

H 0 5 K 1/02 B

A 4 1 D 13/00 1 0 2

A 6 1 B 5/00 1 0 2 A

【手続補正書】

【提出日】平成29年7月12日(2017.7.12)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

テキスタイル材料から成り、テキスタイル回路またはその一部の支持部として機能する、少なくとも 1 つのテキスタイル基板を備え、前記テキスタイル基板は、さらに、テキスタイル導電性層およびテキスタイル分離層の少なくとも 1 部分を含み、

テキスタイル導電性層の少なくとも 1 部分において、テキスタイル回路またはその一部の配線を規定し、テキスタイルマザーボードを形成するテキスタイル回路のための伝達ブラットフォームとして機能する、少なくとも 1 つの導電性ルーティングを更に備え、

前記テキスタイル基板に組み込まれ、前記導電性ルーティングに取り付けられた、少なくとも 1 つのテキスタイル要素を更に備え、前記テキスタイル要素は、前記テキスタイルマザーボードの周辺要素を形成し、または別のテキスタイルマザーボードに使用可能な周辺要素もしくは周辺要素の一部を形成し、

前記導電性ルーティングに取り付けられ、少なくともテキスタイルを適合する手段から成り、少なくとも 1 つのテキスタイル、電気または光の周辺要素への接続および切断を可能にし、少なくとも 1 つの、テキスタイルを適合する補完手段を示し、前記テキスタイルマザーボードで使用可能な周辺要素の交換を可能にする、少なくとも 1 つの相互接続端子を更に備え、

前記少なくとも 1 つの導電性ルーティングは、テキスタイル垂直相互接続アクセス (VIA) の手段によって、少なくとも 1 つのテキスタイル基板における導電層の別の部分に配置された別の導電性ルーティングに取り付けられ、

監視、通知および、衣服を装着したユーザのパラメータを制御するよう構成され、前記

テキスタイルマザーボードを組み込んでいることを特徴とするテキスタイルマザーボード。

【請求項 2】

前記テキスタイルマザーボードは、少なくとも 2 つの前記基板と、それぞれの前記基板において少なくとも 1 つの前記導電性ルーティングとで形成されており、前記導電性ルーティングの間の接続は前記テキスタイル垂直相互接続アクセス（VIA）の手段によって達成されることを特徴とする請求項 1 に記載のテキスタイルマザーボード。

【請求項 3】

前記テキスタイル垂直相互接続アクセス（VIA）は、タグ VIA、シーケンシャル VIA、スルー VIA、写真によって定義された VIA、深さ制御された VIA、埋め込み VIA、それらに似通った構成の VIA、またはそれらを組み合わせた VIA から選択され得ることを特徴とする請求項 1 または 2 に記載のテキスタイルマザーボード。

【請求項 4】

前記基板または導電層の部分は、少なくとも 1 つの分離層によって分離されていることを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載のテキスタイルマザーボード。

【請求項 5】

前記分離層は、基板層と同様に機能することができることを特徴とする請求項 4 に記載のテキスタイルマザーボード。

【請求項 6】

少なくとも 1 つのテキスタイル、電気または光周辺要素のうちの 1 つは、中央処理ユニット（CPU）を含むことを特徴とする請求項 1 に記載のテキスタイルマザーボード。

【請求項 7】

前記中央処理ユニット（CPU）は、マイクロコントローラ、マイクロプロセッサまたは同等の要素を備えることを特徴とする請求項 6 に記載のテキスタイルマザーボード。

【請求項 8】

少なくとも 1 つの導電性ルーティングは、電気導体テキスタイル、光ファイバを組み込んだテキスタイル構造の形態または導波路を組み込んだテキスタイル構造の形態で構成されることを特徴とする請求項 1 ～ 7 のいずれか 1 項に記載のテキスタイルマザーボード。

【請求項 9】

前記電気導体テキスタイルは、前記基板層を形成する前記テキスタイル内部にある織り交ぜたルーティングにより構成されることを特徴とする請求項 8 に記載のテキスタイルマザーボード。

【請求項 10】

前記電気導体テキスタイルは、複数の層で構成され、導電性ルーティングを画定し、分離層によって分離された単一の平面内で隣接して配置され、または分離層と交互に重ねて配置されることを特徴とする請求項 8 に記載のテキスタイルマザーボード。

【請求項 11】

前記相互接続端子は、種々の異なる変数の監視、情報伝達、信号化または同様の要素の操作を制御するために、前記中央処理ユニット、前記周辺要素を交換可能に構成されることを特徴とする請求項 1 ～ 10 のいずれか 1 項に記載のテキスタイルマザーボード。

【請求項 12】

前記相互接続端子は、スナップ、フック、留め穴、フックおよびループシステムまたは前記導電性ルーティングに取り付けられた同様の要素で構成されていることを特徴とする請求項 11 に記載のテキスタイルマザーボード。

【請求項 13】

テキスタイル材料から成り、テキスタイル回路またはその一部の支持部として機能する、少なくとも 1 つのテキスタイル基板を備え、前記テキスタイル基板は、さらに、テキスタイル導電性層およびテキスタイル分離層の少なくとも 1 部分を含み、

テキスタイル導電性層の少なくとも 1 部分において、テキスタイル回路またはその一部の配線を規定し、テキスタイル周辺要素を形成するテキスタイル回路のための伝達ブラッ

トフォームとして機能する、少なくとも１つの導電性ルーティングを更に備え、

前記テキスタイル基板に組み込まれ、前記導電性ルーティングに取り付けられた、少なくとも１つのテキスタイル要素を更に備え、前記テキスタイル要素は、テキスタイルマザーボードで使用可能な周辺要素の一部として機能し、

前記導電性ルーティングに取り付けられ、少なくともテキスタイルを適合する手段から成り、テキスタイルマザーボードと周辺要素との間での接続および切断を可能にし、テキスタイルを適合する補完手段を示す、少なくとも１つの相互接続端子を更に備え、

前記少なくとも１つの導電性ルーティングは、テキスタイル垂直相互接続アクセス（VIA）の手段によって、少なくとも１つのテキスタイル基板における導電層の別の部分に配置された別の導電性ルーティングに取り付けられることを特徴とするテキスタイル周辺要素。

**【請求項１４】**

前記テキスタイルマザーボードは、少なくとも２つの前記基板と、それぞれの前記基板において少なくとも１つの前記導電性ルーティングとで形成されており、前記導電性ルーティングの間の接続は前記テキスタイル垂直相互接続アクセス（VIA）の手段によって達成されることを特徴とする請求項１３に記載のテキスタイル周辺要素。

**【請求項１５】**

前記基板または導電層の部分は、少なくとも１つの分離層によって分離されていることを特徴とする請求項１３または１４に記載のテキスタイル周辺要素。

**【請求項１６】**

少なくとも１つのテキスタイル、電気または光周辺要素のうちの１つは、中央処理ユニット（CPU）を含むことを特徴とする請求項１３に記載のテキスタイル周辺要素。