

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 17 年 2 月 3 日 (2005.2.3)

【公開番号】特開 2002-164781 (P2002-164781A)

【公開日】平成 14 年 6 月 7 日 (2002.6.7)

【出願番号】特願 2000-361557 (P2000-361557)

【国際特許分類第 7 版】

H 0 3 L 7/08

H 0 3 K 3/353

H 0 3 L 7/081

【F I】

H 0 3 L 7/08 L

H 0 3 K 3/353 B

H 0 3 L 7/08 J

【手続補正書】

【提出日】平成 16 年 2 月 25 日 (2004.2.25)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】請求項 2

【補正方法】変更

【補正の内容】

【請求項 2】

位相同期ループを構成することにより、入力クロック信号の周波数を通倍して出力する方式の発振回路であって、前記位相同期ループは、入力クロック信号と帰還クロック信号との位相差を検出してその検出量に応じた誤差信号を発生する位相比較手段と、誤差信号を積分するフィルタ手段と、フィルタ手段から出力される電圧信号に応じて発振周波数が変化する電圧制御発振器と、電圧制御発振器の出力クロック信号を分周して前記帰還クロック信号を生成する分周手段とを含み、前記電圧制御発振器は、K 個のインバータ回路を環状に接続してなるリングオシレータ形式の電圧制御発振器である発振回路において、電圧制御発振器の出力と分周手段の入力との間に遅延手段を挿入するとともに、前記帰還クロック信号の立ち上がりエッジ、立ち下がりエッジのいずれかと、電圧制御発振器の出力クロック信号の立ち上がりエッジまたは立ち下がりエッジとの時間差が、定常状態において、電圧制御発振器の出力クロック信号の発振周期に対し、 $1/(4K)$  またはその奇数倍に概ね等しくなるよう、前記遅延手段の遅延量が設定されてなることを特徴とする発振回路。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

【課題を解決するための手段】

本発明の発振回路は、従来の回路構成に加えて、電圧制御発振器 3 の出力と分周器 5 の入力との間に遅延回路を挿入することによって、上述の課題を解決した。遅延回路に設定される遅延量は、電圧制御発振器の構成によって異なり、帰還クロック信号 S 6 の立ち上がりエッジおよび立ち下がりエッジが、電圧制御発振器 3 の内部に存在するすべてのクロック信号の立ち上がりエッジ、立ち下がりエッジから最も乖離した位置となるように設定される。すなわち、電圧制御発振器 3 が電氣的あるいは機械的な共振現象を利用したもので

ある場合は、帰還クロック信号 S 6 の立ち上がりエッジ、立ち下がりエッジのいずれかと、電圧制御発振器 3 の出力クロック信号 S 4 の立ち上がりエッジまたは立ち下がりエッジとの時間差が、電圧制御発振器 3 の出力クロック信号 S 4 の発振周期に対して  $1/4$  またはその奇数倍に概ね等しく設定される。一方、電圧制御発振器 3 が K 個のインバータ回路を環状に接続してなるリングオシレータ形式のものである場合は、帰還クロック信号 S 6 の立ち上がりエッジ、立ち下がりエッジのいずれかと、電圧制御発振器 3 の出力クロック信号 S 4 の立ち上がりエッジまたは立ち下がりエッジとの時間差が、電圧制御発振器 3 の出力クロック信号 S 4 の発振周期に対し  $1/(4K)$  またはその奇数倍に概ね等しく設定される。このように構成することにより、位相周波数比較器 1 や分周器 5 を構成する論理回路の状態遷移によって、電源電圧や電圧制御発振器 3 の入力電圧信号 S 3 にスパイク状のノイズが発生したとしても、そのスパイクの発生は、電圧制御発振器 3 の内部に存在するいずれの発振波形の立ち上がり、または立ち下がりエッジからも最も乖離した時点となるため、電圧制御発振器 3 の動作は極力安定に保たれる。この結果、出力クロック信号 S 4 に発生するジッタは極めて少なくなる。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

本実施形態において、電圧制御発振器 3 は K 個のインバータ回路を環状に接続してなるリングオシレータ形式のものである。このとき、定常状態における発振回路のタイミングチャートは図 4 で示される。電圧制御発振器 3 の出力クロック信号 S 4 と、遅延回路 4 の出力信号 S 5 との間には、遅延回路 4 の遅延量に応じた位相差が生じている。その結果として、分周回路 5 から出力される帰還クロック信号 S 6 の立ち上がりエッジは、電圧制御発振器 3 の出力クロック信号 S 4 の立ち上がりエッジから、一定量ずれた時点に現れる。このずれ量が、出力クロック信号 S 4 の発振周期を T として、 $T/(4K)$ 、または、その奇数倍に概ね等しくなるように、遅延回路 4 の遅延量は調節されている。本実施形態においても、従来の発振回路と同様に、図 4 最下段に示されるようなスパイク状のノイズが電源電圧に重畳する。しかしながら、前述したように遅延回路 4 の遅延量が調節されているため、スパイク状のノイズの発生箇所は、電圧制御発振器 3 の内部信号 A 2, B 2, C 2 のいずれの立ち上がりエッジ、立ち下がりエッジからも最も乖離した時点となっている。換言すると、スパイク状のノイズの発生箇所は、信号 A 2, B 2, C 2 の波形がほぼ水平な時点となっている。波形が水平な状態においては、たとえノイズによって電圧制御発振器 3 が一時的に不安定になったとしても、その影響はすみやかに減衰し、次の立ち上がりもしくは立ち下がりエッジを揺らすには至らない。したがって、電圧制御発振器 3 の出力信号 S 4 の立ち上がりエッジ、立ち下がりエッジには揺らぎが発生せず、ジッタの少ない発振回路が実現される。

【手続補正 4】

【補正対象書類名】図面

【補正対象項目名】図 9

【補正方法】変更

【補正の内容】

【図 9】

