

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4298767号  
(P4298767)

(45) 発行日 平成21年7月22日(2009.7.22)

(24) 登録日 平成21年4月24日(2009.4.24)

(51) Int.Cl.

F I

A 6 3 F 7/02 (2006.01)

A 6 3 F 7/02 3 2 6 Z

A 6 3 F 7/02 3 0 4 Z

請求項の数 1 (全 29 頁)

(21) 出願番号	特願2007-198973 (P2007-198973)	(73) 特許権者	000144153
(22) 出願日	平成19年7月31日(2007.7.31)		株式会社三共
(62) 分割の表示	特願平11-342640の分割		東京都渋谷区渋谷三丁目29番14号
原出願日	平成11年12月1日(1999.12.1)	(74) 代理人	100103090
(65) 公開番号	特開2007-275644 (P2007-275644A)		弁理士 岩壁 冬樹
(43) 公開日	平成19年10月25日(2007.10.25)	(74) 代理人	100124501
審査請求日	平成19年7月31日(2007.7.31)		弁理士 塩川 誠人
早期審査対象出願		(74) 代理人	100134692
			弁理士 川村 武
		(74) 代理人	100135161
			弁理士 眞野 修二
		(72) 発明者	鶴川 詔八
			群馬県桐生市相生町1丁目164番地の5
		審査官	澤田 真治
			最終頁に続く

(54) 【発明の名称】 遊技機

(57) 【特許請求の範囲】

【請求項 1】

遊技者が所定の遊技を行うことが可能な遊技機であって、

遊技の進行を制御する遊技制御手段と、

前記遊技制御手段からのコマンドにもとづいて、遊技に用いられる遊技媒体の払出制御を行う払出制御手段と、

遊技機で使用される所定電位電源を監視し検出条件が成立した場合に検出信号を出力する電源監視手段とを備え、

前記遊技制御手段および前記払出制御手段には、電力供給停止中でもバックアップ用電源によって電力供給停止直前の内容を少なくとも所定時間保持することが可能な記憶手段が設けられ、

前記遊技制御手段および前記払出制御手段は、前記電源監視手段からの検出信号にもとづいて、制御状態を復元するために必要な情報を前記記憶手段に記憶させるための電力供給停止時処理を行い、

前記遊技制御手段は、電力供給が復旧したときに、制御状態を復元するために必要な情報が前記記憶手段に保存されていると判定したことを条件に前記記憶手段の記憶情報にもとづいて制御状態を復元するための復帰処理を実行するとともに、あらかじめ決められているエラー画面を表示することを示すコマンドを送信し、

前記払出制御手段は、電力供給が復旧したときに前記記憶手段の記憶情報にもとづいて制御状態を復元するための復帰処理を実行し、

10

20

前記遊技制御手段は、前記電力供給停止時処理にてコマンド送信処理を行わず、  
前記払出制御手段は、前記電力供給停止時処理にてコマンド受信処理を行わず、  
前記遊技制御手段へ前記検出信号を出力することとなる検出条件と前記払出制御手段へ  
前記検出信号を出力することとなる検出条件とを同じ検出条件とすることにより、前記電  
源監視手段は、前記遊技制御手段および前記払出制御手段に対して、同じタイミングで検  
出信号を出力する

ことを特徴とする遊技機。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、遊技者の操作に応じて遊技が行われるパチンコ遊技機、コイン遊技機、スロ  
ット機等の遊技機に関し、特に、遊技盤における遊技領域において遊技者の操作に応じて  
遊技が行われる遊技機に関する。

【背景技術】

【0002】

遊技機として、遊技球などの遊技媒体を発射装置によって遊技領域に発射し、遊技領域  
に設けられている入賞口などの入賞領域に遊技媒体が入賞すると、所定個の賞球が遊技者  
に払い出されるものがある。さらに、表示状態が変化可能な可変表示部が設けられ、可変  
表示部の表示結果があらかじめ定められた特定の表示態様となった場合に所定の遊技価値  
を遊技者に与えるように構成されたものがある。

20

【0003】

なお、遊技価値とは、遊技機の遊技領域に設けられた可変入賞球装置の状態が打球が入  
賞しやすい遊技者にとって有利な状態になることや、遊技者にとって有利な状態となるた  
めの権利を発生させたりすることや、景品遊技媒体払出の条件が成立しやすくなる状態に  
なることである。

【0004】

パチンコ遊技機では、特別図柄を表示する可変表示部の表示結果があらかじめ定められ  
た特定の表示態様の組合せとなることを、通常、「大当たり」という。大当たりが発生すると  
、例えば、大入賞口が所定回数開放して打球が入賞しやすい大当たり遊技状態に移行する。  
そして、各開放期間において、所定個（例えば10個）の大入賞口への入賞があると大入  
賞口は閉成する。そして、大入賞口の開放回数は、所定回数（例えば16ラウンド）に固  
定されている。なお、各開放について開放時間（例えば29.5秒）が決められ、入賞数  
が所定個に達しなくても開放時間が経過すると大入賞口は閉成する。また、大入賞口が閉  
成した時点で所定の条件（例えば、大入賞口内に設けられているVゾーンへの入賞）が成  
立していない場合には、大当たり遊技状態は終了する。

30

【0005】

また、「大当たり」の組合せ以外の表示態様の組合せのうち、複数の可変表示部の表示結  
果のうちの一部が未だに導出表示されていない段階において、既に表示結果が導出表示さ  
れている可変表示部の表示態様が特定の表示態様の組合せとなる表示条件を満たしている  
状態を「リーチ」という。そして、可変表示部に可変表示される識別情報の表示結果が「  
リーチ」となる条件を満たさない場合には「はずれ」となり、可変表示状態は終了する。  
遊技者は、大当たりをいかにして発生させるかを楽しみつつ遊技を行う。

40

【0006】

遊技機における遊技進行はマイクロコンピュータ等による遊技制御手段によって制御さ  
れる。可変表示装置に表示される識別情報、キャラクタ画像および背景画像は、遊技制御  
手段からの表示制御コマンドデータに従って動作する表示制御手段によって制御される。  
可変表示装置に表示される識別情報、キャラクタ画像および背景画像は、一般に、表示制  
御用のマイクロコンピュータとマイクロコンピュータの指示に応じて画像データを生成し  
て可変表示装置側に転送するビデオディスプレイプロセッサ（VDP）とによって制御さ  
れるが、表示制御用のマイクロコンピュータのプログラム容量は大きい。

50

## 【 0 0 0 7 】

従って、プログラム容量に制限のある遊技制御手段のマイクロコンピュータで可変表示装置に表示される識別情報等を制御することはできず、遊技制御手段のマイクロコンピュータとは別の表示制御用のマイクロコンピュータ（表示制御手段）が用いられる。よって、遊技の進行を制御する遊技制御手段は、表示制御手段に対して表示制御のためのコマンドを送信する必要がある。

## 【 0 0 0 8 】

また、そのような遊技機では、遊技盤にスピーカが設けられ、遊技効果を増進するために遊技の進行に伴ってスピーカから種々の効果音が発せられる。また、遊技盤にランプやＬＥＤ等の発光体が設けられ、遊技効果を増進するために遊技の進行に伴ってそれらの発光体が点灯されたり消灯されたりする。一般に、効果音を発生する音声制御やランプ点灯／滅灯のタイミング制御は、遊技の進行を制御する遊技制御手段によって行われる。よって、遊技制御手段は、実際に音発生やランプ・ＬＥＤ駆動を行う音声制御手段やランプ制御手段に対してコマンドを送信する必要がある。

10

## 【 0 0 0 9 】

また、遊技者は、一般に、遊技媒体を遊技機を介して借り出す。その場合、遊技媒体貸出機構が遊技機に設けられる。遊技の進行は主基板に搭載された遊技制御手段によって制御されるので、入賞にもとづく賞球個数は、遊技制御手段によって決定され、払出制御基板に送信される。

## 【 0 0 1 0 】

20

以上のように、遊技機には、遊技制御手段の他に種々の制御手段が搭載されている。そして、遊技の進行を制御する遊技制御手段は、遊技状況に応じて動作指示を示す各コマンドを、各制御基板に搭載された各制御手段に送信する。以下、遊技制御基板以外の各制御基板に搭載された各制御手段を、電気部品制御手段ということがある。また、遊技制御基板以外の基板を電気部品制御基板と呼ぶことがある。

## 【 発明の開示 】

## 【 発明が解決しようとする課題 】

## 【 0 0 1 1 】

遊技機に対する電源供給が停止したときには、各制御手段を駆動するための駆動電圧（例えば＋５Ｖ）は徐々に低下する。各制御手段は一般にマイクロコンピュータを含むが、素子のばらつき等に起因して、各制御手段が動作不能になる電圧は異なる。遊技制御手段から各制御手段にコマンドを送信する際に、遊技制御手段が搭載された遊技制御基板への不正信号入力防止等の観点から、各制御手段からの応答をとらないように構成されている。すると、例えば、遊技機に対する電源供給が停止する直前に遊技制御手段がコマンドを送出したにもかかわらず、コマンドを受信する側の制御手段が既に動作不能になっていることもある。その場合、遊技制御手段はコマンドを送出したと認識するが、コマンドを受信する側の制御手段はコマンドを受信できていない。その場合、一般には、駆動電圧がなくなって遊技制御手段および他の各制御手段が動作しなくなり、その後、電源再投入されたときにリセットされるので問題は生じないことが多い。

30

## 【 0 0 1 2 】

40

ところが、停電等の不測の電源断が生じたときに、必要なデータを電源バックアップＲＡＭに保存し、電源が復旧したときに保存されていたデータを復元して遊技を再開するように構成した場合には問題である。例えば、払出制御手段が遊技制御手段から指示された賞球個数をバックアップＲＡＭに保存し、電源断後に電源復旧したときに保存されている賞球個数にもとづいて賞球払出を継続するように構成されている場合には、電源断直前に遊技制御手段が所定個の賞球払出指示を行ったにもかかわらず、払出制御手段は、その指示を受け取っていないということが考えられる。その場合、電源復旧後に払出制御手段が記憶にもとづく賞球払出を再開したとしても、本来払い出されるべき賞球数よりも少ない個数の賞球払出が行われる。すなわち、遊技者に対して不利益を与えることになる。

## 【 0 0 1 3 】

50

また、払出制御手段に限らず、他の制御手段についても、電源断直前に遊技制御手段がコマンドを送出したにも関わらず、その制御手段はコマンドを受信できていないという状況が生ずると、電源復旧後に、制御状態が好ましくない状態に陥る可能性がある。例えば、電源復旧後に、本来現れるべきでない表示状態や発声状態が生ずる可能性がある。さらに、電源投入時にも、遊技制御手段がコマンドを送出したにも関わらず、他の制御手段の受信準備が整っていないとコマンドを取りこぼすおそれがある。

#### 【 0 0 1 4 】

そこで、本発明は、各制御手段が遊技制御手段からのコマンドを確実に受信することができる遊技機を提供することを目的とする。

#### 【課題を解決するための手段】

#### 【 0 0 1 5 】

本発明による遊技機は、遊技者が所定の遊技を行うことが可能な遊技機であって、遊技の進行を制御する遊技制御手段と、遊技制御手段からのコマンドにもとづいて、遊技に用いられる遊技媒体の払出制御を行う払出制御手段と、遊技機で使用される所定電位電源を監視し検出条件が成立した場合に検出信号を出力する電源監視手段とを備え、遊技制御手段および払出制御手段には、電力供給停止中でもバックアップ用電源によって電力供給停止直前の内容を少なくとも所定時間保持することが可能な記憶手段が設けられ、遊技制御手段および払出制御手段は、電源監視手段からの検出信号にもとづいて、制御状態を復元するために必要な情報を記憶手段に記憶させるための電力供給停止時処理を行い、遊技制御手段は、電力供給が復旧したときに、制御状態を復元するために必要な情報が記憶手段に保存されていると判定したことを条件に記憶手段の記憶情報にもとづいて制御状態を復元するための復帰処理を実行するとともに、あらかじめ決められているエラー画面を表示することを示すコマンドを送信し、払出制御手段は、電力供給が復旧したときに記憶手段の記憶情報にもとづいて制御状態を復元するための復帰処理を実行し、遊技制御手段は、電力供給停止時処理にてコマンド送信処理を行わず、払出制御手段は、電力供給停止時処理にてコマンド受信処理を行わず、遊技制御手段へ検出信号を出力することとなる検出条件と払出制御手段へ検出信号を出力することとなる検出条件とを同じ検出条件とすることにより、電源監視手段は、遊技制御手段および払出制御手段に対して、同じタイミングで検出信号を出力することを特徴とする。

#### 【発明の効果】

#### 【 0 0 1 6 】

本発明によれば、遊技機を、遊技制御手段は、電力供給停止時処理にてコマンド送信処理を行わず、払出制御手段は、電力供給停止時処理にてコマンド受信処理を行わず、遊技制御手段へ検出信号を出力することとなる検出条件と払出制御手段へ検出信号を出力することとなる検出条件とを同じ検出条件とすることにより、電源監視手段は、遊技制御手段および払出制御手段に対して、同じタイミングで検出信号を出力するように構成したので、電源断の直前に遊技制御手段が送出したコマンドが払出制御手段に受信されないといった不都合が生ずることはなく、払出制御手段が遊技制御手段からのコマンドを確実に受信することができる効果がある。

#### 【発明を実施するための最良の形態】

#### 【 0 0 1 7 】

以下、本発明の一実施形態を図面を参照して説明する。

まず、遊技機の一例であるパチンコ遊技機の全体の構成について説明する。図1はパチンコ遊技機1を正面からみた正面図、図2はパチンコ遊技機1の内部構造を示す全体背面図、図3はパチンコ遊技機1の機構盤を背面からみた背面図である。なお、ここでは、遊技機の一例としてパチンコ遊技機を示すが、本発明はパチンコ遊技機に限られず、例えばコイン遊技機等であってもよい。また、画像式の遊技機やスロット機に適用することもできる。

#### 【 0 0 1 8 】

図1に示すように、パチンコ遊技機1は、額縁状に形成されたガラス扉枠2を有する。

ガラス扉枠 2 の下部表面には打球供給皿 3 がある。打球供給皿 3 の下部には、打球供給皿 3 からあふれた景品玉を貯留する余剰玉受皿 4 と打球を発射する打球操作ハンドル（操作ノブ）5 が設けられている。ガラス扉枠 2 の後方には、遊技盤 6 が着脱可能に取り付けられている。また、遊技盤 6 の前面には遊技領域 7 が設けられている。

#### 【0019】

遊技領域 7 の中央付近には、複数種類の図柄を可変表示するための可変表示部 9 と 7 セグメント LED による可変表示器 10 とを含む可変表示装置 8 が設けられている。この実施の形態では、可変表示部 9 には、「左」、「中」、「右」の 3 つの図柄表示エリアがある。可変表示装置 8 の側部には、打球を導く通過ゲート 11 が設けられている。通過ゲート 11 を通過した打球は、玉出口 13 を経て始動入賞口 14 の方に導かれる。通過ゲート 11 と玉出口 13 との間の通路には、通過ゲート 11 を通過した打球を検出するゲートスイッチ 12 がある。また、始動入賞口 14 に入った入賞球は、遊技盤 6 の背面に導かれ、始動口スイッチ 17 によって検出される。また、始動入賞口 14 の下部には開閉動作を行う可変入賞球装置 15 が設けられている。可変入賞球装置 15 は、ソレノイド 16 によって開状態とされる。

10

#### 【0020】

可変入賞球装置 15 の下部には、特定遊技状態（大当たり状態）においてソレノイド 21 によって開状態とされる開閉板 20 が設けられている。この実施の形態では、開閉板 20 が大入賞口を開閉する手段となる。開閉板 20 から遊技盤 6 の背面に導かれた入賞球のうち一方（Vゾーン）に入った入賞球は V カウントスイッチ 22 で検出される。また、開閉板 20 からの入賞球はカウントスイッチ 23 で検出される。可変表示装置 8 の下部には、始動入賞口 14 に入った入賞球数を表示する 4 個の表示部を有する始動入賞記憶表示器 18 が設けられている。この例では、4 個を上限として、始動入賞がある毎に、始動入賞記憶表示器 18 は点灯している表示部を 1 つずつ増やす。そして、可変表示部 9 の可変表示が開始される毎に、点灯している表示部を 1 つ減らす。

20

#### 【0021】

遊技盤 6 には、複数の入賞口 19, 24 が設けられ、遊技球の入賞口 19, 24 への入賞は入賞口スイッチ 19a, 24a によって検出される。遊技領域 7 の左右周辺には、遊技中に点滅表示される装飾ランプ 25 が設けられ、下部には、入賞しなかった打球を吸収するアウト口 26 がある。また、遊技領域 7 の外側の左右上部には、効果音を発する 2 つのスピーカ 27 が設けられている。遊技領域 7 の外周には、遊技効果 LED 28a および遊技効果ランプ 28b, 28c が設けられている。

30

#### 【0022】

そして、この例では、一方のスピーカ 27 の近傍に、景品玉払出時に点灯する賞球ランプ 51 が設けられ、他方のスピーカ 27 の近傍に、補給玉が切れたときに点灯する球切れランプ 52 が設けられている。さらに、図 1 には、パチンコ遊技台 1 に隣接して設置され、プリペイドカードが挿入されることによって球貸しを可能にするカードユニット 50 も示されている。

#### 【0023】

カードユニット 50 には、使用可能状態であるか否かを示す使用可表示ランプ 151、カード内に記録された残額情報に端数（100 円未満の数）が存在する場合にその端数を打球供給皿 3 の近傍に設けられる度数表示 LED に表示させるための端数表示スイッチ 152、カードユニット 50 がいずれの側のパチンコ遊技機 1 に対応しているのかを示す連結台方向表示器 153、カードユニット 50 内にカードが投入されていることを示すカード投入表示ランプ 154、記録媒体としてのカードが挿入されるカード挿入口 155、およびカード挿入口 155 の裏面に設けられているカードリーダーライタの機構を点検する場合にカードユニット 50 を解放するためのカードユニット錠 156 が設けられている。

40

#### 【0024】

打球発射装置から発射された打球は、打球レールを通過して遊技領域 7 に入り、その後、遊技領域 7 を下りてくる。打球が通過ゲート 11 を通過してゲートスイッチ 12 で検出され

50

ると、可変表示器 10 の表示数字が連続的に変化する状態になる。また、打球が始動入賞口 14 に入り始動口スイッチ 17 で検出されると、図柄の変動を開始できる状態であれば、可変表示部 9 内の図柄が回転を始める。図柄の変動を開始できる状態でなければ、始動入賞記憶を 1 増やす。

#### 【0025】

可変表示部 9 内の画像の回転は、一定時間が経過したときに停止する。停止時の画像の組み合わせが大当り図柄の組み合わせであると、大当り遊技状態に移行する。すなわち、開閉板 20 が、一定時間経過するまで、または、所定個数（例えば 10 個）の打球が入賞するまで開放する。そして、開閉板 20 の開放中に打球が特定入賞領域に入賞し V カウントスイッチ 22 で検出されると、継続権が発生し開閉板 20 の開放が再度行われる。継続権の発生は、所定回数（例えば 15 ラウンド）許容される。

10

#### 【0026】

停止時の可変表示部 9 内の画像の組み合わせが確率変動を伴う大当り図柄の組み合わせである場合には、次に大当りとなる確率が高くなる。すなわち、高確率状態という遊技者にとってさらに有利な状態となる。また、可変表示器 10 における停止図柄が所定の図柄（当り図柄）である場合に、可変入賞球装置 15 が所定時間だけ開状態になる。さらに、高確率状態では、可変表示器 10 における停止図柄が当り図柄になる確率が高められるとともに、可変入賞球装置 15 の開放時間と開放回数が高められる。

#### 【0027】

次に、パチンコ遊技機 1 の裏面の構造について図 2 を参照して説明する。

20

可変表示装置 8 の背面では、図 2 に示すように、機構板 36 の上部に景品玉タンク 38 が設けられ、パチンコ遊技機 1 が遊技機設置島に設置された状態でその上方から景品玉が景品玉タンク 38 に供給される。景品玉タンク 38 内の景品玉は、誘導樋 39 を通って玉払出装置に至る。

#### 【0028】

機構板 36 には、中継基板 30 を介して可変表示部 9 を制御する可変表示制御ユニット 29、基板ケース 32 に覆われ遊技制御用マイクロコンピュータ等が搭載された遊技制御基板（主基板）31、可変表示制御ユニット 29 と主基板 31 との間の信号を中継するための中継基板 33、および景品玉の払出制御を行う賞球制御用マイクロコンピュータ等が搭載された賞球制御基板（払出制御基板）37 が設置されている。さらに、機構板 36 の下部には、モータの回転力を利用して打球を遊技領域 7 に発射する打球発射装置 34 と、遊技効果ランプ・LED 28a, 28b, 28c、賞球ランプ 51 および球切れランプ 52 に信号を送るためのランプ制御基板 35 が設置されている。

30

#### 【0029】

また、図 3 はパチンコ遊技機 1 の機構盤を背面からみた背面図である。誘導樋 39 を通った玉は、図 3 に示されるように、球切れ検出器 187a, 187b を通過して玉供給樋 186a, 186b を経て玉払出装置 97 に至る。玉払出装置 97 から払い出された景品玉は、連絡口 45 を通ってパチンコ遊技機 1 の前面に設けられている打球供給皿 3 に供給される。連絡口 45 の側方には、パチンコ遊技機 1 の前面に設けられている余剰玉受皿 4 に連通する余剰玉通路 46 が形成されている。入賞にもとづく景品玉が多数払い出されて打球供給皿 3 が満杯になり、ついには景品玉が連絡口 45 に到達した後さらに景品玉が払い出されると景品玉は、余剰玉通路 46 を経て余剰玉受皿 4 に導かれる。さらに景品玉が払い出されると、感知レバー 47 が満タンスイッチ 48 を押圧して満タンスイッチ 48 がオンする。その状態では、玉払出装置 97 内のステッピングモータの回転が停止して玉払出装置 97 の動作が停止するとともに、必要に応じて打球発射装置 34 の駆動も停止する。

40

#### 【0030】

賞球払出制御を行うために、入賞口スイッチ 19a, 24a、始動口スイッチ 17 および V カウントスイッチ 22 からの信号が、主基板 31 に送られる。主基板 31 の CPU 56 は、始動口スイッチ 17 がオンすると 6 個の賞球払出に対応した入賞が発生したことを

50

知る。また、カウントスイッチ 23 がオンすると 15 個の賞球払出に対応した入賞が発生したことを知る。そして、入賞口スイッチがオンすると 10 個の賞球払出に対応した入賞が発生したことを知る。なお、この実施の形態では、例えば、入賞口 24 に入賞した遊技球は、入賞口 24 からの入賞球流路に設けられている入賞口スイッチ 24a で検出され、入賞口 19 に入賞した遊技球は、入賞口 19 からの入賞球流路に設けられている入賞口スイッチ 19a で検出される。

#### 【0031】

図 4 は、主基板 31 における回路構成の一例を示すブロック図である。なお、図 4 には、賞球制御基板 37、ランプ制御基板 35、音声制御基板 70、発射制御基板 91 および表示制御基板 80 も示されている。主基板 31 には、プログラムに従ってパチンコ遊技機 1 を制御する基本回路 53 と、ゲートスイッチ 12、始動口スイッチ 17、V カウントスイッチ 22、カウントスイッチ 23、満タンスイッチ 48、玉切れスイッチ 187a, 187b (以下、玉切れスイッチ 187 と表現することがある。) および入賞口スイッチ 19a, 24a からの信号を基本回路 53 に与えるスイッチ回路 58 と、可変入賞球装置 15 を開閉するソレノイド 16 および開閉板 20 を開閉するソレノイド 21 を基本回路 53 からの指令に従って駆動するソレノイド回路 59 と、始動記憶表示器 18 の点灯および滅灯を行うとともに 7 セグメント LED による可変表示器 10 と装飾ランプ 25 とを駆動するランプ・LED 回路 60 とが設けられている。

#### 【0032】

また、基本回路 53 から与えられるデータに従って、大当りの発生を示す大当り情報、可変表示部 9 の画像表示開始に利用された始動入賞球の個数を示す有効始動情報、確率変動が生じたことを示す確変情報等をホール管理コンピュータ等のホストコンピュータに対して出力する情報出力回路 64 を含む。

#### 【0033】

基本回路 53 は、ゲーム制御用のプログラム等を記憶する ROM 54、ワークメモリとして使用される RAM 55、制御用のプログラムに従って制御動作を行う CPU 56 および I/O ポート部 57 を含む。この実施の形態では、ROM 54, RAM 55 は CPU 56 に内蔵されている。すなわち、CPU 56 は、1 チップマイクロコンピュータである。なお、1 チップマイクロコンピュータは、少なくとも RAM 55 が内蔵されていればよく、ROM 54 および I/O ポート部 57 は外付けであってもよい。

#### 【0034】

さらに、主基板 31 には、電源投入時に基本回路 53 をリセットするための初期リセット回路 65 と、基本回路 53 から与えられるアドレス信号をデコードして I/O ポート部 57 のうちのいずれかの I/O ポートを選択するための信号を出力するアドレスデコード回路 67 とが設けられている。

なお、玉払出装 97 から主基板 31 に入力されるスイッチ情報もあるが、図 4 ではそれは省略されている。

#### 【0035】

遊技球を打撃して発射する打球発射装置は発射制御基板 91 上の回路によって制御される駆動モータ 94 で駆動される。そして、駆動モータ 94 の駆動力は、操作ノブ 5 の操作量に従って調整される。すなわち、発射制御基板 91 上の回路によって、操作ノブ 5 の操作量に応じた速度で打球が発射されるように制御される。

#### 【0036】

図 5 は、表示制御基板 80 内の回路構成を、可変表示部 9 の一実現例である CRT 82 および主基板 31 の出力ポート (ポート A, B) 571, 572 および出力バッファ回路 63 とともに示すブロック図である。出力ポート 571 からは 8 ビットのデータが出力され、出力ポート 572 からは 1 ビットのストローク信号 (INT 信号) が出力される。

#### 【0037】

表示制御用 CPU 101 は、制御データ ROM 102 に格納されたプログラムに従って動作し、主基板 31 からノイズフィルタ 107 および入力バッファ回路 105 を介してス

10

20

30

40

50

トロープ信号が入力されると、入力バッファ回路105を介して表示制御コマンドを受信する。入力バッファ回路105として、例えば汎用ICである74HC244を使用することができる。なお、表示制御用CPU101がI/Oポートを内蔵していない場合には、入力バッファ回路105と表示制御用CPU101との間に、I/Oポートが設けられる。

#### 【0038】

そして、表示制御用CPU101は、受信した表示制御コマンドに従って、CRT82に表示される画面の表示制御を行う。具体的には、表示制御コマンドに応じた指令をVDP103に与える。VDP103は、キャラクタROM86から必要なデータを読み出す。VDP103は、入力したデータに従ってCRT82に表示するための画像データを生成し、その画像データをVRAM87に格納する。そして、VRAM87内の画像データは、R、G、B信号に変換され、D-A変換回路104でアナログ信号に変換されてCRT82に出力される。

10

#### 【0039】

なお、図5には、VDP103をリセットするためのリセット回路83、VDP103に動作クロックを与えるための発振回路85、および使用頻度の高い画像データを格納するキャラクタROM86も示されている。キャラクタROM86に格納される使用頻度の高い画像データとは、例えば、CRT82に表示される人物、動物、または、文字、図形もしくは記号等からなる画像などである。この実施の形態では、表示制御用CPU101は、1チップマイクロコンピュータであり、少なくともRAMが内蔵されている。

20

#### 【0040】

入力バッファ回路105は、主基板31から表示制御基板80へ向かう方向にのみ信号を通過させることができる。従って、表示制御基板80側から主基板31側に信号が伝わる余地はない。表示制御基板80内の回路に不正改造が加えられても、不正改造によって出力される信号が主基板31側に伝わることはない。なお、出力ポート571、572の出力をそのまま表示制御基板80に出力してもよいが、単方向にのみ信号伝達可能な出力バッファ回路63を設けることによって、主基板31から表示制御基板80への一方方向性の信号伝達をより確実にすることができる。また、高周波信号を遮断するノイズフィルタ107として、例えば3端子コンデンサやフェライトビーズが使用されるが、ノイズフィルタ107の存在によって、表示制御コマンドに基板間でノイズが乗ったとしても、その影響は除去される。

30

#### 【0041】

図6は、主基板31における音声制御コマンドの信号送信部分および音声制御基板70の構成例を示すブロック図である。この実施の形態では、遊技進行に応じて、遊技領域7の外側に設けられているスピーカ27の音声出力を指示するための音声制御コマンドが、主基板31から音声制御基板70に出力される。

#### 【0042】

図6に示すように、音声制御コマンドは、基本回路53におけるI/Oポート部57の出力ポート(出力ポートC、D)573、574から出力される。出力ポート573からは8ビットのデータが出力され、出力ポート574からは1ビットのストローク信号(INT信号)が出力される。音声制御基板70において、主基板31からの各信号は、入力バッファ回路705を介して音声制御用CPU701に入力する。なお、音声制御用CPU701がI/Oポートを内蔵していない場合には、入力バッファ回路705と音声制御用CPU701との間に、I/Oポートが設けられる。また、この実施の形態では、音声制御用CPU701は、1チップマイクロコンピュータであり、少なくともRAMが内蔵されている。

40

#### 【0043】

そして、例えばデジタルシグナルプロセッサによる音声合成回路702は、音声制御用CPU701の指示に応じた音声や効果音を発生し音量切替回路703に出力する。音量切替回路703は、音声制御用CPU701の出力レベルを、設定されている音量に応

50



じたレベルにして音量増幅回路 704 に出力する。音量増幅回路 704 は、増幅した音声信号をスピーカ 27 に出力する。

【0044】

入力バッファ回路 705 として、例えば、汎用の CMOS - IC である 74HC244 が用いられる。74HC244 のイネーブル端子には、常にローレベル (GND レベル) が与えられている。よって、各バッファの出力レベルは、入力レベルすなわち主基板 31 からの信号レベルに確定している。よって、音声制御基板 70 側から主基板 31 側に信号が伝わる余地はない。従って、音声制御基板 70 内の回路に不正改造が加えられても、不正改造によって出力される信号が主基板 31 側に伝わることはない。なお、入力バッファ回路 705 の入力側にノイズフィルタを設けてもよい。

10

【0045】

また、主基板 31 において、出力ポート 574, 575 の外側にバッファ回路 67 が設けられている。バッファ回路 67 として、例えば、汎用の CMOS - IC である 74HC244 が用いられる。イネーブル端子には常にローレベル (GND レベル) が与えられている。このような構成によれば、外部から主基板 31 の内部に入力される信号が阻止されるので、音声制御基板 70 から主基板 31 に信号が与えられる可能性がある信号ラインをさらに確実になくすることができる。

【0046】

図 7 は、主基板 31 およびランプ制御基板 35 における信号送受信部分を示すブロック図である。この実施の形態では、遊技領域 7 の外側に設けられている遊技効果 LED 28a および遊技効果ランプ 28b, 28c の点灯 / 消灯と、賞球ランプ 51 および球切れランプ 52 の点灯 / 消灯を示すランプ制御コマンドが出力される。

20

【0047】

図 7 に示すように、ランプ制御に関するランプ制御コマンドは、基本回路 53 における I/O ポート部 57 の出力ポート (出力ポート E, F) 575, 576 から出力される。出力ポート 575 は 8 ビットのデータを出力し、出力ポート 576 は 1 ビットのストロブ信号 (INT 信号) を出力する。ランプ制御基板 35 において、主基板 31 からの制御コマンドは、入力バッファ回路 355 を介してランプ制御用 CPU 351 に入力する。なお、ランプ制御用 CPU 351 が I/O ポートを内蔵していない場合には、入力バッファ回路 355 とランプ制御用 CPU 351 との間に、I/O ポートが設けられる。また、この実施の形態では、ランプ制御用 CPU 351 は、1 チップマイクロコンピュータであり、少なくとも RAM が内蔵されている。

30

【0048】

ランプ制御基板 35 において、ランプ制御用 CPU 351 は、各制御コマンドに応じて定義されている遊技効果 LED 28a および遊技効果ランプ 28b, 28c の点灯 / 消灯パターンに従って、遊技効果 LED 28a および遊技効果ランプ 28b, 28c に対して点灯 / 消灯信号を出力する。点灯 / 消灯信号は、遊技効果 LED 28a および遊技効果ランプ 28b, 28c に出力される。なお、点灯 / 消灯パターンは、ランプ制御用 CPU 351 の内蔵 ROM または外付け ROM に記憶されている。

【0049】

主基板 31 において、CPU 56 は、賞球時に賞球ランプ点灯を指示する制御コマンドを出力し、遊技盤裏面の遊技球補給路に設置されている球切れ検出センサがオンすると球切れランプ点灯を指示する制御コマンドを出力する。ランプ制御基板 35 において、各制御コマンドは、入力バッファ回路 355 を介してランプ制御用 CPU 351 に入力する。ランプ制御用 CPU 351 は、それらの制御コマンドに応じて、賞球ランプ 51 および球切れランプ 52 を点灯 / 消灯する。

40

【0050】

入力バッファ回路 355 として、例えば、汎用の CMOS - IC である 74HC244 が用いられる。74HC244 のイネーブル端子には、常にローレベル (GND レベル) が与えられている。よって、各バッファの出力レベルは、入力レベルすなわち主基板 31

50

からの信号レベルに確定している。従って、ランプ制御基板 3 5 側から主基板 3 1 側に信号が伝わる余地はない。たとえ、ランプ制御基板 3 5 内の回路に不正改造が加えられても、不正改造によって出力される信号が主基板 3 1 側に伝わることはない。なお、入力バッファ回路 3 5 5 の入力側にノイズフィルタを設けてもよい。

#### 【 0 0 5 1 】

図 7 に示された構成では、ランプ制御基板 3 5 から主基板 3 1 に信号が与えられる可能性がある信号ラインをなくすることができる。すなわち、主基板 3 1 からランプ制御基板 3 5 への信号の一方方向性が確実になり、主基板 3 1 における遊技制御に対してランプ制御基板 3 5 が影響を及ぼす可能性がなくなる。この結果、例えば、ランプ制御基板 3 5 において、主基板 3 1 の基本回路 5 3 に大当りを生じさせるための不正信号を与えるような改造を行なったとしても、不正信号を主基板 3 1 に伝えることはできない。

10

#### 【 0 0 5 2 】

さらに、主基板 3 1 において、出力ポート 5 7 5 , 5 7 6 の外側にバッファ回路 6 2 が設けられている。バッファ回路 6 2 として、例えば、汎用の C M O S - I C である 7 4 H C 2 4 4 が用いられる。イネーブル端子には常にローレベル ( G N D レベル ) が与えられている。このような構成によれば、外部から主基板 3 1 の内部に入力される信号が阻止されるので、ランプ制御基板 3 5 から主基板 3 1 に信号が与えられる可能性がある信号ラインをより確実になくすることができる。

#### 【 0 0 5 3 】

なお、図 7 では、ランプ制御用 C P U 3 5 1 の内蔵出力ポートから遊技効果 L E D 2 8 a、遊技効果ランプ 2 8 b , 2 8 c、賞球ランプ 5 1 および球切れランプ 5 2 に点灯または消灯を指示する信号が出力されているが、実際には、出力ポートと各ランプ・ L E D との間にドライバ回路が挿入されている。

20

#### 【 0 0 5 4 】

図 8 は、賞球制御基板 3 7 および玉払出装装置 9 7 の構成要素などの賞球に関連する構成要素を示すブロック図である。図 8 に示すように、満タンスイッチ 4 8 からの検出信号は、中継基板 7 1 を介して主基板 3 1 の I / O ポート 5 7 に入力される。満タンスイッチ 4 8 は、余剰玉受皿 4 の満タンを検出するスイッチである。なお、賞球制御基板 3 7 に搭載されている賞球制御用 C P U 3 7 1 は、入賞にもとづく遊技球払出制御と玉貸し要求にもとづく遊技球払出制御とを行う払出制御手段を構成する。

30

#### 【 0 0 5 5 】

球切れスイッチ 1 8 7 ( 1 8 7 a , 1 8 7 b ) からの検出信号は、中継基板 7 2 および中継基板 7 1 を介して主基板 3 1 の I / O ポート 5 7 に入力される。球切れ検出スイッチ 1 6 7 は景品玉タンク 3 8 内の補給玉の不足を検出するスイッチであり、球切れスイッチ 1 8 7 は、景品玉通路内の景品玉の有無を検出するスイッチである。

#### 【 0 0 5 6 】

主基板 3 1 の C P U 5 6 は、球切れスイッチ 1 8 7 からの検出信号が球切れ状態を示しているか、または、満タンスイッチ 4 8 からの検出信号が満タン状態を示していると、球貸し禁止を指示する賞球制御コマンドを送出する。球貸し禁止を指示する賞球制御コマンドを受信すると、賞球制御基板 3 7 の賞球制御用 C P U 3 7 1 は、球貸し処理を停止する。

40

#### 【 0 0 5 7 】

さらに、賞球カウントスイッチ 3 0 1 A からの検出信号も、中継基板 7 2 および中継基板 7 1 を介して主基板 3 1 の I / O ポート 5 7 に入力される。また、主基板 3 1 の I / O ポート 5 7 から入賞球排出ソレノイド 1 2 7 への駆動信号は、中継基板 7 1 を介して入賞球排出ソレノイド 1 2 7 に供給される。なお、賞球カウントスイッチ 3 0 1 A は、玉払出装装置 9 7 の賞球機構部分に設けられ、実際に払い出された賞球を検出する。

#### 【 0 0 5 8 】

入賞があると、賞球制御基板 3 7 には、主基板 3 1 の出力ポート ( ポート G , H ) 5 7 7 , 5 7 8 から賞球個数を示す賞球制御コマンドが入力される。出力ポート 5 7 7 は 8 ビ

50

ットのデータを出力し、出力ポート578は1ビットのストローブ信号（INT信号）を出力する。賞球個数を示す賞球制御コマンドは、入力バッファ回路373を介してI/Oポート372aに入力される。賞球制御用CPU371は、I/Oポート372aを介して賞球制御コマンドを入力し、賞球制御コマンドに応じて玉払出装置97を駆動して賞球払出を行う。なお、この実施の形態では、賞球制御用CPU371は、1チップマイクロコンピュータであり、少なくともRAMが内蔵されている。

#### 【0059】

入力バッファ回路373における各バッファは、主基板31から賞球制御基板37へ向かう方向にのみ信号を通過させることができる。従って、賞球制御基板37側から主基板31側に信号が伝わる余地はない。賞球制御基板37内の回路に不正改造が加えられても、不正改造によって出力される信号が主基板31側に伝わることはない。なお、入力バッファ回路373の入力側にノイズフィルタを設けてもよい。

10

#### 【0060】

また、主基板31において、賞球制御コマンドを出力する出力ポート577、578の外側にバッファ回路68が設けられている。このような構成によれば、外部から主基板31の内部に入力される信号が阻止されるので、賞球制御基板37から主基板31に信号が与えられる可能性がある信号ラインをより確実になくすることができる。

#### 【0061】

また、賞球制御用CPU371は、出力ポート372gを介して、貸し玉数を示す球貸し個数信号をターミナル基板160に出力し、ブザー駆動信号をブザー基板75に出力する。ブザー基板75にはブザーが搭載されている。さらに、出力ポート372eを介して、エラー表示用LED374にエラー信号を出力する。

20

#### 【0062】

さらに、賞球制御基板37の入力ポート372bには、中継基板72を介して、賞球カウントスイッチ301Aの検出信号および球貸しカウントスイッチ301Bの検出信号が入力される。球貸しカウントスイッチ301Bは、実際に貸し出された遊技球を検出する。賞球制御基板37からの払出モータ289への駆動信号は、出力ポート372cおよび中継基板72を介して玉払出装置97の賞球機構部分における払出モータ289に伝えられる。

#### 【0063】

カードユニット50には、カードユニット制御用マイクロコンピュータが搭載されている。また、カードユニット50には、端数表示スイッチ152、連結台方向表示器153、カード投入表示ランプ154およびカード挿入口155が設けられている（図1参照）。残高表示基板74には、打球供給皿3の近傍に設けられている度数表示LED、球貸しスイッチおよび返却スイッチが接続される。

30

#### 【0064】

残高表示基板74からカードユニット50には、遊技者の操作に応じて、球貸しスイッチ信号および返却スイッチ信号が賞球制御基板37を介して与えられる。また、カードユニット50から残高表示基板74には、プリペイドカードの残高を示すカード残高表示信号および球貸し可表示信号が賞球制御基板37を介して与えられる。カードユニット50と賞球制御基板37の間では、ユニット操作信号（BRDY信号）、球貸し要求信号（BRQ信号）、球貸し完了信号（EXS信号）およびパチンコ機動作信号（PRDY信号）がI/Oポート372fを介してやりとりされる。

40

#### 【0065】

パチンコ遊技機1の電源が投入されると、賞球制御基板37の賞球制御用CPU371は、カードユニット50にPRDY信号を出力する。カードユニット50においてカードが受け付けられ、球貸しスイッチが操作され球貸しスイッチ信号が入力されると、カードユニット制御用マイクロコンピュータは、賞球制御基板37にBRDY信号を出力する。この時点から所定の遅延時間が経過すると、カードユニット制御用マイクロコンピュータは、賞球制御基板37にBRQ信号を出力する。そして、賞球制御基板37の賞球制御用

50

CPU371は、払出モータ289を駆動し、所定個の貸し玉を遊技者に払い出す。そして、払出が完了したら、賞球制御用CPU371は、カードユニット50にEXS信号を出力する。

#### 【0066】

以上のように、カードユニット50からの信号は全て賞球制御基板37に入力される構成になっている。従って、球貸し制御に関して、カードユニット50から主基板31に信号が入力されることはなく、主基板31の基本回路53にカードユニット50の側から不正に信号が入力される余地はない。なお、主基板31および賞球制御基板37には、ソレノイドおよびモータやランプを駆動するためのドライバ回路が搭載されているが、図8では、それらの回路は省略されている。

10

#### 【0067】

この実施の形態では、少なくとも主基板31において、RAMの一部が電源バックアップされている。すなわち、遊技機に対する電力供給が停止しても、バックアップRAM領域のデータは保存される。また、表示制御用CPU101、音声制御用CPU701、ランプ制御用CPU351および賞球制御用CPU371においても、RAMの一部が電源バックアップされるように構成されていてもよい。

#### 【0068】

図9は、主基板31、表示制御基板80、音声制御基板70、ランプ制御基板35および賞球制御基板37におけるCPU周りの構成を示すブロック図である。この例では、主基板31および賞球制御用CPU371において、CPU内蔵RAMの一部が、バックアップ端子にバックアップ電源が接続されることによって電源バックアップされている。

20

#### 【0069】

図9に示すように、主基板31において、電源監視用IC901は、+30V電圧を導入し、+30V電圧を監視することによって電源断の発生を検出する。具体的には、+30V電圧が所定値（例えば+22V）以下になったら、電源断が発生することを知らせるために、CPU56に割り込み信号を与える。CPU56において、この割り込みは、マスク不能割込（INT）端子に入力されている。また、NMI端子に入力される信号は、CPU56が内蔵する入力ポートにも入力されている。

#### 【0070】

電源監視用IC901が電源断を検知するための所定値は、通常時の電圧より低い、CPU56が暫くの間動作しうる程度の電圧である。また、電源監視用IC901が、CPU56が必要とする電圧（この例では+5V）よりも高く、かつ、交流から直流に変換された直後の電圧を監視するように構成されているので、CPU56が必要とする電圧に対して監視範囲を広げることができる。従って、より精密な監視を行うことができる。さらに、監視電圧として+30Vを用いる場合には、遊技機の各種スイッチに供給される電圧が+12Vであることから、電源瞬断時のスイッチオン誤検出の防止も期待できる。すなわち、+30V電源の電圧を監視すると、+30V作成の以降に作られる+12Vが落ち始める以前の段階でその低下を検出できる。よって、+12V電源の電圧が低下するとスイッチ出力がオン状態を呈するようになるが、+12Vより早く低下する+30V電源電圧を監視して電源断を認識すれば、スイッチ出力がオン状態を呈する前に電源復旧待ちの状態に入ってスイッチ出力を検出しない状態となることができる。

30

40

#### 【0071】

賞球制御基板371において、電源監視用IC931は、+30V電圧を導入し、+30V電圧を監視することによって電源断の発生を検出する。具体的には、+30V電圧が上述した電源監視用IC901の検出時の電圧よりも低い電圧である所定値（例えば+22V）以下になったら、電源断が発生することを知らせるために、賞球制御用CPU371に割り込み信号を与える。賞球制御用CPU371において、この割り込みは、マスク不能割込（INT）端子に入力されている。また、NMI端子に入力される信号は、賞球制御用CPU371が内蔵する入力ポートにも入力されている。

#### 【0072】

50

なお、図 9 に示された構成では、電源監視用 IC の出力が CPU の NMI 端子に入力されているが、マスク可能割込端子 (IRQ 端子) に入力されていてもよい。また、電源監視用 IC の出力は CPU の入力ポートにも入力されているが、割込端子にのみ入力されている構成であってもよい。さらに、音声制御基板 70、ランプ制御基板 35 および表示制御基板 80 にも電源監視用 IC 901, 931 と同様のものが搭載され、+30V 電圧が所定値以下になったら各 CPU に信号を与えるように構成されていてもよい。

#### 【0073】

図 9 に示された構成において、電源監視用 IC 901 が信号を出力することになる +30V 電源の電圧は、電源監視用 IC 931 が信号を出力することになる +30V 電源の電圧と同じに設定されている。また、電源監視用 IC 901, 931 として同じ品種の IC を用いる。従って、電源電圧が低下していくときに、賞球制御基板 37 の賞球制御用 CPU 371 に対して、主基板 31 の CPU 56 に NMI 割込がかかった時点と同じタイミングで NMI 割込がかかる。後述するように、各 CPU は NMI に応じて通常の制御を停止するので、遊技制御手段と払出制御手段とについて、電源状態に関する遊技進行制御の停止条件と払出制御の停止条件とは同じである。

#### 【0074】

従って、電源監視用 IC 901, 931 のばらつきに起因するタイミングのずれがないとした場合の実質的な NMI 処理開始タイミングは、主基板 31 の CPU 56 と賞球制御用 CPU 371 とで同じになる。すると、主基板 31 の CPU 56 と賞球制御用 CPU 371 とは、実質的に同じ時期に、通常の制御処理を中断して電源断時の所定の処理 (例えば、RAM の内容をバックアップ保存するための処理) を開始する。

#### 【0075】

よって、電源断の直前に主基板 31 の CPU 56 が送出した賞球制御コマンドが賞球制御用 CPU 371 に受信されないといった不都合が生ずることはない。例えば、賞球制御用 CPU 371 が早めに通常の制御処理を中断して電源断時の所定の処理を開始する場合には、電源断の直前に主基板 31 の CPU 56 が送出した賞球制御コマンドが賞球制御用 CPU 371 に受信されなくなってしまう。しかし、この実施の形態では、そのような不都合は生じない。

#### 【0076】

さらに、主基板 31 には、リセット IC 651 を含む初期リセット回路 65 が搭載されている。初期リセット回路 65 は、電源投入時に、+5V が立ち上がったことを検出すると、所定時間後 (外付けの抵抗値とコンデンサ容量とで決まる時間) にリセット解除を示す信号を出力する。また、表示制御基板 80、音声制御基板 70、ランプ制御基板 35 および賞球制御基板 37 にも、同様の初期リセット回路が搭載されている。ただし、図 9 では、賞球制御基板 37 におけるリセット IC 380 を含む初期リセット回路のみが示されている。

#### 【0077】

なお、図 9 に示された構成において、主基板 31 の初期リセット回路 65 における抵抗およびコンデンサの抵抗値および容量は、他の制御基板におけるリセット IC 380 に外付けされている抵抗およびコンデンサの抵抗値および容量と等しい。すなわち、同一の構成となっている。従って、遊技機に電源投入されたときに、リセット IC 651, 380 からのリセット信号は実質的に同時に立ち上がる。

#### 【0078】

主基板 31 において、初期リセット回路 65 の出力は、遅延回路 655 を介して CPU 56 のリセット端子に入力されている。従って、電源投入時に、主基板 31 の CPU 56 は、他の全ての基板における CPU よりも遅く立ち上がる。また、遅延回路 655 の出力は、2つのゲート回路 656, 657 を介して出力ポート 570 のリセット端子に入力されている。出力ポート 570 は他の基板に対するコマンドを送出するポートであり、リセット信号がリセット解除状態を示すと、情報出力可能状態になる。なお、出力ポート 570 は、図 5 ~ 図 8 に示された出力ポート 571 ~ 578 に対応したものである。

## 【 0 0 7 9 】

主基板 3 1 の C P U 5 6 が他の全ての基板における C P U よりも遅く立ち上がるので、他の基板における C P U の立ち上がりが完了してコマンド受信可能状態になってから、主基板 3 1 の C P U 5 6 は、コマンド送出可能状態になる。よって、電源投入後に遊技制御手段から直ちに他の電気部品制御手段に対してコマンドが送出されるように構成しても、そのコマンドは確実に他の制御手段において受信される。

## 【 0 0 8 0 】

なお、図 9 に示された構成では、電源断を監視するための電源監視手段が各基板に搭載されていたが、例えば後述する電源基板に電源監視手段を搭載し、そこから各基板に電圧低下を示す信号を供給するようにしてもよい。

10

## 【 0 0 8 1 】

図 1 0 は、電源基板 9 1 0 の一構成例を示すブロック図である。電源基板 9 1 0 は、主基板 3 1、表示制御基板 8 0、音声制御基板 7 0、ランプ制御基板 3 5 および賞球制御基板 3 7 等の制御基板と独立して設置され、遊技機内の各制御基板および機構部品が使用する電圧を生成する。この例では、A C 2 4 V、D C + 3 0 V、D C + 2 1 V、D C + 1 2 V および D C + 5 V を生成する。また、バックアップ電源となるコンデンサ 9 1 6 は、D C + 5 V すなわち各基板上の I C 等を駆動する電源のラインから充電される。

## 【 0 0 8 2 】

トランス 9 1 1 は、交流電源からの交流電圧を 2 4 V に変換する。A C 2 4 V 電圧は、コネクタ 9 1 5 に出力される。また、整流回路 9 1 2 は、A C 2 4 V から + 3 0 V の直流電圧を生成し、D C - D C コンバータ 9 1 3 およびコネクタ 9 1 5 に出力する。D C - D C コンバータ 9 1 3 は、+ 2 1 V、+ 1 2 V および + 5 V を生成してコネクタ 9 1 5 に出力する。コネクタ 9 1 5 は例えば中継基板に接続され、中継基板から各制御基板および機構部品に必要な電圧の電力が供給される。

20

## 【 0 0 8 3 】

D C - D C コンバータ 9 1 3 からの + 5 V ラインは分岐してバックアップ + 5 V ラインを形成する。バックアップ + 5 V ラインとグラウンドレベルとの間には大容量のコンデンサ 9 1 6 が接続されている。コンデンサ 9 1 6 は、遊技機に対する電力供給が遮断されたときの各制御基板におけるバックアップ R A M 領域に対するバックアップ電源となる。また、+ 5 V ラインとバックアップ + 5 V ラインとの間に、逆流防止用のダイオード 9 1 7 が挿入される。

30

## 【 0 0 8 4 】

なお、バックアップ電源として、+ 5 V 電源から充電可能な電池を用いてもよい。電池を用いる場合には、+ 5 V 電源から電力供給されない状態が所定時間継続すると容量がなくなるような充電電池が用いられる。

## 【 0 0 8 5 】

主基板および電気部品制御基板に、第 2 の電源監視回路を搭載してもよい。第 2 の電源監視回路は、例えば、第 1 の電源監視回路（電源監視用 I C 9 0 1 , 9 3 1）が監視する電源電圧と等しい電源電圧である + 3 0 V 電源電圧を監視して電圧値が所定値以下になるとローレベルの電圧低下信号を発生する。そして、例えば、第 1 の電源監視回路の検出電圧（電圧低下信号を出力することになる電圧）を + 2 2 V とし、第 2 の電源監視回路の検出電圧を + 9 V とする。

40

## 【 0 0 8 6 】

さらに、第 2 の電源監視回路からの電圧低下信号が、リセット I C 6 5 1 , 3 8 0 からの初期リセット信号と論理和をとられた後に、C P U のリセット端子に入力されるように構成する。従って、C P U は、初期リセット信号がローレベルを呈しているとき、または、第 2 の電源監視回路からの電圧低下信号がローレベルを呈しているときに、リセット状態（非動作状態）になる。

## 【 0 0 8 7 】

そのように構成した場合には、第 1 の電源監視回路からの検出信号に応じて C P U が所

50

定の電力供給停止時処理を行った後に、CPUはシステムリセットされる。従って、電源電圧低下時の電圧不安定状態においてCPUはシステムリセットされ、CPU暴走等の危険が回避される。そして、同一の電圧を監視するので、第1の電圧監視回路が電圧低下信号を出力するタイミングと第2の電圧監視回路が電圧低下信号を出力するタイミングの差を所望の所定期間に確実に設定することができる。所望の所定期間とは、第1の電源監視回路からの電圧低下信号に応じて電力供給停止時処理を開始してから電力供給停止時処理が確実に完了するまでの期間である。

#### 【0088】

次に遊技機の動作について説明する。

遊技機に電源が投入されたときには、図9に示された主基板31の初期リセット回路65において、抵抗を介してコンデンサが充電されていく。従って、コンデンサの電位が上昇していく。コンデンサの電位が所定値を越えると、図9に示すように、リセットIC651は、出力レベルをローレベルからハイレベルに変化させる。遅延回路655は、リセットIC651の出力を遅延させてCPU56にリセット信号として供給する。従って、CPU56には、図11に示すように、初期リセット回路65の出力信号立ち上がり時点よりも遅れた時点までローレベルのリセット信号が与えられ、その後リセット信号はハイレベルに立ち上がる。すなわち、その時点でCPU56のリセットは解除される。

#### 【0089】

なお、遅延回路655における遅延量は、例えば、各制御基板におけるCPUが初期化プログラムの実行が完了しないうちに遊技制御手段からコマンドが送出されないような量に設定される。

#### 【0090】

主基板31以外の各電気部品制御基板において、遅延回路は設けられていないので、各CPUに入力されるリセット信号は早めに立ち上がっている。すなわち、各CPUは、主基板31のCPU56よりも早めに動作可能状態になっている。従って、遊技機の電源オン直後に主基板31のCPU56が送出したコマンドを各電気部品制御手段が受信できないという状況は生じない。

#### 【0091】

図12は、主基板31におけるCPU56の遊技制御処理を示すフローチャートである。図12(A)はCPU56が実行するメイン処理を示し、図12(B)は割込処理を示す。電源オン時のリセットが解けると、CPU56は、まず、クロックモニタ制御を動作可能状態にするために、内蔵されているクロックモニタレジスタをクロックモニタインープル状態に設定する(ステップS1)。クロックモニタ制御とは、入力されるクロック信号の低下または停止を検出すると、CPU56の内部で自動的にリセットを発生する制御である。次いで、CPU56は、初期化処理を行う(ステップS2)。なお、初期化処理では、所定期間後(例えば2ms後)にタイマ割込がかかるようにタイマの設定処理を行う。その後、停止図柄の種類を決定する乱数等の表示用乱数を更新する処理を繰り返し実行する(ステップS17)。

#### 【0092】

図12(B)に示された処理は、CPU56内部のタイマ割込によって起動される。割込処理において、CPU56は、まず、所定期間後(例えば2ms後)に再度タイマ割込がかかるようにタイマの設定処理を行う(ステップS20)。

#### 【0093】

次に、表示制御基板80に送出される表示制御コマンドをRAM55の所定の領域に設定する処理を行った後に(表示制御データ設定処理：ステップS4)、表示制御コマンドを出力する処理を行う(表示制御データ出力処理：ステップS5)。

#### 【0094】

次いで、各種出力データの格納領域の内容を各出力ポートに出力する処理を行う(データ出力処理：ステップS6)。また、ホール管理用コンピュータに出力される大当り情報、始動情報、確率変動情報などの出力データを格納領域に設定する出力データ設定処理を

10

20

30

40

50

行う（ステップS 8）。さらに、パチンコ遊技機 1 の内部に備えられている自己診断機能によって種々の異常診断処理が行われ、その結果に応じて必要ならば警報が発せられる（エラー処理：ステップS 9）。

【0095】

次に、遊技制御に用いられる大当たり判定用の乱数等の各判定用乱数を示す各カウンタを更新する処理を行う（ステップS 10）。

【0096】

次に、CPU 56 は、特別図柄プロセス処理を行う（ステップS 11）。特別図柄プロセス制御では、遊技状態に応じてパチンコ遊技機 1 を所定の順序で制御するための特別図柄プロセスフラグに従って該当する処理が選出されて実行される。そして、特別図柄プロセスフラグの値は、遊技状態に応じて各処理中に更新される。また、普通図柄プロセス処理を行う（ステップS 12）。普通図柄プロセス処理では、7セグメントLEDによる可変表示器 10 を所定の順序で制御するための普通図柄プロセスフラグに従って該当する処理が選出されて実行される。そして、普通図柄プロセスフラグの値は、遊技状態に応じて各処理中に更新される。

【0097】

さらに、CPU 56 は、スイッチ回路 58 を介して、ゲートセンサ 12、始動口センサ 17 およびカウントセンサ 23 の状態を入力し、各入賞口や入賞装置に対する入賞があったか否か判定する（スイッチ処理：ステップS 13）。CPU 56 は、さらに、停止図柄の種類を決定する乱数等の表示用乱数を更新する処理を行う（ステップS 15）。

【0098】

また、CPU 56 は、賞球制御基板 37 との間の信号処理を行う（ステップS 16）。すなわち、所定の条件が成立すると賞球制御基板 37 に賞球制御コマンドを出力する。賞球制御基板 37 に搭載されている賞球制御用 CPU は、賞球制御コマンドに応じて玉払出装 97 を駆動する。

【0099】

なお、この実施の形態では 2 m s タイマ割込処理でステップS 20 および S 4 ~ S 16 の遊技制御処理が実行されるが、タイマ割込処理ではタイマ割込があったことを示すフラグセットのみを行い、メイン処理でそのフラグを監視してフラグがオンしたら遊技制御処理を実行するようにしてもよい。

【0100】

図 13 は、CPU 56 の NMI 割込処理を示すフローチャートである。上述したように、電源監視用 IC 901 が電源電圧の低下を検出すると、CPU 56 に NMI 割込がかかる。なお、この実施の形態では、図 13 に示す処理が電力供給停止時処理に相当する。

【0101】

電源電圧の低下にもとづく NMI 割込処理では、CPU 56 は、まず、レジスタの内容をバックアップ RAM に転送する（ステップS 31）。次いで、NMI フラグをセットする（ステップS 32）。NMI フラグとは、電源電圧低下にもとづく割込が生じたことを示す内部フラグである。また、NMI フラグは、バックアップ RAM 領域に設定される。CPU 56 は、さらに、RAM アクセスを禁止状態にして（ステップS 33）、電源監視用 IC 901 の出力が導入されている入力ポートのレベルを監視し続ける（ステップS 34）。この状態で、電源電圧はさらに低下していき、遂には、CPU 56 の動作が停止する。

【0102】

しかし、入力ポートのレベルが通常時のレベルに復帰した場合には、CPU 56 は、RAM アクセスを許可状態にして（ステップS 35）、バックアップ RAM に保存されていたレジスタ値を本来のレジスタに復帰させる（ステップS 36）。そして、NMI フラグをリセットし（ステップS 37）、NMI 割込がかかったアドレスに復帰する。

【0103】

このように、CPU 56 は、電源電圧が正常に復帰したことを検出すると、レジスタの

10

20

30

40

50



状態を元に戻してNMI割込がかかったアドレスに復帰する。従って、NMIラインにノイズ等がのった場合でも、制御を正常状態に復帰させることができる。

【0104】

ただし、ステップS34の入力ポート監視処理を行わなくてもよい。その場合には、RAMアクセス禁止にした後にプログラムをループ状態とするか、またはHALT（ホールド）命令を発行する。また、入力ポート監視処理を行わない場合には、図9に示された構成において、NMI信号をCPUの入力ポートに接続する必要はない。

【0105】

図11に示されているように、主基板31の電源監視用IC901が+30Vの電圧低下を検出する時点は、賞球制御基板における電源監視用IC931が+30Vの電圧低下を検出する時点と同じである。すなわち、主基板31のCPU56がNMI処理を開始する時点では、賞球制御用CPU371もNMI処理を開始する。そして、CPU56のNMI処理では、ステップS34でループしているので、新たなコマンド送出手開始されることはない。従って、賞球制御用CPU371は、電源が断するとき、主基板31からのコマンドが受信できなくなるという状況に陥ることはない。

【0106】

図14は、図12に示されたメイン処理における初期化処理（ステップS2）の一例を示すフローチャートである。遊技機への電力供給が再開されると、初期リセット回路65からCPU56にリセット信号が入力される。CPU56は、初期リセット信号に応じてメイン処理を開始するのであるが、システムチェック処理において、まず、NMIフラグがセットされているか否か確認する（ステップS42）。

【0107】

NMIフラグがセットされていなければ、レジスタおよびRAM領域を全てクリアし（ステップS46）、必要な初期値を設定する（ステップS47）。そして、電源投入時画面表示コマンド送出要求をセットし（ステップS48）、スタックポインタを初期化して（ステップS49）、初期化処理を終了する。

【0108】

なお、電源投入時画面表示コマンド送出要求がセットされると、例えば、図12に示された表示制御データ出力処理（ステップS5）によって電源投入時画面表示コマンドが表示制御基板80に送出される。表示制御基板80における表示制御用CPU101は、電源投入時画面表示コマンドを受信すると、可変表示部9に、電源投入時に表示される画面としてあらかじめ決められている画面を表示する。

【0109】

ステップS42でNMIフラグがセットされていることが確認されると、CPU56は、バックアップRAMに保存されていたレジスタ値を本来のレジスタに復帰させる（ステップS43）。そして、NMIフラグをリセットし（ステップS44）、エラー画面表示コマンド送出要求をセットする（ステップS45）。

【0110】

なお、エラー画面表示コマンド送出要求がセットされると、例えば、表示制御データ出力処理（ステップS5）によってエラー画面表示コマンドが表示制御基板80に送出される。表示制御基板80における表示制御用CPU101は、電源投入時画面表示コマンドを受信すると、可変表示部9にあらかじめ決められているエラー画面を表示する。

【0111】

そして、CPU56は、スタックポインタが指すスタックエリアの値をジャンプ先としてそこにジャンプする。スタックポインタは、レジスタの一つであるから、ステップS43の処理によって、電源断したときの値に復元されている。また、この実施の形態では、スタックエリアはバックアップRAM領域に形成されている。すなわち、電源断中でも保存されている。従って、制御状態は、電源断時の状態に戻る。

【0112】

例えば、電源断時に、表示制御基板80における表示制御用CPU101が可変表示部

10

20

30

40

50

9において図柄変動表示を行っていたとする。すると、電源復旧時に、表示制御用CPU101は、エラー画面表示コマンドを受信するので、可変表示部9にエラー画面を表示する。一方、主基板31のCPU56は、電源断時の状態すなわち特別図柄変動中の遊技状態に戻る。そして、特別図柄変動中の遊技状態が終了すると、図柄停止を示すコマンドや大当たり表示を示すコマンドを送出する。表示制御用CPU101は、その段階で、エラー表示を停止して、続く表示制御を続行することができる。

#### 【0113】

以上のように、CPU56は、復帰時にNMIフラグがセットされていたらデータ復帰処理を行い、NMIフラグがセットされていなければ通常の初期設定処理（ステップS46，S47）を行う。そして、データ復帰処理では、保存されていたレジスタの復帰処理とNMIフラグのリセット処理とが行われる。また、電源バックアップされているRAM領域におけるスタックエリアに保存されていた復帰アドレスに戻るなので、遊技制御手段は、電源断時の遊技状態に復帰することができる。

#### 【0114】

なお、この実施の形態では、電源投入時に、NMIフラグがセットされているか否かによって初期化処理を行うのか状態復帰処理を行うのかを決定したが、電源断時のNMI処理においてパリティチェックデータを算出して電源バックアップされているRAM領域に格納し、電源投入時に、NMIフラグがオンしていたら、パリティチェックデータにもとづくチェックを行ってデータが正しく保存されていたら状態復帰処理を行うように構成してもよい。

#### 【0115】

また、上記の実施の形態では、主基板31の初期リセット回路65における抵抗およびコンデンサの抵抗値および容量は、他の電気部品制御基板におけるリセットIC380に外付けされている抵抗およびコンデンサの抵抗値および容量とは、等しい値に設定されていた。しかし、初期リセット回路65におけるコンデンサの容量を、他の電気部品制御基板におけるコンデンサの容量よりも大きくしてもよい。そのように構成した場合には、初期リセット回路65のリセットIC651からのリセット信号の立ち上がり時点は、他の電気部品制御基板におけるリセットIC380からのリセット信号の立ち上がり時点よりも遅くなる。従って、遅延回路655をなくして、初期リセット回路65の出力をそのままCPU56に供給しても、主基板31のCPU56が、他の全ての基板におけるCPUよりも遅く立ち上がるようにすることができる。

#### 【0116】

主基板31のCPU56は、リセット解除後に、遊技制御プログラムに先立って所定のセキュリティチェックプログラムを実行するように構成されることもある。セキュリティチェックプログラムの実行にある程度の時間がかかるのであれば、その時間を利用して電源投入時の他の電気部品制御基板における各CPUのリセット解除を早くすることができる。図15は、そのような考え方にもとづく他の実施の形態を示すブロック図である。

#### 【0117】

この場合には、主基板31において遅延回路655は設けられず、また、初期リセット回路65の出力は直接CPU56のリセット入力端子に接続される。そして、主基板31の初期リセット回路65における抵抗およびコンデンサの抵抗値および容量は、他の電気部品制御基板におけるリセットIC380に外付けされている抵抗およびコンデンサの抵抗値および容量と等しい値に設定される。ただし、主基板31のCPU56がセキュリティチェックプログラムの実行を完了するまでに、他の電気部品制御基板におけるCPUが立ち上がって初期化プログラムの実行を完了するのであれば、他の電気部品制御基板のコンデンサの抵抗値および容量は、主基板31のコンデンサの抵抗値および容量と等しくなくてもよい。

#### 【0118】

従って、図16に示すように、主基板31のCPU56と他の電気部品制御基板の各CPUとは、ほぼ同時にリセット解除される。CPU56は、リセット解除されると、まず

、セキュリティチェックプログラムを実行する。セキュリティチェックプログラムが実行されている間、他の電気部品制御基板に対するコマンドがCPU56から出力されることはない。セキュリティチェックプログラムの実行に十分な時間がかかるのであれば、その間に、他の電気部品制御基板の各CPUは、初期化プログラムの実行を終えている。よって、コマンドを待っている状態になる。

【0119】

この実施の形態では、図16に示すように、セキュリティチェックプログラムの実行完了時が実質的なCPU56のリセット解除タイミングとなっている。従って、この実施の形態でも、遊技機の電源投入後、各電気部品制御手段における各CPUのリセット解除のタイミングは、遊技制御手段におけるCPU56のリセット解除のタイミングよりも実質的に早くなっている。よって、各電気部品制御手段における初期化プログラムの実行が完了しないうちに遊技制御手段からコマンドが送出されて各電気部品制御手段がコマンドデータを取り損なうという事態は生じない。

10

【0120】

以上のように、上記の各実施の形態では、電源投入時には、主基板31のCPU56が他の全ての電気部品制御手段の各CPUよりも遅く立ち上がるように構成したので、他の電気部品制御手段の各CPUが、主基板31からのコマンドを受信できる可能性をなくすることができる。

【0121】

なお、電源投入時に、主基板31のCPU56が、他の電気部品制御基板にコマンドを送出する前に、ソフトウェアで遅延時間を設けることによって、実質的に、主基板31のCPU56が他の電気部品制御手段の各CPUよりも遅く立ち上がるようにしてもよい。

20

【0122】

また、少なくとも、遊技機の電源断時に、主基板31のCPU56に電源断を示す割込がかかるタイミングと賞球制御用CPU371に電源断を示す割込がかかるタイミングとを実質的に同じにしたので、電源断直前に送出されたコマンドが受信側で受信できない可能性が低減される。

【0123】

以下、遊技制御手段以外の各電気部品制御手段における電力供給停止時処理について説明する。ここでは、賞球制御手段を例にするが、NMI割込処理を実行する他の制御手段も同様の処理を行う。なお、この実施の形態では、NMI割込処理が電力供給停止時処理に相当する。図17に示すように、賞球制御用CPU371は、まず、NMIフラグをセットする(ステップS801)。また、RAMアクセスを禁止状態にして(ステップS802)、電源監視用IC931の出力が導入されている入力ポートのレベルを監視し続ける(ステップS803)。

30

【0124】

入力ポートのレベルが通常時のレベルに復帰した場合には、賞球制御用CPU371は、RAMアクセスを許可状態にして(ステップS804)、NMIフラグをリセットし(ステップS805)、NMI割込がかかったアドレスに復帰する。

【0125】

このように、賞球制御用CPU371は、電源電圧が正常に復帰したことを検出すると、レジスタの状態を元に戻してNMI割込がかかったアドレスに復帰する。従って、NMIラインにノイズ等がのった場合でも、制御を正常状態に復帰させることができる。

40

【0126】

ただし、ステップS803の入力ポート監視処理を行わなくてもよい。その場合には、RAMアクセス禁止にした後にプログラムをループ状態とするか、またはHALT(ホールド)命令を発行する。また、入力ポート監視処理を行わない場合には、図9や図15に示された構成において、NMI信号を賞球制御用CPU371の入力ポートに接続する必要はない。

【0127】

50

図 18 は、賞球制御用 CPU 371 が実行するメイン処理における初期化処理を示すフローチャートである。この場合には、賞球制御用 CPU 371 は、まず、NMI フラグがセットされているか否かを確認する（ステップ S 812）。セットされていないければ、レジスタおよび RAM 領域を全てクリアし（ステップ S 814）、必要な初期値を設定する（ステップ S 815）。そして、スタックポインタを初期化して（ステップ S 816）、初期化処理を終了する。

【 0128 】

ステップ S 812 で NMI フラグがセットされていることが確認されると、CPU 56 は、NMI フラグをリセットし（ステップ S 813）、スタックポインタが指すスタックエリアの値をジャンプ先としてそこにジャンプする。なお、この実施の形態では、汎用の各レジスタの値を電源断時にバックアップ RAM に保存する必要はないが、少なくともスタックポインタは保存される必要がある。また、スタックエリアはバックアップ RAM 領域に形成されているので、賞球制御用 CPU 371 は、電源投入時に NMI フラグがセットされていることを検出することによって、確実に電源断時の制御状態に戻ることができる。

【 0129 】

例えば、賞球中フラグがバックアップ RAM 領域に形成されていれば、賞球中を示すフラグが設定されていることを検知して、賞球制御用 CPU 371 は、直ちに、バックアップ RAM 領域に保存されている各個数カウンタの値にもとづいて賞球払出処理を再開することができる。

【 0130 】

フラグ類がバックアップ RAM 領域に設定されていなくても、個数カウンタがバックアップ RAM 領域に設定されていれば、賞球制御用 CPU 371 は、電源復旧時に、遊技状態記憶の読み出し処理を行って、すなわち、各個数カウンタの設定値を読み出して、未払出賞球があるか否かを検出することができる。そして、未払出賞球があることを検出した場合には、例えば、賞球払出中フラグをセットすることによって賞球払出処理を再開することができる。

【 0131 】

図 19 は、賞球制御用 CPU 371 が実行する NMI 割込処理の他の例を示すフローチャートである。この場合には、賞球制御用 CPU 371 は、まず、未払出賞球個数または未払出玉貸し個数が記憶されているか否かを確認する（ステップ S 821）。そのような記憶があれば、NMI フラグをセットする（ステップ S 822）。また、RAM アクセスを禁止状態にして（ステップ S 823）、電源監視用 IC 931 の出力が導入されている入力ポートのレベルを監視し続ける（ステップ S 803）。

【 0132 】

入力ポートのレベルが通常時のレベルに復帰した場合には、賞球制御用 CPU 371 は、RAM アクセスを許可状態にして（ステップ S 804）、NMI フラグをリセットし（ステップ S 805）、NMI 割込がかかったアドレスに復帰する。

【 0133 】

未払出賞球個数または未払出玉貸し個数の記憶がない場合には、RAM アクセスを禁止状態にして（ステップ S 823）、ステップ S 803 に移行する。このような制御によれば、未払出状態のときに電源断が生じた場合にのみ、すなわち、必要な場合にのみ、電源復旧時の制御状態復帰のための準備が行われる。

【 0134 】

なお、上記の各実施の形態では、電源断時に、各電気部品制御手段において電源監視用 IC からの NMI 割込にもとづく処理が行われる場合を例示したが、必要な電気部品制御基板においてのみ電源監視用 IC が搭載されるように構成してもよい。また、上記の各実施の形態では、NMI 割込を例示したが、マスク不能でない外部割込（INT）端子に電源電圧低下を示す信号を導入して、INT 端子の割込信号にもとづく割込処理を行ってもよい。

## 【 0 1 3 5 】

また、賞球制御手段における R A M と同様に、音声制御手段、ランプ制御手段および表示制御手段における R A M も、電源バックアップされる部分があるようにしてもよい。

## 【 0 1 3 6 】

なお、上記の各実施の形態に開示されているように、遊技機は、以下のように構成されていてもよい。

## 【 0 1 3 7 】

遊技制御手段と払出制御手段とは、電力供給が停止する際に所定の電力供給停止時処理を行い、遊技制御手段に電力供給停止時処理を開始させるための電源状態と払出制御手段に電力供給停止時処理を開始させるための電源状態とは同じであるように構成されてい

10

## 【 0 1 3 8 】

遊技機で使用される所定電位電源を監視し検出条件が成立した場合に検出信号を出力する電源監視手段を備え、遊技制御手段および払出制御手段が、電源監視手段からの検出信号に応じて電力供給停止時処理を行うように構成されていてもよい。

## 【 0 1 3 9 】

遊技制御手段および払出制御手段は、電源監視手段の検出信号を受けた場合に、割込処理で電力供給停止時処理を実行するように構成されていてもよい。

## 【 0 1 4 0 】

遊技制御基板には、バックアップ用電源によって電力供給断時でも所定時間電力供給停止直前の内容を保持することが可能な記憶手段が設けられ、記憶手段には電力供給が復旧したときに遊技状態を復元するために必要な情報が保持されるように構成されていてもよい。

20

## 【 0 1 4 1 】

電力供給停止直前の内容を保持することが可能な記憶手段は、遊技制御手段に含まれている構成であってもよい。すなわち、記憶手段は、例えば、遊技制御マイクロコンピュータに内蔵されているメモリ ( R A M ) であってもよい。

## 【 0 1 4 2 】

払出制御手段が搭載された払出制御基板には、バックアップ用電源によって電力供給断時でも所定時間電力供給停止直前の内容を保持することが可能な記憶手段が設けられ、記憶手段には電力供給が復旧したときに払出状態を復元するために必要な情報が保持されるように構成されていてもよい。

30

## 【 0 1 4 3 】

電力供給停止直前の内容を保持することが可能な記憶手段は、払出制御手段に含まれている構成であってもよい。すなわち、記憶手段は、例えば、払出制御マイクロコンピュータに内蔵されているメモリ ( R A M ) であってもよい。

## 【 0 1 4 4 】

遊技制御基板および払出制御基板には、遊技制御手段および払出制御手段に対してリセット信号を出力する初期リセット手段が搭載され、初期リセット手段からのリセット信号を遅延させて遊技制御手段に供給する遅延手段を備えていてもよい。

40

## 【 0 1 4 5 】

遊技制御基板および払出制御基板には、遊技制御手段および払出制御手段に対してリセット信号を出力する初期リセット手段が搭載され、遊技制御基板の初期リセット手段におけるリセット信号を作成するためのコンデンサの容量は、払出制御基板の初期リセット手段におけるリセット信号を作成するためのコンデンサの容量よりも大きい構成であってもよい。

## 【 0 1 4 6 】

遊技制御基板および払出制御基板には、遊技制御手段および払出制御手段に対してリセット信号を出力する初期リセット手段が搭載され、遊技制御手段はパワーオンリセット解除時に所定のプログラムを実行するものであって、遊技制御基板における初期リセット手

50

段と払出制御基板における初期リセット手段とは同一構成であるように構成されていてもよい。

【0147】

遊技制御手段に電力供給停止時処理を開始させるための電源状態と払出制御手段に電力供給停止時処理を開始させるための電源状態とは同じであるように構成されている場合には、電力供給停止時処理が同時に開始されることによって、遊技制御手段と払出制御手段とを、同時に立ち下げることができる。

【0148】

所定電位電源を監視し検出条件が成立した場合に検出信号を出力する電源監視手段を備え、遊技制御手段および払出制御手段が、電源監視手段からの検出信号に応じて電力供給停止時処理を行うように構成されている場合には、払出制御手段が遊技制御手段からのコマンドを確実に受信することができる上に、遊技制御手段および払出制御手段は、データ保存のための処理などの電力供給停止時処理を行うタイミングを確実に把握できる。

10

【0149】

電源監視手段の検出信号を受けた遊技制御手段および払出制御手段が、割込処理で電力供給停止時処理を実行するように構成されている場合には、優先度の高い処理によって、確実に電源断処理が実行される。

【0150】

遊技制御基板にある記憶手段が電源バックアップされ、遊技機の電源が復旧したときに遊技状態を復元するために必要な情報を保持するように構成されている場合には、不測の停電等による電源断が生じて、電源復旧時に電源断時の状態に復帰でき、遊技者に不利益を与えない等の効果がある。

20

【0151】

電力供給停止直前の内容を保持することが可能な記憶手段が遊技制御手段に含まれている場合には、記憶手段が遊技制御手段と一体化されることによって、遊技制御手段のコストを低減することができる。

【0152】

払出制御手段が搭載された払出制御基板にある記憶手段が電源バックアップされ、遊技機の電源が復旧したときに払出状態を復元するために必要な情報を保持するように構成されている場合には、不測の停電等による電源断が生じて、電源復旧時に電源断時の払出状態に復帰でき、遊技者に不利益を与えないという効果がある。

30

【0153】

電力供給停止直前の内容を保持することが可能な記憶手段が払出制御手段に含まれている場合には、記憶手段が払出制御手段と一体化されることによって、払出制御手段のコストを低減することができる。

【0154】

初期リセット手段からのリセット信号を遅延させて遊技制御手段に供給する遅延手段を備えている場合には、遊技制御基板の初期リセット手段と払出制御基板の初期リセット手段とを同一構成にすることができる。

【0155】

遊技制御基板の初期リセット手段におけるリセット信号を作成するためのコンデンサの容量が、払出制御基板の初期リセット手段におけるリセット信号を作成するためのコンデンサの容量よりも大きい場合には、遅延回路等が不要になるので回路構成が簡略化されるという効果がある。

40

【0156】

遊技制御手段はパワーオンリセット解除時に所定のプログラムを実行するものであって、遊技制御基板における初期リセット手段と払出制御基板における初期リセット手段とが同一構成である場合には、同一設計を行うことができるので設計コストが低減し、その結果、遊技機コストが低減される効果がある。

【図面の簡単な説明】

50

## 【 0 1 5 7 】

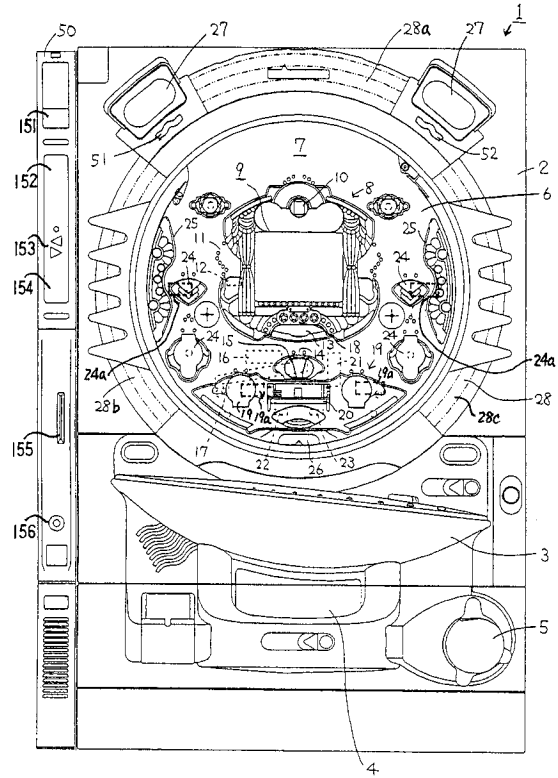
- 【図 1】パチンコ遊技機を正面からみた正面図である。
- 【図 2】パチンコ遊技機の遊技盤を正面からみた正面図である。
- 【図 3】パチンコ遊技機を背面からみた背面図である。
- 【図 4】遊技制御基板（主基板）の回路構成例を示すブロック図である。
- 【図 5】表示制御基板の回路構成例を示すブロック図である。
- 【図 6】音声制御基板の回路構成例を示すブロック図である。
- 【図 7】ランプ制御基板の回路構成例を示すブロック図である。
- 【図 8】賞球制御基板の回路構成例を示すブロック図である。
- 【図 9】各制御基板における CPU 周りの構成を示すブロック図である。 10
- 【図 10】電源基板の一構成例を示すブロック図である。
- 【図 11】電源投入時および電源断時の信号例を示すタイミング図である。
- 【図 12】主基板における基本回路の動作を示すフローチャートである。
- 【図 13】主基板の CPU の割込処理を示すフローチャートである。
- 【図 14】メイン処理における初期化処理を示すフローチャートである。
- 【図 15】各制御基板における CPU 周りの他の構成を示すブロック図である。
- 【図 16】電源投入時および電源断時の他の信号例を示すタイミング図である。
- 【図 17】賞球制御 CPU が実行する NMI 処理を示すフローチャートである。
- 【図 18】賞球制御 CPU が実行する初期化処理を示すフローチャートである。
- 【図 19】賞球制御 CPU が実行する NMI 処理の他の例を示すフローチャートである。 20

## 【符号の説明】

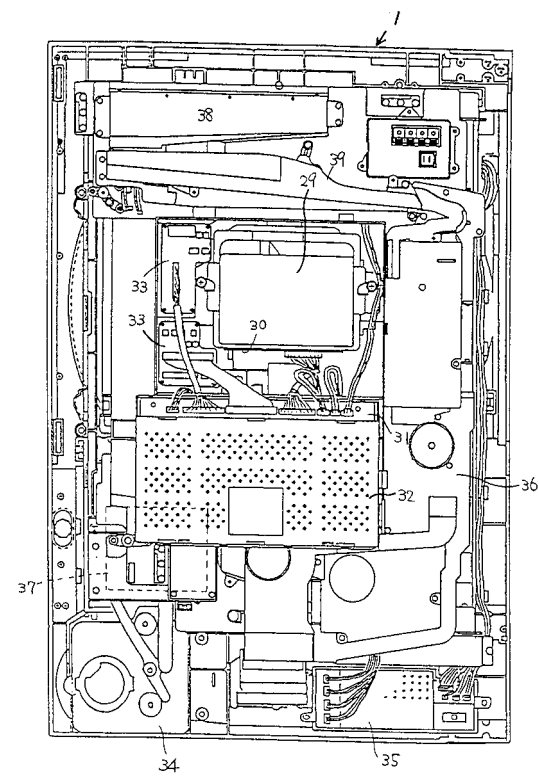
## 【 0 1 5 8 】

- 1          パチンコ遊技機
- 3 1        主基板
- 3 5        ランプ制御基板
- 3 7        賞球制御基板
- 5 3        基本回路
- 5 6        CPU
- 6 5        初期リセット回路
- 7 0        音声制御基板 30
- 8 0        表示制御基板
- 1 0 1      表示制御用 CPU
- 3 5 1      ランプ制御用 CPU
- 3 7 1      賞球制御用 CPU
- 7 0 1      音声制御用 CPU
- 9 0 1 , 9 3 1   電源監視用 IC
- 9 1 0      電源基板
- 9 1 6      コンデンサ

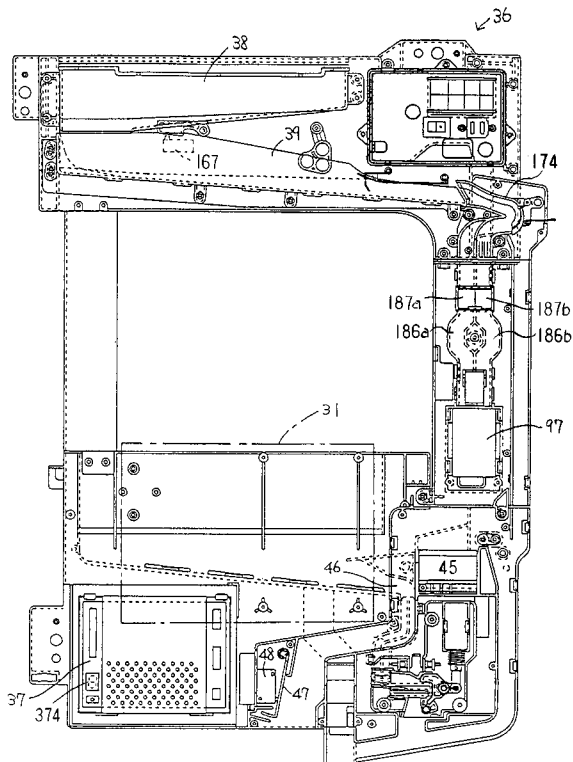
【図 1】



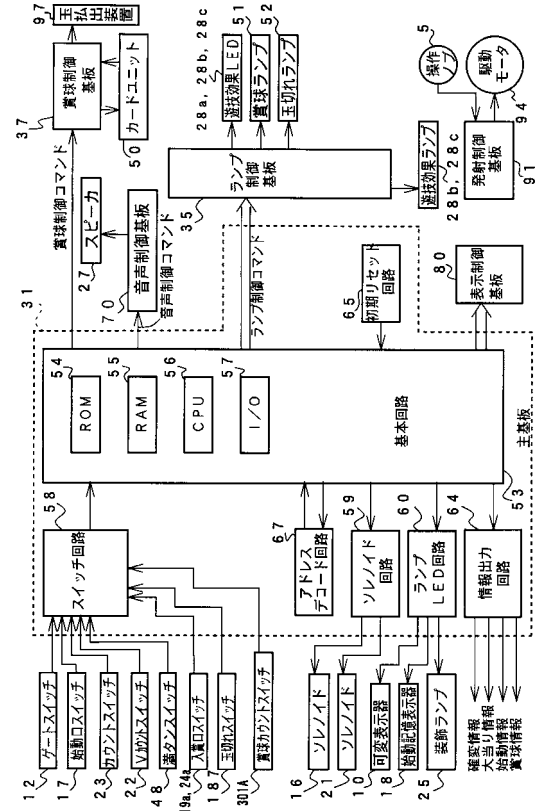
【図 2】



【図 3】

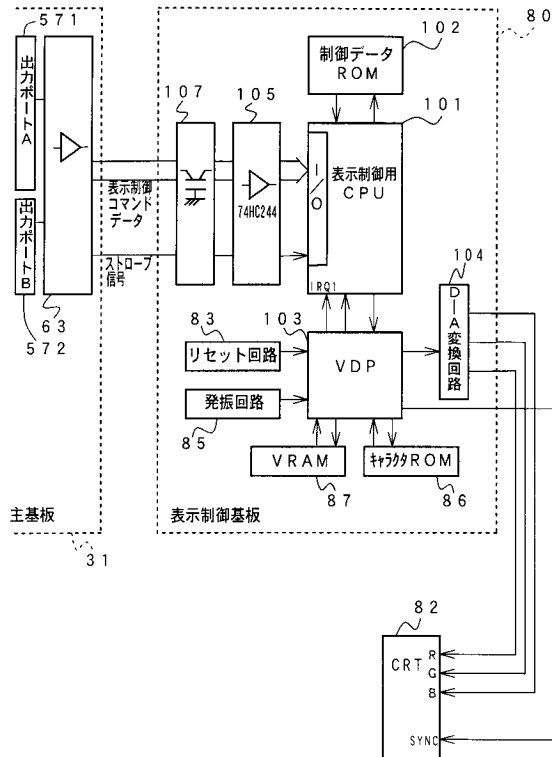


【図 4】

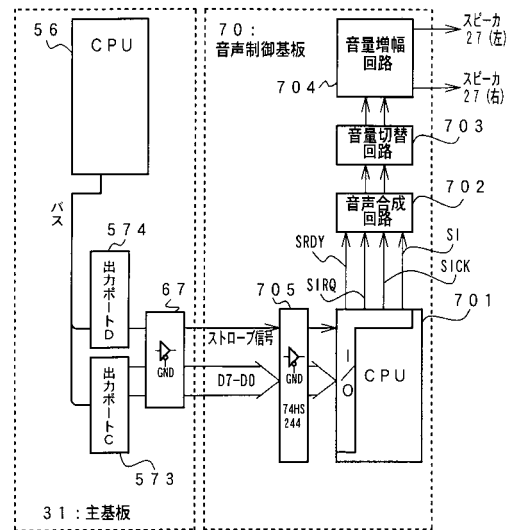




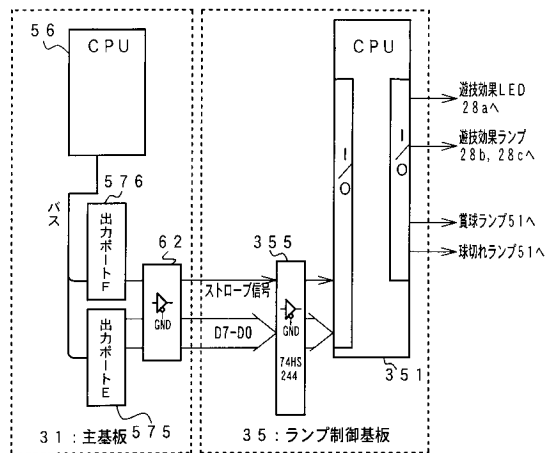
【図 5】



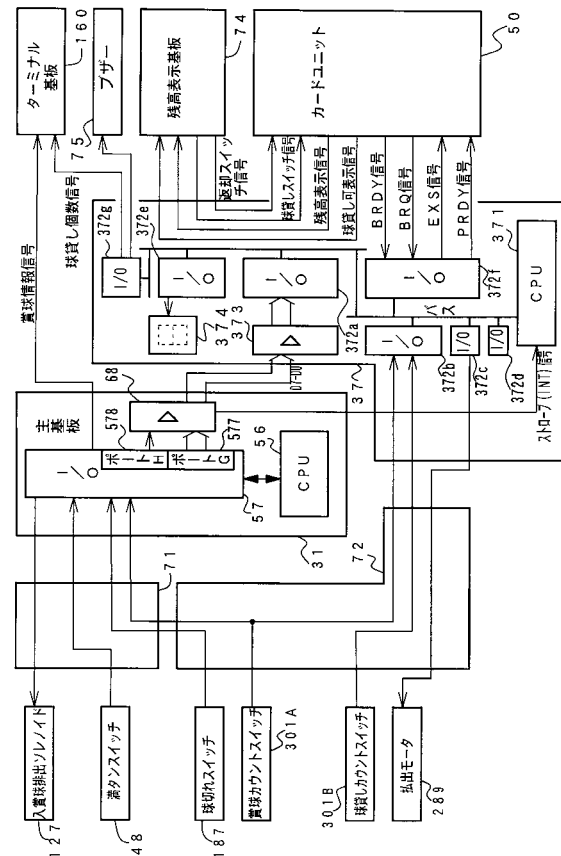
【図 6】



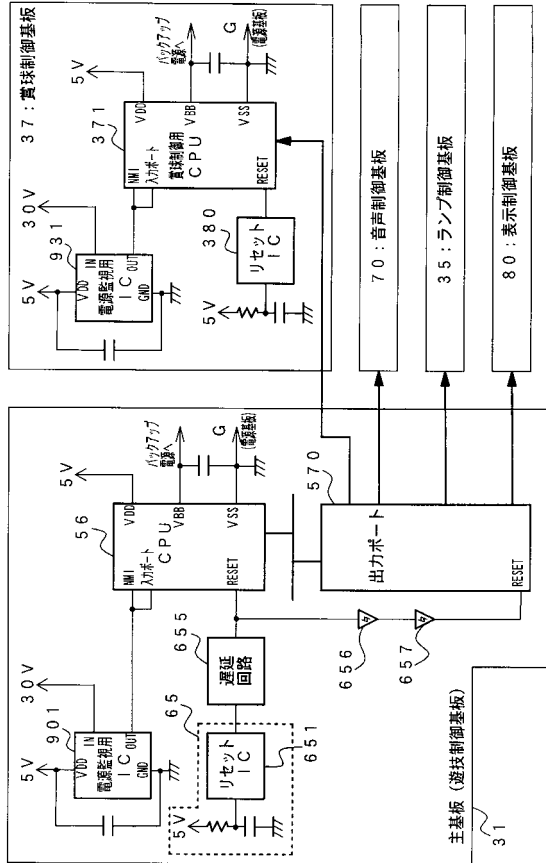
【図 7】



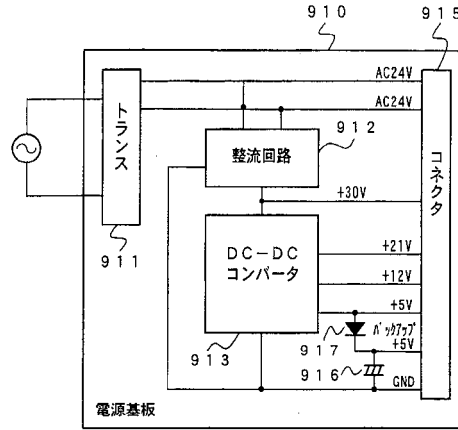
【図 8】



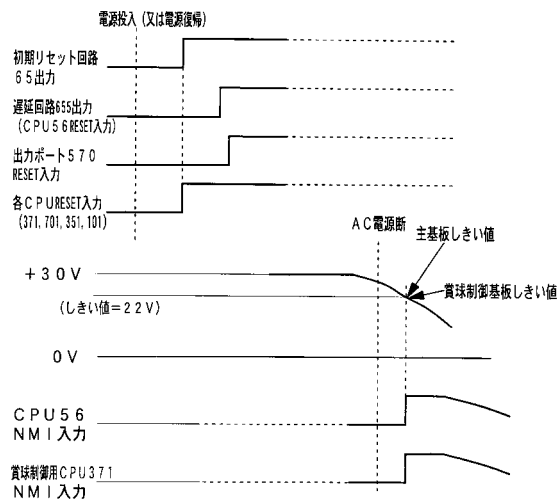
【図 9】



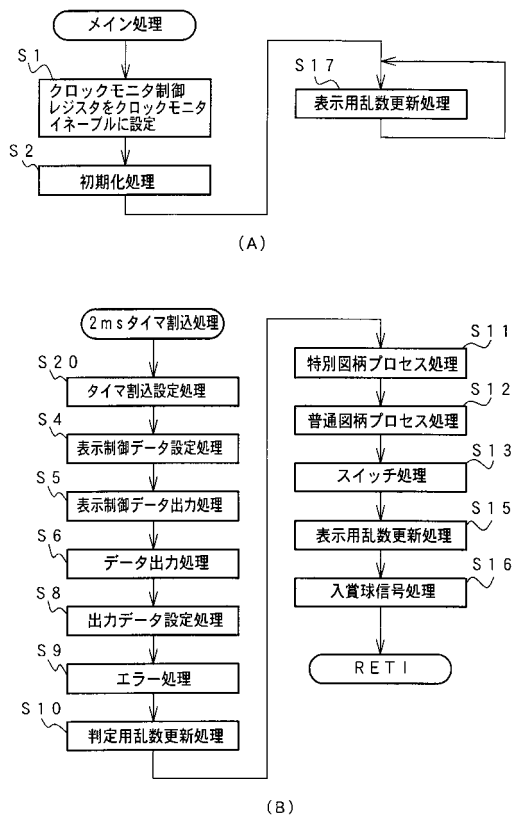
【図 10】



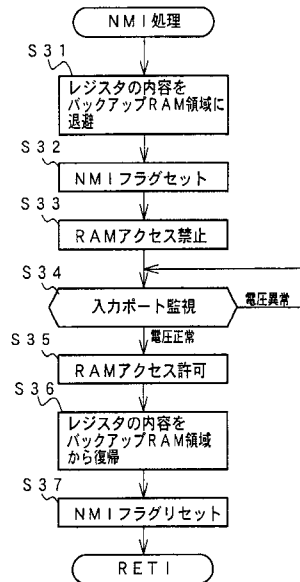
【図 11】



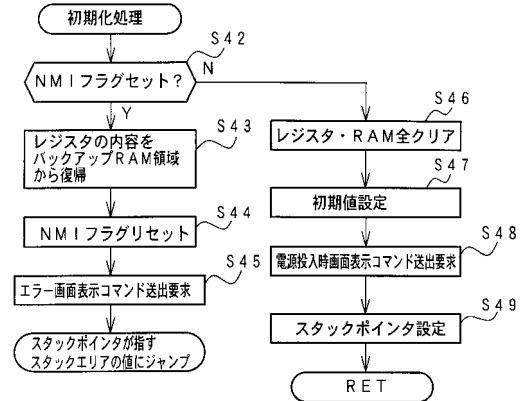
【図 12】



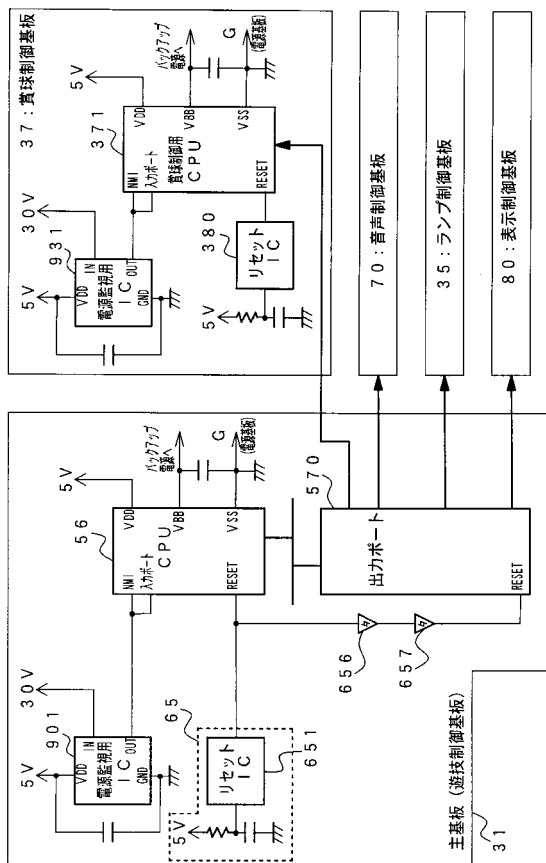
【図 13】



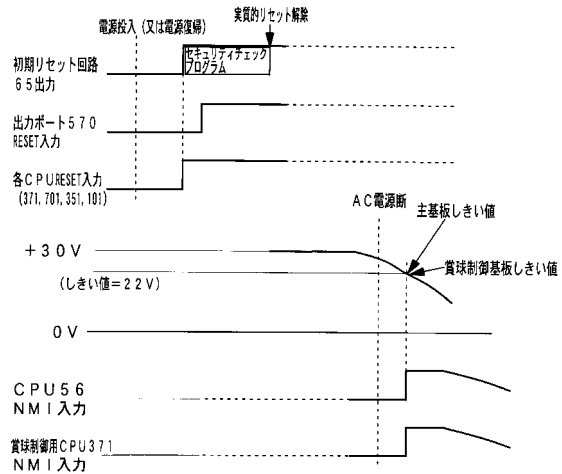
【図 14】



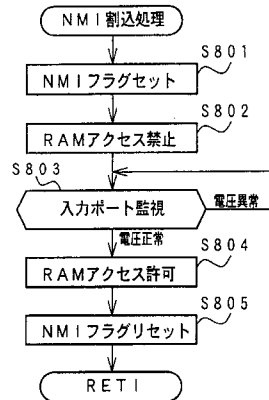
【図 15】



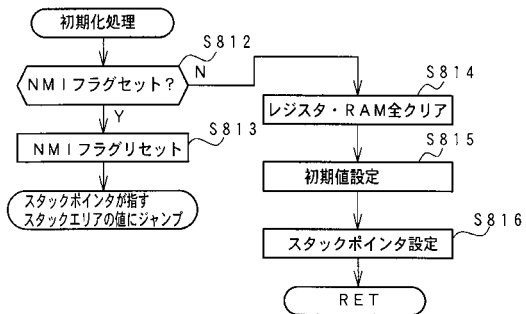
【図 16】



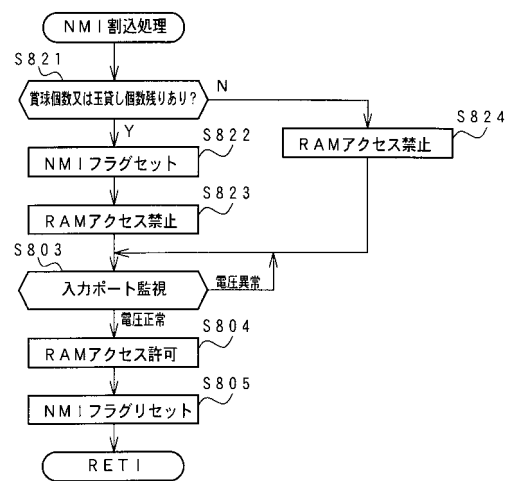
【図 17】



【図 18】



【図 19】



---

フロントページの続き

(56)参考文献 特開平 0 6 - 1 5 2 8 4 1 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

A 6 3 F      7 / 0 2