

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年6月26日(26.06.2025)



(10) 国際公開番号

WO 2025/134202 A1

(51) 国際特許分類:
H01S 5/026 (2006.01)

(21) 国際出願番号: PCT/JP2023/045330

(22) 国際出願日: 2023年12月18日(18.12.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 (JP).

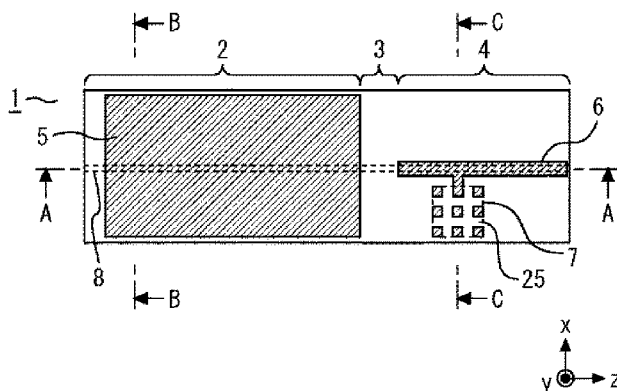
(72) 発明者:奥田 真也(OKUDA, Shinya); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 (JP).

(74) 代理人: 弁理士法人高田・高橋国際特許事務所(TAKADA, TAKAHASHI & PARTNERS); 〒1040045 東京都中央区築地1丁目12番22号 コンワビル7階 (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,

(54) Title: OPTICAL SEMICONDUCTOR DEVICE

(54) 発明の名称: 光半導体装置



(57) Abstract: The purpose of the present disclosure is to provide an optical semiconductor device that can reduce the capacitance of a pad electrode. This optical semiconductor device comprises a semiconductor substrate, an optical semiconductor element that is formed on the semiconductor substrate, and a pad electrode that is formed on the optical semiconductor element and is electrically connected to a top surface electrode of the optical semiconductor element. The pad electrode has a first electrode that is formed on the optical semiconductor element with an insulating film therebetween and a second electrode that is formed on the first electrode. A plurality of holes or a groove that is mesh-shaped as seen from above penetrate/s the insulating film from the surface of the first electrode toward the back surface of the semiconductor substrate.

(57) 要約: 本開示はパッド電極の静電容量を小さくすることができる光半導体装置を提供することを目的とする。本開示の光半導体装置は、半導体基板と、半導体基板の上に形成された光半導体素子と、光半導体素子の上に形成され、光半導体素子の上面電極に電気的に接続されたパッド電極とを備える。パッド電極は、光半導体素子の上に絶縁膜を介して形成された第一の電極と、第一の電極の上に形成された第二の電極とを有し、第一の電極の表面から半導体基板の裏面に向かって絶縁膜を貫く、上面視においてメッシュ状の溝または複数の穴が設けられている。

SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：光半導体装置

技術分野

[0001] 本開示は、光半導体装置に関する。

背景技術

[0002] 変調器集積型半導体レーザ（Electro absorption Modulated Laser：EML）は、半導体レーザと、電界が印加されることにより入射光の一部を吸収する光変調器とを、同一半導体基板上に集積した素子である。光強度を直接変調する直接変調方式に対して信号波形の劣化が少ないため高速・長距離の光ファイバ伝送が可能である。

[0003] データトラフィックの拡大に従い、EMLにはさらなる高速化が要求されている。変調速度の上限は光変調器の静電容量に対して反比例の関係にあることから、光変調器の静電容量は極めて小さいことが望ましい。そのため、光変調器に変調信号を入力するパッド電極の面積は小さいことが望ましい。

[0004] 一方で、プローブコンタクトを用いたEMLの特性検査、またEMLチップをトランシーバ等の光伝送装置に実装するワイヤボンディングにおいては、作業性の観点からパッド電極の面積は大きいことが望ましい。

[0005] このような事情に鑑み、パッド電極の静電容量を小さくする技術として、特許文献1にはパッド電極に複数のメッシュ穴を設ける技術が開示されている。これによりコンタクト領域を確保しながら、パッド電極の実効的な面積を小さくすることができる。

先行技術文献

特許文献

[0006] 特許文献1：特開2012-23065号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、上述の方法ではパッド電極のみをメッシュ形状としていた

。パッド電極の下に形成される絶縁膜及び半導体層がメッシュ形状でないことが、パッド電極の静電容量を増加させていた。

[0008] 本開示は上述の課題を解決するため、パッド電極の静電容量を小さくすることができる光半導体装置を提供することを目的とする。

課題を解決するための手段

[0009] 本開示の第一の態様は、
半導体基板と、
前記半導体基板の上に形成された光半導体素子と、
前記光半導体素子の上に形成され、前記光半導体素子の上面電極に電氣的に接続されたパッド電極と、
を備え、
前記パッド電極は、前記光半導体素子の上に絶縁膜を介して形成された第一の電極と、前記第一の電極の上に形成された第二の電極とを有し、
前記第一の電極の表面から前記半導体基板の裏面に向かって前記絶縁膜を貫く、上面視においてメッシュ状の溝または複数の穴が設けられている光半導体装置。
であることが好ましい。

[0010] また第二の態様は、
半導体基板と、
前記半導体基板の上に形成された光半導体素子と、
前記光半導体素子の上に絶縁膜を介して形成され、前記光半導体素子の上面電極に電氣的に接続されたパッド電極と、
を備え、
前記パッド電極の下に形成された前記絶縁膜の表面から前記半導体基板の裏面に向かって前記絶縁膜を貫く、上面視においてメッシュ状の溝または複数の穴が設けられている光半導体装置であることが望ましい。

発明の効果

[0011] 本開示によれば、誘電率の低い空気が占める領域をパッド電極の下層に設

けることでパッド電極の静電容量を下げる事が可能となる。

図面の簡単な説明

[0012] [図1]本開示の実施の形態1に係る光半導体装置の上面図である。

[図2]図1のA - A断面図であり、メサストライプの断面である。

[図3]図1のB - B断面図であり、半導体レーザの断面である。

[図4]図1のC - C断面図であり、光変調器の断面である。

[図5]本開示の実施の形態1に係るパッド電極の静電容量を計算するための模式図である。

[図6]一般的な従来技術におけるパッド電極の静電容量を計算するための模式図である。

[図7]特許文献1におけるパッド電極の静電容量を計算するための模式図である。

[図8]本開示の実施の形態2に係る光変調器の断面である。

[図9]本開示の実施の形態2に係るパッド電極の静電容量を計算するための模式図である。

[図10]本開示の実施の形態3に係る光変調器の断面である。

[図11]本開示の実施の形態3に係るパッド電極の静電容量を計算するための模式図である。

[図12]本開示の実施の形態4に係る光半導体装置の上面図である。

[図13]本開示の実施の形態4に係る光変調器の断面である。

[図14]開示の実施の形態4に係るパッド電極の静電容量を計算するための模式図である。

[図15]本開示の実施の形態5に係る光変調器の断面である。

[図16]本開示の実施の形態5に係るパッド電極の静電容量を計算するための模式図である。

[図17]本開示の実施の形態1の変形例に係る光半導体装置1の上面図である。

[図18]図17のD - D断面である。

発明を実施するための形態

[0013] 本開示の実施の形態について図面を参照して説明する。同じ又は対応する構成要素には同じ符号を付し、説明の繰り返しを省略する場合がある。

[0014] 実施の形態 1

図 1 は本開示の実施の形態 1 に係る光半導体装置 1 の上面図である。本開示では半導体レーザ 2 が出射するレーザ光の光軸方向を z 方向とする。また積層された半導体層の厚み方向を y 方向とする。さらに z 方向及び y 方向に垂直な方向を x 方向とする。

[0015] 光半導体装置 1 においては、半導体レーザ 2 と光変調器 4 が I n P 基板 9 (不図示) の上に集積されている。

[0016] 半導体レーザ 2 は、たとえば分布帰還型レーザである。レーザ光の波長帯は限定されないが、光通信の長波長帯では 1.3 μ m 帯、1.55 μ m 帯が使用される。半導体レーザ 2 の表面にはアノード電極 5 が形成される。

[0017] 光変調器 4 は、電界吸収型の変調器である。光変調器 4 の上面にはアノード電極 6 が形成される。アノード電極 6 はワイヤボンディングのメタル 28 (不図示) を介してパッド電極 7 に電氣的に接続されている。パッド電極 7 からアノード電極 6 に電界または電流が入力されることにより、光変調器 4 は半導体レーザ 2 から出射されるレーザ光を吸収し変調する。

[0018] 半導体レーザ 2 と光変調器 4 は、分離部 3 により分離されている。

[0019] 図 2 は図 1 の A - A 断面図であり、メサストライプ 8 の断面である。

[0020] メサストライプ 8 は半導体レーザ 2、分離部 3 及び光変調器 4 に跨って形成される。メサストライプ 8 は、半導体レーザ 2 で生じた光を光変調器 4 に伝搬させる導波路を備える。半導体レーザ 2 領域におけるメサストライプ 8 は、I n P 基板 9 の上に順に積層された n 型ガイド層 10、i 型活性層 11、回折格子 13、p 型ガイド層 14、I n P の p 型クラッド層 15、p 型コンタクト層 16 を備える。n 型ガイド層 10、i 型活性層 11、回折格子 13、p 型ガイド層 14 には、I n A l G a A s、I n G a A s P 等の I I I - V 族の混晶半導体が用いられる。p 型コンタクト層 16 には I n G a A s

等が用いられる。i型活性層11は多重量子井戸(Multiple Quantum Well:MQW)構造である。

[0021] 半導体レーザ2領域のp型コンタクト層16の上には絶縁膜17及びアノード電極5が形成される。絶縁膜17には開口が設けられ、開口を介してアノード電極5がp型コンタクト層16に接続され、電氣的に接続される。アノード電極5は、p型コンタクト層16に接続されるアノード第一電極18と、アノード第一電極18上に形成されるアノード第二電極19とを含む。アノード第一電極18は、p型コンタクト層16との密着性を高めることに加え、アノード第二電極19の金属がp型コンタクト層16に拡散することを抑制するバリアメタルとしての役割を有する。アノード第一電極18及びアノード第二電極19には、Ti、Au等が用いられる。

[0022] 光変調器4領域におけるメサストラップ8は、InP基板9の上に順に積層されたn型ガイド層10、i型光吸収層12、p型ガイド層14、p型クラッド層15、p型コンタクト層16を備える。i型光吸収層12はInAlGaAs、InGaAsP等のIII-V族の混晶半導体を用いたMQW構造である。

[0023] 光変調器4領域のp型コンタクト層16の上には絶縁膜17及びアノード電極6が形成される。絶縁膜17には開口が設けられ、開口を介してアノード電極6がp型コンタクト層16に接続され、電氣的に接続される。アノード電極6は、アノード第一電極18と、アノード第二電極19を含む。

[0024] InP基板9の裏面の全面又は一部にはカソード電極20が設けられている。カソード電極20は、カソード第一電極21とカソード第二電極22を含む。カソード第一電極21はInP基板9との密着性を高めることに加え、カソード第二電極22の金属がInP基板9に拡散することを抑制するバリアメタルとしての役割を有する。カソード第一電極21及びカソード第二電極22には、AuGe、Au等が用いられる。

[0025] 分離部3領域におけるメサストラップ8の構造は、p型クラッド層15の上に絶縁膜17が形成されていることを除き光変調器4領域のメサストラップ

プ8の構造と同じである。絶縁膜17は半導体レーザ2領域のp型コンタクト層16と、光変調器4領域のp型コンタクト層16との間に形成される。これにより半導体レーザ2と光変調器4とが電氣的に絶縁される。

[0026] 図3は図1のB-B断面図であり、半導体レーザ2の断面である。半導体レーザ2のリッジ構造23はInP基板9の上に設けられている。リッジ構造23においては、n型ガイド層10、i型活性層11、回折格子13、p型ガイド層14が形成される。

[0027] 半導体埋込層24はリッジ構造23の側面を埋め込んでいる。半導体埋込層24にはFeドープされた半絶縁性InP等が用いられる。

[0028] リッジ構造23及び半導体埋込層24を含むメサストラップ8の側面は絶縁膜17により覆われている。

[0029] 図4は図1のC-C断面図であり、光変調器4の断面である。リッジ構造23はInP基板9の上に設けられている。リッジ構造23においては、n型ガイド層10、i型光吸収層12、p型ガイド層14が形成される。リッジ構造23の側面は半導体埋込層24により埋め込まれている。

[0030] メサストラップ8上のアノード電極6はメサストラップ8を含まない箇所のp型コンタクト層16の表面まで引き出され、パッド電極7とされる。これは静電容量を小さくするために光変調器4のメサストラップ8の幅を狭くせざるを得ず、メサストラップ8の上に形成されるアノード電極6の幅も狭くならざるを得ないという事情を考慮したものである。パッド電極7は光変調器4に変調信号を入力するために用いられる。またプローブコンタクトを用いたEMLの特性検査、またEMLチップをトランシーバ等の光伝送装置に実装するワイヤボンディングにおいても使用される。パッド電極7には、これらの作業の作業性を考慮した面積が確保されている。

[0031] 光変調器4の静電容量は、光変調器4のメサストラップ8の静電容量とパッド電極7の静電容量の和である。一般に、メサストラップ8の長さを縮小する等によりメサストラップ8の静電容量を低減する場合、消光特性等とトレードオフとなるためパッド電極7の静電容量を低減することが重要となる

。

[0032] 本開示においては、パッド電極 7 及びパッド電極 7 の下に形成されている絶縁膜 17 に対し上面視においてメッシュ状の溝 25 が設けられている。これは、誘電率の低い空気が占める領域をパッド電極 7 及びパッド電極 7 の下層に設けることで、パッド電極 7 の静電容量を下げる事が可能であるという本開示の知見に基づく。

[0033] 以降では図 5 ～ 7 の模式図を用いて、本開示、一般的な従来技術、及び特許文献 1 におけるパッド電極 7 の静電容量をそれぞれ計算した結果を説明する。溝 25 を考慮した静電容量を計算するため、パッド電極 7 の電極端におけるエッジ効果を考慮したシミュレーションを行った。なお、計算で用いる各構成要素の形状、寸法、比誘電率は一例である。また後述するパッド電極 7 及び絶縁膜 17 の柱の数も一例であって、限定されない。

[0034] 図 5 は本開示の実施の形態 1 に係るパッド電極 7 の静電容量を計算するための模式図である。静電容量の計算においては、図 5 に示すように簡略化した構造を考えた。すなわち、メタル 28、パッド電極 7、絶縁膜 17、i 型光吸収層 12、カソード電極 20 からなる構造である。なお、メタル 28 は、上述のワイヤボンディングで使用するワイヤを想定したものである。

[0035] 各構成要素の厚みは、メタル 28 を $1.0\ \mu\text{m}$ 、パッド電極 7 を $2.5\ \mu\text{m}$ 、絶縁膜 17 を $1.5\ \mu\text{m}$ 、i 型光吸収層 12 を $0.5\ \mu\text{m}$ 、カソード電極 20 を $1.0\ \mu\text{m}$ とした。

[0036] また上面視におけるサイズは、メタル 28、i 型光吸収層 12 及びカソード電極 20 を $50\ \mu\text{m} \times 50\ \mu\text{m}$ とした。一方パッド電極 7 及び絶縁膜 17 は $50\ \mu\text{m} \times 50\ \mu\text{m}$ であるが、幅 $10\ \mu\text{m}$ の溝 25 が設けられているとした。この場合、パッド電極 7 及び絶縁膜 17 は $10\ \mu\text{m} \times 10\ \mu\text{m}$ の柱が 9 本並んだ構成となる。なおここでの幅とは光半導体装置 1 の側面視における幅のことである。

[0037] また溝 25 を含む周囲環境は空気であるとし、i 型光吸収層 12 の比誘電率を 12.25、絶縁膜 17 の比誘電率を 2.28 とした。

[0038] 計算の結果、本開示のパッド電極 7 の静電容量は約 19.9 [fF] であった。

[0039] 一方、図 6 は一般的な従来技術におけるパッド電極 7 の静電容量を計算するための模式図である。従来技術では、パッド電極 7 も絶縁膜 17 もメッシュ形状でない。そこで、パッド電極 7 及び絶縁膜 17 が溝 25 を有しないことを除き、各構成要素の形状及び比誘電率を図 5 と同じとした。計算の結果、パッド電極 7 の静電容量は約 39.2 [fF] であった。この結果から、従来技術は本開示に比べてパッド電極 7 の静電容量が大きくなることが明らかである。

[0040] 一方、図 7 は特許文献 1 におけるパッド電極 7 の静電容量を計算するための模式図である。特許文献 1 では、絶縁膜 17 がメッシュ形状でない。そこで、絶縁膜 17 が溝 25 を有しないことを除き、各構成要素の形状及び比誘電率を図 5 と同じとした。計算の結果、静電容量は約 24.2 [fF] であった。絶縁膜 17 は空気より誘電率が高い材料であるため、特許文献 1 におけるパッド電極 7 の静電容量は本開示に比べて大きくなったと言える。

[0041] なお、図 7 ではパッド電極 7 の下層を絶縁膜 17 としたが、任意の半導体層とした場合においても静電容量は本開示よりも大きくなる。これは半導体材料の比誘電率が空気よりも高いことに起因する。

[0042] 以上のように、本開示ではパッド電極 7 の表面から絶縁膜 17 を貫く上面視においてメッシュ状の溝 25 が設けられている。これにより誘電率の低い空気が占める領域を絶縁膜 17 に設けることができ、パッド電極 7 の静電容量を下げる事が可能となる。

[0043] 次に本実施形態の光半導体装置 1 の動作例について述べる。

[0044] まず、半導体レーザ 2 のアノード電極 5 からカソード電極 20 に電流を注入することにより電子と正孔を再結合させ、発光させる。生じた光は回折格子 13 で反射され、半導体レーザ 2 内を往復する。往復する間に誘導放出が生じ、光強度が増幅される。ある閾値に達するとレーザ発振が生じ、半導体レーザ 2 から光変調器 4 に向かってレーザ光が出射される。

[0045] さらに光変調器4において、パッド電極7を介してアノード電極6からカソード電極20に対して負の電圧を印可する。すると、量子閉じ込めシュタルク効果によりi型光吸収層12の吸収スペクトルが変化し光吸収が起こる。つまり、光変調器4に印加される電圧値に対応して、光変調器4から出射されるレーザ光の強度が変調される。変調されたレーザ光は、光半導体装置1の外部に出射され、光通信における信号光等に使用される。

[0046] 次に、本実施形態の光半導体装置1の製造方法について説明する。例えば、InP基板9の表面にn型ガイド層10をMOCVD (Metal organic chemical vapor deposition) 法を用いて結晶成長する。次に、半導体レーザ2、分離部3及び光変調器4の各領域に、対象の半導体層をMOCVD法により結晶成長する。さらにSiO₂のマスクを用いたドライエッチングを施し、i型活性層11、i型光吸収層12、回折格子13、p型ガイド層14をパターニングする。

[0047] さらにp型ガイド層14の表面にSiO₂のマスクを形成し、ドライエッチングを施すことによりリッジ構造23をパターニングする。その後、リッジ構造23の側面に半導体埋込層24を結晶成長する。SiO₂のマスクを除去した後、半導体埋込層24及びリッジ構造23の表面にp型クラッド層15、p型コンタクト層16を順次結晶成長する。次に、p型コンタクト層16の表面にSiO₂のマスクを形成し、ドライエッチングを施すことでメサストライプ8をパターニングする。次に、フォトリジストのマスクを用いたウェットエッチングにて、分離部3上のp型コンタクト層16を除去する。次に、プラズマCVD法等により半導体レーザ2、分離部3、光変調器4の各領域の表面にSiO₂等の絶縁膜17を形成する。

[0048] 次に、アノード電極5、6を形成する領域に対しては、フォトリソグラフィ技術とフッ酸等を用いたエッチング技術とを組み合わせ、絶縁膜17に開口部を形成する。またこれらの技術により、パッド電極7の下の絶縁膜17に溝25を形成する。

[0049] その後、アノード電極5、6を形成する領域のそれぞれにアノード第一電

極 18 及びアノード第二電極 19 を形成する。形成方法としては、電子ビーム蒸着、メッキ等を用いる。不要部分はフォトリソ膜と共にリフトオフする。またパッド電極 7 もアノード電極 5、6 と同時に形成する。アノード第一電極 18 及びアノード第二電極 19 のリフトオフの際に、パッド電極 7 を形成する領域のフォトリソ膜をメッシュ形状にパターニングすることで、アノード第一電極 18 及びアノード第二電極 19 に溝 25 を設けることができる。その後、InP 基板 9 の裏面を研磨し、InP 基板 9 の裏面にカソード第一電極 21、カソード第二電極 22 を含むカソード電極 20 を形成する。以上の工程により本実施形態の光半導体装置 1 が製造される。しかしながら、製造方法はこれに限られない。例えば上述では半導体レーザ 2、分離部 3 及び光変調器 4 の各領域で p 型クラッド層 15 と p 型コンタクト層 16 を同時に形成する場合を示したが、それぞれを別工程で形成してもよい。

[0050] 〈変形例〉

なお、n 型ガイド層 10、i 型活性層 11、i 型光吸収層 12、回折格子 13、p 型ガイド層 14 の材料は III-V 族混晶半導体に限定されるものではなく、他の半導体材料を用いてもよい。また、i 型活性層 11、i 型光吸収層 12 は MQW 構造としたが、1 層の量子井戸構造でもよく、量子井戸構造でなくともよい。また基板の種類は InP に限定されない。

[0051] また図 1 では、半導体レーザ 2、分離部 3、光変調器 4 の各領域においてメサストラップ 8 の幅が一樣である場合を示したが、幅は一樣でなくともよい。

[0052] また図 2 では、分離部 3 と光変調器 4 のメサストラップ 8 の構造が同じである場合を示したが、必ずしも同じでなくともよい。また図 2 では、回折格子 13 が i 型活性層 11 の上に形成されている例を示したが、回折格子 13 は i 型活性層 11 の下に形成されてもよい。また半導体レーザ 2、分離部 3、光変調器 4 においては、i 型活性層 11、回折格子 13 と i 型光吸収層 12 を除いて同じ構造としたが、必ずしも同じでなくともよい。

[0053] また、図 3、図 4 では、半導体レーザ 2、光変調器 4 は埋込構造であると

したが、リッジ構造等でもよく、別の構造でもよい。なお光変調器 4 はハイメサ構造に限らず、埋め込み型導波路又はローメサリッジ構造としてもよい。

[0054] 実施の形態 2

図 8 は、本開示の実施の形態 2 に係る光変調器 4 の断面である。ここでは実施の形態 1 の図 4 と同じ断面を示している。本実施形態では、溝 25 がパッド電極 7 の表面から n 型ガイド層 10 の裏面までを貫く点で実施の形態 1 と異なる。光変調器 4 の中でも i 型光吸収層 12 は特に比誘電率が高く、パッド電極 7 の静電容量の増加に寄与している。本実施形態では i 型光吸収層 12 にも空気が占める領域を設けることができ、実施の形態 1 よりもパッド電極 7 の静電容量を小さくすることができる。

[0055] 図 9 は本開示の実施の形態 2 に係るパッド電極 7 の静電容量を計算するための模式図である。溝 25 がパッド電極 7 の表面から i 型光吸収層 12 の裏面までを貫くことを除き、各構成要素の形状及び比誘電率を実施の形態 1 の図 5 と同じとした。計算の結果、パッド電極 7 の静電容量は約 19.2 [fF] であった。この結果から実施の形態 1 に比べてパッド電極 7 の静電容量を小さくできることは明らかである。

[0056] 次に、本実施形態の光半導体装置 1 の製造方法について説明する。なおここでは実施の形態 1 からの変更点のみを説明する。例えば、実施の形態 1 のメサストライプ 8 のパターニング時に、パッド電極 7 となる領域にメッシュ形状の SiO_2 のマスクを形成する。その後、メサストライプ 8 と同時にドライエッチングすることで n 型ガイド層 10 まで掘り込まれた溝 25 をパターニングすることができる。しかしながら、製造方法はこれに限られない。例えば溝 25 とメサストライプ 8 は別の工程のドライエッチングにより形成されてもよい。

[0057] なお、本実施形態ではパッド電極 7 の表面から n 型ガイド層 10 の裏面までを貫く溝 25 を形成することを説明したが、溝 25 の深さはこれに限定されない。溝 25 の深さが深いほどパッド電極 7 の静電容量を小さくできるこ

とから、溝 25 は例えばパッド電極 7 の表面から I n P 基板 9 の裏面までを貫いてもよい。

[0058] 実施の形態 3

図 10 は、本開示の実施の形態 3 に係る光変調器 4 の断面である。ここでは実施の形態 1 の図 4 と同じ断面を示している。本実施形態では、溝 25 の幅がパッド電極 7 の中よりもパッド電極 7 の下層において大きくなっている。これにより、パッド電極 7 の面積としては実施の形態 2 と同じ面積を確保しながら、パッド電極 7 の下層において空気が占める割合を実施の形態 2 よりも大きくできる。したがって実施の形態 2 よりもパッド電極 7 の静電容量を小さくすることができる。

[0059] 図 11 は本開示の実施の形態 3 に係るパッド電極 7 の静電容量を計算するための模式図である。ここでは溝 25 の幅をパッド電極 7 の中では $10\ \mu\text{m}$ とし、絶縁膜 17 及び i 型光吸収層 12 の中では $15\ \mu\text{m}$ とした。この場合、パッド電極 7 の柱はそれぞれ $10\ \mu\text{m} \times 10\ \mu\text{m}$ であり、絶縁膜 17 と i 型光吸収層 12 の柱はそれぞれ $5\ \mu\text{m} \times 5\ \mu\text{m}$ である。なおそれ以外の構成要素の形状及び比誘電率は実施の形態 2 と同じとした。計算の結果、パッド電極 7 の静電容量は約 $13.4\ [\text{fF}]$ であった。この結果から実施の形態 2 に比べてパッド電極 7 の静電容量を小さくできることは明らかである。

[0060] 次に、本実施形態の光半導体装置 1 の製造方法について説明する。なおここでは実施の形態 2 からの変更点のみを説明する。例えば、パッド電極 7 の領域にアノード第一電極 18 とアノード第二電極 19 を形成した後、パッド電極 7 以外の領域をフォトリソ膜で覆う。さらに、アノード第一電極 18 とアノード第二電極 19 から成る第一グループと、絶縁膜 17、p 型コンタクト層 16、p 型クラッド層 15、p 型ガイド層 14、i 型光吸収層 12 及び n 型ガイド層 10 から成る第二グループとでエッチングレートが異なる BHF 等の薬液を用いて、ウェットエッチングを行う。これにより第二グループのみが選択的にエッチングされる。

[0061] なお、溝 25 の幅は必ずしも絶縁膜 17 の中から大きくせずともよく、p

型コンタクト層 16、p 型クラッド層 15、p 型ガイド層 14、i 型光吸収層 12、n 型ガイド層 10 のいずれかの中から大きくすればよい。

[0062] 実施の形態 4

図 12 は本開示の実施の形態 4 に係る光半導体装置 1 の上面図である。本実施形態の光半導体装置 1 は、パッド電極 7 の溝 25 内にパッド電極 7 と電氣的に絶縁されたシールド電極 26 を備える。またパッド電極 7 の横に、シールド電極 26 から引き出されたパッド電極 27 が形成されている。シールド電極 26 はパッド電極 27 を介してグラウンド電位にされる。

[0063] 図 13 は本開示の実施の形態 4 に係る光変調器 4 の断面である。ここでは実施の形態 1 の図 4 と同じ断面を示している。シールド電極 26 は、p 型コンタクト層 16 に接続されるアノード第一電極 18 と、アノード第一電極 18 上に形成されるアノード第二電極 19 とを含む。

[0064] 実施の形態 1 のようにシールド電極 26 がいない場合は、パッド電極 7 から出る電気力線は全てカソード電極 20 に向かうため静電容量が増加する。本実施形態のようにシールド電極 26 を設けることで、電気力線の一部をシールド電極 26 に向けさせることができ、実施の形態 1 よりも静電容量を小さくすることができる。

[0065] この静電容量の低減効果は、シールド電極 26 の側面視における幅が大きいほど大きくなる。しかしながら、絶縁性確保の観点から、シールド電極 26 はパッド電極 7 及び絶縁膜 17 に接触することはできないことに留意されたい。

[0066] 図 14 は本開示の実施の形態 4 に係るパッド電極 7 の静電容量を計算するための模式図である。ここではシールド電極 26 の幅を $6\ \mu\text{m}$ 、厚さを $2.5\ \mu\text{m}$ とした。それ以外の構成要素の形状及び比誘電率は実施の形態 1 の図 5 と同じとした。計算の結果、パッド電極 7 の静電容量は約 $14.5\ [\text{fF}]$ であった。この結果から実施の形態 1 に比べてパッド電極 7 の静電容量を小さくできることは明らかである。

[0067] 次に、本実施形態の光半導体装置 1 の製造方法について説明する。なおこ

ここでは実施の形態 1 からの変更点のみを説明する。例えば、シールド電極 26 の領域のみフォトリソ膜でパターニングし、電子ビーム蒸着、メッキ等を用いてパッド電極 7 とシールド電極 26 となる領域にアノード第一電極 18 とアノード第二電極 19 を形成する。さらに不要部分をフォトリソ膜と共にリフトオフすることを繰り返すことによって、パッド電極 7 と所望の厚さのシールド電極 26 を同時に形成することができる。

[0068] 実施の形態 5

図 15 は本開示の実施の形態 5 に係る光変調器 4 の断面である。ここでは実施の形態 1 の図 4 と同じ断面を示している。ここでは実施の形態 3 からの変更点を説明する。本実施形態では、パッド電極 7 は一様である。溝 25 は絶縁膜 17 の表面から n 型ガイド層 10 の裏面までを貫く。

[0069] パッド電極 7 には溝 25 を設けず一様とすることで実施の形態 3 に比べてパッド電極 7 のコンタクト性を高めることができる。

[0070] 図 16 は本開示の実施の形態 5 に係るパッド電極 7 の静電容量を計算するための模式図である。ここではパッド電極 7 が溝 25 を有しないことを除き、各構成要素の形状及び比誘電率を実施の形態 3 と同じとした。計算の結果、パッド電極 7 の静電容量は約 16.2 [fF] であった。静電容量は実施の形態 3 よりは大きくなるが、図 6 に示した一般的な従来技術、及び図 7 に示した特許文献 1 に比べてパッド電極 7 の静電容量を小さくすることができる。これは絶縁膜 17 の表面から i 型光吸収層 12 の下面までを貫く溝 25 を設けたことによる効果である。

[0071] 次に、本実施形態の光半導体装置 1 の製造方法について説明する。なおここでは実施の形態 3 からの変更点のみを説明する。例えば、パッド電極 7 となる領域においてアノード第一電極 18 とアノード第二電極 19 を形成する前に、溝 25 となる部分をフォトリソ膜で覆う。さらにドライエッチングを施して溝 25 を形成し絶縁膜 17 の頭出しを行う。さらに、電子ビーム蒸着、メッキ等を用い、パッド電極 7 の領域にアノード第一電極 18 とアノード第二電極 19 を形成する。不要部分をフォトリソ膜と共にリフトオフ

フすることによって、メッシュ形状の絶縁膜 17 上に、一様なパッド電極 7 を形成することができる。

[0072] なお、本開示は、上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。例えば、本開示は EML に限らず、直接変調半導体レーザ、マッハ・ツェンダー型光変調器、光共振器、光位相シフタ等の光半導体素子に電界を印可あるいは電流を注入するパッド電極を有する光半導体装置に適用可能である。また、各実施形態は適宜組み合わせる実施してもよく、その場合組み合わせた効果が得られる。

[0073] 〈変形例〉

図 17 は本開示の実施の形態 1 の変形例に係る光半導体装置 1 の上面図である。ここでは溝 25 に替えて、上面視においてメッシュ状の複数の穴 30 を形成する。この場合でも誘電率の低い空気が占める領域をパッド電極 7 の下層に設けることができ、上述と同様の効果が得られる。また図 18 は図 17 の D-D 断面である。ここではパッド電極 7 と絶縁膜 17 を貫く複数の穴 30 が設けられている。

[0074] 〈請求項で使用する用語の説明〉

請求項 1 ではパッド電極 7 を第一の電極と称し、メタル 28 を第二の電極と称し、パッド電極は第一の電極と第二の電極を有するとする。またアノード電極 6 を請求項 1, 5 では上面電極と称する。

符号の説明

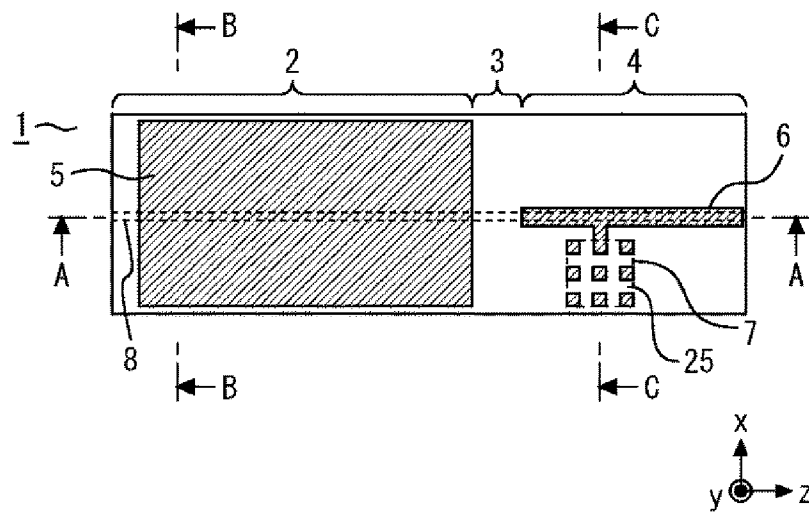
[0075] 1 光半導体装置、2 半導体レーザ、3 分離部、4 光変調器（光半導体素子）、5 アノード電極、6 アノード電極（上面電極）、7 パッド電極、8 メサストライプ、9 InP 基板（半導体基板）、10 n 型ガイド層、11 i 型活性層、12 i 型光吸収層、13 回折格子、14 p 型ガイド層、15 p 型クラッド層、16 p 型コンタクト層、17 絶縁膜、18 アノード第一電極、19 アノード第二電極、20 カソード電極、21 カソード第一電極、22 カソード第二電極、23 リッジ

構造、24 半導体埋込層、25 溝、26 シールド電極、27 パッド
電極、28 メタル、30 穴

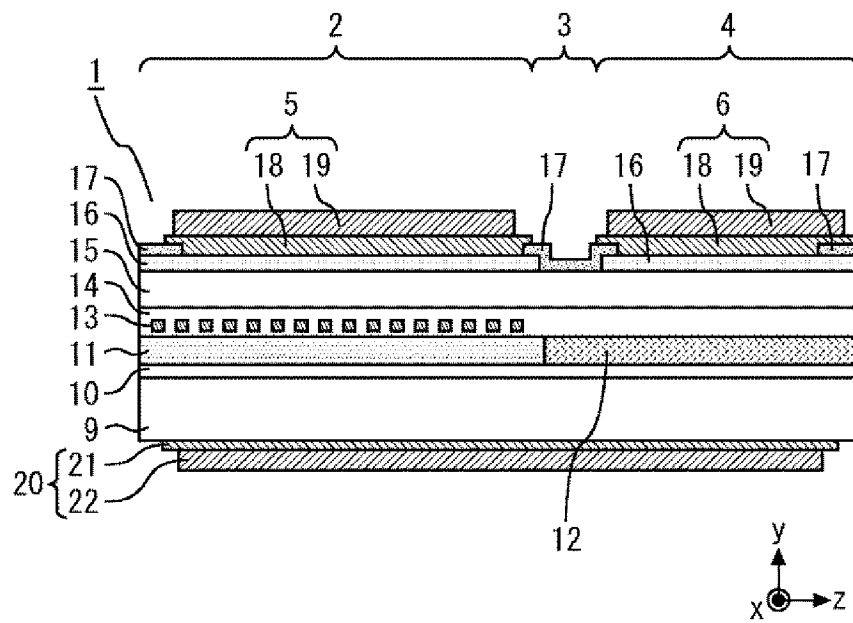
請求の範囲

- [請求項1] 半導体基板と、
 前記半導体基板の上に形成された光半導体素子と、
 前記光半導体素子の上に形成され、前記光半導体素子の上面電極に
 電氣的に接続されたパッド電極と、
 を備え、
 前記パッド電極は、前記光半導体素子の上に絶縁膜を介して形成さ
 れた第一の電極と、前記第一の電極の上に形成された第二の電極とを
 有し、
 前記第一の電極の表面から前記半導体基板の裏面に向かって前記絶
 縁膜を貫く、上面視においてメッシュ状の溝または複数の穴が設けら
 れている光半導体装置。
- [請求項2] 前記溝または前記穴の側面視における幅は、前記パッド電極の中よ
 りも前記絶縁膜の中の方が大きい、請求項1に記載の光半導体装置。
- [請求項3] 前記溝または前記穴の側面視における幅は、前記パッド電極の中よ
 りも前記光半導体素子の中の方が大きい、請求項1または2に記載の
 光半導体装置。
- [請求項4] 前記溝の中に形成され前記パッド電極と電氣的に絶縁されたシール
 ド電極を有する、請求項1から3いずれか1項に記載の光半導体装置
 。
- [請求項5] 半導体基板と、
 前記半導体基板の上に形成された光半導体素子と、
 前記光半導体素子の上に絶縁膜を介して形成され、前記光半導体素
 子の上面電極に電氣的に接続されたパッド電極と、
 を備え、
 前記パッド電極の下に形成された前記絶縁膜の表面から前記半導体
 基板の裏面に向かって前記絶縁膜を貫く、上面視においてメッシュ状
 の溝または複数の穴が設けられている光半導体装置。

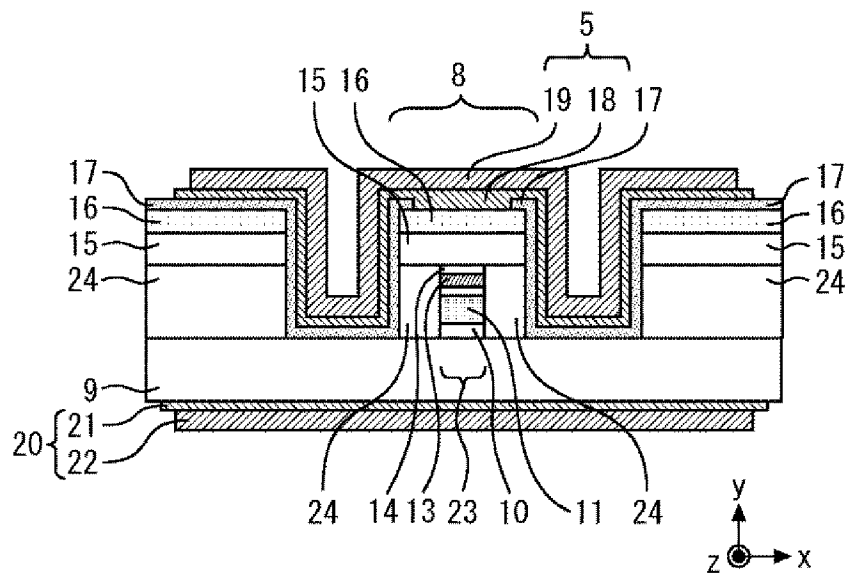
[図1]



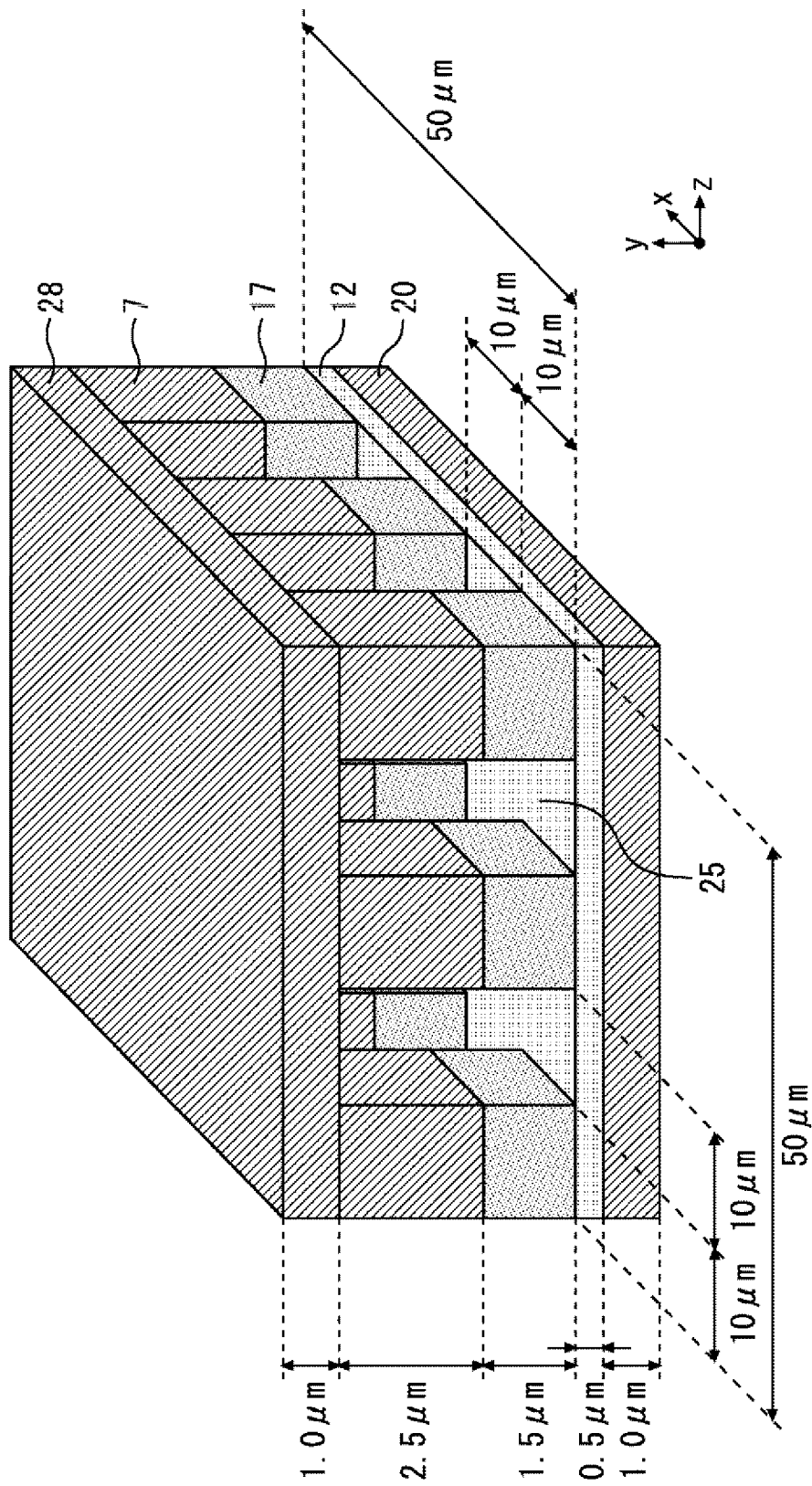
[図2]



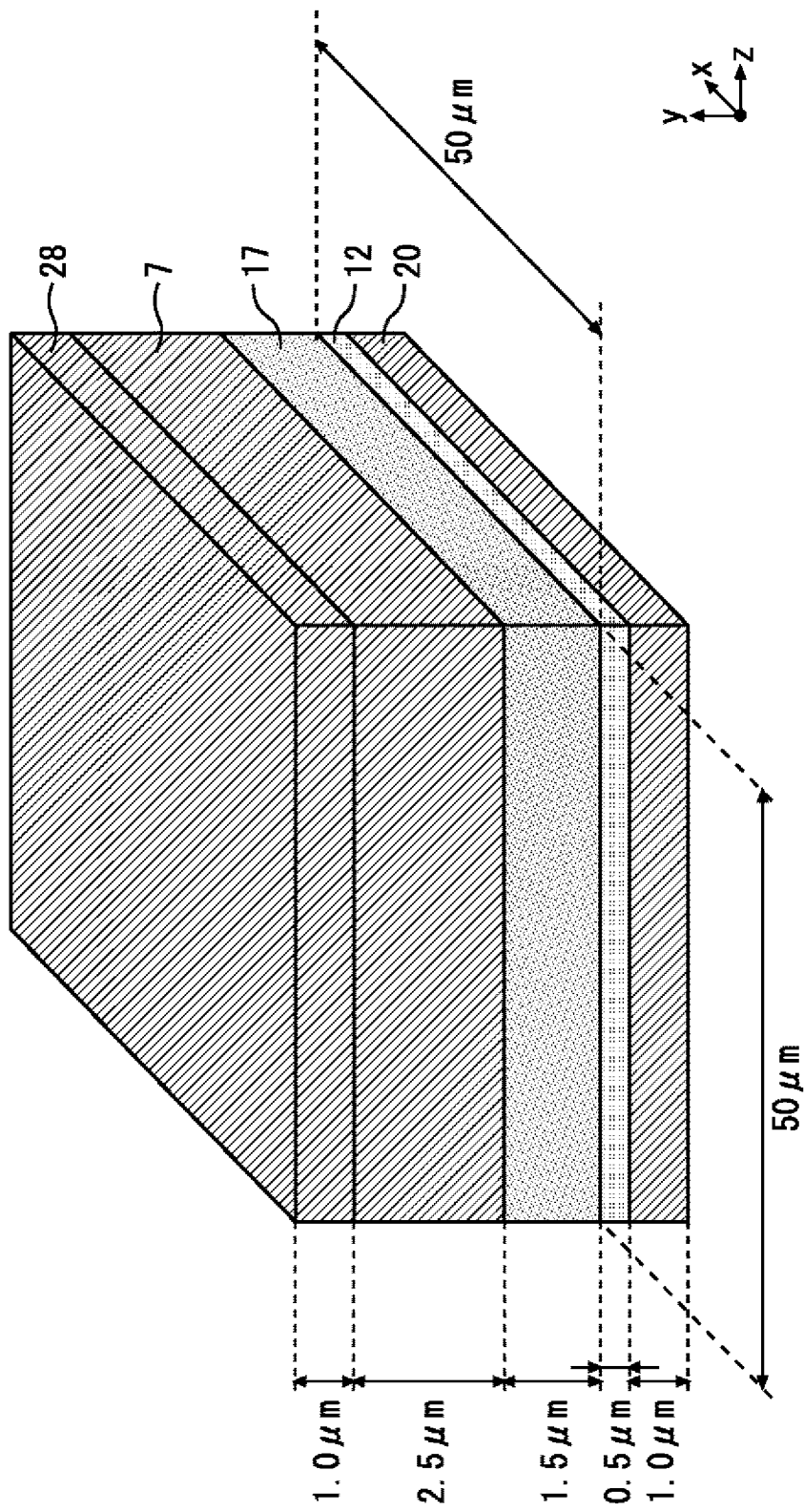
[図3]



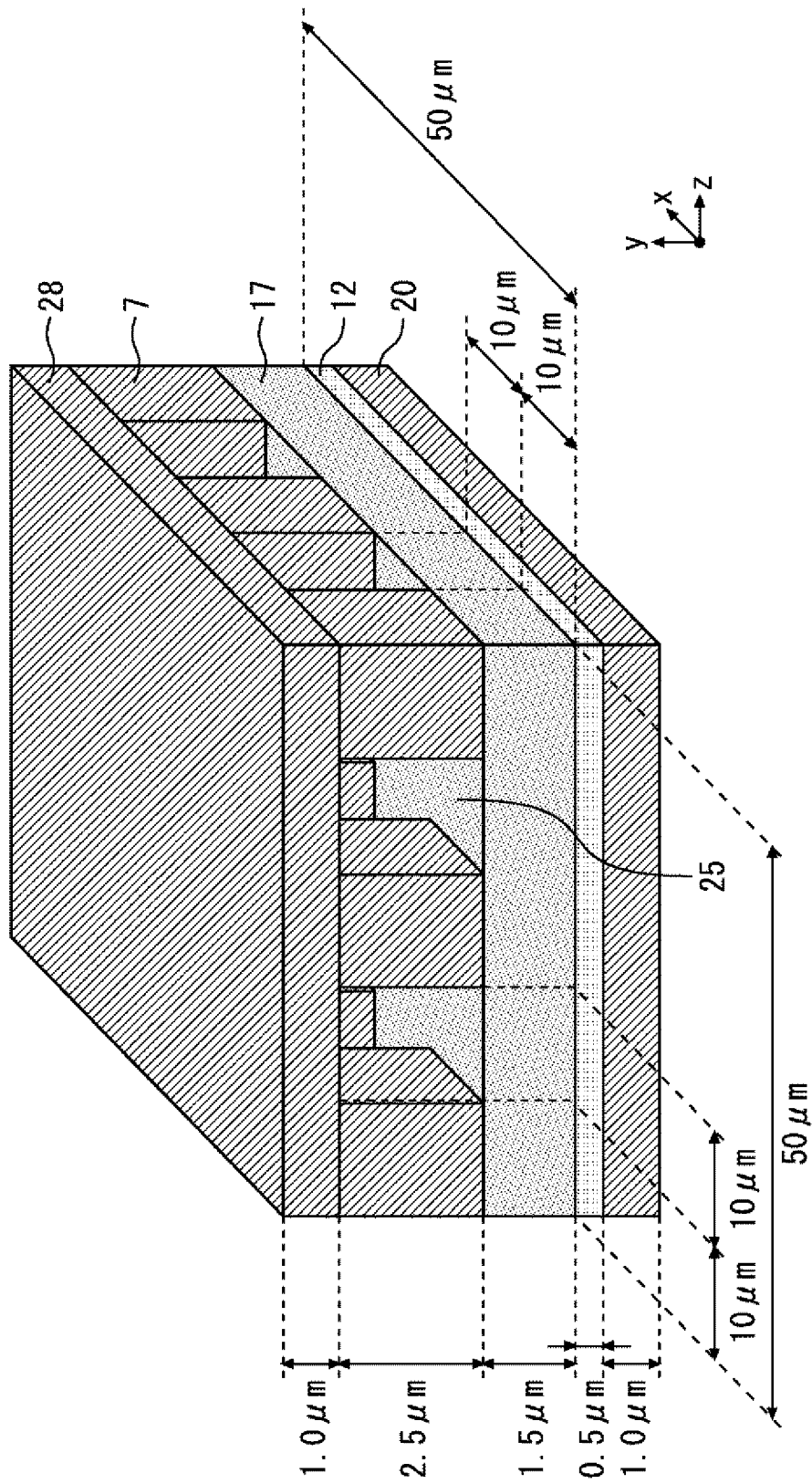
[図5]



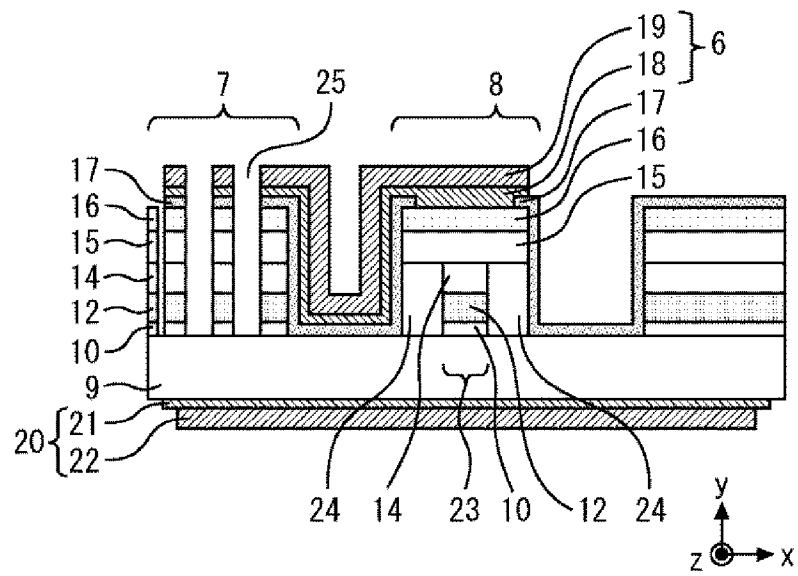
[図6]



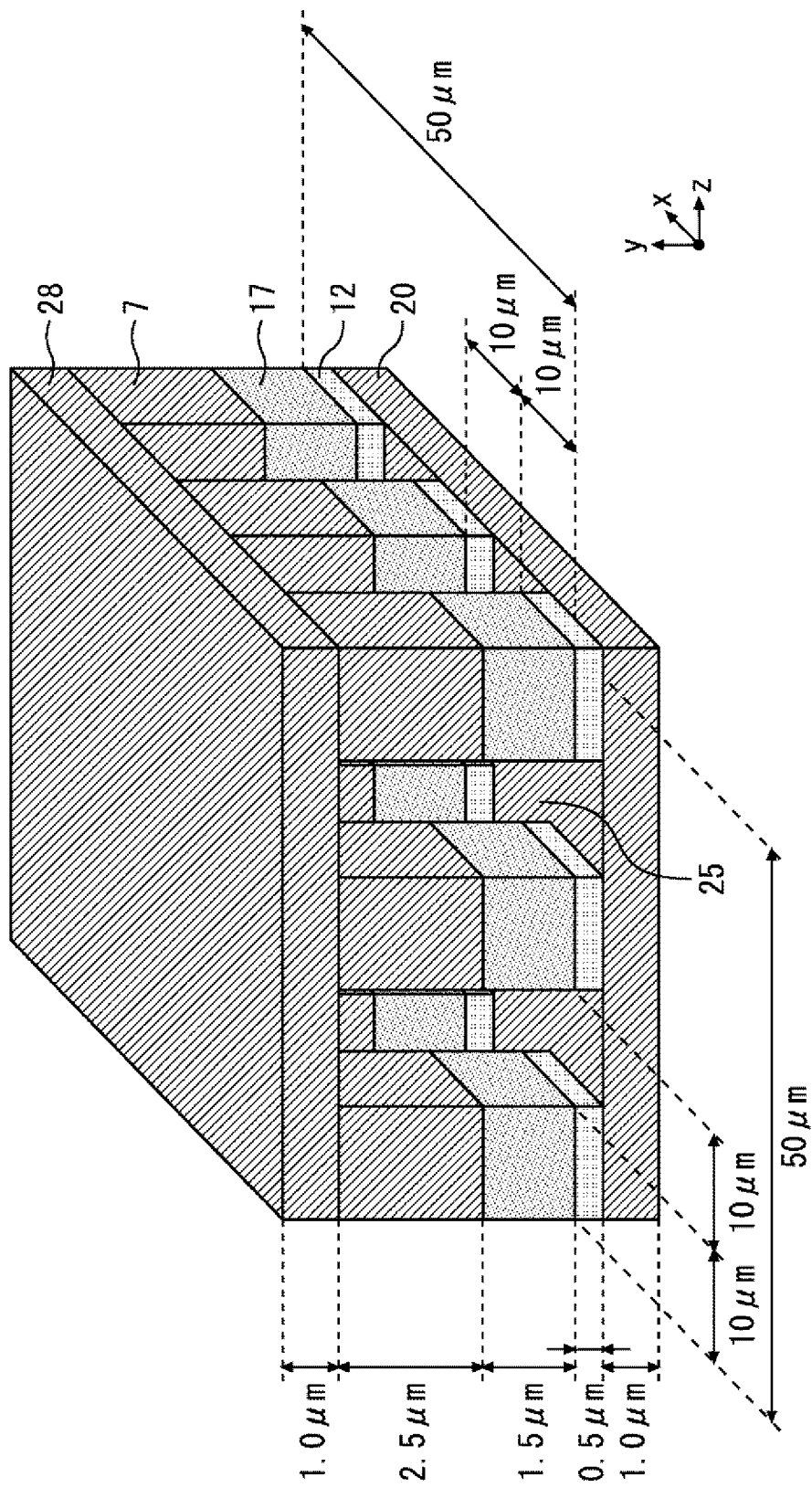
[図7]



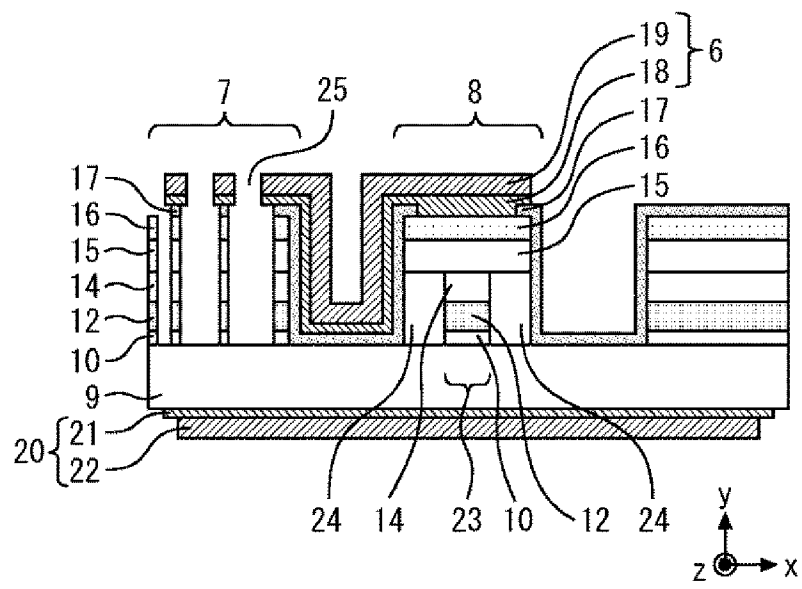
[図8]



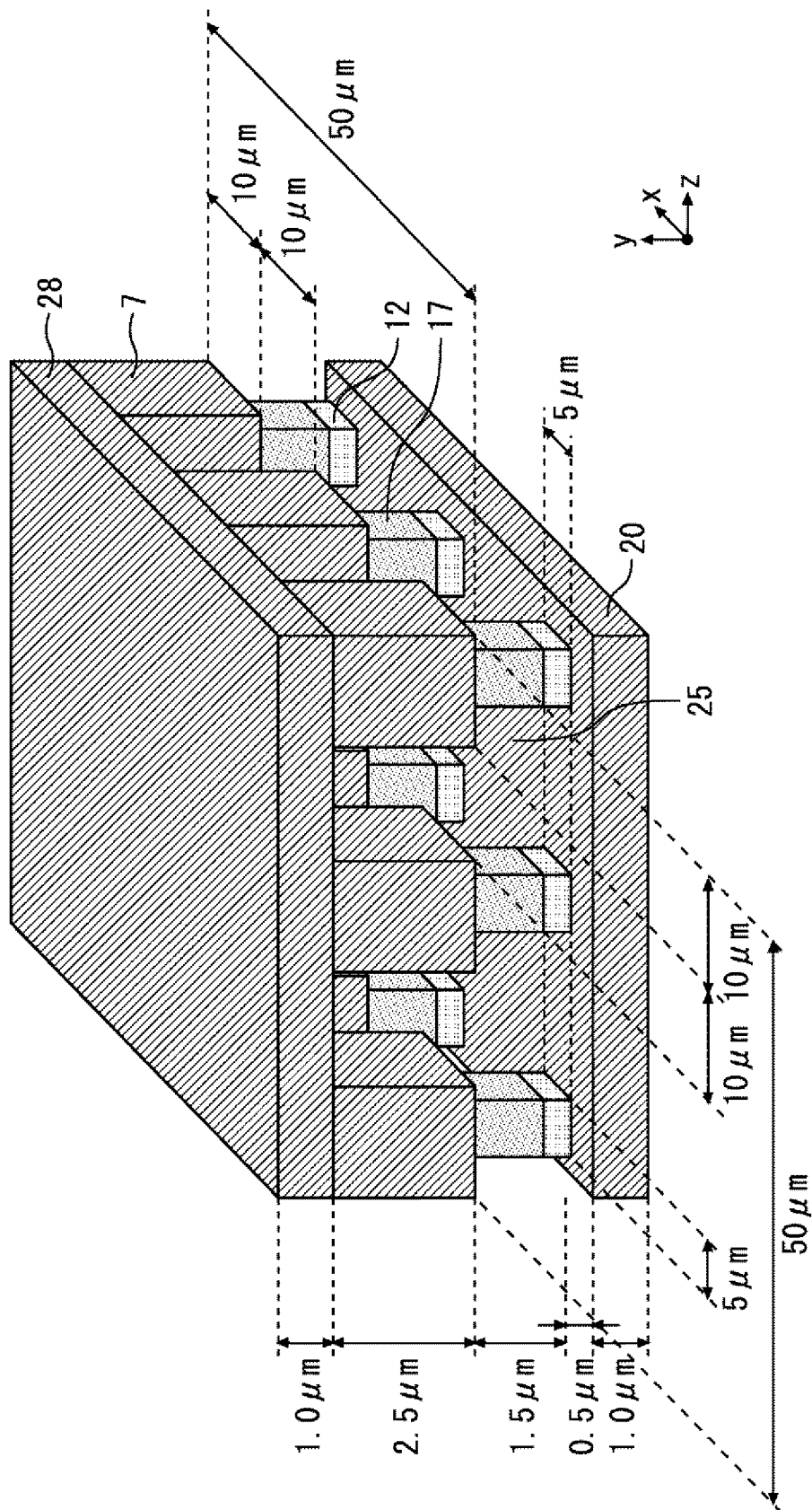
[図9]



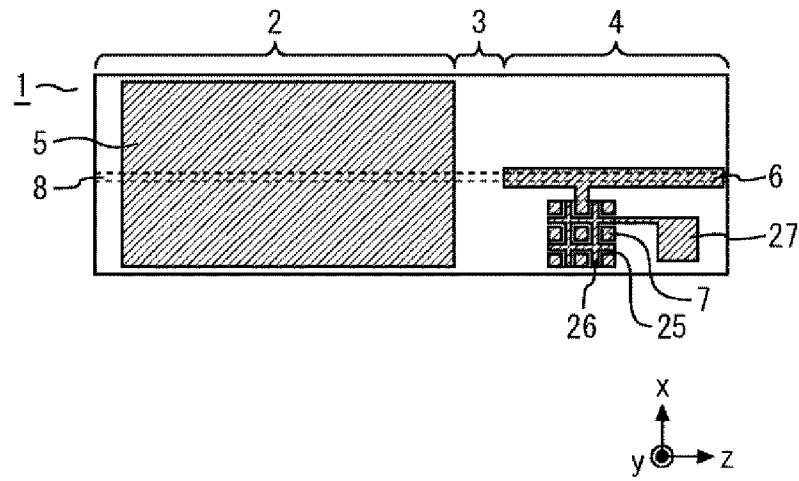
[図10]



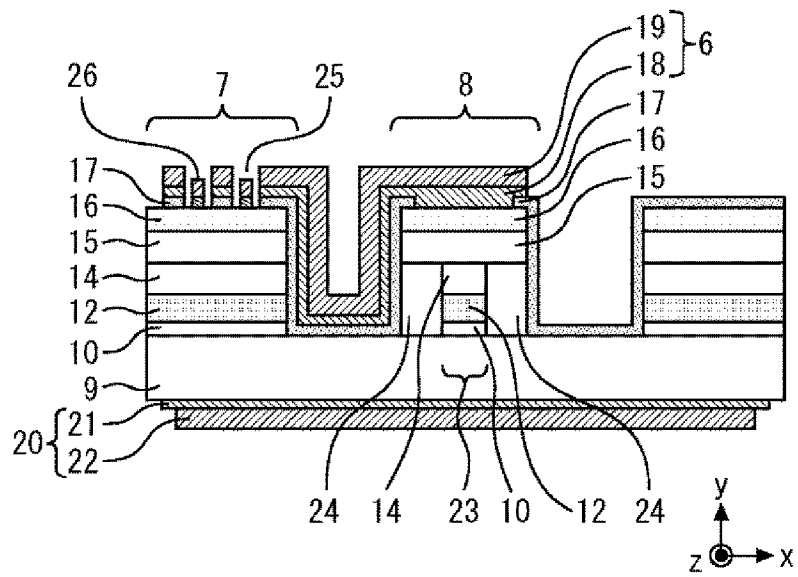
[図11]



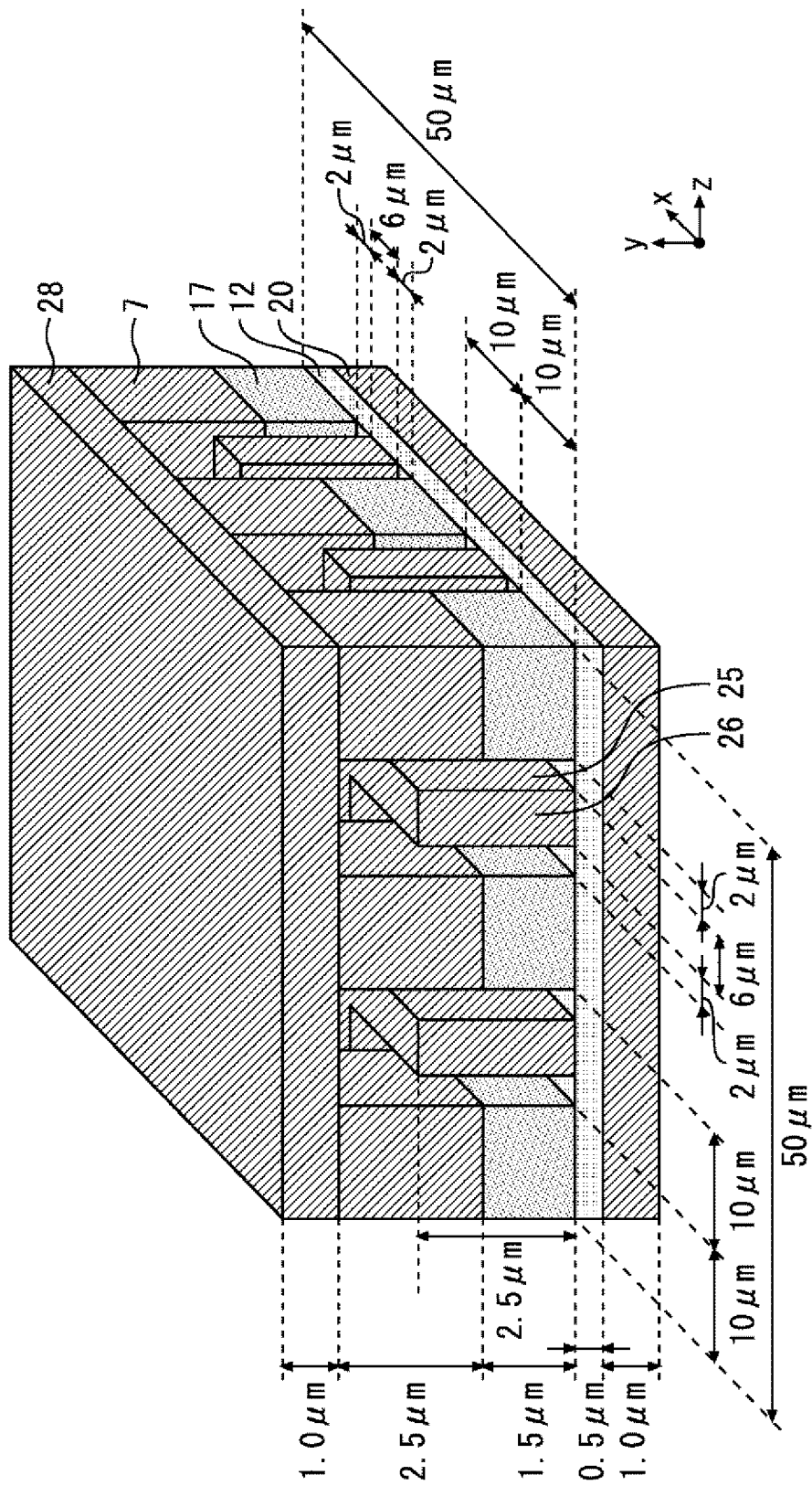
[図12]



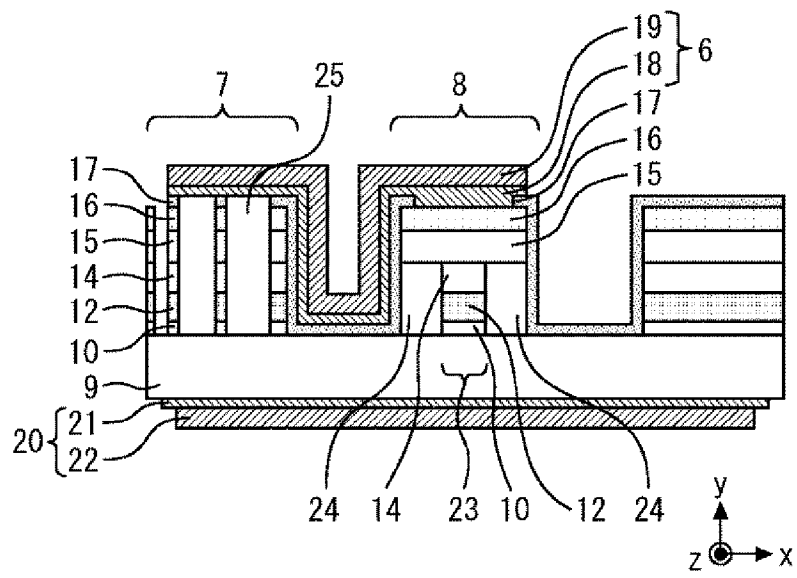
[図13]



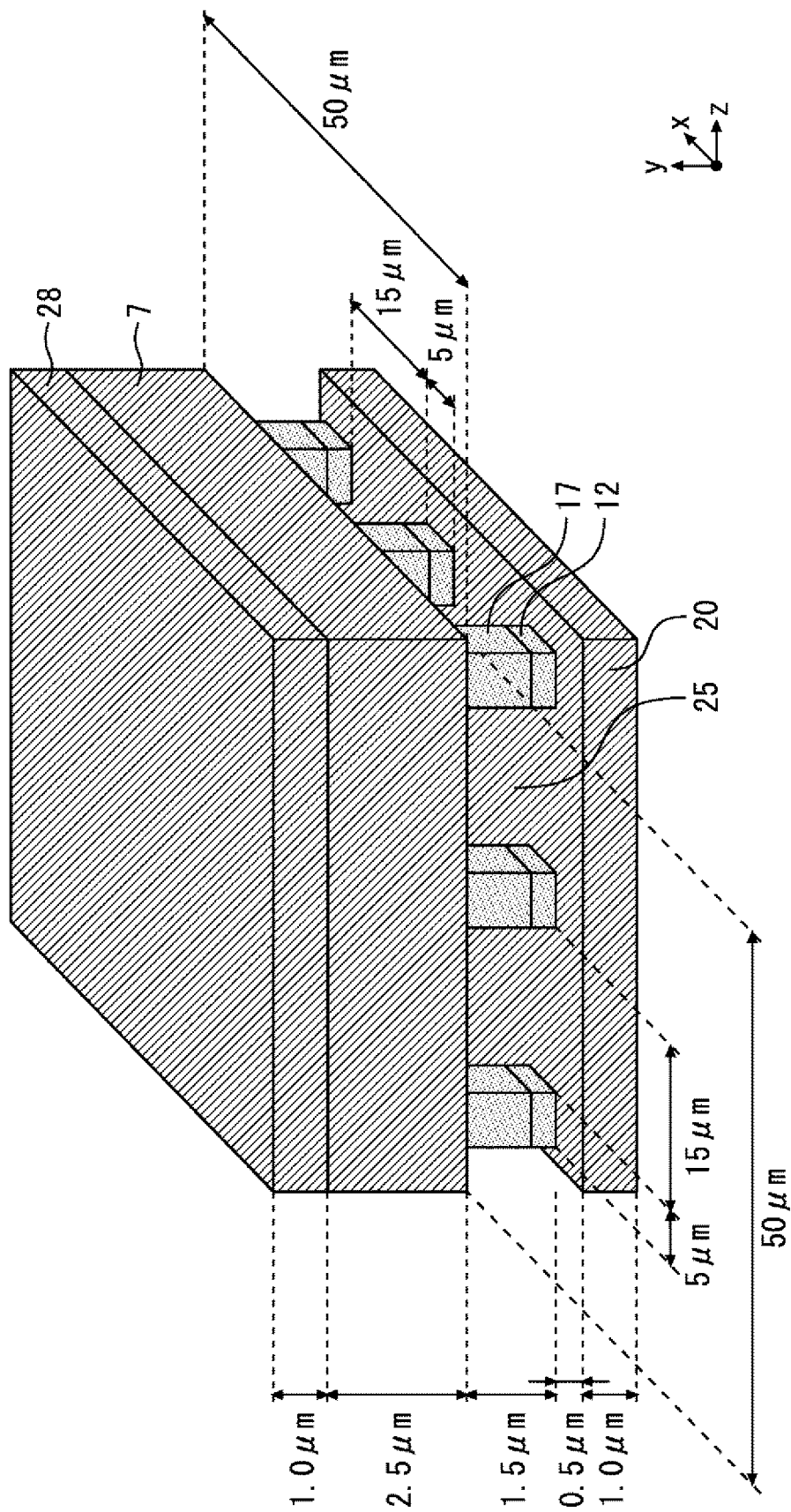
[図14]



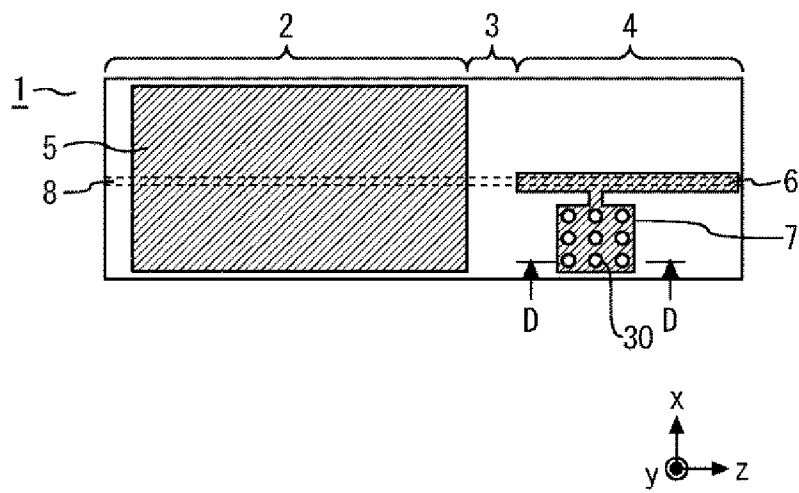
[図15]



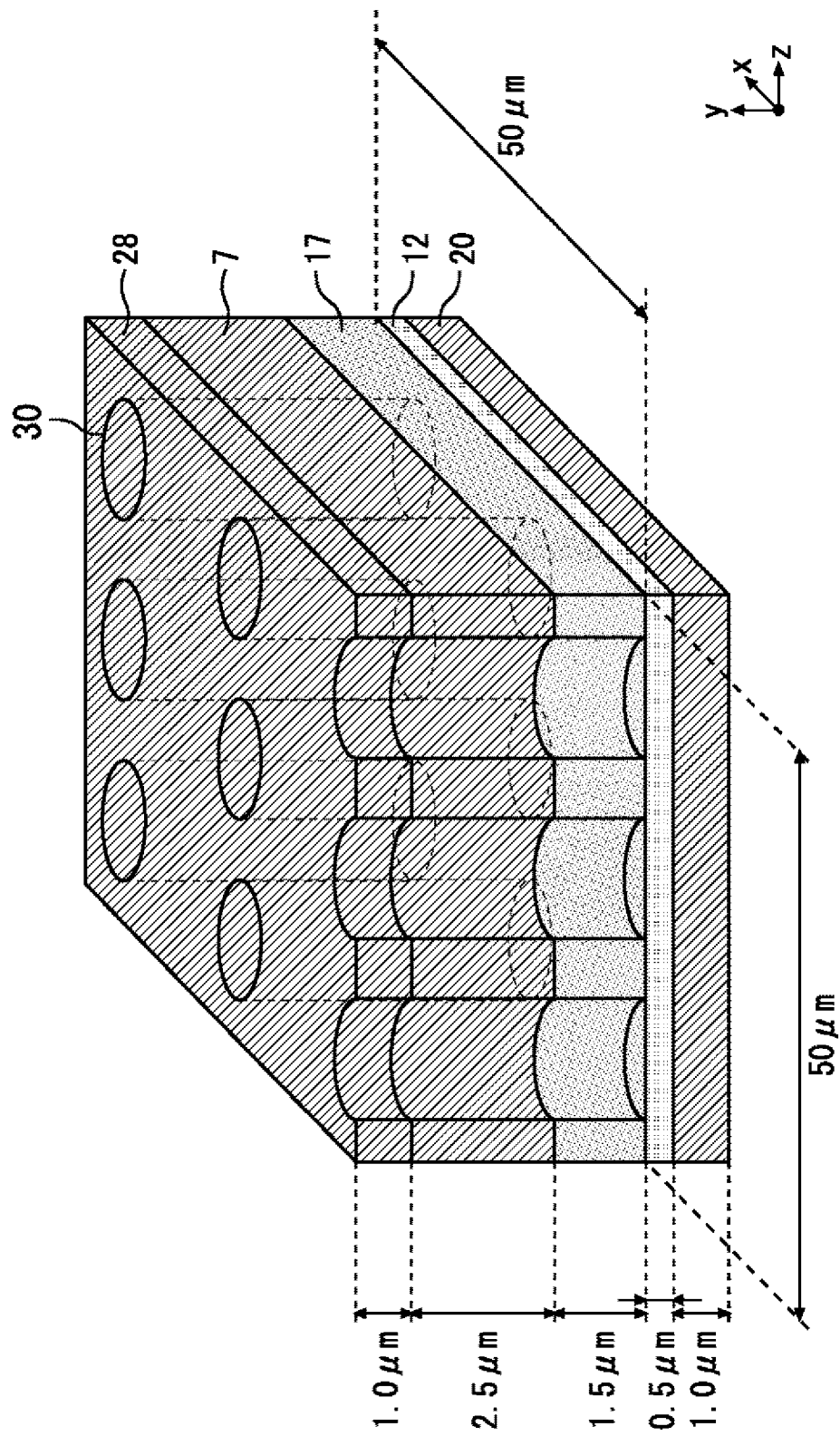
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/045330

A. CLASSIFICATION OF SUBJECT MATTER**H01S 5/026**(2006.01)i

FI: H01S5/026 616

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01S5/00-5/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2023

Registered utility model specifications of Japan 1996-2023

Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-23065 A (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) 02 February 2012 (2012-02-02)	1-5
A	JP 2003-324233 A (FUJI XEROX CO., LTD.) 14 November 2003 (2003-11-14)	1-5
A	JP 2-181987 A (NEC CORPORATION) 16 July 1990 (1990-07-16)	1-5
A	JP 2010-182973 A (SONY CORPORATION) 19 August 2010 (2010-08-19)	1-5
A	JP 2008-84891 A (FUJITSU LIMITED) 10 April 2008 (2008-04-10)	1-5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

27 December 2023

Date of mailing of the international search report

23 January 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)

3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915

Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/045330

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2012-23065	A	02 February 2012	(Family: none)	
JP	2003-324233	A	14 November 2003	US 2003/0202552	A1
				EP 1363371	A2
				CN 1453911	A
JP	2-181987	A	16 July 1990	(Family: none)	
JP	2010-182973	A	19 August 2010	US 2010/0202482	A1
				CN 101867154	A
JP	2008-84891	A	10 April 2008	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01S 5/026(2006.01)i FI: H01S5/026 616		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01S5/00-5/50 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-23065 A（日本電信電話株式会社）02.02.2012（2012-02-02）	1-5
A	JP 2003-324233 A（富士ゼロックス株式会社）14.11.2003（2003-11-14）	1-5
A	JP 2-181987 A（日本電気株式会社）16.07.1990（1990-07-16）	1-5
A	JP 2010-182973 A（ソニー株式会社）19.08.2010（2010-08-19）	1-5
A	JP 2008-84891 A（富士通株式会社）10.04.2008（2008-04-10）	1-5
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 27.12.2023	国際調査報告の発送日 23.01.2024	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 村井 友和 2K 3207 電話番号 03-3581-1101 内線 3255	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/045330

引用文献			公表日	パテントファミリー文献	公表日
JP	2012-23065	A	02.02.2012	(ファミリーなし)	
JP	2003-324233	A	14.11.2003	US 2003/0202552	A1
				EP 1363371	A2
				CN 1453911	A
JP	2-181987	A	16.07.1990	(ファミリーなし)	
JP	2010-182973	A	19.08.2010	US 2010/0202482	A1
				CN 101867154	A
JP	2008-84891	A	10.04.2008	(ファミリーなし)	