

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4406339号
(P4406339)

(45) 発行日 平成22年1月27日(2010.1.27)

(24) 登録日 平成21年11月13日(2009.11.13)

(51) Int.Cl.

G06F 12/00 (2006.01)
G06K 19/07 (2006.01)

F 1

G06F 12/00 560A
G06F 12/00 597U
G06K 19/00 N

請求項の数 5 (全 18 頁)

| | |
|-----------|------------------------------|
| (21) 出願番号 | 特願2004-273895 (P2004-273895) |
| (22) 出願日 | 平成16年9月21日 (2004.9.21) |
| (65) 公開番号 | 特開2006-92019 (P2006-92019A) |
| (43) 公開日 | 平成18年4月6日 (2006.4.6) |
| 審査請求日 | 平成18年4月4日 (2006.4.4) |

| | |
|-----------|---------------------------------------|
| (73) 特許権者 | 000003078 株式会社東芝 東京都港区芝浦一丁目1番1号 |
| (74) 代理人 | 100058479 弁理士 鈴江 武彦 |
| (74) 代理人 | 100091351 弁理士 河野 哲 |
| (74) 代理人 | 100088683 弁理士 中村 誠 |
| (74) 代理人 | 100108855 弁理士 蔵田 昌俊 |
| (74) 代理人 | 100075672 弁理士 峰 隆司 |
| (74) 代理人 | 100109830 弁理士 福原 淑弘 |

最終頁に続く

(54) 【発明の名称】コントローラ、メモリカード及びその制御方法

(57) 【特許請求の範囲】

【請求項 1】

ホスト機器から出力された第1の不揮発性半導体メモリに対するコマンドシーケンスを受け取るホストインターフェース部と、

前記ホスト機器から出力された前記第1の不揮発性半導体メモリに対する前記コマンドシーケンスを処理し前記コマンドシーケンスに応じて、第2の不揮発性半導体メモリに対するデータの書き込み、読み出し及び消去の動作を制御する処理回路と、

を具備し、

前記処理回路は、

前記コマンドシーケンスが含むコマンドが、書き込み、読み出し、消去、IDリード、ステータスリードのいずれであるか判定する処理と、

前記コマンドが書き込み、読み出し、消去のいずれかであるとき、アドレスが所定数入力されたか否かを判定する処理と、

前記アドレスが所定数入力されたとき、書き込み、読み出し、消去のいずれかを実行する処理と、

前記アドレスが所定数入力されないとき、前記ホスト機器からコマンドが入力されたか否かを判定する処理と、

前記コマンドがIDリード、ステータスリードのいずれかであるとき、IDリード、ステータスリードのいずれかを実行する処理と、

を実行すること特徴とするコントローラ。

10

20

【請求項 2】

ホスト機器に装着され、前記ホスト機器から出力された第1の不揮発性半導体メモリに対するコマンドシーケンスを受け取るメモリカードにおいて、

データの書き込み、読み出し及び消去が行われる第2の不揮発性半導体メモリと、

前記ホスト機器から出力された前記第1の不揮発性半導体メモリに対する前記コマンドシーケンスを処理し前記コマンドシーケンスに応じて、前記第2の不揮発性半導体メモリに対するデータの書き込み、読み出し及び消去の動作を制御するコントローラと、

を具備し、

前記コントローラは、前記ホスト機器から出力された前記コマンドシーケンスを処理する制御手段を有し、前記制御手段は、

10

前記コマンドシーケンスが含むコマンドが、書き込み、読み出し、消去、IDリード、ステータスリードのいずれであるか判定するステップと、

前記コマンドが書き込み、読み出し、消去のいずれかであるとき、アドレスが所定数入力されたか否かを判定するステップと、

前記アドレスが所定数入力されたとき、書き込み、読み出し、消去のいずれかを実行するステップと、

前記アドレスが所定数入力されないとき、前記ホスト機器からコマンドが入力されたか否かを判定するステップと、

前記コマンドがIDリード、ステータスリードのいずれかであるとき、IDリード、ステータスリードのいずれかを実行するステップと、

20

を具備すること特徴とするメモリカード。

【請求項 3】

前記第1の不揮発性半導体メモリが有する第1の消去ブロックサイズは、前記第2の不揮発性半導体メモリが有する第2の消去ブロックサイズとは異なることを特徴とする請求項2に記載のメモリカード。

【請求項 4】

ホスト機器に装着され、前記ホスト機器からアクセスされるメモリカードの制御方法において、

前記ホスト機器から出力された第1の不揮発性半導体メモリに対するコマンドシーケンスが含むコマンドが、書き込み、読み出し、消去、IDリード、ステータスリードのいずれであるか判定するステップと、

30

前記コマンドが書き込み、読み出し、消去のいずれかであるとき、アドレスが所定数入力されたか否かを判定するステップと、

前記アドレスが所定数入力されたとき、前記コマンドシーケンスに応じて、第2の不揮発性半導体メモリに対するデータの書き込み、読み出し、消去のいずれかを実行するステップと、

前記アドレスが所定数入力されないとき、前記ホスト機器からコマンドが入力されたか否かを判定するステップと、

前記コマンドがIDリード、ステータスリードのいずれかであるとき、IDリード、ステータスリードのいずれかを実行するステップと、

40

を具備することを特徴とするメモリカードの制御方法。

【請求項 5】

前記第1の不揮発性半導体メモリが有する第1の消去ブロックサイズは、前記第2の不揮発性半導体メモリが有する第2の消去ブロックサイズとは異なることを特徴とする請求項4に記載のメモリカードの制御方法。

【発明の詳細な説明】**【技術分野】****【0001】**

この発明は、コントローラ、記憶素子を有するメモリカード及びその制御方法に関するものであり、例えば、ホスト機器からのアクセスによりデータの書き込み、読み出し、及

50

び消去を行うメモリカード、メモリカードに搭載されたコントローラ、及びメモリカードの制御方法に関するものである。

【背景技術】

【0002】

近年、パーソナルコンピュータ、PDA、カメラ、携帯電話等の様々な携帯用電子機器においては、リムーバブル記憶デバイスの1つであるメモリカードが多く用いられている。メモリカードの中には、コントローラを搭載せずNAND型フラッシュメモリだけを搭載したものがある。この従来のNAND型フラッシュメモリでは、通常、消去時の消去ブロックサイズが小さく、例えば16kByteに定められている。

【0003】

ところで、現在、メモリカードに搭載されるNAND型フラッシュメモリには、大容量で安価な、消去時の消去ブロックサイズが大きいNAND型フラッシュメモリが用いられつつある。このNAND型フラッシュメモリでは、例えば256kByteに消去ブロックサイズが定められている。このため、ホスト機器が、消去ブロックサイズが小さいNAND型フラッシュメモリであると想定してメモリカードにアクセスしてきた場合、消去ブロックサイズが大きいNAND型フラッシュメモリを搭載したメモリカードは正常に応答することができず、誤動作する原因となっている。

【0004】

なお、特許文献1には、複数種のメモリチップとこれらメモリチップを制御するメモリコントローラを有するメモリシステムにおいて、1つのメモリコントローラで複数種のメモリチップをアクセスできるように構成した技術が記載されている。

【特許文献1】特開2002-259322号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

そこでこの発明は、前記事情に鑑みてなされたものであり、メモリカードに搭載された不揮発性半導体メモリの仕様に合わないシーケンスでコマンドを発行してくるホスト機器に対して、正常に応答することが可能なコントローラ、メモリカード及びその制御方法を提供することを目的とする。

【課題を解決するための手段】

【0006】

この発明の第1態様のコントローラは、ホスト機器から出力された第1の不揮発性半導体メモリに対するコマンドシーケンスを受け取るホストインターフェース部と、前記ホスト機器から出力された前記第1の不揮発性半導体メモリに対する前記コマンドシーケンスを処理し前記コマンドシーケンスに応じて、第2の不揮発性半導体メモリに対するデータの書き込み、読み出し及び消去の動作を制御する処理回路とを具備し、前記処理回路は、前記コマンドシーケンスが含むコマンドが、書き込み、読み出し、消去、IDリード、ステータスリードのいずれであるか判定する処理と、前記コマンドが書き込み、読み出し、消去のいずれかであるとき、アドレスが所定数入力されたか否かを判定する処理と、前記アドレスが所定数入力されたとき、書き込み、読み出し、消去のいずれかを実行する処理と、前記アドレスが所定数入力されないとき、前記ホスト機器からコマンドが入力されたか否かを判定する処理と、前記コマンドがIDリード、ステータスリードのいずれかであるとき、IDリード、ステータスリードのいずれかを実行する処理とを実行すること特徴とする。

【0007】

また、この発明の第2態様のメモリカードは、ホスト機器に装着され、前記ホスト機器から出力された第1の不揮発性半導体メモリに対するコマンドシーケンスを受け取るメモリカードであって、データの書き込み、読み出し及び消去が行われる第2の不揮発性半導体メモリと、前記ホスト機器から出力された前記第1の不揮発性半導体メモリに対する前記コマンドシーケンスを処理し前記コマンドシーケンスに応じて、前記第2の不揮発性半

10

20

30

40

50

導体メモリに対するデータの書き込み、読み出し及び消去の動作を制御するコントローラとを具備し、前記コントローラは、前記ホスト機器から出力された前記コマンドシーケンスを処理する制御手段を有し、前記制御手段は、前記コマンドシーケンスが含むコマンドが、書き込み、読み出し、消去、I Dリード、ステータスリードのいずれであるか判定するステップと、前記コマンドが書き込み、読み出し、消去のいずれかであるとき、アドレスが所定数入力されたか否かを判定するステップと、前記アドレスが所定数入力されたとき、書き込み、読み出し、消去のいずれかを実行するステップと、前記アドレスが所定数入力されないとき、前記ホスト機器からコマンドが入力されたか否かを判定するステップと、前記コマンドがI Dリード、ステータスリードのいずれかであるとき、I Dリード、ステータスリードのいずれかを実行するステップとを具備すること特徴とする。

10

【0008】

また、この発明の第3態様のメモリカードの制御方法は、ホスト機器に装着され、前記ホスト機器からアクセスされるメモリカードの制御方法において、前記ホスト機器から出力された第1の不揮発性半導体メモリに対するコマンドシーケンスが含むコマンドが、書き込み、読み出し、消去、I Dリード、ステータスリードのいずれであるか判定するステップと、前記コマンドが書き込み、読み出し、消去のいずれかであるとき、アドレスが所定数入力されたか否かを判定するステップと、前記アドレスが所定数入力されたとき、前記コマンドシーケンスに応じて、第2の不揮発性半導体メモリに対するデータの書き込み、読み出し、消去のいずれかを実行するステップと、前記アドレスが所定数入力されないとき、前記ホスト機器からコマンドが入力されたか否かを判定するステップと、前記コマンドがI Dリード、ステータスリードのいずれかであるとき、I Dリード、ステータスリードのいずれかを実行するステップとを具備することを特徴とする。

20

【発明の効果】

【0009】

この発明によれば、メモリカードに搭載された不揮発性半導体メモリの仕様に合わないシーケンスでコマンドを発行してくるホスト機器に対して、正常に応答することが可能なメモリカード及びその制御方法を提供することができる。

【発明を実施するための最良の形態】

【0010】

以下、図面を参照してこの発明の実施形態について説明する。説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

30

【0011】

図1は、この発明の実施形態のメモリカードの構成を示すブロック図である。

【0012】

メモリカード1は、図1に示すように、N A N D型フラッシュメモリ3及びコントローラ4を含む。コントローラ4には、C P U (Central Processing Unit) 8やR O M (Read-Only Memory) 9などの機能ブロックが搭載されている。各デバイスの詳細については後で述べる。なお、N A N D型フラッシュメモリ3は、1つのメモリセルに1ビットの情報を記憶する2値メモリであっても良いし、1つのメモリセルに1ビットより多い情報(例えば2ビット)を記憶する多値メモリであっても良い。またここでは、N A N D型フラッシュメモリを用いた例を説明するが、これに限るわけではなく、N O R型メモリなど、その他の不揮発性半導体メモリにも適用できる。

40

【0013】

また、図示しないが、N A N D型フラッシュメモリ3及びコントローラ4は、P C B (Printed Circuit Board) 基板上に配置されていても良いし、同一のL S I (Large-scale Integration) 内に形成されていても良い。

【0014】

以下の説明において使用する用語「論理ブロックアドレス」、「物理ブロックアドレス」は、それぞれ、ブロック自体の論理アドレス、物理アドレスを意味するものである。また、「論理アドレス」、「物理アドレス」は、主に、ブロック自体の論理アドレス、物理

50

アドレスを意味するものではあるが、ブロック単位よりも細かい分解能の単位に相当するアドレスである場合もあり得ることを示すものである。

【0015】

ホスト機器20は、接続されるメモリカード1に対してアクセスを行うためのハードウェア及びソフトウェア（システム）を備えている。このホスト機器20は、メモリカード内部の物理状態（何処の物理ブロックアドレスに、何番目の論理セクタアドレスデータが含まれているか、或いは、何処のブロックが消去状態であるか）を管理し、メモリカード1内のNAND型フラッシュメモリ3を直接制御するものとして構築されている。

【0016】

また、ホスト機器20は、消去時の消去ブロックサイズが16kByteに定められているNAND型フラッシュメモリを使用することを前提として、16kByte単位で論理アドレス、物理アドレスの割当を行い、多くの場合、論理アドレス16kByte分に関してシーケンシャルにライトアクセスもしくはリードアクセスを行う（該当するコマンドを発行する）。

10

【0017】

メモリカード1は、ホスト機器20に接続されたときに電源供給を受けて動作し、ホスト機器20からのアクセスに応じた処理を行う。このメモリカード1は、前述したようにNAND型フラッシュメモリ3及びコントローラ4を有する。

【0018】

NAND型フラッシュメモリ3は、消去時の消去ブロックサイズ（消去単位のブロックサイズ）が256kByteに定められている不揮発性メモリであり、例えば16kByte単位でデータの書き込み・読み出しを行うようになっている。このNAND型フラッシュメモリ3は、例えば0.09μmプロセス技術を用いて製作される。即ち、NAND型フラッシュメモリ3のデザインルールは、0.1μm未満となっている。

20

【0019】

コントローラ4は、前述したCPU8及びROM9のほかに、メモリインターフェース部5、ホストインターフェース部6、バッファ7、及びRAM(Random Access Memory)10を搭載している。

【0020】

メモリインターフェース部5は、コントローラ4とNAND型フラッシュメモリ3との間のインターフェース処理を行うものである。ホストインターフェース部6は、コントローラ4とホスト機器20との間のインターフェース処理を行うものである。

30

【0021】

図2は、本実施形態のメモリカードのピン配置を示す平面図であり、ピン形成面からみた図である。ホストインターフェース部6が有するピンは、図2に示すように配置されている。図3に、そのピンアサイン、すなわちピン番号とそのピンに割り当てられた信号を示す。ピン1、9は基準電圧、例えば接地電圧GNDに、ピン18は電源電圧Vccに割り当てられている。ピン2は、メモリカード1の内部動作状態をホスト機器20に知らせるためのレディ・ビジー信号R/-B(Ready/Busy)に割り当てられている。書き込み、読み出し、及び消去時など、内部で動作実行中はピン2からビジー信号が出力され、動作が完了するとレディ信号が出力される。ピン3はデータを出力させるリードイネーブル信号-R E(Read Enable)に、ピン4はメモリカード1を動作モードにするカードイネーブル信号-C E(Card Enable)に割り当てられている。ピン5はコマンドの取り込みをコントロールするためのコマンドラッチイネーブル信号C L E(Command Latch Enable)に、ピン6はアドレス、及び入力データの取り込みをコントロールするためのアドレスラッチイネーブル信号A L E(Address Latch Enable)に割り当てられている。ピン7はデータをメモリカード1に書き込むためのライトイネーブル信号-W E(Write Enable)に、ピン8は書き込み、及び消去を強制的に禁止させるためのライトプロテクト信号-W P(Write Protect)に割り当てられている。さらに、ピン10、11、…、17は、コマンド、アドレス、及びデータが入出力されるピンD0(Data0)、D1(Data0)、…、D7(Data7)に割り当てら

40

50

れている。このように、本実施形態のメモリカード1は、NAND型フラッシュメモリ3のピン構成に対応したピン構成を有しており、ホスト機器20がNAND型フラッシュメモリに対するコマンドシーケンスによりメモリカード1にアクセスを行うことが可能となっている。なお、コマンドシーケンスとは、コマンドとアドレスが入力される一連の順序（入力タイミング）のことをいう。なお、図3中において、“S”は電源電圧を示し、“I”はメモリカードへの入力であることを示し、“O”はメモリカードからの出力であることを示し、さらに“I/O”はメモリカードに対する入出力であることを示す。また、ピン名（信号名）の頭に付した“-”は、Low True信号であること、すなわち“L”的とき活性化を指示する信号であることを示す。

【0022】

10

バッファ7は、ホスト機器20から送られてくるデータをNAND型フラッシュメモリ3へ書き込む際に、一定量のデータ（例えば1ページ分）を一時的に記憶したり、NAND型フラッシュメモリ3から読み出されたデータをホスト機器20へ送り出す際に、一定量のデータを一時的に記憶したりするものである。

【0023】

CPU8は、メモリカード1全体の動作を司るものである。ROM9は、CPU8により使用される制御プログラムなどを格納するメモリである。RAM10は、CPU8の作業エリアとして使用され、制御プログラムや各種のテーブルを記憶する揮発性メモリである。CPU8は、例えば、メモリカード1が電源供給を受けた際に、ROM9の中に格納されているファームウェア（制御プログラム）をRAM10上にロードして所定の処理を実行することにより、各種のテーブルをRAM10上で作成したり、ホスト機器20から書き込みコマンド、読み出しコマンド、消去コマンドを受けてNAND型フラッシュメモリ3上の該当領域に対するアクセスを実行したり、バッファ7を通じたデータ転送処理を制御したりする。

20

【0024】

図4は、前記ファームウェア（制御プログラム）によって実行される制御の一例であり、ホスト機器20から入力されたコマンドシーケンスを処理する制御手順を示すフローチャートである。

【0025】

まず、CPU8は、ホスト機器20からコマンドが入力されたか否かを判定する（ステップS1）。続いて、コマンドが入力されたときは、そのコマンドが書き込みコマンドまたは読み出しコマンドであるか否かを判定する（ステップS2）。なお、ステップS1でコマンドが入力されていないと判定したときは、再びステップS1に戻る。

30

【0026】

次に、入力されたコマンドが、書き込みコマンドあるいは読み出しコマンドであると判定したときは、アドレスが所定のバイト数、ここでは4バイト入力されたか否かを判定する（ステップS3）。アドレスが4バイト入力されたときは、書き込みあるいは読み出しの処理を行い（ステップS4）、ステップS1に戻る。一方、ステップS3で、アドレスが所定時間内に4バイト入力されないとときは、再びコマンドが入力されたか否かを判定する（ステップS5）。ここで、コマンドが入力されたときは、ステップS2に戻り、ステップS2以降の処理を繰り返す。一方、コマンドが入力されないとときは、ステップS3に戻り、ステップS3以降の処理を繰り返す。

40

【0027】

また、ステップS2において、入力されたコマンドが書き込みコマンドあるいは読み出しコマンドでないと判定したときは、コマンドが消去コマンドであるか否かを判定する（ステップS6）。入力されたコマンドが、消去コマンドであると判定したときは、アドレスが所定のバイト数、ここでは3バイト入力されたか否かを判定する（ステップS7）。アドレスが3バイト入力されたときは、消去の処理を行い（ステップS8）、ステップS1に戻る。一方、ステップS7で、アドレスが所定時間内に3バイト入力されないとときは、再びコマンドが入力されたか否かを判定する（ステップS9）。コマンドが入力された

50

ときは、ステップ S 2 に戻り、ステップ S 2 以降の処理を繰り返す。一方、コマンドが入力されないとときは、ステップ S 7 に戻り、ステップ S 7 以降の処理を繰り返す。

【 0 0 2 8 】

また、ステップ S 6 において、入力されたコマンドが消去コマンドでないと判定したときは、コマンドが ID リードコマンドあるいはステータスリードコマンドであるか否かを判定する（ステップ S 10）。入力されたコマンドが、ID リードコマンドあるいはステータスリードコマンドであると判定したときは、ID リードあるいはステータスリードの処理を行い（ステップ S 11）、ステップ S 1 に戻る。一方、入力されたコマンドが ID リードコマンドあるいはステータスリードコマンドでないと判定したときは、処理を行わず、そのままステップ S 1 に戻る。

10

【 0 0 2 9 】

図 5 及び図 6 は、ホスト機器 20 からコントローラ 4 に入力される ID リードコマンドを含むコマンドシーケンスのタイミングチャートである。図 5 に示すコマンドシーケンスがメモリカード 1 の仕様書で定義された、ID リードコマンドのコマンドシーケンスであるとき、図 6 に示すコマンドシーケンスによって ID リードを実行しようとするホスト機器があると仮定する。

【 0 0 3 0 】

図 5 に示すコマンドシーケンスでは、以下のようなタイミングでコマンド、アドレス、及びデータが入出力される。

【 0 0 3 1 】

コマンドラッティネーブル信号 CLE が“ハイレベル（以下、H と記す）”で、カードイネーブル信号 - CE が“ロウレベル（以下、L と記す）”、及びアドレスラッティネーブル信号 ALE が“L”的とき、ライトイネーブル信号 - WE の立ち上がりエッジにて、ピン D0 ~ D7 から ID リードコマンド COM がコントローラ 4 に取り込まれる。次に、コマンドラッティネーブル信号 CLE が“L”で、カードイネーブル信号 - CE が“L”、及びアドレスラッティネーブル信号 ALE が“H”的とき、ライトイネーブル信号 - WE の立ち上がりエッジにて、ピン D0 ~ D7 からアドレス“00（16進数）”がコントローラ 4 に取り込まれる。さらに、コマンドラッティネーブル信号 CLE が“L”で、カードイネーブル信号 - CE が“L”、及びアドレスラッティネーブル信号 ALE が“L”的とき、リードイネーブル信号 - RE の立ち上がりエッジにて、ピン D0 ~ D7 からデータ 0 ~ データ 3 がホスト機器 20 に取り込まれる。

20

【 0 0 3 2 】

また、図 6 に示すコマンドシーケンスでは、以下のようなタイミングでコマンド、アドレス、及びデータが入出力される。

【 0 0 3 3 】

コマンドラッティネーブル信号 CLE が“H”で、カードイネーブル信号 - CE が“L”、及びアドレスラッティネーブル信号 ALE が“L”的とき、ライトイネーブル信号 - WE の立ち上がりエッジにて、ピン D0 ~ D7 から ID リードコマンド COM がコントローラ 4 に取り込まれる。次に、コマンドラッティネーブル信号 CLE が“L”で、カードイネーブル信号 - CE が“L”、及びアドレスラッティネーブル信号 ALE が“H”的とき、ライトイネーブル信号 - WE の立ち上がりエッジにて、ピン D0 ~ D7 からアドレス adr1 ~ adr3 がコントローラ 4 に取り込まれる。さらに、コマンドラッティネーブル信号 CLE が“L”で、カードイネーブル信号 - CE が“L”、及びアドレスラッティネーブル信号 ALE が“L”的とき、リードイネーブル信号 - RE の立ち上がりエッジにて、ピン D0 ~ D7 からデータ 0 ~ データ 3 がホスト機器 20 に取り込まれる。

40

【 0 0 3 4 】

図 6 に示すような、ID リードコマンドのコマンドシーケンスではアドレス adr1 ~ adr3 の入力は無視すべきである。しかし、図 4 に示した制御手順を実行するための制御プログラムを持たない従来のメモリカードでは、書き込み時及び読み出し時と同様に 4 サイクルのアドレスがホスト機器 20 から発行されるため、本来、無視すべきアドレス a

50

`d r 1 ~ a d r 3` の入力をコントローラ内のシーケンサが書き込み時や読み出し時のアドレス入力と解釈して誤動作する可能性がある。

【0035】

そこで、本実施形態のメモリカード1では、図4に示した制御手順を用いて図6に示したコマンドシーケンスを処理する。これにより、ステップS1、S2、S6、S10、S11の順序で処理が移行し、IDリードの処理が実行される。すなわち、アドレス`a d r 1 ~ a d r 3`が入力されても、書き込み時や読み出し時であるとして誤動作することなく、正常にIDリードの処理を実行することできる。

【0036】

なおここでは、IDリードコマンドの入力後に、アドレスが4サイクル入力される例を示したが、これに限るわけではなく、ホスト機器20から仕様書に従ったコマンドシーケンスが入力されないその他の場合でも、誤動作することなく本来の処理を実行することが可能である。また、図4に示した制御手順をファームウェア（制御プログラム）によって実行した例を示したが、コントローラ4内に形成したハードウェア（シーケンサ）によって実行するようにしてもよい。

【0037】

図7は、ホスト機器20が想定しているフラッシュメモリと、実際に使用するフラッシュメモリ（メモリカード1内のNAND型フラッシュメモリ3）との、データ配置の違いを示している。

【0038】

ホスト機器20が想定しているフラッシュメモリでは、各ページは528Byte（512Byte分のデータ記憶部 + 16Byte分の冗長部）を有しており、32ページ分が1つの消去単位（即ち、16kByte + 0.5kByte（ここで、kは1024））となる。以下では、このようなフラッシュメモリを搭載したカードを、「小ブロックカード」と称す場合がある。

【0039】

一方、実際に使用するフラッシュメモリ3では、各ページは2112Byte（例えば512Byte分のデータ記憶部 × 4 + 10Byte分の冗長部 × 4 + 24Byte分の管理データ記憶部）を有しており、128ページ分が1つの消去単位（即ち、256kByte + 8kByte）となる。以下では、このようなフラッシュメモリ3を搭載したカードを、「大ブロックカード」と称す場合がある。なお、以下の説明においては、便宜上、小ブロックカードの消去単位を16kByteと呼び、大ブロックカードの消去単位を256kByteと呼ぶ。

【0040】

また、ホスト機器20が想定しているフラッシュメモリと、実際に使用するフラッシュメモリ3は、それぞれ、フラッシュメモリへのデータ入出力を行うためのページバッファを備えている。ホスト機器20が想定しているフラッシュメモリに備えられるページバッファの記憶容量は、528Byte（512Byte + 16Byte）である。一方、実際に使用するフラッシュメモリ3に備えられるページバッファの記憶容量は、2112Byte（2048Byte + 64Byte）である。データ書き込みなどの際には、各ページバッファは、フラッシュメモリに対するデータ入出力処理を、自身の記憶容量に相当する1ページ分の単位で実行する。

【0041】

図7に示した例では、実際に使用するフラッシュメモリ3の消去ブロックサイズが、ホスト機器20が想定しているフラッシュメモリの消去ブロックサイズの16倍である場合を示したが、本発明はこれに限定されるものではなく、略整数倍であれば別の倍率となるよう構成することも可能である。

【0042】

大ブロックカードを実用上有効な製品とするためには、図7に示したフラッシュメモリ3の記憶容量は1Gビット以上であることが望ましい。フラッシュメモリ3の記憶容量が例えば1Gビットである場合、256kByteブロック（消去単位）の数は、512個となる。また、図7においては消去単位が256kByteブロックである場合を例示しているが

10

20

30

40

50

、消去単位が例えば 1 2 8 kByte ブロックとなるように構築することも実用上有効である。この場合、1 2 8 kByte ブロックの数は、1 0 2 4 個となる。

【 0 0 4 3 】

また、図 7 に示した例では、実際に使用するフラッシュメモリ 3 の消去ブロックサイズが、ホスト機器 2 0 が想定しているフラッシュメモリの消去ブロックサイズよりも大きい場合を示したが、本発明はこれに限定されるものではなく、実際に使用するフラッシュメモリ 3 の消去ブロックサイズが、ホスト機器 2 0 が想定しているフラッシュメモリの消去ブロックサイズよりも小さいものとして構成することも可能である。

【 0 0 4 4 】

図 8 は、ホスト機器 2 0 側システム及びメモリカード 1 (大ブロックカード) における各コミュニケーション階層を示す図である。 10

【 0 0 4 5 】

ホスト機器 2 0 側のシステムは、アプリケーションソフト 2 1 、ファイルシステム 2 2 、ドライバソフト 2 3 、及び小ブロックカード物理アクセス層 2 4 を有する。一方、メモリカード 1 (大ブロックカード) は、小ブロックカード物理アクセス層 1 1 、小ブロックカード物理・小ブロックカード論理変換層 1 2 、小ブロックカード論理・大ブロックカード物理変換層 1 3 、及び大ブロックカード物理アクセス層 1 4 を有する。

【 0 0 4 6 】

例えば、ホスト機器 2 0 側のアプリケーションソフト 2 1 がファイルの書き込みをファイルシステム 2 2 に要求すると、ファイルシステム 2 2 は、小ブロックカードの論理ブロックアドレスに基づきシーケンシャルなセクタ書き込みをドライバソフト 2 3 に指示する。これを受けて、ドライバソフト 2 3 は、小ブロックカードの論理ブロックアドレスに基づく 1 6 kByte ブロック毎のシーケンシャルな書き込みを実現するにあたり、論理・物理ブロック変換を行い、小ブロックカード物理アクセス層 2 4 を通じて、小ブロックカードの物理ブロックアドレスによるランダムな書き込みコマンドを大ブロックカードに対して発行し、データ転送を行う。 20

【 0 0 4 7 】

なお、ライトアクセスにおいては、小ブロックカードの場合も大ブロックカードの場合も、プロトコル上、(1) コマンド、(2) ページアドレス (ロウアドレス) 、(3) カラムアドレス、(4) データ、(5) プログラム確認コマンド、といった順序で情報の送受が行われることが前提となっている。 30

【 0 0 4 8 】

大ブロックカード側における小ブロックカード物理アクセス層 1 1 は、ホスト機器 2 0 から小ブロックカードの物理ブロックアドレスによる書き込みコマンドを受けると、物理ブロックアドレスやデータのほか、これに付随する付随データに含まれている論理ブロックアドレスを取得する。

【 0 0 4 9 】

小ブロックカード物理・小ブロックカード論理変換層 1 2 は、データ読み出しなどの際に小ブロックカードの物理ブロックアドレス (1 6 kByte ブロック分に対応) から小ブロックカードの論理ブロックアドレス (1 6 kByte ブロック分に対応) への変換処理を行うための第 1 のテーブルを有している。変換層 1 2 は、小ブロックカード物理アクセス層 1 1 が書き込みコマンドを受けて小ブロックカードの論理ブロックアドレスを取得したときにはこれを上記第 1 のテーブルに反映させる。物理ブロックアドレスに関しても、上記第 1 のテーブルに反映させる。 40

【 0 0 5 0 】

小ブロックカード論理・大ブロックカード物理変換層 1 3 は、データ読み出しなどの際に小ブロックカードの論理ブロックアドレス (シーケンシャルな 1 6 kByte ブロック × 1 6 個分に対応) から大ブロックカードの物理ブロックアドレス (2 5 6 kByte 物理ブロック分に対応) への変換処理を行うための第 2 のテーブルを有している。変換層 1 2 は、小ブロックカード物理アクセス層 1 1 が書き込みコマンドを受けて小ブロックカードの論理 50

ブロックアドレスを取得したときにはこれを上記第2のテーブルに反映させる。

【0051】

大ブロックカード物理アクセス層14は、小ブロックカード物理アクセス層11が書き込みコマンドを受けて取得した小ブロックカードの論理ブロックアドレスに基づき、フラッシュメモリ3内部のデータ配置を決定し、256kByte物理ブロック内において2kByte(1ページ)単位でシーケンシャルに16kByte分のデータを書き込む。また、大ブロックカード物理アクセス層14は、取得した小ブロックカードの論理ブロックアドレスや物理ブロックアドレスをフラッシュメモリ3内部における管理データ領域内の所定の領域に格納する。

【0052】

このようにホスト機器20は小ブロックカードの物理ブロックアドレスに基づくコマンドを発行するので、大ブロックカード側では、小ブロックカードの物理ブロックアドレスに対応するデータがどの256kByte物理ブロックの中に存在するのかが分かるよう管理する。具体的には、16kByteブロック毎に小ブロックカードの論理・物理ブロックアドレスの対応関係を管理すると共に、小ブロックカードの連続した256kByteブロック分の論理ブロックアドレスに対応するデータが大ブロックカード内のどの256kByte物理ブロックに格納されているかが分かるよう管理する。

【0053】

図9(a)、図9(b)は、ホスト機器20側から送られてくるコマンドのフォーマットを示す図である。

【0054】

ホスト機器20側から送られてくるコマンドのパケットは、図9(a)に示すように、コマンド種別情報(ここでは「書き込み」)、アドレス(物理ブロックアドレス)、データ(コンテンツなどの実データ及び付随データ(512Byte + 16Byte))といった各種情報を含んでいる。

【0055】

このようなフォーマットのパケットにおいては、図9(b)に示すように、付随データ16Byte中の所定の位置に小ブロックカードの「論理ブロックアドレス」(アクセス対象となる16kByteブロックに対応する論理アドレス)が配置されている。大ブロックカードは、コマンド種別情報、物理ブロックアドレス、データを取得するほか、特に上記「論理ブロックアドレス」を取得する。なお、この「論理ブロックアドレス」は、読み出しコマンドの場合には付加されない。

【0056】

図10は、ホスト機器20側が想定しているブロック書き込み操作と、メモリカード1(大ブロックカード)側が実際に行う書き込み処理とを対比して示す図である。

【0057】

ホスト機器20側(同図の左側)では、小ブロックカードの論理アドレスに基づく16kByteブロック単位のシーケンシャルな書き込み操作の発生時に、小ブロックカードの物理ブロックアドレスによる16kByteブロック単位のランダムな書き込み操作を行う。

【0058】

一方、大ブロックカード側(同図の右側)では、ホスト機器20側から書き込みコマンドを受けた場合、小ブロックカードの論理ブロックアドレスに基づく16kByteブロック単位のデータをフラッシュメモリ3内にシーケンシャルに書き込む。

【0059】

前述のように、ホスト機器20は、小ブロックの物理アドレスによる16Byte単位のランダムな書き込み操作を行う。このようなランダムな書き込み操作では、一般に、大ブロック(256kByte)の一部のみを書き換えるための処理が多発する。NAND型フラッシュメモリではブロック単位でしか消去を行えないため、ブロックの一部のみを書き換える場合は、書き換える新データを消去済みの新ブロックに書き込み、新データに書き換えられる旧データを含む旧ブロックから、書き換えられない残りのデータを新ブロックにコ

10

20

30

40

50

ピーする必要がある。このように、ブロックの一部のみを書き換える処理は、書き換えられないデータのコピー動作（巻き添えデータコピー）を伴うため、ブロックの一部のみを書き換える処理が多発すると、オーバーヘッドが非常に増大することになる。そこで、本実施形態では、ホスト機器20側から得られる論理アドレスの順序に従って、大ブロックカード側で物理アドレスを再度割り当てるにより、ブロックの一部のみの書き込みの発生を低減し、オーバーヘッドの増大を抑制している。

【0060】

図11は、大ブロックカード内のNAND型フラッシュメモリ3のブロックフォーマット（消去単位である256kByte物理ブロック分）の一例を示す図である。

【0061】

大ブロックカードでは、消去単位である256kByte物理ブロックの中に、ホスト機器20側が管理する単位である16kByteに相当するデータを書き込むためのブロック（以下、ホスト管理ブロックと称す）が16個分含まれている。データ書き込みの際には、小ブロックカードにおける論理ブロックアドレスの順に個々のデータが配置される。

【0062】

各ホスト管理ブロックは、8個のページで構成される。各ページは、512Byteデータ領域を4個分含むと共に、各データ領域に対応する10ByteECC領域を含んでいる。また、ページ中の最後の512Byteデータ領域（4番目の512Byteデータ領域）の後には、24Byte管理データ領域も設けられる。このため、ページ中の最後の10ByteECC領域は、4番目の512Byteデータ領域と24Byte管理データ領域の両方に対応する構成となっている。

【0063】

消去単位である256kByte物理ブロックに含まれる128個の24Byte管理データ領域のうち、例えば最後の24Byte管理データ領域には、ホスト機器20側から送られてくるコマンドから取得された物理ブロックアドレスに相当するアドレス情報、及び論理ブロックアドレスに相当するアドレス情報がまとめて格納されるようになっている。これらのアドレス情報は、図8で説明した小ブロックカード物理・小ブロックカード論理変換層12が有する第1のテーブルと、小ブロックカード論理・大ブロックカード物理変換層13が有する第2のテーブルとを作成する際に使用される。

【0064】

図12は、大ブロックカード内のNAND型フラッシュメモリ3のブロックフォーマットの他の例を示す図である。

【0065】

図12に示すブロックフォーマットは、図11に示したブロックフォーマットに比べると、各ページにおけるECC0、ECC1、ECC2の領域の配置位置が異なる。ただし、各ページにおけるユーザデータの記憶容量は、図11に示したブロックフォーマットと図12に示すブロックフォーマットとで同じである。すなわち、図11に示したブロックフォーマットでは、各ページに2048Byte（512Byte+512Byte+512Byte+512Byte）の記憶領域が設けられており、図12に示すブロックフォーマットでは、各ページに2048Byte（518Byte+518Byte+518Byte+494Byte）の記憶領域が設けられている。以下では、図12に示したブロックフォーマットを採用した場合を前提にして説明を行う。

【0066】

図13は、本実施形態のメモリカード1に対してホスト機器20が書き込みを行う際に、メモリカード1のI/O（Input/Output）ピン（ピン10～ピン17）とR/-B（Ready/Busy）ピン（ピン2）に入出力される信号例を示すタイミングチャートである。

【0067】

ホスト機器20は、メモリカード1が16kByteの消去ブロックサイズを有する不揮発性メモリであると仮定してメモリカードを制御している。例えば、メモリカード1に対する書き込みの際には、ホスト機器20は、シリアルデータインプットコマンド“80H（

10

20

30

40

50

Hは16進を示す)”をI/Oピン(ピン10～ピン17)へ入力する。次に、ホスト機器20は、カラムアドレス“C/A”およびページアドレス“P/A”を、I/Oピンへ入力する。なお、ここでカラムアドレス“C/A”およびページアドレス“P/A”は、ホスト機器20がメモリカード1に対して想定している仮想物理アドレス空間におけるカラムアドレスおよびページアドレスである。

【0068】

更に、ホスト機器20は、書き込みデータを、I/Oピン(ピン10～ピン17)の個々に対し、528回入力する。具体的には、ホスト機器20はライトイネーブルピンへの入力信号を528回クロッキングしながら、それぞれのI/Oピンに対し528ビット(すべてのI/Oピン合計で528バイト)のデータを順次シフトインする。データのシフトインが完了すると、ホスト機器20は、プログラムコマンド“10H”をI/Oピンへ入力する。これに応答してメモリカード1は、そのR/-Bピンに“L”的信号を出力し、メモリカード1がビジー状態であることを示す。その後、所定期間後にR/-Bピンに“H”的信号を出力することでメモリカードがレディ状態になったことを示す。10

【0069】

しかしながら、図13におけるR/-Bピンの状態は、あくまでもホスト機器20に対してメモリカード1がどのような状態かを示すものである。つまり、図13において、プログラムコマンド“10H”的入力に応答して、R/-Bピンがビジー状態(つまり“L”的出力)を示したとしても、内部でNAND型フラッシュメモリ3に対する書き込み動作(つまり、ページバッファからメモリセルアレイへのデータ転送)が実際に行われているとは限らない。また、R/-Bピンがレディ状態に復帰したとしても、内部でNAND型フラッシュメモリ3に対する書き込み動作が実際に完了しているとは限らない。20

【0070】

図14は、本実施形態のメモリカード1内のNAND型フラッシュメモリ3に対して、メモリカード1内のコントローラ4が書き込みを行う際に、NAND型フラッシュメモリ3のI/Oピン1～8とR/-B(Ready/Busy)ピンに入出力される信号例を示すタイミングチャートである。なお、NAND型フラッシュメモリ3、及びメモリインターフェース部5は、図3に示したホストインターフェース部6が有するピンと同様に、コマンド、アドレス、及びデータが入出力されるI/Oピン1～8、レディ・ビジー信号を出力するR/-B(Ready/Busy)ピン、データを出力させるリードイネーブル信号が入力される-R E(Read Enable)ピンを有している。さらに、NAND型フラッシュメモリ3を動作モードにするチップイネーブル信号が入力される-C E(Card Enable)ピン、コマンドの取り込みをコントロールするためのコマンドラッチイネーブル信号が入力されるC L E(Command Latch Enable)ピン、アドレス、及び入力データの取り込みをコントロールするためのアドレスラッチイネーブル信号が入力されるA L E(Address Latch Enable)ピンを有している。さらに、データをNAND型フラッシュメモリ3に書き込むためのライトイネーブル信号が入力される-W E(Write Enable)ピン、書き込み、及び消去を強制的に禁止させるためのライトプロテクト信号が入力される-W P(Write Protect)ピンを有している。30

【0071】

コントローラ4は、NAND型フラッシュメモリ3が256kByteの消去ブロックサイズを有する不揮発性メモリであると認識している。例えば、NAND型フラッシュメモリ3に対する書き込みの際には、コントローラ4は、シリアルデータインプットコマンド“80H(Hは16進を示す)”をI/Oピン1～8へ入力する。次に、コントローラ4は、カラムアドレス“C/A”およびページアドレス“P/A”を、I/Oピン1～8へ入力する。なお、ここでカラムアドレス“C/A”およびページアドレス“P/A”は、コントローラ4がNAND型フラッシュメモリ3に対して想定している実物理アドレス空間におけるカラムアドレスおよびページアドレスである。したがって、図13におけるカラムアドレス“C/A”およびページアドレス“P/A”とは必ずしも一致していない。40

【0072】

更に、コントローラ4は、書き込みデータを、I/Oピン1～8の個々に対し、50

2回入力する。具体的には、コントローラ4は、ライトイネーブルピンへの入力信号を2112回クロッキングしながら、それぞれのI/Oピンに対し2112ビット(すべてのI/Oピン合計で2112バイト)のデータを順次シフトインする。データのシフトインが完了すると、コントローラ4は、プログラムコマンド“10H”をI/Oピン1~8へ入力する。これに応答してメモリカード1は、そのR/-Bピンに“L”の信号を出力し、メモリカードがビジー状態であることを示す。その後、所定期間後にR/-Bピンに“H”の信号を出力することでメモリカードがレディ状態になったことを示す。図14におけるR/-Bピンの状態は、コントローラ4に対してNAND型フラッシュメモリ3が実際にどのような状態かを示すものである。

【0073】

10

なお、前記図13および図14においては、カラムアドレス“C/A”およびページアドレス“P/A”的入力をそれぞれ1つのサイクルで示しているが、メモリカード1の容量またはNAND型フラッシュメモリ3の容量に応じて、適宜2サイクル以上になる場合もある。

【0074】

この発明の実施形態のメモリカード及びその制御方法によれば、メモリカードが搭載したNAND型フラッシュメモリの仕様に明記されておらず、かつ禁止もされていないシーケンスでコマンドを発行してくるホスト機器に対して、正常に応答すること可能である。

【0075】

なお、前述した実施形態は唯一の実施形態ではなく、前記構成の変更あるいは各種構成の追加によって、様々な実施形態を形成することが可能である。

20

【図面の簡単な説明】

【0076】

【図1】この発明の実施形態のメモリカードの構成を示すブロック図である。

【図2】本実施形態のメモリカードの外形とピン配置を示す平面図である。

【図3】本実施形態のメモリカードのピンアサインを示す図表である。

【図4】本実施形態のメモリカードに入力されたコマンドシーケンスを処理する制御手順の一例を示すフローチャートである。

【図5】本実施形態のメモリカードに入力されるIDリードコマンドのコマンドシーケンスの一例を示すタイミングチャートである。

30

【図6】本実施形態のメモリカードに入力されるIDリードコマンドのコマンドシーケンスの他の例を示すタイミングチャートである。

【図7】ホスト機器が想定しているフラッシュメモリと、メモリカード内のNAND型フラッシュメモリのデータ配置を示す図である。

【図8】ホスト機器側システム及びメモリカードにおける各コミュニケーション階層を示す図である。

【図9】ホスト機器から送られてくるコマンドのフォーマットを示す図である。

【図10】ホスト機器が想定しているブロック書き込み操作と、メモリカードが実際にを行う書き込み処理とを対比して示す図である。

【図11】メモリカード内のNAND型フラッシュメモリのブロックフォーマットの一例を示す図である。

40

【図12】メモリカード内のNAND型フラッシュメモリのブロックフォーマットの他の例を示す図である。

【図13】本実施形態のメモリカードに対してホスト機器が書き込みを行う際に、メモリカードのI/OピンとR/-Bピンに入出力される信号例を示すタイミングチャートである。

【図14】本実施形態のメモリカード内のNAND型フラッシュメモリに対してコントローラが書き込みを行う際に、NAND型フラッシュメモリのI/OピンとR/-Bピンに入出力される信号例を示すタイミングチャートである。

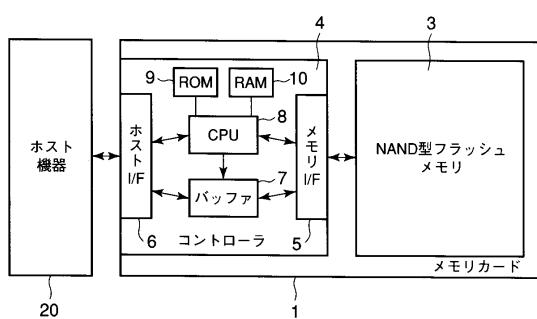
【符号の説明】

50

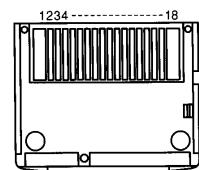
【図1】

1...メモリカード、3...NAND型フラッシュメモリ、4...コントローラ、5...メモリインターフェース部、6...ホストインターフェース部、7...バッファ、8...CPU(Central Processing Unit)、9...ROM(Read-Only Memory)、10...RAM(Random Access Memory)、20...ホスト機器。

【図1】



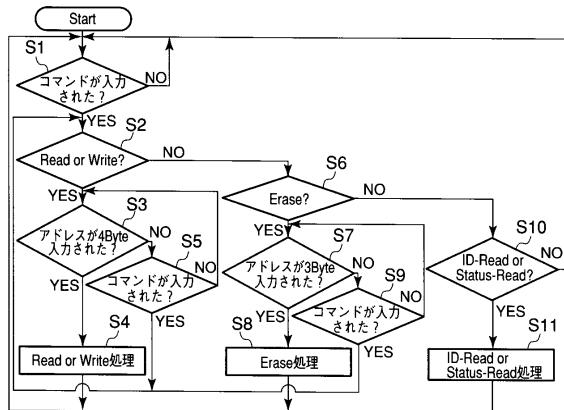
【図2】



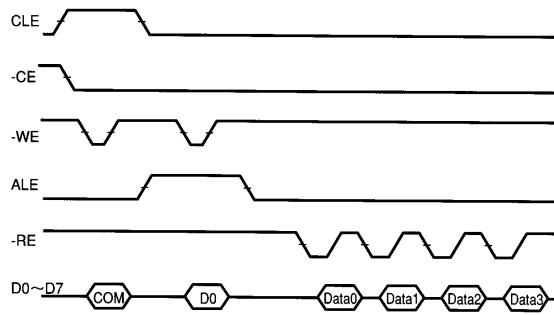
【図3】

| ピン番号 | 信号 | | |
|------|------|-------|----------------------|
| | ピン名 | タイプ | 機能 |
| 1 | GND | (O) | GND/(Card Detect) |
| 2 | R/-B | O(OD) | Ready/Busy |
| 3 | -RE | I | Read Enable |
| 4 | -CE | I | Card Enable |
| 5 | CLE | I | Command Latch Enable |
| 6 | ALE | I | Address Latch Enable |
| 7 | -WE | I | Write Enable |
| 8 | -WP | I | Write Protect |
| 9 | GND | | GND |
| 10 | D0 | I/O | Data0 |
| 11 | D1 | I/O | Data1 |
| 12 | D2 | I/O | Data2 |
| 13 | D3 | I/O | Data3 |
| 14 | D4 | I/O | Data4 |
| 15 | D5 | I/O | Data5 |
| 16 | D6 | I/O | Data6 |
| 17 | D7 | I/O | Data7 |
| 18 | Vcc | S | Vcc |

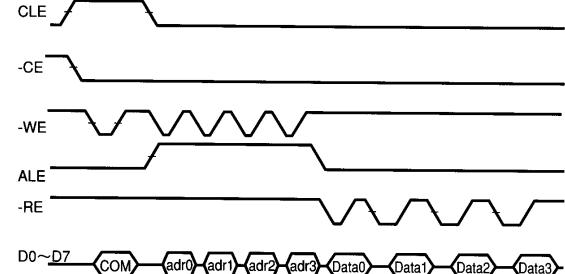
【図4】



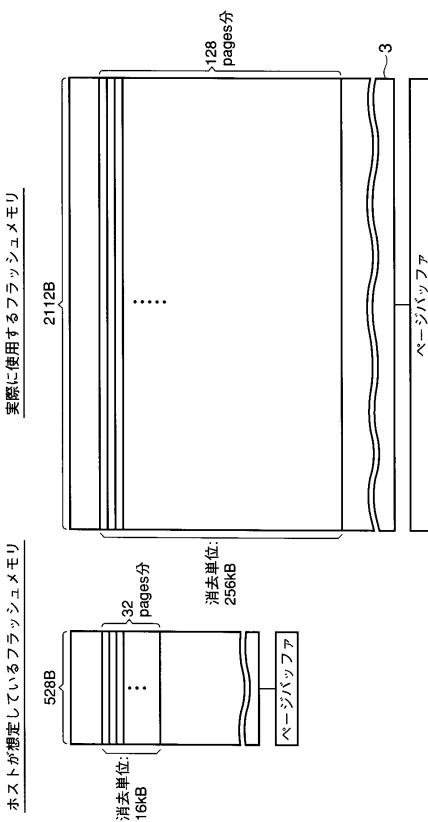
【図5】



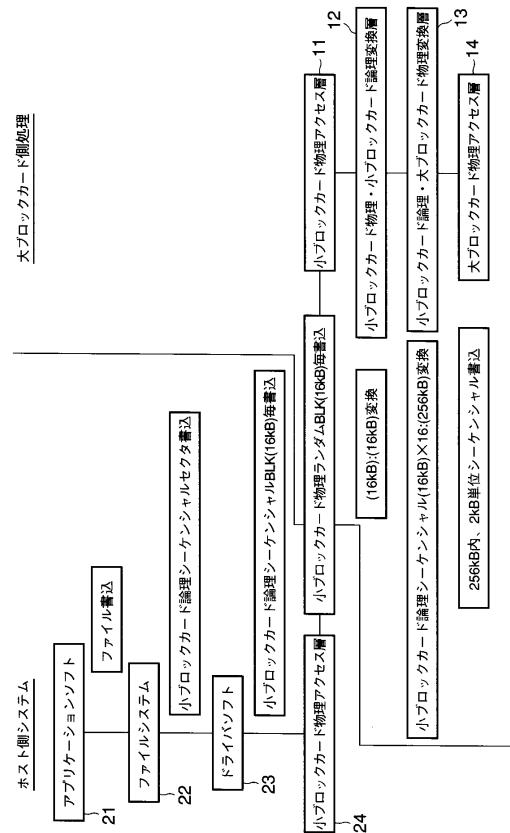
【図6】



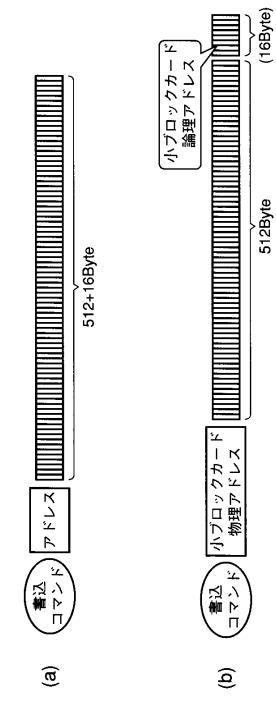
【図7】



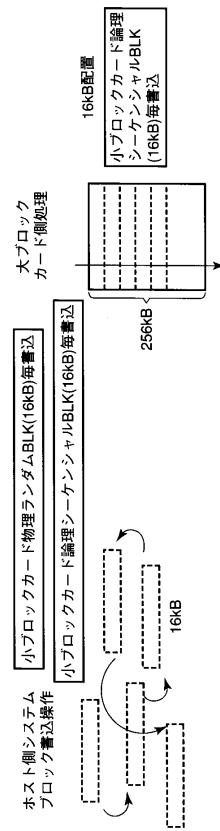
【図8】



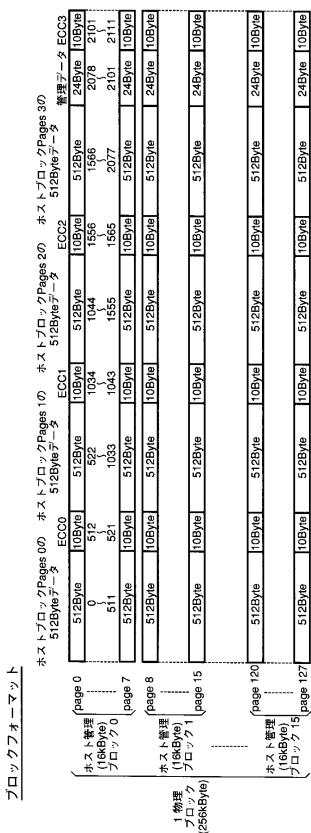
【 四 9 】



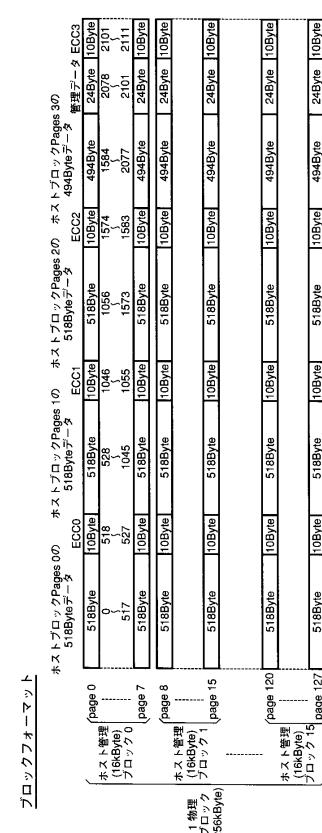
【図10】



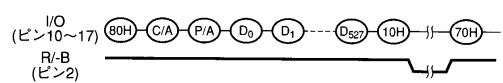
【 図 1 1 】



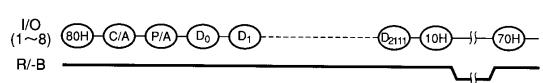
(図 1 2)



【図13】



【図14】



フロントページの続き

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 大嶋 貴志

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

審査官 堀江 義隆

(56)参考文献 特開2004-062913(JP, A)

国際公開第2004/023385(WO, A1)

特開平03-139717(JP, A)

特開2004-005699(JP, A)

(58)調査した分野(Int.Cl., DB名)

G 06 F 12 / 00

G 06 K 19 / 07

G 06 F 3 / 08