(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년02월11일
(11) 등록번호 10-1491929
(24) 등록일자 2015년02월03일

(51) 국제특허분류(Int. Cl.)
H02M 7/155 (2006.01) *H02M 7/12* (2006.01)
H02M 7/02 (2006.01) *H02M 7/00* (2006.01)
(21) 출원번호 10-2013-0106350
(22) 출원일자 2013년09월04일
심사청구일자 2013년09월04일
(56) 선행기술조사문헌
IEEE 논문(제목: A Semi-Passive UHD RFID Tag with On-Chip Temperature Sensor), 논문발표 2002년*
JP2001197749 A
US6009001 A
US4755923 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울 성북구 길음로 16, 605동 1301호 (길음동, 삼성래미안3차아파트)
김정문
경기 시흥시 두문로 8, 404호 (신천동, 무지개아파트)
(74) 대리인
특허법인 무한

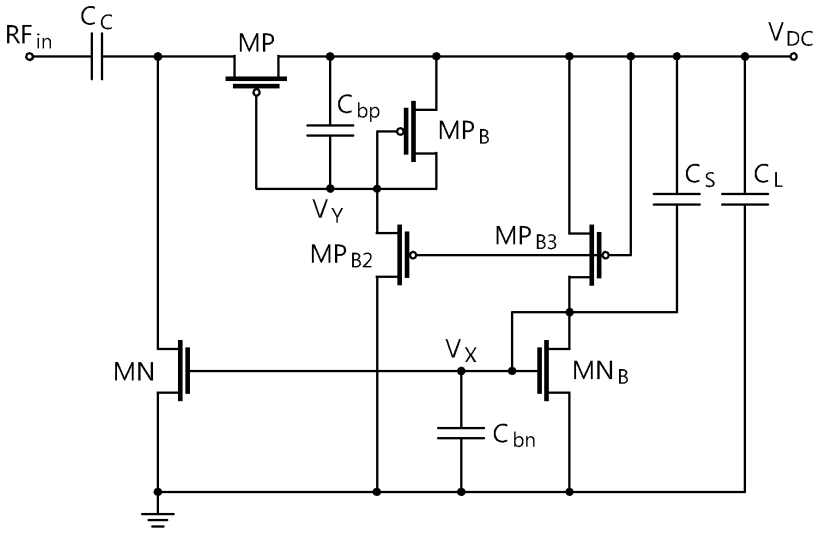
전체 청구항 수 : 총 10 항 심사관 : 배진용

(54) 발명의 명칭 **RF 정류회로**

(57) 요 약

RF 정류기에 있어서 오프된 트랜지스터를 사용함으로써 작은 면적으로도 고효율을 달성하는 RF 정류기를 제공한다. 또한, 스타트업 속도를 향상시키기 위해서 추가적인 캐패시터를 포함할 수 있다. 이를 통해, 에너지 하베스팅에 있어서 교류 전압을 직류 전압으로 고효율로 정류하고, 스타트업 시간도 향상시키는 RF 정류기를 제공한다.

대 표 도 - 도7



이 발명을 지원한 국가연구개발사업
과제고유번호 20120008839
부처명 미래창조과학부
연구관리전문기관 한국연구재단
연구사업명 기초연구육성사업
연구과제명 그린 스마트패치 및 응용 소프트웨어 연구
기 여 율 1/1
주관기관 고려대학교 산학협력단
연구기간 2012.09.01 ~ 2013.08.31

특허청구의 범위

청구항 1

RF 정류기에 있어서,

입력 신호를 교류-커플링(AC coupling)하는 커플링 캐패시터(coupling capacitor);

상기 커플링 캐패시터 및 상기 RF 정류기의 출력단에 연결되어, 상기 입력 신호를 정류하는 제 1 정류부;

상기 커플링 캐패시터 및 접지단에 연결되어, 상기 입력 신호를 정류하는 제 2 정류부;

상기 RF 정류기의 출력단에 연결되는 로드 캐패시터; 및

누설 전류를 도통시켜 상기 제 1 정류부 및 상기 제 2 정류부 중 적어도 하나의 문턱 전압 값을 상쇄하는, 적어도 하나의 오프(off)된 트랜지스터를 포함하고,

상기 제 1 정류부 또는 상기 제 2 정류부는,

교류 형태의 입력 신호를 직류 형태로 정류하는 정류 트랜지스터;

상기 정류 트랜지스터의 게이트와 드레인을 연결하는 내부 캐패시터; 및

상기 내부 캐패시터와 병렬 연결된 내부 트랜지스터를 포함하는, RF 정류기.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 제1 정류부의 정류 트랜지스터의 드레인단은, 상기 제1 정류부의 내부 캐패시터의 일단 및 상기 제1 정류부의 내부 트랜지스터의 소스단과 연결되고,

상기 제1 정류부의 정류 트랜지스터의 게이트 단은, 상기 제1 정류부의 내부 캐패시터의 타단 및 상기 제1 정류부의 내부 트랜지스터의 게이트 단 및 드레인단과 연결되는, RF 정류기.

청구항 4

제1항에 있어서,

상기 제2 정류부의 정류 트랜지스터의 게이트 단은, 상기 제2 정류부의 내부 캐패시터의 일단 및 상기 제2 정류부의 내부 트랜지스터의 게이트 단 및 드레인단과 연결되고,

상기 제2 정류부의 정류 트랜지스터의 소스단은, 상기 제2 정류부의 내부 캐패시터의 타단 및 상기 제2 정류부의 내부 트랜지스터의 소스단과 연결되는, RF 정류기.

청구항 5

제 1 항에 있어서,

상기 제 1 정류부의 정류 트랜지스터 및 내부 트랜지스터는 PMOS(P-channel metal oxide semiconductor)이며,

상기 제 2 정류부의 정류 트랜지스터 및 내부 트랜지스터는 NMOS(N-channel metal oxide semiconductor)인 RF 정류기.

청구항 6

제 1 항에 있어서,

상기 내부 트랜지스터는, 상기 정류 트랜지스터의 문턱 전압을 상쇄하도록 하는 제 1 전압을 생성하는 RF 정류

기.

청구항 7

제 6 항에 있어서,

상기 내부 캐패시터는, 상기 내부 트랜지스터에서 생성된 상기 제 1 전압을 인가하여, 상기 정류 트랜지스터의 문턱 전압을 상쇄하는 RF 정류기.

청구항 8

제 1 항에 있어서,

상기 내부 캐패시터의 충전 시간을 단축시키는 피드백(feedback) 캐패시터를 더 포함하는 RF 정류기.

청구항 9

제8항에 있어서,

상기 피드백 캐패시터는 상기 제 1 정류부와 병렬 연결되고, 상기 제 2 정류부 및 상기 출력단을 연결하는 RF 정류기.

청구항 10

제1항에 있어서,

상기 적어도 하나의 오프 트랜지스터는 PMOS인 RF 정류기.

청구항 11

제10항에 있어서,

상기 적어도 하나의 오프 트랜지스터의 게이트단은 상기 출력단과 연결되는 RF 정류기.

명 세 서

기 술 분 야

[0001] 본 발명은 RF(radio frequency) 정류회로에 관한 것으로, 보다 상세하게는 RF 에너지 하베스팅 과정에서 이용되는 교류-직류 컨버터 또는 반파 정류에 관한 것이다.

배 경 기 술

[0002] 최근 에너지 하베스팅(energy harvesting)과 같은 저전력 무전원 반도체 설계가 큰 이슈이고, 빛, 진동, 열 등의 에너지를 전기 에너지로 바꾸는 여러 소자 기술의 발달로 인하여, 에너지 하베스팅의 효율이 크게 증가하고 있다. 에너지 하베스팅 장치는 다양한 어플리케이션에 적용되어 활용되고 있다.

[0003] 유선으로 전기를 공급할 수 없거나 배터리 교체가 어려운 환경에서 RF 신호를 이용한 에너지의 공급을 RF 에너지 하베스팅이라고 한다. 안테나를 통하여 수신된 RF 신호는 교류(AC) 전압이기 때문에 대부분의 전자 부품이 필요로 하는 직류(DC) 전압으로 변환하기 위해서는 직류-교류 변환기(AC-DC converter), 즉 정류기가 필요하다.

[0004] 하베스팅된 에너지를 효율적으로 기기에 전달함과 동시에 반도체 등에서 사용되기 위해서, 정류기의 소형화가 요구된다.

[0005] 또한, 하베스팅되는 에너지가 매우 저전력 이기 때문에 정류기는 고효율을 가지도록 설계되어야 한다. 또한, 정류기를 제어하는 부가회로는 단순해야 설계가 용이하고, 별도의 외부의 보조 배터리를 요구하지 않아야 한다.

발명의 내용

과제의 해결 수단

[0006] 일측에 있어서, RF 정류기에 있어서, 입력 신호를 교류-커플링(AC coupling)하는 커플링 캐패시터(coupling capacitor), 상기 커플링 캐패시터 및 상기 RF 정류기의 출력단에 연결되어, 상기 입력 신호를 정류하는 제 1 정류부, 상기 커플링 캐패시터 및 접지단에 연결되어, 상기 입력 신호를 정류하는 제 2 정류부, 상기 RF 정류기의 출력단에 연결되는 로드 캐패시터 및 누설 전류를 도통시켜 상기 제 1 정류부 및 상기 제 2 정류부 중 적어도 하나의 문턱 전압 값을 상쇄하는, 적어도 하나의 오프(off)된 트랜지스터를 포함하는 RF 정류기를 제공한다.

[0007] 일실시예에 있어서, 상기 제 1 정류부 또는 상기 제 2 정류부는, 교류 형태의 입력 신호를 직류 형태로 정류하는 정류 트랜지스터, 상기 정류 트랜지스터의 게이트와 드레인을 연결하는 내부 캐패시터 및 상기 내부 캐패시터와 병렬 연결된 내부 트랜지스터를 포함할 수 있다.

[0008] 일실시예에 있어서, 상기 제1 정류부의 정류 트랜지스터의 드레인단은, 상기 제1 정류부의 내부 캐패시터의 일단 및 상기 제1 정류부의 내부 트랜지스터의 소스단과 연결되고, 상기 제1 정류부의 정류 트랜지스터의 게이트단은, 상기 제1 정류부의 내부 캐패시터의 타단 및 상기 제1 정류부의 내부 트랜지스터의 게이트 단 및 드레인단과 연결될 수 있다.

[0009] 일실시예에 있어서, 상기 제2 정류부의 정류 트랜지스터의 게이트 단은, 상기 제2 정류부의 내부 캐패시터의 일단 및 상기 제2 정류부의 내부 트랜지스터의 게이트 단 및 드레인단과 연결되고, 상기 제2 정류부의 정류 트랜지스터의 소스단은, 상기 제2 정류부의 내부 캐패시터의 타단 및 상기 제2 정류부의 내부 트랜지스터의 소스단과 연결될 수 있다.

[0010] 일실시예에 있어서, 상기 제 1 정류부의 정류 트랜지스터 및 내부 트랜지스터는 PMOS(P-channel metal oxide semiconductor)이며, 상기 제 2 정류부의 정류 트랜지스터 및 내부 트랜지스터는 NMOS(N-channel metal oxide semiconductor)일 수 있다.

[0011] 일실시예에 있어서, 상기 내부 트랜지스터는, 상기 정류 트랜지스터의 문턱 전압을 상쇄하도록 하는 제 1 전압을 생성할 수 있다.

[0012] 일실시예에 있어서, 상기 내부 캐패시터는, 상기 내부 트랜지스터에서 생성된 상기 제 1 전압을 인가하여, 상기 정류 트랜지스터의 문턱 전압을 상쇄할 수 있다.

[0013] 일실시예에 있어서, 상기 내부 캐패시터의 충전 시간을 단축시키는 피드백(feedback) 캐패시터를 더 포함할 수 있다.

[0014] 일실시예에 있어서, 상기 피드백 캐패시터는 상기 제 1 정류부와 병렬 연결되고, 상기 제 2 정류부 및 상기 출력단을 연결할 수 있다.

[0015] 일실시예에 있어서, 상기 적어도 하나의 오프 트랜지스터는 PMOS일 수 있다.

[0016] 일실시예에 있어서, 상기 적어도 하나의 오프 트랜지스터의 게이트단은 상기 출력단과 연결될 수 있다.

도면의 간단한 설명

[0017] 도 1은 일실시예에 따른 RF 정류기의 블록도를 도시한다.

도 2는 일실시예에 따른 피드백 캐패시터가 포함된 RF 정류기의 블록도를 도시한다.

도 3은 일비교예에 따른 단순한 형태의 RF 정류기의 회로도를 도시한다.

도 4는 일비교예에 따른 문턱전압 상쇄 기법이 적용된 RF 정류기의 회로도를 도시한다.

도 5는 일비교예에 따른 외부 배터리를 제외한 문턱 전압 상쇄 기법이 적용된 RF 정류기의 회로도를 도시한다.

도 6은 일실시예에 따른 RF 정류기의 회로도를 도시한다.

도 7은 일실시예에 따른 오프 트랜지스터가 PMOS인 RF 정류기의 회로도를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하에서, 본 발명의 일부 실시예를, 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 본 발명이 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.

[0019] 도 1은 일실시예에 따른 RF 정류기의 블록도(100)를 도시한다.

[0020] 일실시예에 따르면, RF 정류기는 입력 신호를 교류-커플링(AC coupling)하는 커플링 캐패시터(coupling capacitor)(Cc), 입력 신호를 정류하는 제1 정류부(110) 및 제2 정류부(120), 출력 전압의 DC 성분을 유지하는 로드 캐패시터(C_L) 및 누설 전류를 도통시켜 제 1 정류부(110) 및 제 2 정류부(120) 중 적어도 하나의 문턱 전압 값을 상쇄하는, 적어도 하나의 오프(off)된 트랜지스터(130, 140)을 포함할 수 있다.

[0021] 일실시예에 따르면, 제1 정류부(110) 및 제2 정류부(120)는 입력 교류 전압을 직류 전압으로 정류할 수 있다. 제1 정류부(110) 및 제2 정류부(120)는 정류를 수행하는 정류 트랜지스터를 포함할 수 있다. 다만, 정류 트랜지스터로 인한 전압 강하는 정류기의 변환 효율을 감소시키는 주요 요인이 될 수 있다.

[0022] 에너지 하베스팅을 위해 사용되는 RF 정류기는 저전력을 입력받는다. 상술한 바와 같이 정류 트랜지스터로 인한 변환 효율이 감소되는 경우, 실질적으로 이용 가능한 정류된 전력의 크기는 극미량일 수 있다. 따라서, 정류기의 효율을 감소시키는 문턱 전압 효과를 상쇄시키는 RF 정류기의 개발이 요청된다.

[0023] 일실시예에 따르면, 제1 정류부(110) 및 제2 정류부(120)는 정류 트랜지스터의 문턱 전압의 역전압인 제1 전압을 인가하여, 정류 트랜지스터의 문턱 전압을 상쇄할 수 있다. 문턱 전압을 상쇄하기 위한 제1 전압을 인가하기 위해 제1 정류부(110) 및 제2 정류부(120)는, 예를 들어 내부 캐패시터 및 내부 트랜지스터를 포함할 수 있으며 이에 대하여서는 더욱 상세하게 후술하도록 한다.

[0024] 예를 들어, 제1 정류부(110)에서는, 정류 트랜지스터의 드레인단이 제1 정류부(110)의 내부 캐패시터의 일단 및 상기 제1 정류부(110)의 내부 트랜지스터의 소스단과 연결될 수 있다.

[0025] 또한, 제1 정류부(110)의 정류 트랜지스터의 게이트단이 제1 정류부(110)의 내부 캐패시터의 타단 및 제1 정류부(110)의 내부 트랜지스터의 게이트단 및 드레인단과 연결될 수 있다.

[0026] 예를 들어, 제2 정류부(120)에서는, 정류 트랜지스터의 게이트 단이 제2 정류부(120)의 내부 캐패시터의 일단 및 제2 정류부(120)의 내부 트랜지스터의 게이트 단 및 드레인단과 연결될 수 있다.

[0027] 또한 제2 정류부(120)의 정류 트랜지스터의 소스단이 제2 정류부(120)의 내부 캐패시터의 타단 및 제2 정류부(120)의 내부 트랜지스터의 소스단과 연결될 수 있다.

[0028] 나아가 제1 정류부의 정류 트랜지스터 및 내부 트랜지스터는 PMOS(P-channel metal oxide semiconductor)로 구현될 수 있고, 상기 제2 정류부의 정류 트랜지스터 및 내부 트랜지스터는 NMOS(N-channel metal oxide semiconductor)로 구현될 수 있다. 더 자세한 제1 정류부(110) 및 제2 정류부(120)의 회로 구성에 대해서는 도 6 및 도 7에서 후술한다.

[0029] 내부 트랜지스터는, 전류가 흐를 경우 정류 트랜지스터 문턱 전압의 역전압인 제1 전압을 생성하도록 설계될 수 있다. 내부 트랜지스터에 의하여 생성된 제1 전압은 정류 트랜지스터의 문턱 전압 강하에 이용될 수 있다. 예를 들어, 내부 트랜지스터에 의하여 생성된 제1 전압은 내부 캐패시터에 인가될 수 있다. 내부 캐패시터는 정류 트랜지스터에 연결될 수 있으며, 내부 캐패시터에 인가된 제1 전압에 의하여 정류 트랜지스터의 문턱 전압이 강하될 수 있다.

[0030] 상술한 바에 따라서, 정류 트랜지스터에 연결된 내부 캐패시터 양단에 형성된 제1 전압이 정류 트랜지스터의 문턱 전압이 상쇄될 수 있다. 다만, 이 경우 내부 트랜지스터는 제1 전압의 생성을 위한 전류를 입력받아야 한다.

[0031] 다만, 통상적으로는 전류 도통을 위하여 저항이 연결될 수 있으며, 저항에 전류가 도통되어 전력 손실이 발생할 수 있다.

[0032] 전력 손실을 줄이기 위해서는 저항에 흐르는 전류가 감소되어야 하며, 상대적으로 큰 저항 값을 가지는 저항이 채택될 수 있다. 다만, 저항 값의 크기가 커지면, 전체적인 RF 정류기의 면적이 증가하게 되는 문제가 발생하게 된다.

[0033] 따라서, 전력 소모 감소를 위해 흐르는 전류의 크기를 작게 하기 위하여, 오프(off)된 트랜지스터를 상대적으로 큰 저항 값을 가지는 저항을 치환하여 이용할 수 있다. 트랜지스터가 오프되어 있더라도 미세한 누설 전류는 흐른다. 누설 전류는 내부 트랜지스터로 흐를 수 있으며, 내부 트랜지스터는 누설 전류를 이용하여 제1 전압을 생성할 수 있다.

[0034] 이와 같이 오프된 트랜지스터를 통해 정류 트랜지스터의 문턱 전압을 상쇄할 수 있고, 오프된 트랜지스터에는

미세한 누설 전류만이 흐르기 때문에 전력 소모도 줄일 수 있다. 또한, 상대적으로 큰 저항 값을 가지는 저항을 트랜지스터로 대체함으로써 실장 면적이 감소될 수도 있다.

[0035] 다만, 오프된 트랜지스터를 이용함으로써 작은 누설전류가 흐르고, 이는 제1 정류부(110) 및 제2 정류부(120)에도 작은 누설 전류만이 흐르기 때문에 제1 정류부(110) 및 제2 정류부(120)에 포함되는 내부 캐패시터 양단에 걸리는 전압이 형성되는 시간을 증가시킬 수 있다.

[0036] 이와 같이 내부 캐패시터 양단에 걸리는 전압이 형성되는 시간이 길어지게 되면 결과적으로 스타트업(startup) 시간이 증가하게 된다. 스타트업 시간이 증가하게 되면 결국 원하는 정류 효율을 달성하기 위한 시간이 길어지게 되므로 전체적으로 RF 정류기의 효율이 감소할 수 있다.

[0037] 따라서, 이와 같은 스타트업 시간이 증가하는 문제를 개선하기 위해 RF 정류기에 피드백 캐패시터(feedback capacitor)를 더 포함할 수 있고, 피드백 캐패시터를 부가함으로써 나타나는 효과에 대해 도 2를 참조하여 후술한다.

[0038] 도 2는 일실시예에 따른 피드백 캐패시터가 포함된 정류기의 블록도(200)를 도시한다.

[0039] 일실시예에 따르면, RF 정류기는 입력 신호를 교류-커플링(AC coupling)하는 커플링 캐패시터(coupling capacitor)(Cc), 입력 신호를 정류하는 제 1 정류부(210) 및 제2 정류부(220), 출력 전압의 DC 성분을 유지해주는 로드 캐패시터(C_L), 누설 전류를 도통시켜 상기 제 1 정류부 및 상기 제 2 정류부 중 적어도 하나의 문턱 전압 값을 상쇄하는, 적어도 하나의 오프(off)된 트랜지스터(230, 240) 및 스타트업 속도를 향상시키기 위한 피드백 캐패시터(C_S)를 포함할 수 있다.

[0040] 도 2에서의 RF 정류기는 도 1에서의 RF 정류기와 비교하여 피드백 캐패시터(C_S)를 더 포함한다는 점에서 차이가 있다. 피드백 캐패시터(C_S)는 도 1에서 설명한 바와 같이 오프된 트랜지스터를 이용함으로써 나타나는 스타트업 시간의 증가를 방지할 수 있다.

[0041] 캐패시터는 양 단에 걸리는 전압의 급격한 변화를 허용하지 않는 특성을 가진다. 따라서, 피드백 캐패시터(C_S)를 제1 정류부(210)와 병렬 연결하고, 제2 정류부(220) 및 RF 정류기의 출력단에 연결함으로써 제1 정류부(210) 및 제2 정류부(220)에 포함된 내부 캐패시터 양 단에 걸리는 전압이 형성되는 시간이 감소될 수 있다.

[0042] 구체적으로, 도 1에서는 오프된 트랜지스터를 통해 야기되는 누설 전류 만으로 내부 캐패시터의 양단에 걸리는 전압을 형성하게 되어 내부 캐패시터 양 단에 걸리는 전압이 형성되는 시간이 길어지게 되고 결과적으로 스타트업 시간이 증가하게 된다.

[0043] 도 2에서는 이러한 문제점을 해결하기 위해 피드백 캐패시터(C_S)를 제1 정류부(210) 및 제2 정류부(220)와 연결하고 상기한 바와 같은 캐패시터가 양 단의 전압의 급격한 변화를 허용하지 않는 특성을 이용하여 내부 캐패시터의 양 단에 걸리는 전압을 더 빠르게 형성할 수 있다. 더욱 상세하게는, 피드백 캐패시터(C_S)에는 출력단 및 오프된 트랜지스터(240)의 타단의 전위차만큼의 전압이 인가될 수 있다. 내부 캐패시터에 인가되는 전압 또한 피드백 캐패시터(C_S)에 인가된 전압으로부터의 급격한 전압 변경이 허용되지 않는다. 이에 따라, 내부 캐패시터에 인가되는 전압은 상대적으로 빠른 속도로 피드백 캐패시터(C_S)에 인가된 전압으로 근접할 수 있으며, 이에 따라 스타트업 시간이 감소될 수 있다.

[0044] 결과적으로, 오프된 트랜지스터를 통해 야기되는 누설 전류뿐만 아니라 피드백 캐패시터(C_S)를 통해서도 내부 캐패시터의 양 단의 전압을 형성함으로써 내부 캐패시터 양 단의 전압을 형성하는데 걸리는 시간을 감소시킬 수 있고 이를 통해 스타트업 시간이 감소하는 효과가 발생할 수 있다.

[0045] 이하에서는, 비교예들에 따른 RF 정류기의 문제점들에 대해 설명함으로써 본 발명의 일실시예에 따른 RF 정류기의 특성을 보다 명확히 할 수 있다.

[0046] 도 3은 일비교예에 따른 단순한 형태의 RF 정류기의 회로도를 도시한다.

[0047] 일비교예에 따르면, 단순한 형태의 RF 정류기는 정류를 수행하는 하는 두 개의 트랜지스터(M1, M2), 교류-커플링을 위한 캐패시터(Cc) 및 출력 전압의 DC 성분을 유지해주는 로드 캐패시터(C_L)를 포함할 수 있다.

[0048] 다만, 도 3과 같이 구성하게 되면 정류 역할을 하는 두 개의 트랜지스터에서 전압 강하가 발생하게 된다. 정류

트랜지스터로 인한 전압 강하는 정류기의 정류 효율을 감소시키는 주요 요인이다. 이러한 전압 강하는 정류 트랜지스터의 문턱 전압에 의해서 발생하게 된다.

[0049] 따라서 이러한 문턱 전압의 효과를 최소화 또는 제거하기 위해서 문턱 전압 상쇄 기법이 필요로 된다. 이하에서는, 문턱 전압 상쇄 기법이 적용된 RF 정류기의 비교예들에 대해서 후술한다.

[0050] 도 4는 일비교예에 따른 문턱전압 상쇄 기법이 적용된 반파정류기의 회로도를 도시한다.

[0051] 일비교예에 따르면, RF 정류기의 정류를 수행하는 2 개의 정류 트랜지스터(M1, M2)의 문턱 전압 강하를 상쇄하기 위해 각 정류 트랜지스터에 2 개의 캐패시터(C_b) 및 외부 배터리(V_{bth})를 연결할 수 있다.

[0052] 다만, 외부 배터리(V_{bth})를 연결한다면, 회로의 면적이 더 커지게 되고, 외부 배터리(V_{bth})의 전압을 각 캐패시터(C_b)에 순차적으로 전달하기 위해서 추가적인 스위치가 필요하게 된다. 또한, 이 스위치를 제어하기 위한 복잡한 추가회로가 필요하게 되어 전체적인 회로의 레이아웃 측면에서 복잡도가 증가하는 문제가 발생할 수 있다.

[0053] 또한 이 과정에서 추가적인 기생 캐패시터 성분이 발생하여 정류 효율 향상에 부정적인 영향을 미치게 된다. 기생 캐패시터 성분은 교류-커플링을 위한 캐패시터(Cc)와 트랜지스터(M1) 사이의 노드와 그라운드 사이에서 발생한다. 또한, 추가적인 스위치가 상기 노드 상의 기생 캐패시터를 충전 또는 방전하기 위해 전력이 낭비된다.

[0054] 따라서, 이러한 문제점을 해결하기 위해서 이하에서는 외부 배터리를 제외하고 문턱 전압 상쇄 기법을 적용한 RF 정류기에 대해 후술한다.

[0055] 도 5는 일비교예에 따른 외부 배터리를 제외한 문턱 전압 상쇄 기법이 적용된 반파정류기의 회로도를 도시한다.

[0056] 일비교예에 따르면, RF 정류기의 정류를 수행하는 2 개의 정류 트랜지스터(M1, M2)의 문턱 전압 강하를 상쇄하기 위해 각 정류 트랜지스터와 내부 캐패시터(C_{bp}, C_{bn}) 및 내부 트랜지스터(MP_B, MN_B)를 병렬 연결한다. 또한 저항(R_b)를 각 내부 트랜지스터(MP_B, MN_B), 내부 캐패시터(C_{bp}, C_{bn}) 및 정류 트랜지스터(M1, M2)에 연결한다.

[0057] 도 4에서의 RF 정류기와는 달리, 도 5에서의 일비교예에 따른 RF 정류기는 외부 배터리를 이용하여 문턱 전압을 상쇄하지 않는다. 외부 배터리를 이용하지 않고 문턱 전압을 상쇄하기 위해 내부 캐패시터(C_{bp}, C_{bn}) 및 내부 트랜지스터(MP_B, MN_B)를 이용하고 있다.

[0058] 내부 트랜지스터(MP_B, MN_B)는 정류 트랜지스터 문턱 전압의 역전압인 제1 전압을 생성하도록 의도적으로 설계될 수 있다. 아울러, 생성된 제1전압은 정류 트랜지스터에 인가되어 문턱 전압이 상쇄될 수 있다. 전류가 내부 트랜지스터(MP_B, MN_B)를 통해 흐르게 된다면, 내부 트랜지스터(MP_B, MN_B)에도 역시 전압 강하가 발생하게 되고, 이 전압 강하가 정류 트랜지스터의 역전압이 되도록 설계될 수 있다.

[0059] 이러한 내부 트랜지스터(MP_B, MN_B)의 역전압인 제1 전압이 내부 트랜지스터(MP_B, MN_B)와 병렬 연결된 내부 캐패시터(C_{bp}, C_{bn})의 양단에 형성되게 되고, 이로 인해서 문턱 전압 상쇄 효과가 발생하게 된다.

[0060] 이와 같이 RF 정류기를 구성하는 경우, 외부 배터리가 필요하지 않고 또한 각 정류 트랜지스터의 문턱 전압 효과를 상쇄하기 위해 캐패시터가 한 개만 필요하기 때문에 추가적 스위치와 같은 구성이 필요하지 않은 단순한 구성이 될 수 있다.

[0061] 다만, 내부 트랜지스터(MP_B, MN_B)가 저항(R_b)와 연결되어 있고, 내부 트랜지스터(MP_B, MN_B)를 통해 출력단에서 접지단으로 전류가 흐르게 되기 때문에, 저항(R_b)에 의한 전력 손실이 발생할 수 있다. 이와 같은 저항(R_b)을 지나는 전류가 야기하는 전력 손실은 정류기의 정류 효율에 악영향을 줄 수 있다. 저항(R_b)과 내부 트랜지스터(MP_B, MN_B)에 흐르는 전류는 원래 출력 단을 통해 부하로 전달되어야 할 전류이므로, 정류기의 정류 효율에 감소를 야기하게 되는 것이다.

[0062] 따라서, 저항(R_b)에 의한 전력 손실을 최소화 하는 방안이 필요하게 된다. 저항(R_b)에 의한 전력 손실을 최소화하기 위해서는 저항(R_b)에 흐르는 전류를 감소시켜야 한다. 저항(R_b) 양단에 걸리는 전압은 출력 전압에서 내부 트랜지스터(MP_B, MN_B)로 인한 전압 강하를 뺀 값으로 일정하기 때문에, 저항(R_b)에 흐르는 전류를 감소시키기 위

해서는 저항(R_b)의 크기를 증가시켜야 한다.

[0063] 다만, 저항(R_b)의 크기를 증가시키는 것은 RF 정류기의 면적의 증가를 가져오게 되어 RF 정류기의 제조 공정 등에서 비용 손실이 발생하고, 회로의 집적화에 있어서도 실장 면적이 커지게 됨으로써 문제가 발생할 수 있다.

[0064] 또한, 저항(R_b)의 크기를 증가시켜 전류를 감소시키게 되면 내부 캐패시터($C_{bp,}$ C_{bn})에 흐르는 전류 역시 감소하게 된다. 내부 캐패시터($C_{bp,}$ C_{bn})에 흐르는 전류가 감소하는 경우, 내부 캐패시터($C_{bp,}$ C_{bn}) 양 단에 걸리는 전압을 형성하는 시간이 길어지게 되고, 이는 스타트업 시간이 증가하게 되는 결과가 된다.

[0065] 이하에서는 상기한 바와 같은 RF 정류기의 단점을 개선하기 위한 본원 발명의 일실시예에 따른 회로도를 설명하도록 한다.

[0066] 도 6은 일실시예에 따른 정류기의 회로도를 도시한다.

[0067] 일실시예에 따르면, RF 정류기는 정류를 수행하는 2 개의 정류 트랜지스터(M1, M2)의 문턱 전압 강하를 상쇄하기 위해 각 정류 트랜지스터와 내부 캐패시터($C_{bp,}$ C_{bn}) 및 내부 트랜지스터(MP_B, MN_B)를 병렬연결하고, 오프 트랜지스터를 각 내부 트랜지스터(MP_B, MN_B)에 연결할 수 있다. 또한, 스타트업 시간을 감소시키기 위해 피드백 캐패시터를 내부 트랜지스터(MP_B)와 병렬 연결하고, 내부 트랜지스터(MN_B) 및 RF 정류기의 출력단에 연결할 수 있다.

[0068] 도 5에서 설명한 일비교예에 따른 RF 정류기와 비교하여, 저항에 흐르는 전류를 감소시키기 위해서 저항의 크기를 증가하는 방법을 취하는 대신에 오프된 트랜지스터를 이용할 수 있다. 모든 장치에는 누설 전류가 흐르게 되는 점을 이용하여 오프된 트랜지스터를 저항 대신에 배치하여 미세한 누설 전류만을 흐르게 할 수 있다.

[0069] 상기한 바와 같이 오프된 트랜지스터를 이용하여 내부 트랜지스터(MP_B, MN_B)에 누설 전류만을 흐르게 함으로써 내부 트랜지스터(MP_B, MN_B)의 전압 강하가 정류 트랜지스터의 역전압인 제1 전압이 되도록 설계할 수 있다.

[0070] 이를 통해, 도 5에서와 마찬가지로 내부 트랜지스터(MP_B, MN_B)와 병렬 연결된 내부 캐패시터($C_{bp,}$ C_{bn}) 양 단에 제1 전압이 형성되게 되고 이로 인해 문턱 전압 상쇄 효과를 발생시킬 수 있다.

[0071] 구체적인 회로의 연결상태는, 정류 트랜지스터(MP)의 드레인단이 내부 캐패시터($C_{bp,}$)의 일단 및 내부 트랜지스터(MP_B)의 소스단과 연결될 수 있다.

[0072] 또한, 정류 트랜지스터(M1)의 게이트단이 내부 캐패시터($C_{bp,}$)의 타단 및 내부 트랜지스터(MP_B)의 게이트단 및 드레인단과 연결될 수 있다.

[0073] 또한, 정류 트랜지스터(M2)의 게이트 단이 내부 캐패시터(C_{bn})의 일단 및 내부 트랜지스터(MN_B)의 게이트 단 및 드레인단과 연결될 수 있다. 정류 트랜지스터(M2)의 소스단이 내부 캐패시터(C_{bn})의 타단 및 내부 트랜지스터(MN_B)의 소스단과 연결될 수 있다.

[0074] 나아가 정류 트랜지스터(M1) 및 내부 트랜지스터(MP_B)는 PMOS(P-channel metal oxide semiconductor)일 수 있고, 다른 정류 트랜지스터(M2) 및 내부 트랜지스터(MN_B)는 NMOS(N-channel metal oxide semiconductor)일 수 있다.

[0075] 도 5에서 제기된 문제점 중 하나인 저항을 통해 흐르는 전류로 인해 정류 효율이 감소하는 문제를 개선하기 위해서 큰 저항을 사용하는 대신에, 큰 저항의 역할을 대체할 오프 트랜지스터를 사용할 수 있다. 오프 트랜지스터를 저항 대신에 사용하게 되면 이 내부 트랜지스터(MP_B, MN_B)에 흐르는 전류를 감소시킬 수 있다. 따라서, 저항으로 인한 전력 소모가 발생하지 않게 되므로, 정류 효율 면에서도 개선되는 효과가 발생할 수 있다.

[0076] 다만, 이와 같이 오프된 트랜지스터를 이용하는 경우에도 미세한 누설 전류만이 흐르게 되기 때문에, 내부 캐패시터($C_{bp,}$ C_{bn}) 양단에 걸리는 전압을 형성하는 시간이 길어지게 된다. 내부 캐패시터($C_{bp,}$ C_{bn}) 양단에 걸리는 전압을 형성하는 시간이 길어지게 되면 결과적으로 스타트업 시간이 증가되는 단점을 여전히 내포하고 있다.

[0077] 따라서, 본 발명의 일실시예에 따르면, 상기한 바와 같은 스타트업 시간이 증가되는 단점을 해결하기 위해 피드

백 캐패시터를 내부 트랜지스터(MP_B)와 병렬 연결하고, 내부 트랜지스터(MN_B) 및 RF 정류기의 출력단에 연결할 수 있다.

[0078] 캐패시터는 양단에 걸리는 전압의 빠른 변화를 허용하지 않는 특성이 있기 때문에, 이러한 특성로 인해 출력 전압이 상승할 때 내부 캐패시터(C_{bn})의 일단(V_X)의 전압도 따라서 함께 상승하려는 성질이 커지게 된다. 이러한 피드백 작용은 문턱 전압 상쇄 효과가 더욱 빨리 정류기의 동작에 관여하게 만들어, 출력 전압의 스타트업 속도가 향상될 수 있다.

[0079] 결과적으로, 누설 전류로 인해 내부 캐패시터(C_{bp}, C_{bn})가 충전되는 것뿐만 아니라 피드백 캐패시터(Cs)의 피드백 작용이 더해져서 내부 캐패시터(C_{bp}, C_{bn}) 양단에 걸리는 전압이 형성되는 시간이 빨라지게 될 수 있다. 이로 인해 문턱 전압 상쇄 효과의 속도가 증가하며, 이는 스타트업 시간이 빨라지는 결과가 될 수 있다.

[0080] 이와 같이 도 5에서 나타난 RF 정류기의 단점을 개선하기 위해 본 발명의 일실시예에서는 저항 대신에 오프된 트랜지스터를 이용하고, 피드백 캐패시터를 추가함으로써 더 개선된 RF 정류기를 제공할 수 있다. 이하에서는 오프된 트랜지스터를 구체적으로 구현할 수 있는 방법에 대해서 후술한다.

[0081] 도 7은 일실시예에 따른 오프 트랜지스터가 PMOS인 정류기의 회로도를 도시한다.

[0082] 일실시예에 따르면, 오프된 트랜지스터(MP_{B2}, MP_{B3})는 PMOS일 수 있고, PMOS의 게이트단은 RF 정류기의 출력단과 연결될 수 있다. PMOS는 게이트단에 상대적으로 큰 전압이 인가되면 동작하지 않게 된다. 따라서, PMOS의 게이트단을 RF 정류기의 출력단과 연결하게 된다면, RF 정류기의 출력단은 입력 교류 전압이 정류되어 계속해서 상대적으로 큰 전압이 출력되기 때문에, PMOS는 동작하지 않게 된다. 따라서, PMOS의 게이트단을 RF 정류기의 출력단과 연결하게 되는 경우 오프된 트랜지스터(MP_{B2}, MP_{B3})의 역할을 할 수 있다.

[0083] 한편, 다른 실시예에서는 오프된 트랜지스터(MP_{B2}, MP_{B3})는 NMOS일 수도 있다. 오프된 트랜지스터(MP_{B2}, MP_{B3})가 NMOS로 구현되는 경우에는, RF 정류기는 추가적으로 부트스트래핑(boot-straping)회로를 더 포함할 수도 있다.

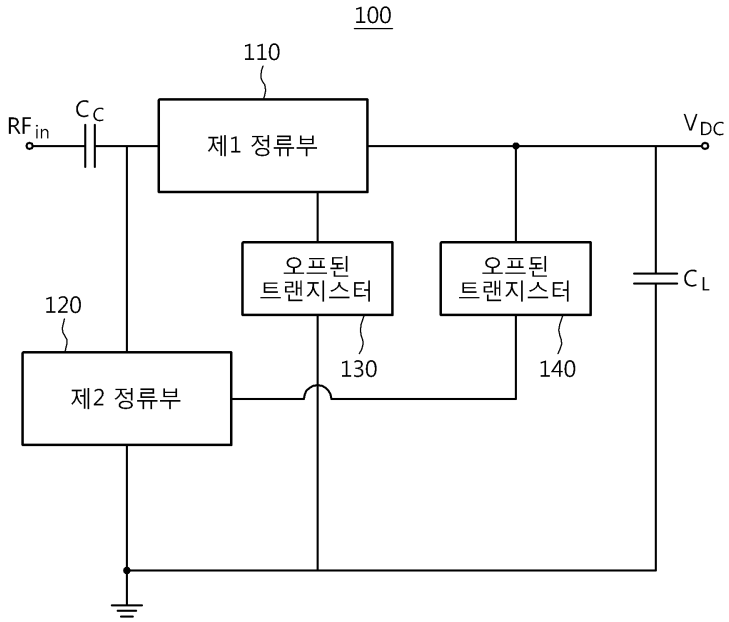
[0084] 본 발명의 일실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 본 발명을 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 본 발명의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0085] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

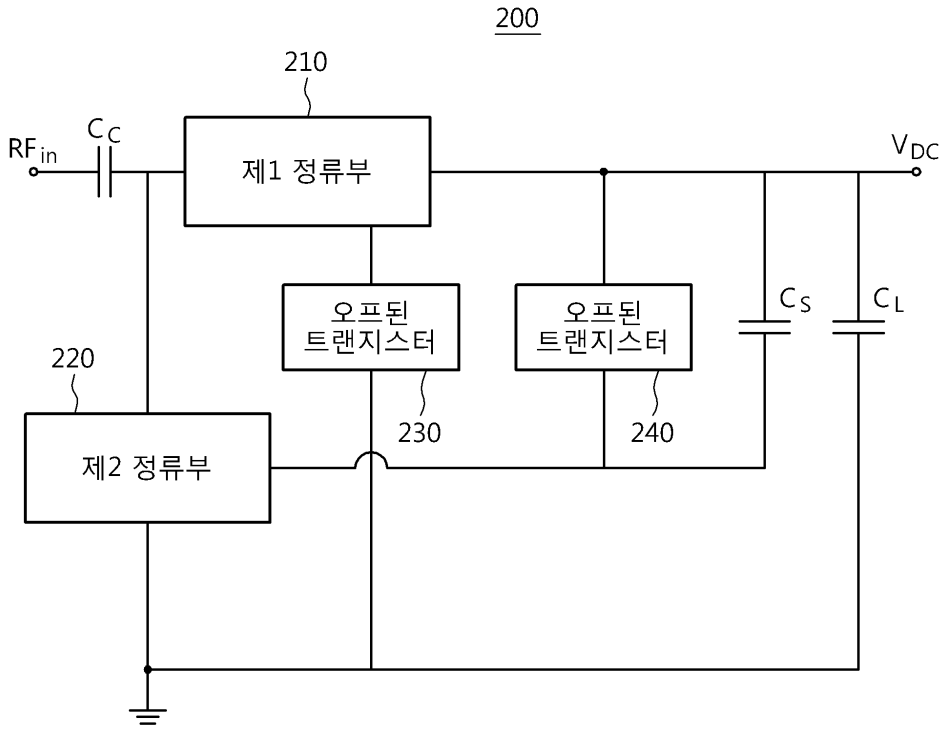
[0086] 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

도면

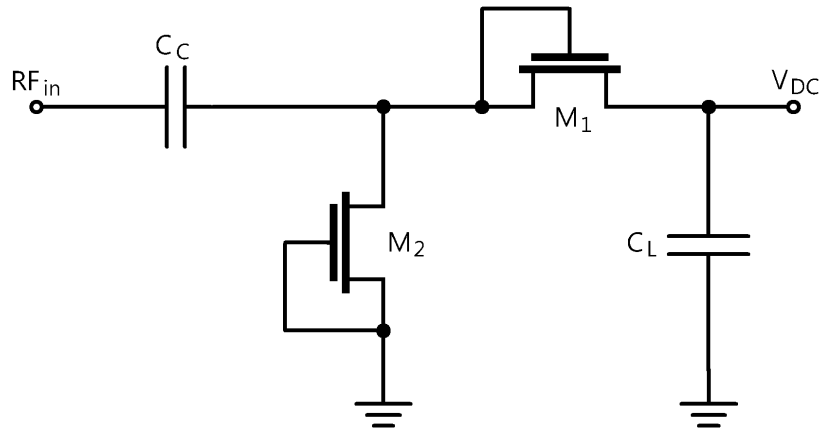
도면1


100
110
RF in
C C
제1 정류부
V DC
오프된
트랜지스터
오프된
트랜지스터
C L
120
130
140
제2 정류부

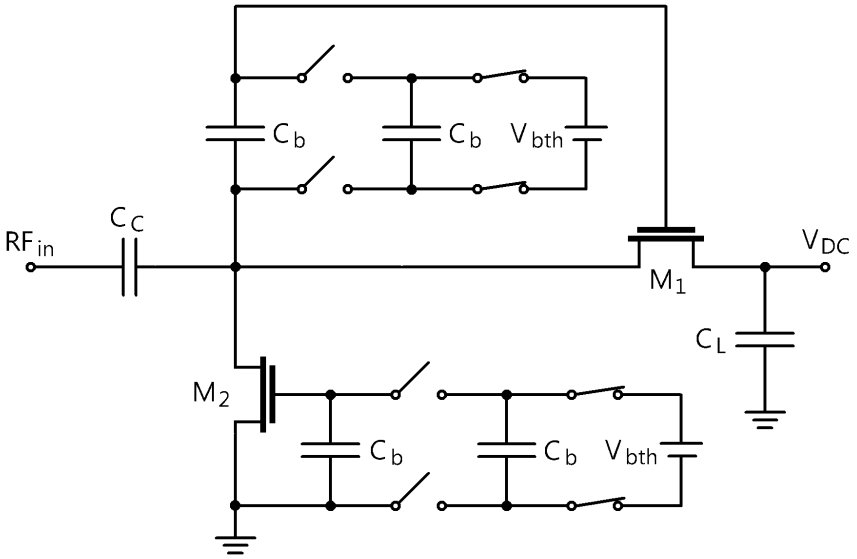
도면2


200
210
RF in
C C
제1 정류부
V DC
오프된
트랜지스터
오프된
트랜지스터
C S
C L
220
230
240
제2 정류부

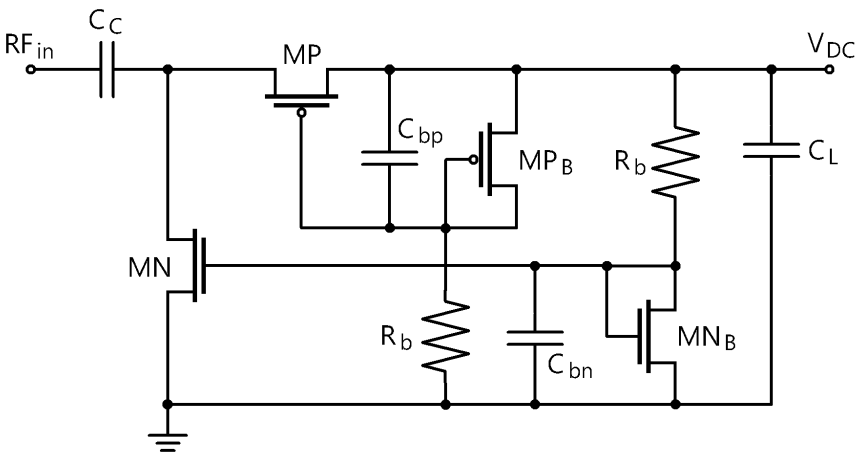
도면3


RF in
C C
M 1
V DC
M 2
C L

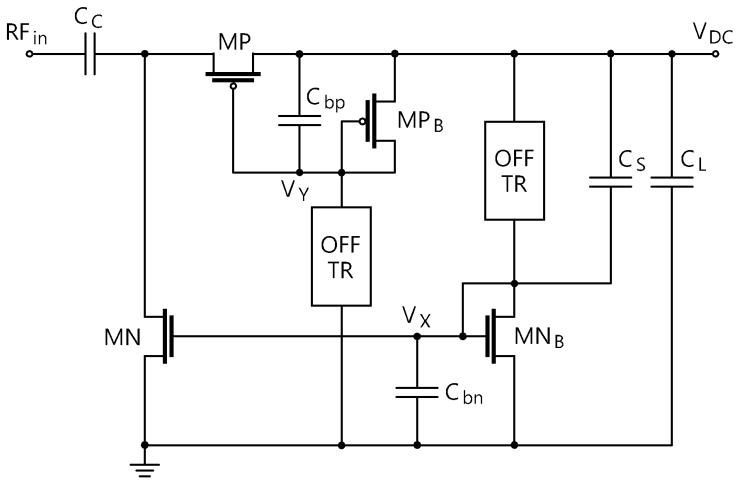
도면4


C b
C b
V bth
RF in
C C
M 1
V DC
C L
M 2
C b
C b
V bth

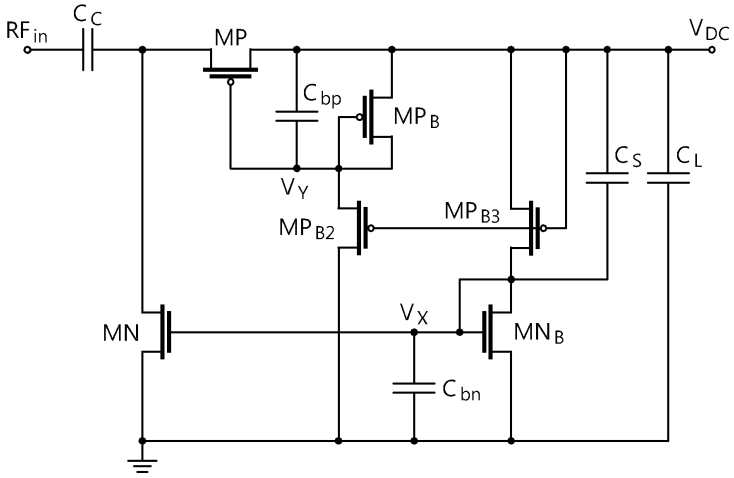
도면5


RF in
C C
MP
V DC
C bp
MP B
R b
C L
MN
R b
C bn
MN B

도면6


RF in
C C
MP
V DC
C bp
MP B
V Y
OFF TR
OFF TR
C S
C L
MN
V X
MN B
C bn

도면7


RF in
C C
MP
V DC
C bp
MP B
V Y
MP B2
MP B3
C S
C L
MN
V X
MN B
C bn