

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7601773号
(P7601773)

(45)発行日 令和6年12月17日(2024.12.17)

(24)登録日 令和6年12月9日(2024.12.9)

(51)国際特許分類

F I

H 0 1 L 21/60 (2006.01)

H 0 1 L 21/60 3 2 1 E

H 0 1 L 23/29 (2006.01)

H 0 1 L 23/36 A

請求項の数 20 (全18頁)

(21)出願番号	特願2021-543137(P2021-543137)	(73)特許権者	507107291
(86)(22)出願日	令和2年1月22日(2020.1.22)		テキサス インスツルメンツ インコーポ
(65)公表番号	特表2022-523671(P2022-523671		レイテッド
	A)		アメリカ合衆国 テキサス州 7 5 2 6 5
(43)公表日	令和4年4月26日(2022.4.26)		- 5 4 7 4 ダラス メール ステーション
(86)国際出願番号	PCT/US2020/014554		3 9 9 9 ピーオーボックス 6 5 5 4 7 4
(87)国際公開番号	WO2020/154364	(74)代理人	230129078
(87)国際公開日	令和2年7月30日(2020.7.30)		弁護士 佐藤 仁
審査請求日	令和5年1月17日(2023.1.17)	(73)特許権者	390020248
(31)優先権主張番号	16/253,680		日本テキサス・インスツルメンツ合同会
(32)優先日	平成31年1月22日(2019.1.22)		社
(33)優先権主張国・地域又は機関	米国(US)	(72)発明者	東京都港区港南一丁目2番70号
			ウーチャン キム
			アメリカ合衆国 9 4 0 8 6 カリフォル
			ニア州 サニーベール ホーリー テラス
			最終頁に続く

(54)【発明の名称】 露出したクリップを備える電子デバイスフリップチップパッケージ

(57)【特許請求の範囲】

【請求項1】

パッケージされた電子デバイスであって、
多層基板であって、第1の側と、第2の側と、第1の層であって、前記第1の層を介して前記第1の側まで延在する第1の複数の導電性構造を有する、前記第1の層と、第2の層であって、前記第2の層を介して前記第2の側まで延在する第2の複数の導電性構造を有する、前記第2の層とを含む、前記多層基板と、
第1の半導体ダイであって、電子構成要素と、前記電子構成要素の端子に電氣的に接続される第1の複数の導電性特徴とを含み、前記第1の複数の導電性特徴が、前記第1の半導体ダイの第1の側から外方に延在し、前記第1の複数の導電性構造の第1のセットに接続される、前記第1の半導体ダイと、
第2の半導体ダイであって、前記第2の半導体ダイの第1の側から外方に延在する第2の複数の導電性特徴を含み、前記第2の複数の導電性特徴が前記第1の複数の導電性構造の第2のセットに接続される、前記第2の半導体ダイと、
前記第1の複数の導電性構造の第2のセットの1つの導電性構造と、前記第1の半導体ダイの第2の側とに接続される導電性クリップであって、前記第2の半導体ダイの上に延在して前記第2の半導体ダイから物理的に分離される、前記導電性クリップと、
前記第1及び第2の半導体ダイと前記導電性クリップの一部とを封入するパッケージ構造と、
を含む、パッケージされた電子デバイス。

10

【請求項 2】

請求項 1 に記載のパッケージされた電子デバイスであって、

前記第 1 の複数の導電性構造が、前記第 1 の半導体ダイの第 1 の複数の導電性特徴の 1 つの導電性特徴に接続される第 1 の導電性構造と、前記第 1 の半導体ダイの第 1 の複数の導電性特徴の別の導電性特徴に接続される第 2 の導電性構造と、前記導電性クリップの第 1 の部分に接続される第 3 の導電性構造とを含み、

前記第 2 の複数の導電性構造が、前記多層基板内で前記第 1 の導電性構造に電氣的に接続される第 4 の導電性構造と、前記多層基板内で前記第 3 の導電性構造に電氣的に接続される第 5 の導電性構造とを含む、パッケージされた電子デバイス。

【請求項 3】

10

請求項 2 に記載のパッケージされた電子デバイスであって、

前記第 1 の半導体ダイの電子構成要素がトランジスタであり、

前記第 1 の半導体ダイの第 1 の複数の導電性特徴の 1 つの導電性特徴が、前記トランジスタのドレイン端子に電氣的に接続され、

前記第 1 の半導体ダイの第 1 の複数の導電性特徴の別の導電性特徴が、前記トランジスタのソース端子に電氣的に接続される、パッケージされた電子デバイス。

【請求項 4】

請求項 2 に記載のパッケージされた電子デバイスであって、

前記第 2 の複数の導電性構造が、前記多層基板内で前記第 3 の導電性構造に電氣的に接続される第 6 の導電性構造を更に含む、パッケージされた電子デバイス。

20

【請求項 5】

請求項 2 に記載のパッケージされた電子デバイスであって、

前記多層基板が、前記第 1 の層と前記第 2 の層との間に配置される第 3 の層であって、前記第 1 の複数の導電性構造の一部を前記第 2 の複数の導電性構造の一部に個々に接続するために前記第 1 の層と前記第 2 の層との間に延在する導電性ビアと、前記導電性ビアの少なくとも一部を互いから分離する絶縁体構造とを含む、前記第 3 の層を更に含む、パッケージされた電子デバイス。

【請求項 6】

請求項 5 に記載のパッケージされた電子デバイスであって、

前記第 3 の層の絶縁体構造が、積層ビルドアップ材料を含む、パッケージされた電子デバイス。

30

【請求項 7】

請求項 5 に記載のパッケージされた電子デバイスであって、

前記第 3 の層の絶縁体構造が、セラミック材料を含む、パッケージされた電子デバイス。

【請求項 8】

請求項 7 に記載のパッケージされた電子デバイスであって、

前記パッケージ構造が、前記第 1 及び第 2 の半導体ダイと前記導電性クリップの一部とを封入するモールド材料を含み、

前記パッケージ構造のモールド材料が、前記第 1 の層において前記第 1 の複数の導電性構造の少なくとも一部を互いから分離し、

40

前記パッケージ構造のモールド材料が、前記第 2 の層において前記第 2 の複数の導電性構造の少なくとも一部を分離する、パッケージされた電子デバイス。

【請求項 9】

請求項 5 に記載のパッケージされた電子デバイスであって、

前記導電性クリップが、前記第 1 の複数の導電性構造の 1 つの導電性構造にはんだ付けされ、前記導電性クリップが、前記第 1 の半導体ダイの第 2 の側にはんだ付けされる、パッケージされた電子デバイス。

【請求項 10】

請求項 2 に記載のパッケージされた電子デバイスであって、

前記多層基板が、前記第 1 の層と前記第 2 の層との間に配置される第 3 の層であって、

50

前記第 1 の層と前記第 2 の層との間に延在する導電性ビアと、前記導電性ビアの少なくとも一部を互いから分離する絶縁体構造とを含む、前記第 3 の層を更に含む、パッケージされた電子デバイス。

【請求項 1 1】

請求項 1 0 に記載のパッケージされた電子デバイスであって、

前記第 3 の層の絶縁体構造が、積層ビルドアップ材料を含む、パッケージされた電子デバイス。

【請求項 1 2】

請求項 1 0 に記載のパッケージされた電子デバイスであって、

前記第 3 の層の絶縁体構造が、セラミック材料を含む、パッケージされた電子デバイス。

10

【請求項 1 3】

請求項 1 2 に記載のパッケージされた電子デバイスであって、

前記パッケージ構造が、前記第 1 及び第 2 の半導体ダイと前記導電性クリップの一部とを封入するモールド材料を含み、

前記パッケージ構造のモールド材料が、前記第 1 の層において前記第 1 の複数の導電性構造の少なくとも一部を互いから分離し、

前記パッケージ構造のモールド材料が、前記第 2 の層において前記第 2 の複数の導電性構造の少なくとも一部を分離する、パッケージされた電子デバイス。

【請求項 1 4】

請求項 1 に記載のパッケージされた電子デバイスであって、

20

前記導電性クリップが、前記第 1 の複数の導電性構造の 1 つの導電性構造にはんだ付けされ、前記導電性クリップが、前記第 1 の半導体ダイの第 2 の側にはんだ付けされる、パッケージされた電子デバイス。

【請求項 1 5】

請求項 1 に記載のパッケージされた電子デバイスであって、

前記第 2 の半導体ダイが、前記導電性クリップの下に少なくとも部分的に位置する、パッケージされた電子デバイス。

【請求項 1 6】

電子デバイスであって、

多層基板であって、第 1 の複数の導電性構造を含む第 1 の層と、第 2 の複数の導電性構造を含む第 2 の層と、前記第 1 の層と前記第 2 の層との間に配置される第 3 の層であって、前記第 1 の層と前記第 2 の層との間に延在して前記第 1 の複数の導電性構造の一部を前記第 2 の複数の導電性構造の一部と個別に接続するための導電性ビアと、前記導電性ビアの少なくとも一部を互いから分離する絶縁体構造とを含む、前記第 3 の層とを含む、前記多層基板と、

30

第 1 の半導体ダイであって、電子構成要素と、前記電子構成要素の端子に電氣的に接続される第 1 の複数の導電性特徴とを含み、前記第 1 の複数の導電性特徴が前記第 1 の複数の導電性構造の第 1 のセットにはんだ付けされる、前記第 1 の半導体ダイと、

前記第 1 の複数の導電性構造の第 2 のセットに接続される第 2 の複数の導電性特徴を含む第 2 の半導体ダイと、

40

前記第 1 の複数の導電性構造の第 2 のセットの 1 つの導電性構造と前記第 1 の半導体ダイの第 2 の側とに接続される導電性クリップであって、前記第 2 の半導体ダイの上に延在して前記第 2 の半導体ダイから物理的に分離される、前記導電性クリップと、

を含む、電子デバイス。

【請求項 1 7】

請求項 1 6 に記載の電子デバイスであって、

前記第 3 の層の絶縁体構造が、積層ビルドアップ材料を含む、電子デバイス。

【請求項 1 8】

請求項 1 6 に記載の電子デバイスであって、

前記第 3 の層の絶縁体構造が、セラミック材料を含む、電子デバイス。

50

【請求項 19】

電子デバイスを作製する方法であって、

第1の半導体ダイの第1の側の導電性特徴を多層基板の第1の層の導電性構造の第1のセットにはんだ付けすること、

第2の半導体ダイの第1の側の導電性特徴を前記多層基板の第1の層の導電性構造の第2のセットにはんだ付けすることと、

前記多層基板に導電性クリップを取り付けることであって、

前記導電性クリップの第1の部分を前記第1の層の導電性構造の第2のセットの導電性構造にはんだ付けすることと、

前記導電性クリップの第2の部分を前記第1の半導体ダイの第2の側に取り付けることであって、前記導電性クリップが前記第2の半導体ダイの上に延在して前記第2の半導体ダイから物理的に分離される、前記取付けることと、

を含む、前記導電性クリップを取り付けることと、

前記第1及び第2の半導体ダイと前記導電性クリップの一部とをパッケージ構造内に封入することと、

を含む、方法。

【請求項 20】

請求項 19 記載の方法であって、

前記パッケージ構造が、エポキシモールド材料を含む、方法。

【発明の詳細な説明】

【技術分野】

【0001】

電子回路は、特に動作周波数が高い場合、寄生インダクタンスによって生じる効率の低下や動作の劣化の影響を受けやすくなる。また、高周波デバイスは、動作温度が上昇すると効率が低下する。印刷回路基板（PCB）を介する底部側冷却のみを備える従来のデバイスパッケージの熱制限は、デバイスサイズ縮小を妨げ、デバイス電力密度の増大を阻止する。また、スイッチング回路の良好な電気的性能は、1つ又は複数の電力回路スイッチングトランジスタを含む半導体ダイの裏側を接地することによって向上する。ワイヤボンダダイ及びリードフレームによる現行のパッケージング解決策は、寄生インダクタンスが高く、頂部側冷却又は裏側ダイ接地を提供することができない。蓋付き埋め込みダイパッケージは、熱放散のために頂部側に蓋が付いた反転ダイ又はフリップチップを有するが、頂部側の接地接続は提供しない。他のフリップチップアプローチは、ダイ裏側への接地接続を実装していない。再配線層（RDL）を備える埋め込みダイ上に直接めっきされた銅層を有するさらなるパッケージは高価である。

【発明の概要】

【0002】

パッケージされた電子デバイスを、多層基板に取り付けられた反転ダイ及び導電性クリップ、並びに、半導体ダイと導電性クリップの一部とを封入するパッケージ構造と共に記載する。記載される例は、良好なダイ熱放散及び電気的性能を有する、コスト効率の良い電子デバイスパッケージング解決策を提供する。記載される例示のパッケージ電子デバイスは、第1の導電性構造を有する第1の層、及び、第2の導電性構造を備える第2の層を備える多層基板を含む。この例示のデバイスは、電子構成要素を備える半導体ダイも含む。半導体ダイは、電子構成要素の端子に電気的に接続され、第1の層の対応する導電性構造に直接接続される導電性特徴を含む。例示のデバイスはまた、第1の層の第1の導電性構造のうちの1つに直接接続される導電性クリップを含む。導電性クリップは、半導体ダイの側部に直接接続される。例示のデバイスはまた、半導体ダイと導電性クリップの一部とを封入するパッケージ構造を含む。

【0003】

或る例において、多層基板は、第1の層と第2の層との間に第3の層又は複数の中間層を含み、第1の導電性構造の幾つかを第2の導電性構造の幾つかと個別に接続する導電性

10

20

30

40

50

ビアを備える。また、第3の層は、ビアを互いから分離する絶縁体構造を含む。一例において、多層基板は積層構造であり、積層（laminated）構造において、絶縁体構造が、積層ビルドアップ材料を含む。別の例において、多層基板は、セラミック又は絶縁金属基板（IMS）であり、この場合、絶縁体構造はセラミック材料を含む。一例において、パッケージ構造は、半導体ダイと、導電性クリップの一部とを封入するモールド材料を含む。一例におけるモールド材料は、第1の層において第1の導電性構造の少なくとも幾つかを互いから分離し、第2の層において第2の導電性構造の少なくとも幾つかを互いから分離する。一例において、導電性クリップは、第1の層の第1の導電性構造のうちの1つにはんだ付けされ、導電性クリップは半導体ダイにはんだ付け又はエポキシ接着される。一例において、デバイスは第2の半導体ダイも含み、第2の導電性特徴が、第1の層の導電性構造の対応するものに直接接続されている。

10

【0004】

電子デバイスを作製するための方法を記載する。この方法は、半導体ダイの第1の側の導電性特徴を、多層基板の第1の層の導電性構造の第1のセットにはんだ付けすることと、多層基板及び半導体ダイに導電性クリップを取り付けることとを含む。一例において、導電性クリップを取り付けることが、導電性クリップの第1の部分を、第1の層の第1の側のさらなる導電性構造にはんだ付けすることと、導電性クリップの第2の部分を半導体ダイの第2の側に取り付けることとを含む。一例において、導電性クリップの第2の部分が、半導体ダイの第2の側にはんだ付けされる。別の例において、導電性クリップの第2の部分は、半導体ダイの第2の側にエポキシ接着される。この方法はさらに、半導体ダイと導電性クリップの一部とをパッケージ構造内に封入することを含む。一例において、この方法はまた、導電性クリップを多層基板及び半導体ダイに取り付ける前に、第2の半導体ダイを導電性構造の第2のセットにはんだ付けすることを含む。

20

【図面の簡単な説明】

【0005】

【図1】多層積層構造を含む多層積層基板と露出クリップとを備えるフリップチップパッケージされた電子デバイスの断面側立面図である。

【0006】

【図2】図1の線2-2に沿って切り取られたパッケージされた電子デバイスの上部立面図である。

30

【0007】

【図3】図1の線3-3に沿って切り取られたパッケージ電子デバイスの断面頂部立面図である。

【0008】

【図4】図1の線4-4に沿って切り取られたパッケージされた電子デバイスの底部立面図である。

【0009】

【図5】パッケージされた電子デバイスを製造する方法のフローチャートである。

【0010】

【図6】図5の方法に従った製造を経る図1～図4のパッケージされた電子デバイスの側部立面図である。

40

【図7】図5の方法に従った製造を経る図1～図4のパッケージされた電子デバイスの側部立面図である。

【図8】図5の方法に従った製造を経る図1～図4のパッケージされた電子デバイスの側部立面図である。

【図9】図5の方法に従った製造を経る図1～図4のパッケージされた電子デバイスの側部立面図である。

【図10】図5の方法に従った製造を経る図1～図4のパッケージされた電子デバイスの側部立面図である。

【図11】図5の方法に従った製造を経る図1～図4のパッケージされた電子デバイスの

50

側部立面図である。

【図 1 2】図 5 の方法に従った製造を経る図 1 ~ 図 4 のパッケージされた電子デバイスの側部立面図である。

【 0 0 1 1 】

【図 1 3】多層セラミック又は絶縁金属基板と、露出クリップとを備えた、別の例のフリップチップパッケージされた電子デバイスの断面側立面図である。

【発明を実施するための形態】

【 0 0 1 2 】

図面において、全体を通して同様の参照番号は同様の要素を示し、種々の特徴は必ずしも一定の縮尺で描いてはいない。以下の記載及び請求項において、「含む」、「有する」、「備える」という用語、又はそれらの変形は、「包含する」という用語と同様の方式で包括的であることを意図しており、「~を含むが、それに限定されない」という意味で解釈されるべきである。また、「結合する」という用語は、間接的又は直接的な電氣的又は機械的接続、又はそれらの組み合わせを含むことが意図されている。例えば、第 1 のデバイスが第 2 のデバイスに結合するか又は第 2 のデバイスと結合される場合、その接続は、直接的な電氣的接続を介するものであり得、又は 1 つ又は複数の介在デバイス及び接続を介した間接的電氣的接続を介するものであり得る。

【 0 0 1 3 】

図 1 ~ 図 4 は、第 1 の半導体ダイ 1 0 1 及び第 2 の半導体ダイ 1 0 2 を備える、一例のパッケージされた電子デバイス 1 0 0 を示す。例示のデバイス 1 0 0 は、複数の半導体ダイ 1 0 1 及び 1 0 2 を含むが、他の例において、単一の半導体ダイ、又は 2 つ以上の半導体ダイを含むこともできる。図示の例では、両方の半導体ダイが、多層基板 1 0 6 の導電性構造にフリップチップはんだ付けされた導電性特徴 1 0 4 を備える下側の第 1 の表面 1 0 3 を含む。例示の導電性特徴 1 0 4 は、半導体ダイ 1 0 1 及び 1 0 2 の下側の第 1 の側 1 0 3 から外方（例えば、下方）に延在する。銅パッド又は多層基板 1 0 6 の他の導電性構造にはんだ付け又はその他の方式で直接接続することができる、任意の適切な導電性特徴 1 0 4 を用いることができる。一例において、ダイ 1 0 1 及び 1 0 2 の導電性特徴 1 0 4 は、はんだバンプである。別の例において、導電性特徴 1 0 4 は銅ピラーである。

【 0 0 1 4 】

一例において、ダイ 1 0 1 及び 1 0 2 は、図 7 に関連して以下にさらに述べるように、1 つ又は複数の電子構成要素（例えば、トランジスタ、抵抗器、コンデンサ、ダイオード等）を備えて作製される。一例において、第 1 のダイ 1 0 1 は、例えば、シリコンカーバイド（SiC）トランジスタ又は窒化ガリウム（GaN）トランジスタなどの高電子移動度トランジスタ（HEMT）などの電力トランジスタを含む。例示のダイ 1 0 1 及び 1 0 2 はまた、1 つ又は複数のメタライゼーション層を含み、メタライゼーション層は、上側 1 0 3 から外方に延在する、銅ピラー、はんだバンプ、又は他の導電性特徴 1 0 4 を有する上側 1 0 3 を備える。導電性特徴 1 0 4 の少なくとも幾つかは、1 つ又は複数のメタライゼーション層を介して、ダイ 1 0 1 及び 1 0 2 内の 1 つ又は複数の電子構成要素の端子に電氣的に接続される。この例において、ダイ 1 0 1 及び 1 0 2 は、フリップチップ取り付けプロセスを用いて、第 1 の側 1 0 3 の導電性特徴 1 0 4 を多層基板 1 0 6 の導電性構造上に下向きにはんだ付けするために、反転又は「フリップ」される。ダイ 1 0 1 及び 1 0 2 の反転された位置決めは、ダイの第 2 の側 1 0 5 を図 1 において（例えば、正の Z 方向に沿った）上向きのままにする。フリップチッププロセスは、ダイ 1 0 1 及び 1 0 2 を多層基板 1 0 6 の第 1（例えば、上側の）側 1 0 7 に直接取り付ける。導電性特徴 1 0 4 の多層基板 1 0 6 の導電性構造への直接電氣的接続は、有利にも、ワイヤボンディング又は他の相互接続技術に関連する寄生インダクタンスを緩和又は回避する。

【 0 0 1 5 】

デバイス 1 0 0 は導電性クリップ 1 0 8 も含む。クリップ 1 0 8 は、アルミニウム、銅など、任意の適切な導電性材料とすることができる。導電性クリップ 1 0 8 は、多層基板 1 0 6 の第 1 の側 1 0 7 上の 1 つ又は複数の導電性構造に直接接続される。一例において

10

20

30

40

50

、クリップ 108 の下側の第 1 の部分が、多層基板 106 の第 1 の側 107 の 1 つ又は複数の導電性構造に直接はんだ付けされる。また、導電性クリップ 108 は、第 1 の半導体ダイ 101 の第 2 の側 105 に直接接続される。一例において、導電性クリップ 108 の上側の第 2 の部分が、第 1 の半導体ダイ 101 の第 2 の側 105 の導電性特徴に直接はんだ付けされる。別の例において、導電性クリップ 108 の第 2 の部分が、第 1 の半導体ダイ 101 の第 2 の側 105 の一部にエポキシ接着される。一実装において、導電性クリップ 108 は、多層基板 106 の第 1 の側 107 の接地された導電性構造、例えば、接地接続にはんだ付けされる。

【0016】

図 2 ~ 図 4 も参照すると、図 2 は、図 1 の線 2 - 2 に沿って切り取られたパッケージされた電子デバイス 100 の上面図を示す。図 1 及び図 2 の導電性クリップ 108 は、第 2 の半導体ダイ 102 の一部の上を延在し、且つ、第 2 の半導体ダイ 102 の一部から離間されている。この例では、クリップ 108 は、第 1 の半導体ダイ 101 の第 2 の側 105 にはんだ付けされているか又はエポキシ接着されているかにかかわらず、デバイス 100 の動作の間、第 1 の半導体ダイ 101 及び / 又は第 2 の半導体ダイ 102 を電磁干渉 (EMI) から保護するための接地シールドを提供する。図 1 の例では、導電性クリップ 108 は、パッケージされた電子デバイス 100 の外に露出される上側の第 1 の側 109 を含む。クリップ 108 はまた、取り付けられた第 1 の半導体ダイ 101 からの熱放散を容易にするように機能する。使用時に、熱放散をさらに促進するために、導電性クリップ 108 の露出された第 1 の側 109 に、ヒートシンク (図示せず) が、はんだ付け、エポキシ接着、又は他の方式で取り付けられ得る。

【0017】

図 1 の例示の多層基板 106 は、多層積層基板構造である。別の実装 (例えば、後述の図 13) において、多層基板 106 は、セラミック基板又は絶縁金属基板 (IMS) である。図 1 に示されるように、多層積層基板 106 は、第 1 の (例えば、頂部) 側 107 における第 1 の層 110、及び、底部の第 2 の層 120 を含む。多層基板 106 は、リードフレームでは不可能であるか又は非実用的な、信号配路及び相互接続位置を容易にする。図 1 の例は、中間の第 3 の層 130 も含む。第 1 の層 110 は、第 1 の層 110 を介して多層基板 106 の第 1 の側 107 まで延在する、第 1 の複数の導電性構造 112、114、及び 116 を含む。導電性構造 112、114、及び 116 は、互いに横方向に離間して (例えば、図 1 の X 方向に沿って) 配置される。また、導電性構造 112、114、及び 116 は、第 1 の絶縁構造 118 によって互いから分離される。

【0018】

図 1 の例では、第 1 の導電性構造 112 が、半導体ダイ 101 の第 1 の導電性特徴 104 にはんだ付けされる。一例において、第 1 の半導体ダイ 101 はトランジスタ構成要素 (例えば、後述の図 7 のトランジスタ 701) を含み、第 2 の半導体ダイ 102 はトランジスタドライバ回路 (図示せず) を含む。この例では、半導体ダイ 101 の第 1 の導電性特徴 104 は、トランジスタのドレイン端子 (図 1 では「D」と標示されている) に電氣的に接続される。第 1 の層 110 の第 2 の導電性構造 114 が、半導体ダイ 101 の第 2 の導電性特徴 104 にはんだ付けされ、第 3 の導電性構造 116 が、導電性クリップ 108 の第 1 の部分にはんだ付けされる。図 1 の例では、半導体ダイ 101 の第 2 の導電性特徴 104 は、トランジスタのソース端子 (図 1 では「S」と標示されている) に電氣的に接続される。一例において、ドライバ回路ダイ 102 は、トランジスタダイ 101 のソース端子を、回路接地ノード又は他の基準電圧ノードに接続し、第 2 のダイ 102 の対応する接地導電特徴 104 が、第 3 の導電性構造 116 にはんだ付けされる。

【0019】

図示の例では、導電性クリップ 108 の第 1 の部分が、多層基板 106 の第 1 の側 107 の第 3 の導電性構造 116 に直接はんだ付けされる。このようにして、導電性クリップ 108 は、回路接地に直接電氣的に接続され、接地されたシールドをダイ 101 及び 102 に提供する。また、一例において、第 1 の半導体ダイ 101 が、第 2 の (例えば、上側

10

20

30

40

50

の)側105に上側ボディコンタクト(図1では図示せず、後述の図7で図示されている)を含み、ボディコンタクトは、導電性クリップ108の第2の部分にはんだ付けされる。この実装において、導電性クリップ108は、半導体ダイ101のボディへのはんだ付けされた直接的な電気接地接続を提供する。

【0020】

図3は、第1の層110を通る線3-3に沿って切り取られた断面上面図であり、図4は、図1の線4-4に沿って切り取られた、パッケージされた電子デバイスの第2の(例えば、底部)層120の特徴を示す底面図である。第2の層120は、第2の複数の導電性構造122、124、126、及び128を含む。導電性構造122、124、126、及び128は、多層基板106の第2の層120を介して延在する。第2の複数の導電性構造は、第4の導電性構造122、第5の導電性構造124、及び第6の導電性構造126を含む。第4の導電性構造122は、多層基板106の第3の層130を介して、第1の層110の第1の導電性構造112に電氣的に接続される。第5の導電性構造124は、第3の層130を介して第3の導電性構造116に電氣的に接続される。図示された例示の第2の層120は、第6の導電性構造126も含む。第6の導電性構造126は、第3の層130を介して第3の導電性構造116に電氣的に接続される。

10

【0021】

第3の層130は、第1の層110と第2の層120との間に延在する導電性ビア132、134、及び136を含む。ビア132、134、及び136は、アルミニウム、銅など、任意の適切な導電性材料とすることができる。また、第3の層130は、導電性ビア132、134、及び/又は136の少なくとも一部を互いから分離する絶縁体構造138を含む。図1~図4の積層基板の例において、第3の層130の絶縁体構造138は、積層ビルドアップ材料138を含む。図示の例では、多層基板106の絶縁体構造118、128、及び138は各々、積層ビルドアップ材料で構成される。一例において、ビルドアップ材料は、個々の層110、120、及び130の導電性構造又はビアの間のギャップに、プレス加工又はその他の方式で設置されるシートとして始まる。この手法はドライフィルム積層と呼ばれる。一例において、絶縁体構造118、128、及び138、ならびに構成要素ビルドアップ材料シートは、有機材料であるか又は有機材料を含む。

20

【0022】

パッケージされた電子デバイス100はパッケージ構造140も含む。パッケージ構造140は、例えば、モールドされたプラスチック材料、セラミック材料など、デバイス100の構成要素のすべて又は一部を封入するための任意の適切なパッケージ材料とし得る。パッケージ材料は、第1の(例えば、頂部)側141を含む。図1の例では、導電性クリップ108の第1の側109は、パッケージ材料140の第1の側141を越えて垂直に延在し、クリップ108からの熱放散を可能にし、及び/又は、外部ヒートシンク(図示せず)のデバイス100への取り付けを可能にする。パッケージされた電子デバイス100はまた、第2の(例えば、底部)側142を含み、第2の複数の導電性構造122、124、及び126の露出された部分が図1に示されている。使用時に、パッケージされた電子デバイス100の第2の側142の露出された導電性構造122、124、及び126は、ホストPCB(図示せず)にはんだ付けされて、ホストPCBの回路要素からの、半導体ダイ101、102、及び多層基板106によって形成される回路との電氣的接続を提供する。

30

40

【0023】

第3の層130の導電性ビア132、134、及び136は、第1の層110の導電性構造112、114、及び116の幾つかを、第2の層120の導電性構造122、124、及び126の幾つかと個々に接続する。図1の例では、第1のビア132が第1の半導体ダイ101のトランジスタドレインを、第1の層110の第1の導電性構造112を介して、第2の層120の第4の導電性構造122に直接に電氣的に接続する。この例では、第4の導電性構造122は、PCB(図示せず)にはんだ付けされ得るパッケージされた電子デバイス100の底部側142においてドレイン接続を提供する。第3の層13

50

0の第2のビア134は、第3の導電性構造116から第2の層120の第5の導電性構造124へ接地ノードを電氣的に接続する。また、第3の層130の第3のビア136は、第3の導電性構造116から第6の導電性構造126へ接地ノードを電氣的に接続する。導電性構造124及び126は、デバイス100の底部側142において接地又はソース接続を提供し、これはユーザPCBにはんだ付けされ得る。

【0024】

図1におけるデバイス100の断面側面図は、図2～図4の線1-1に沿って切り取られており、例示の多層基板106の全ての特徴を示すものではない。図3は第1の層110の例示の頂部断面図を示し、第1の層110は第1の導電性構造112(「D」と標示されている)を含み、その一部が第1の層110の横方向縁部まで延在する。第1の層110の例示の第2の導電性構造114は、第1の半導体ダイ101と第2の半導体ダイ102(図1)との間のソース接続(「S」と標示されている)を提供するために、右側よりも左側の方が広がっている。第1の層110は、また、ドライバ回路ダイ102と第1の半導体ダイ101内のトランジスタのゲート端子との間のゲート制御信号相互接続を提供する導電性構造300(「G」と標示されている)を含む。この例におけるトランジスタゲート端子は、導電性構造300の頂部表面にはんだ付けされた第1の半導体ダイ101の対応する導電性特徴(図示せず)を介して接続される。この例における第2の半導体ダイ102は、導電性構造300の第2の端部にはんだ付けされる対応する導電性特徴(図示せず)を有するゲート制御信号出力を含む。導電性構造300により、ドライバダイ102は、第1の半導体ダイ101のトランジスタを動作させるためのゲート制御信号を提供し得る。また、図3は、導電性クリップ108のための接地ノード接続を提供する第3の導電性構造116を図示する。また、第1の層110は、ドライバダイ102内の他の回路要素への接続、及び、ドライバダイ102内の他の回路要素への又はそこからの信号の配路を促進するために、導電性構造302をさらに含む。

【0025】

図4は、パッケージされた電子デバイス100の第2の層120の底面図を示す。第2の層120は、パッケージされた電子デバイス100の底部側142においてドレイン接続を提供する第4の導電性構造122を含む。また、第2の層120の底部側は、第5の導電性構造124(例えば、接地ノード接続)と、第6の導電性構造126(例えば、さらなる接地ノード接続)とを含む。図4における例示の第2の層120は、さらなる導電性構造400の露出された部分も含む。

【0026】

例示のパッケージされた電子デバイス100は有利にも、1つ又は複数のフリップチップはんだ付けダイ101及び102を備えた多層基板106、ならびに、以前のパッケージ構成の種々の熱的及び電氣的欠点を解決する導電性クリップ108を組み合わせる。例示のデバイス100の種々の特徴は、高出力密度及び低コストに関連する利点と組み合わせ、改善された高周波数動作のために、Ga N、Si C、又は他のHEMTトランジスタ回路と関連して用いることができる。或る実装において、デバイス100は、以前の、ボンドワイヤに関連した寄生インダクタンスを伴うことなく、フリップチップGa Nダイ101及びドライバ回路102のパッケージングを促進する。

【0027】

また、記載されたデバイス100は、良好な電氣的性能のための、第1のダイ101の裏側105への接地されたクリップ取り付けと共に、頂部側の冷却を通して改善された熱放散のための、ダイ101の裏側に取り付けられた露出された導電性クリップ108を提供する。これは、フリップチップパッケージにおけるダイ裏側への接地接続を実装しない他の解決に比べて、大幅な改善を表している。デバイス100はまた、再配線層特徴を有する埋め込みダイパッケージング解決策と比較して、著しいコスト上の利点を提供する。また、多層基板106の使用は、有利にも、リードフレーム技術と比較して複雑な相互接続配路能力を促進する。加えて、例示の多層積層構造体106は、高周波回路応用例におけるさらなる改善のための低い電氣的寄生を促進する。また、例示のデバイス100は、

10

20

30

40

50

蓋付きＣＣＣパッケージを用いることが不可能だった接地された裏側接続と組み合わせて、良好な熱放散を提供する。図１３に関連して以下でさらに述べるように、多層基板１０６は、多層積層基板（例えば、図１～図４）、セラミック基板、又は絶縁金属基板（例えば、ＩＭＳ、図１３）を含む、様々な異なる構成を用いて実装し得る。

【００２８】

次に、図５～図１２を参照すると、図５は、パッケージされた電子デバイスを作製するための例示の方法５００を示す。一例において、方法５００は、上述の図１～図４の例示のパッケージされた電子デバイス１００を作製するために用いることができる。方法５００は、図１３に関連して以下に記載される例示のデバイスなどの、他のパッケージされた電子デバイスを作製するために用いられ得る。方法５００は、例示のデバイス１００の作製に関連して以下に記載され、図６～図１２は、方法５００に従った作製を経るパッケージされた電子デバイス１００を示す。

10

【００２９】

例示の方法５００は、５０２でのウェハ作製、及び５０４でのウェハ頂部へのはんだバンプ又は銅ピラーの形成を含む。図６は、一例を示し、この例では、複数の透視図ダイエリアを含むウェハ６００を作製するためにプロセス６０４が実施され、ダイエリアの各々は、ウェハ６００の第１の側６０１から外方に延在する、１つ又は複数の対応するはんだバンプ又は銅ピラー導電性特徴１０４を有する。例示のウェハ６００はまた、裏側６０２を含む。

【００３０】

20

また、方法５００は、図５における５０６において、ダイ分離又は個片化を含む。図６におけるダイ６００は、任意の適切な鋸切断、レーザー切断、エッチング、又は他の分離処理（図示せず）を用いて、複数の半導体ダイ（例えば、図１における第１のダイ１０１）に分離され得る。図７は、図６のウェハ６００から分離され、分離されたダイ１０１の第１の側１０３に導電性特徴１０４（例えば、銅ピラー又ははんだバンプ）を形成するプロセス７００を経る、例示の第１のダイ１００の一部を示す。

【００３１】

図７における例示の第１のダイ１０１は、半導体基板７０２（例えば、シリコン、窒化ガリウム、シリコンカーバイド、ＳＯＩ（silicon-on-insulator）など）の上及び／又は中に形成されるトランジスタ構成要素７０１を含む。例示の第１のダイ１０１は単一のトランジスタ構成要素７０１を含むが、他の実装が、ダイ１０１内に形成された複数の電子構成要素を有する集積回路を含む。この例における処理されたダイ１０１は、トランジスタ構成要素７０１の対応する端子（ソース「Ｓ」、ドレイン「Ｄ」、ゲート「Ｇ」、及びバックゲートコンタクト）に個々に電氣的に接続される、複数の導電性特徴１０４を含む。導電性特徴１０４は、アルミニウム、銅、はんだ材料、又は、多層基板１０６の第１の層１１０の導電性構造１１２、１１４のうちの対応するもの（例えば、図１）への後続のはんだ付けに適したその他の導電性材料である。

30

【００３２】

例示のダイ１０１は、基板７０２の上側表面又は上側の選択部分上に配置された絶縁構造７０３も含む。絶縁構造７０３は、幾つかの例においてシャロートレンチアイソレーション（ＳＴＩ）特徴又はフィールド酸化物（ＦＯＸ）構造とし得る。例示のダイ１０１は、基板７０２の上方に配置された多層メタライゼーション構造も含む。メタライゼーション構造は、基板７０２の上に形成された第１の誘電体構造層７０４、並びに多レベル上側メタライゼーション構造７０６、７１０を含む。一例において、第１の誘電体構造層７０４は、トランジスタ７０１と基板７０２の上側表面との上に配置されるプレメタル誘電体（ＰＭＤ）層である。一例において、第１の誘電体構造層７０４は、トランジスタ７０１、基板７０２、及び絶縁構造７０３の上に堆積される二酸化シリコン（ＳｉＯ_２）を含む。

40

【００３３】

メタライゼーション構造は、トランジスタ７０１の様々な端子からＰＭＤ層７０４を介して延在するタングステンプラグ又はコンタクト７０５、ならびに本明細書では層間又は

50

レベル間誘電体 (ILD) 層と呼ばれる、上にある誘電体層 706 及び 710 を含む。異なる実装において異なる数の層が用いられ得る。一例において、第 1 の ILD 層 706 及び最終 ILD 層 710 は、二酸化シリコン (SiO_2) 又は他の適切な誘電体材料で形成される。或る実装において、多層上側メタライゼーション構造の個々の層は、金属間誘電体 (IMD、図示せず) サブ層と、IMD サブ層の上にある ILD サブ層とを含む、二段で形成される。個々の IMD 及び ILD サブ層は、例えば SiO_2 ベースの誘電材料など、任意の適切な 1 つ又は複数の誘電材料から形成し得る。

【0034】

第 1 の ILD 層 706 及び上側 ILD 層 710 は、下にある層の頂部表面上に形成されたアルミニウムなどの、導電性メタライゼーション相互接続構造 708 及び 712、並びに、タングステンなどのビア 709 を含み、個々の層のメタライゼーション特徴 708、712 から、上にあるメタライゼーション層への電気接続を提供する。基板 702、電子構成要素 701、第 1 の誘電体構造層 704、及び上側のメタライゼーション構造 706、710 は、上側又は表面 103 を有するダイ 101 を形成する。頂部メタライゼーション層 710 は、最頂部アルミニウムビアなどの例示の導電性特徴 714 を含む。導電性特徴 714 は、最頂部のメタライゼーション層 710 の頂部におけるダイ 101 の上側 103 における側又は表面を含む。任意の数の導電性特徴 714 を設けることができる。導電性特徴 714 のうちの 1 つ又は複数の、ダイ 101 のメタライゼーション構造を介してトランジスタ 701 と電氣的に結合される。

【0035】

一例における上側 ILD 誘電体層 710 は、1 つ又は複数のパッシベーション層 716 (例えば、保護オーバーコート (PO) 及び / 又はパッシベーション層)、例えば、窒化シリコン (Si_3N_4)、シリコンオキシナイトライド (SiO_xN_y)、又は二酸化シリコン (SiO_2) によって覆われる。一例において、1 つ又は複数のパッシベーション層 716 が、導電性特徴 714 の一部を露出させて、特徴 714 の対応するコンタクト又は導電性特徴 104 への電気接続を可能にする、1 つ又は複数の開口を含む。導電性特徴 104 は、メタライゼーション構造の第 1 の (例えば、上側の) 側 103 から外方に (例えば、図 7 の負の「Z」方向に沿って上方に) 延在する。一例における導電性特徴 104 は、メタライゼーション構造の上側 103 から外方に延在する銅などの、導電性シード層を含む。一例において、導電性特徴 104 は導電性ピラーを含む。別の例において、導電性特徴 104 ははんだバンプである。図 7 における例示のダイ 101 は、ダイ 101 の第 2 の側 105 上に形成された底部導電性特徴 718 (図 1 では図示せず) も含む。

【0036】

方法 500 は、多層基板 (例えば、上記の図 1106) の作製又は提供を備える図 5 の 508 に続く。一例において、多層基板 106 は積層基板 (例えば、図 1 ~ 図 4) である。別の例において、多層基板は、セラミック基板又は絶縁金属基板 (例えば、後述の図 13) として 508 で作製される。図 8 は、図 1 ~ 図 4 に関連して図示及び上述した多層積層基板 106 を作成する積層プロセス 800 が実施される一例を示す。

【0037】

方法 500 は、多層基板上に 1 つ又は複数のダイを取り付ける、図 5 の 510 で継続する。図 9 は一例を示しており、フリップチップダイ取り付けはんだ付けプロセス 900 が実施され、このプロセスにおいて、半導体ダイ 101 の第 1 の側 103 の導電性特徴 104 が、例示の多層積層基板 106 の第 1 の層 110 の導電性構造 112、114 及び 116 の第 1 のセットにはんだ付けされる。この例では、第 1 及び第 2 のダイ 101 及び 102 は、多層積層基板 106 の第 1 の側 107 上に同時又は個別に反転して配置され、デバイス 100 は、導電性構造 112、114 及び 116 とのはんだ接合を形成するために、はんだバンプ 104 のはんだ材料をリフローするために加熱される。

【0038】

図 5 の 512 において、この方法はさらに、導電性クリップを多層基板及び半導体ダイに取り付けることを含む。図 10 は、導電性クリップ 108 の下側の第 1 の部分を第 3 の

10

20

30

40

50

導電性構造 116 にはんだ付けする取り付けプロセス 1000 が実施される一例を示す。一例において、取り付けプロセス 1000 はまた、導電性クリップ 108 の上側の第 2 の部分を、第 1 の半導体ダイ 101 の第 2 の側 105 に（例えば、図 7 の底部導電性特徴 718 に）はんだ付けする。この例では、第 1 の半導体ダイ 101 の第 2 の側 105 への導電性クリップ 108 のはんだ付け取り付けは、導電性クリップ 108 を介した導電性構造 116 における接地ノードへの電氣的ボディ接続を提供する。別の例において、クリップ取り付けプロセス 1000 は、導電性クリップの第 2 の部分を第 1 の半導体ダイ 101 の第 2 の側 105 にエポキシ接着する。いずれの例においても、クリップは、第 1 及び第 2 の半導体ダイ 101 及び 102 の回路要素を保護するための接地されたシールドとして動作する。また、クリップ 108 を第 1 の半導体ダイ 101 の第 2 の側 105 に取り付けることにより、ダイ 101 からの熱を放散させる熱経路が提供される。前述したように、エンドユーザが、熱放出をさらに促進するために、ヒートシンクを導電性クリップ 108 の頂部側 109 に取り付けることができる。

10

【0039】

図 5 の 514 において、方法 500 はさらに、半導体ダイ 101 及び 102 と、導電性クリップ 108 の一部とをパッケージ構造内に封入することを含む。図 11 は一例を示し、この例では、デバイス 100 の上側構造をプラスチックモールド材料 140 に封入するモルディングプロセス 1100 が実施される。この例では、モルディングプロセス 1100 はまず、モールドパッケージ構造 140 に、導電性クリップ 108 の頂部側 109 より上にある上側又は頂部表面 141 を提供する。

20

【0040】

図 5 の 516 において、例示の方法 500 はさらに、クリップ 108 の一部を露出させることを含む。図 12 は一例を示し、この例では、モールドパッケージ構造 140 の頂部表面の一部を除去して、導電性クリップ 108 の頂部側 109 の上側部分を露出させる材料除去プロセス 1200 が実施される。

【0041】

別の可能な例において、セラミックパッケージ構造（図示せず）を用いて、半導体ダイ 101、102 の全て又は一部、及び導電性クリップ 108 の少なくとも一部を封入することもできる。

【0042】

図 13 は、多層セラミック又は絶縁金属基板 1306 を有するフリップチップパッケージと、露出されたクリップとを含む、別の例のパッケージング電子デバイス 1300 を示す。デバイス 1300 は、上述したように、第 1 及び第 2 の半導体ダイ 101、102 と導電性クリップ 108 を含む。この例では、多層基板 1306 は、第 1 の側 107、第 2 の側 142、第 1 の層 1310、第 2 の層 1320、及び第 3 の層 1330 を含む。第 1 の層 1310 は、第 1 の層 1310 を介して第 1 の側 107 まで延在する第 1 の複数の導電性構造 1312、1314、及び 1316 を含み、第 2 の層 1320 は、第 2 の層 1320 を介して第 2 の側 142 まで延在する第 2 の複数の導電性構造 1322、1324、及び 1326 を含む。第 3 の層 1330 は、それぞれ、第 1 の層 1310 と第 2 の層 1320 との間で第 3 の層 1330 を介して延在する、導電性ビア 1332、1334、及び 1336 を含む。第 3 の層 1300 はまた、ビア 1332、1334、及び 1336 を互いから分離する絶縁体構造 1338 を含む。この例における絶縁体構造 1338 は、セラミック材料 1338 を含む。

30

40

【0043】

一例における第 1 の層 1300 の導電性構造 1312、1314 及び 1316 は、DBC (direct bonded copper) 基板として作成され、第 3 の層 1300 のセラミック絶縁体構造 1338 は誘電材料であり、ビア 1332、1334 及び 1336 は、第 1 の層 1310 と第 2 の層 1320 との間の電氣的相互接続を提供する。この例ではさらに、パッケージ構造 140 は、半導体ダイ 101 と導電性クリップ 108 の上側部分とを封入するモールド材料を含む。この例におけるモールド材料 140 はまた、第 1 の層 1310 にお

50

いて、第 1 の複数の導電性構造 1 3 1 2、1 3 1 4、及び / 又は 1 3 1 6 のうちの少なくとも幾つかを互いから分離する。また、図 1 3 のモールド材料 1 4 0 は、パッケージ電子デバイス 1 3 0 0 の底部の第 2 の層 1 3 2 0 において第 2 の複数の導電性構造 1 3 2 2、1 3 2 4、及び 1 3 2 6 の少なくとも一部を分離する。

【 0 0 4 4 】

記載されたパッケージング解決策は、リードフレーム設計の能力を超える複雑な信号配路を可能とするシンプルで低コストの実装により、良好な熱的及び電気的性能を促進する。露出されたクリップは、周囲又は取り付けられたヒートシンクへの熱放出を促進し、接地又はその他の基準電圧への接続を可能にする。多層基板により、埋め込みダイパッケージングの付加コスト及び複雑さなしに、ワイヤボンダパッケージの寄生インダクタンスの問題が回避される。また、多層基板は、リードフレームよりも複雑な配線を可能にする。例示の応用例には、H E M T デバイス（例えば、G a N 又は S i C トランジスタ等）を有する電力回路が含まれ、単一パッケージングデバイス内に複数のダイを収容し得る。

【 0 0 4 5 】

本発明の特許請求の範囲内で、説明した例示の実施例に改変が成され得、他の実施例が可能である。

10

20

30

40

50

【図面】

【図 1】

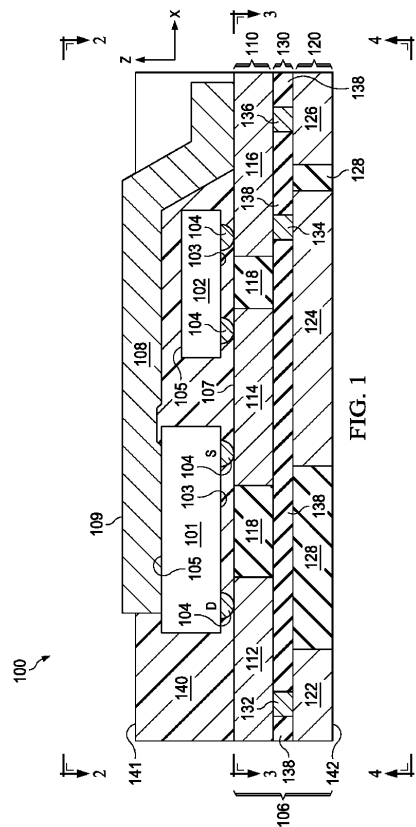


FIG. 1

【図 2】

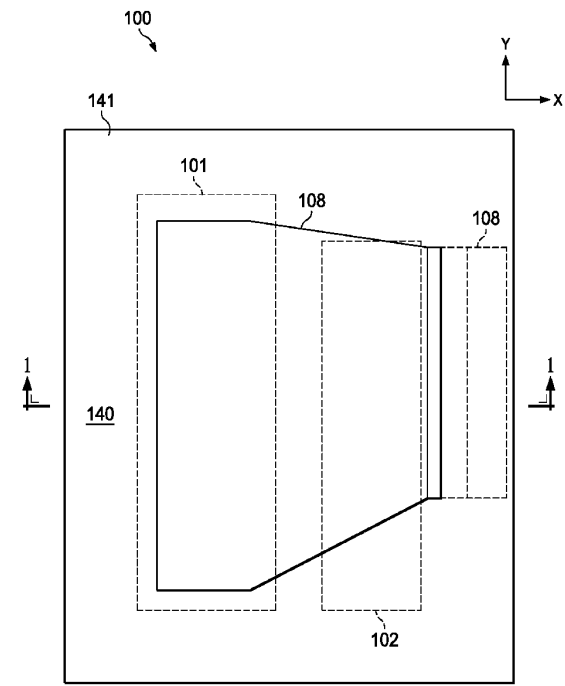


FIG. 2

【図 3】

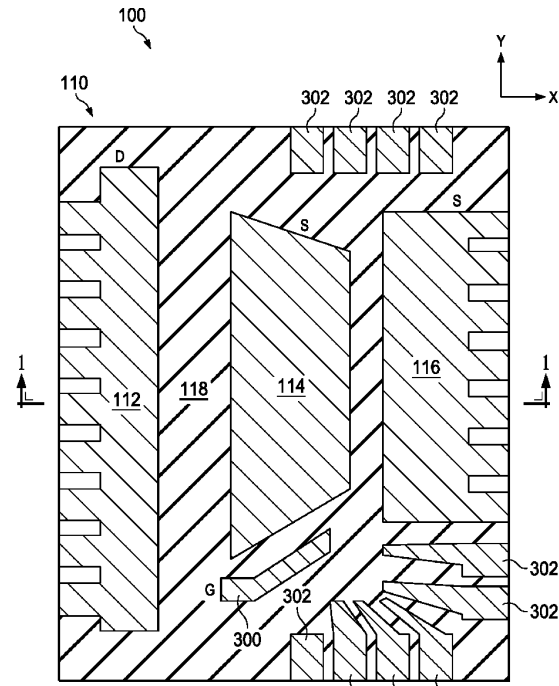


FIG. 3

【図 4】

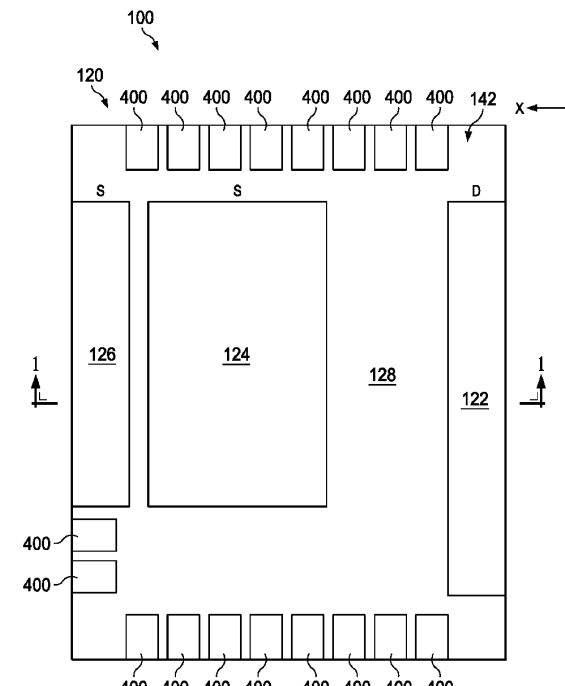


FIG. 4

10

20

30

40

50

【 図 5 】

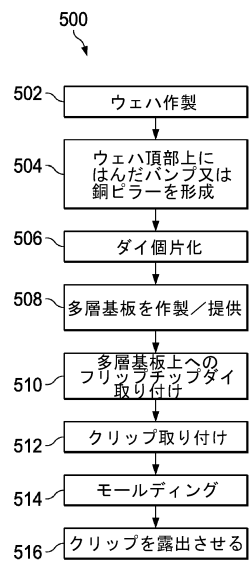


FIG. 5

【 図 6 】

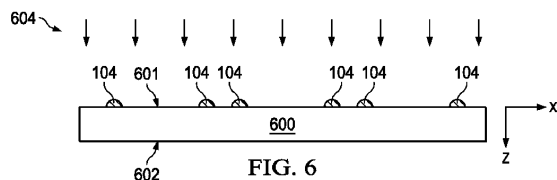


FIG. 6

10

【 図 7 】

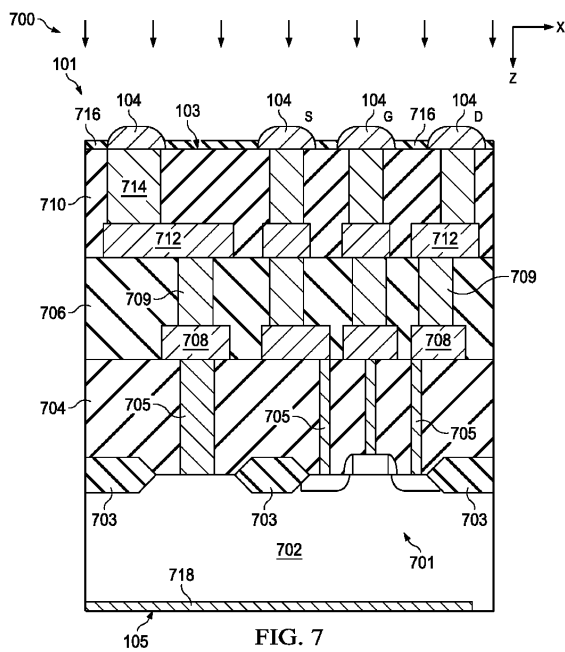


FIG. 7

【 図 8 】

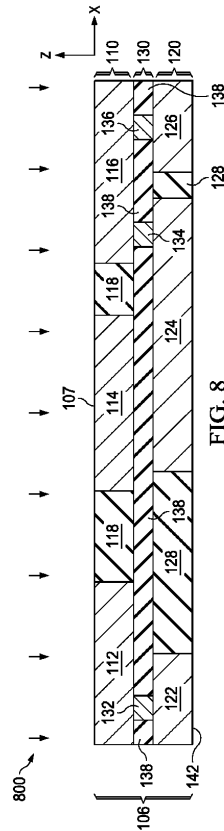


FIG. 8

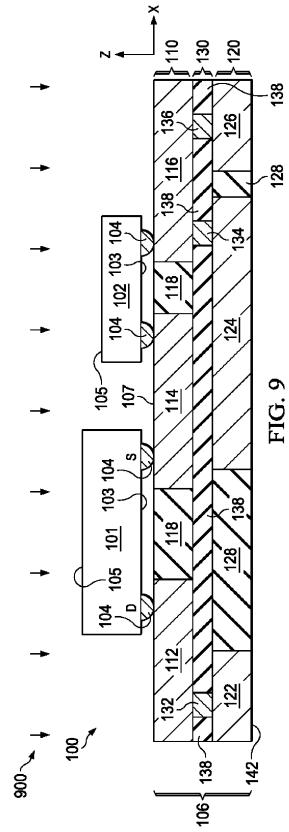
20

30

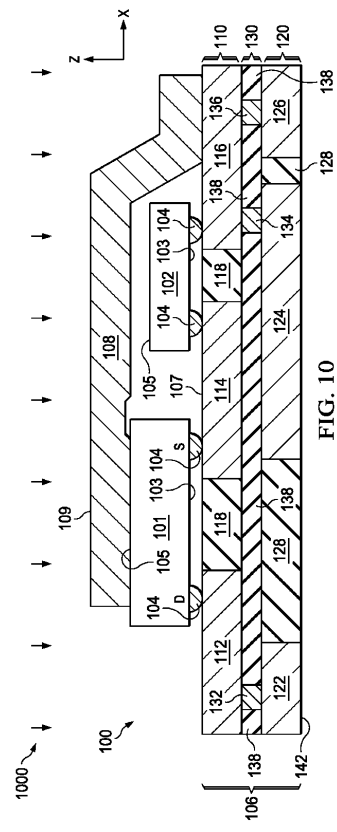
40

50

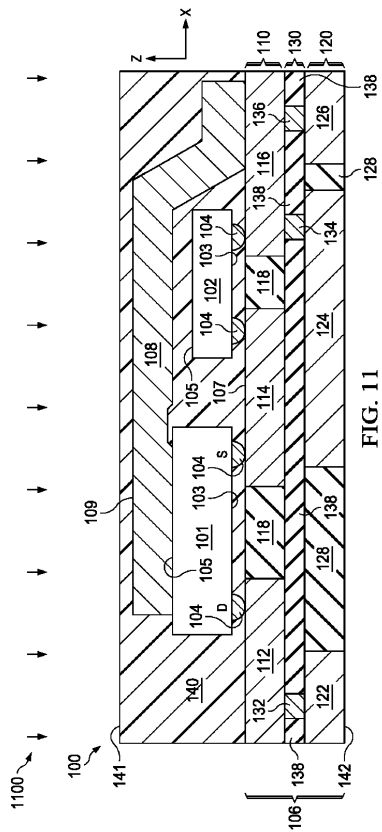
【 図 9 】



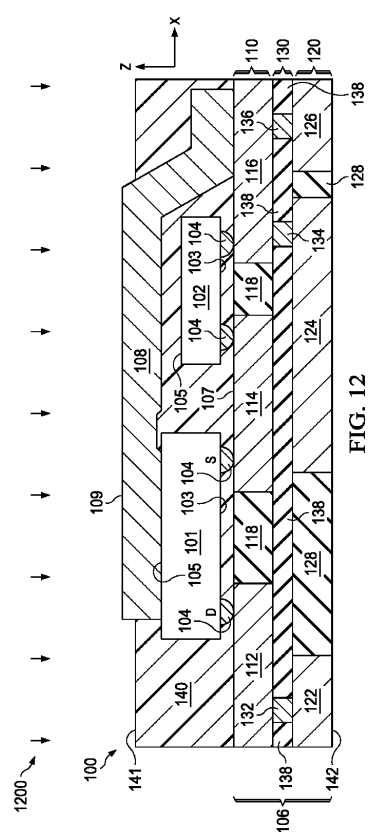
【 図 1 0 】



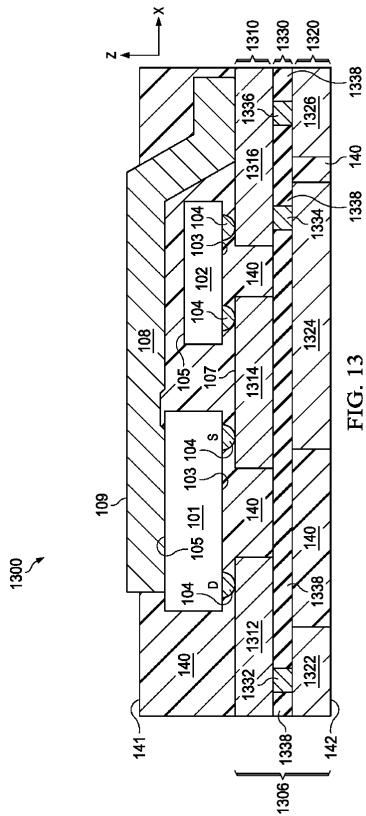
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



10

20

30

40

50

フロントページの続き

- 106
- (72)発明者 ディビヤジャット ミシュラ
 アメリカ合衆国 94538 カリフォルニア州 フレモント, ウォルナット アヴェニュー 2000
- (72)発明者 カート シンサボックス
 アメリカ合衆国 95124 カリフォルニア州 サンノゼ, マンダ ドライブ 3201
- (72)発明者 ヴィヴェク アロラ
 アメリカ合衆国 95127 カリフォルニア州 サンノゼ, ワーナー ドライブ 3604
- 審査官 堀江 義隆
- (56)参考文献 特開2016-092300(JP,A)
 特開2011-129844(JP,A)
 特開2001-308532(JP,A)
 特開平10-065049(JP,A)
- (58)調査した分野 (Int.Cl., DB名)
 H01L 21/60
 H01L 23/29
 H05K 3/46