



(12)发明专利

(10)授权公告号 CN 104011997 B

(45)授权公告日 2017.06.06

(21)申请号 201280060392.X

(22)申请日 2012.12.07

(65)同一申请的已公布的文献号
申请公布号 CN 104011997 A

(43)申请公布日 2014.08.27

(30)优先权数据
13/313,971 2011.12.07 US

(85)PCT国际申请进入国家阶段日
2014.06.06

(86)PCT国际申请的申请数据
PCT/US2012/068501 2012.12.07

(87)PCT国际申请的公布数据
W02013/086361 EN 2013.06.13

(73)专利权人 德克萨斯仪器股份有限公司
地址 美国德克萨斯州

(72)发明人 R·和扎尔 L·丁 J·卢珥
B·S·哈龙

(74)专利代理机构 北京纪凯知识产权代理有限公司 11245

代理人 赵蓉民

(51)Int.Cl.
H03F 1/02(2006.01)
H03F 3/24(2006.01)
H03F 3/68(2006.01)

(56)对比文件
US 2007201581 A1,2007.08.30,
US 2007298732 A1,2007.12.27,
CN 102007699 A,2011.04.06,
US 2007201581 A1,2007.08.30,
CN 102007699 A,2011.04.06,

审查员 彭明明

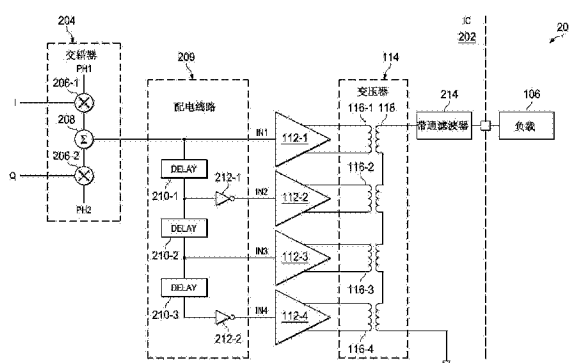
权利要求书3页 说明书4页 附图3页

(54)发明名称

具有滤波器响应的变压器功率合并器

(57)摘要

本发明提供用于产生放大的射频(RF)信号的方法。同相(I)信号和正交(Q)信号由交错器(204)接收并交错以产生时间交错信号。然后,由配电线路(209)从时间交错信号中产生延迟时间交错信号,并且延迟时间交错信号(IN1、IN2、IN3、IN4)中的每个由放大器(112-1、112-2、112-3、112-4)放大以产生多个放大的信号。然后,放大的信号在变压器(114)处被合并并且通过滤波器(214)产生与变压器的滤波器响应。



1. 一种用于产生射频信号的装置,其包括:
交错器,其被配置为接收同相信号即I信号和正交信号即Q信号;
配电线路,其耦合到所述交错器;
多个功率放大器即PA,其中每个PA耦合到所述配电线路;以及
变压器,其具有多个初级绕组并具有次级绕组,其中每个初级绕组耦合到所述PA中的至少一个,并且其中所述配电线路在所述交错器的输出和每个PA之间引入多个延迟中的至少一个,以便产生与所述变压器的滤波器响应,
其中所述配电线路进一步包括:
多个通道,其中每个通道耦合到所述PA中的至少一个;以及
多个延迟电路,其中每个延迟电路耦合在至少两个通道之间。
2. 根据权利要求1所述的装置,其中所述多个通道进一步包括彼此交错的第一组通道和第二组通道,并且其中来自所述第二组通道的每个通道进一步包括逆变器。
3. 根据权利要求2所述的装置,其中所述交错器进一步包括:
第一混合器,其被配置为接收所述I信号和第一交错信号;
第二混合器,其被配置为接收所述Q信号和第二交错信号;以及
合并器,其耦合到所述第一混合器、所述第二混合器和所述配电线路。
4. 根据权利要求3所述的装置,其中所述装置进一步包括耦合到所述变压器的所述次级绕组的带通滤波器。
5. 根据权利要求4所述的装置,其中所述第一交错信号和所述第二交错信号是 90° 异相。
6. 一种用于产生射频信号的方法,其包括:
接收I和Q信号;
将所述I和Q信号交错以便产生时间交错信号;
从所述时间交错信号中产生多个延迟时间交错信号;
放大所述延迟时间交错信号中的每个以便产生多个放大信号;以及
将所述放大信号与变压器合并,其中所述延迟时间交错信号被设置为产生与所述变压器的滤波器响应,
其中所述产生步骤进一步包括:
将所述时间交错信号延迟第一数量以产生来自所述多个延迟时间交错信号的第一延迟时间交错信号;
将所述时间交错信号延迟第二数量以产生来自所述多个延迟时间交错信号的第二延迟时间交错信号,其中所述第二数量是所述第一数量和预定延迟的总和;
将所述时间交错信号延迟第三数量以产生来自所述多个延迟时间交错信号的第三延迟时间交错信号,其中所述第三数量是所述第二数量和所述预定延迟的总和;以及
将所述时间交错信号延迟第四数量以产生来自所述多个延迟时间交错信号的第四延迟时间交错信号,其中所述第四数量是所述第三数量和所述预定延迟的总和。
7. 根据权利要求6所述的方法,其中交错步骤进一步包括:
将所述I信号与第一交错信号混合;
将所述Q信号与第二交错信号混合;以及

将混合的I和Q信号组合以产生所述时间交错信号。

8. 根据权利要求7所述的方法, 其中混合和将所述混合的I和Q信号组合的步骤进一步包括:

在所述第一和第二交错信号的第一时间段期间输出所述I信号;

在所述第一和第二交错信号的第二时间段期间输出所述Q信号;

在所述第一和第二交错信号的第三时间段期间输出所述I信号的反向信号; 以及

在所述第一和第二交错信号的第四时间段期间输出所述Q信号的反向信号。

9. 根据权利要求8所述的方法, 其中将所述时间交错信号延迟所述第二数量以及将所述时间交错信号延迟所述第四数量的步骤进一步包括:

将所述时间交错信号延迟且反向所述第二数量, 从而产生所述第二延迟时间交错信号; 以及

将所述时间交错信号延迟且反向所述第四数量, 从而产生所述第三延迟时间交错信号。

10. 一种用于产生射频信号的装置, 其包括:

交错器, 其被配置为接收I信号和Q信号;

配电线路, 其耦合到所述交错器, 以便产生第一、第二、第三和第四延迟时间交错信号;

第一PA, 其耦合到所述配电线路以便接收所述第一延迟时间交错信号;

第二PA, 其耦合到所述配电线路以便接收所述第二延迟时间交错信号;

第三PA, 其耦合到所述配电线路以便接收所述第三延迟时间交错信号;

第四PA, 其耦合到所述配电线路以便接收所述第四延迟时间交错信号;

变压器, 其具有第一初级绕组、第二初级绕组、第三初级绕组、第四初级绕组以及次级绕组, 其中所述第一初级绕组耦合到所述第一PA, 并且其中所述第二初级绕组耦合到所述第二PA, 并且其中所述第三初级绕组耦合到所述第三PA, 并且其中所述第四初级绕组耦合到所述第四PA, 并且其中引入所述第一、第二、第三和第四延迟时间交错信号以便产生与所述变压器的过滤器响应。

11. 根据权利要求10所述的装置, 其中所述配电线路进一步包括:

第一通道, 其耦合在所述交错器和所述第一PA之间;

第一延迟电路, 其耦合到所述交错器;

第二通道, 其耦合在所述第一延迟电路和所述第二PA之间;

第二延迟电路, 其耦合到所述第一延迟电路;

第三通道, 其耦合在所述第二延迟电路和所述第三PA之间;

第三延迟电路, 其耦合到所述第二延迟电路; 以及

第四通道, 其耦合在所述第三延迟电路和所述第四PA之间。

12. 根据权利要求11所述的装置, 其中所述第二和第四通道进一步分别包括第一和第二逆变器。

13. 根据权利要求12所述的装置, 其中所述交错器进一步包括:

第一混合器, 其被配置为接收所述I信号和第一交错信号;

第二混合器, 其被配置为接收所述Q信号和第二交错信号; 以及

合并器, 其耦合到所述第一混合器、所述第二混合器以及所述配电线路。

14. 根据权利要求13所述的装置,其中所述装置进一步包括带通滤波器,所述带通滤波器耦合到所述变压器的所述次级绕组。

15. 根据权利要求14所述的装置,其中所述第一和第二交错信号是 90° 异相。

具有滤波器响应的变压器功率合并器

技术领域

[0001] 本申请总体涉及变压器功率合并器,并且更具体地涉及具有滤波器响应的变压器功率合并器。

背景技术

[0002] 图1示出可见的常规射频(RF)发射器200的示例。如这个示例所示,RF电路系统被包括在集成电路(IC)102上,该集成电路102使用变压器合并器以产生期望的功率。由IC102采用的方案是极性调制方案,该极性调制方案使用极性调制器108从而将同相(I)和正交(Q)信号分解为幅度和相位。将相位信息提供到为数字PA的功率放大器112-1到112-4(PA),并且将幅度信息提供到功率控制器110,该功率控制器110控制PA112-1到112-4中的每个的功率输出。由于PA112-1到112-4中的每个接收相同的信号并且各自的输出被施加到变压器114的初级绕组116-1到116-4,因此来自每个“分支”的功率可以由次级绕组108加到一起以产生用于IC102的输出信号。根据期望的可传输的功率量,可以增加或减少PA112-1到112-4的数目。

[0003] 这种发射器100的一个问题是,没有引入允许任何模拟滤波的滤波器响应。通常的原因在于相位调制是非常敏感的,并且引入预失真以诱导滤波器响应将产生功率控制器110与PA112-1到112-4之间的不匹配。因此,片外带通滤波器104被提供在IC102和负载106(其可以是天线和匹配电路系统)之间。其它的常规RF发射器也有类似的缺点。例如,正交调制器通常包含片外PA,并且具有非线性组件的线性放大(LINC)的发射器通常包括片外威尔金森合并器和带通滤波器。因此,需要一种改进的RF发射器。

[0004] 其他常规系统的一些示例是:Halidi等人IEEE J.of Solid-State Circuits,2008年5月43卷5期1054-1063页的“A5.8GHz1V Linear Power Amplifier Using a Novel On-Chip Transformer Power Combiner inStandard90nm CMOS,”;Lai等人2010IEEE Intl.Solid-State Circuits Conf.(ISSCC),2010年2月10号,424-425页的“A IV17.9dBm60GHz Power Amplifier in Standard65nm CMOS,”;Chang等人2010IEEE Custom Integrated Circuits Conf.(CICC),2010年9月19-9月22,1-4页的“A77GHz Power Amplifier Using Transformer-Based Power Combiner in90nm CMOS,”;Kim等人IEEE J.of Solid-State Circuits,2011年5月46卷5期的“A Linear Multi-Mode CMOS Power Amplifier With Discrete Resizing and Concurrent Power Combining Structure,”;以及美国专利No.7,777,570。

发明内容

[0005] 实施例提供了包括交错器、配电线路、多个功率放大器(PA)和变压器的装置,其中交错器被配置为接收同相(I)信号和正交(Q)信号;配电线路耦合到交错器;多个功率放大器中的每个PA耦合到配电线路;变压器具有多个初级绕组和次级绕组,其中每个初级绕组耦合到PA中的至少一个,并且其中配电线路在交错器的输出和每个PA之间引入多个延迟中

的至少一个以便产生与变压器的滤波器响应。

[0006] 根据实施例,配电线路进一步包括:多个通道,其中每个通道耦合到PA中的至少一个;以及多个延迟电路,其中每个延迟电路耦合在通道中的至少两个之间。

[0007] 根据实施例,多个通道进一步包括彼此交错的第一组通道和第二组通道,并且其中来自第二组通道的每个通道进一步包括逆变器。

[0008] 根据实施例,交错器进一步包括:第一混合器,其配置为接收I信号和第一交错信号;第二混合器,其被配置为接收Q信号和第二交错信号;以及合并器,其被耦合到第一混合器、第二混合器以及配电线路。

[0009] 根据实施例,装置进一步包括耦合到变压器的次级绕组的带通滤波器。

[0010] 根据实施例,第一和第二交错信号是 90° 异相。

[0011] 根据实施例,提供一种方法。该方法包括接收I和Q信号;将I和Q信号交错以便产生时间交错信号;产生来自时间交错信号的多个延迟时间交错信号;将延迟时间交错信号中的每个放大以便产生多个放大信号;以及将放大信号与变压器合并,其中延迟时间交错信号被设置为产生与变压器的滤波器响应。

[0012] 根据实施例,产生步骤进一步包括:将时间交错信号延迟第一数量以产生来自多个延迟时间交错信号的第一延迟时间交错信号;将时间交错信号延迟第二数量以产生来自多个延迟时间交错信号的第二延迟时间交错信号,其中第二数量是第一数量和预定延迟的总和;将时间交错信号延迟第三数量以产生来自多个延迟时间交错信号的第三延迟时间交错信号,其中第三数量是第二数量和预定延迟的总和;以及将时间交错信号延迟第四数量以产生来自多个延迟时间交错信号的第四延迟时间交错信号,其中第四数量是第三数量和预定延迟的总和。

[0013] 根据实施例,交错步骤进一步包括:将I信号与第一交错信号混合;将Q信号与第二交错信号混合;并且将混合的I和Q信号合并以产生时间交错信号。

[0014] 根据实施例,混合和将所混合的I和Q信号合并的步骤进一步包括:在第一和第二交错信号的第一时间段内输出I信号;在第一和第二交错信号的第二时间段内输出Q信号;在第一和第二交错信号的第三时间段内输出I信号的反向信号;在第一和第二交错信号的第四时间段内输出Q信号的反向信号。

[0015] 根据实施例,将时间交错信号延迟第二数量的步骤以及将时间交错信号延迟第四数量的步骤进一步包括:将时间交错信号延迟且反向第二数量以产生第二延迟时间交错信号;以及将时间交错信号延迟且反向第四数量以产生第三延迟时间交错信号。

[0016] 根据实施例,提供一种装置。该装置包括交错器、配电线路、第一PA、第二PA、第三PA、第四PA和变压器,其中交错器被配置为接收I信号和Q信号;配电线路耦合到交错器以便产生第一、第二、第三、和第四延迟时间交错信号;第一PA耦合到配电线路以便接收第一延迟时间交错信号;第二PA耦合到配电线路以便接收第二延迟时间交错信号;第三PA耦合到配电线路以便接收第三延迟时间交错信号;第四PA耦合到配电线路以便接收第四延迟时间交错信号;变压器具有第一初级绕组、第二初级绕组、第三初级绕组、第四初级绕组以及次级绕组,其中第一初级绕组耦合到第一PA,并且其中第二初级绕组耦合到第二PA,并且其中第三初级绕组耦合到第三PA,并且其中第四初级绕组耦合到第四PA,并且其中引入第一、第二、第三、和第四延迟时间交错信号以便产生与变压器的滤波器响应。

[0017] 根据实施例,配电线路进一步包括:第一通道,其耦合在交错器和第一PA之间;第一延迟电路,其耦合到交错器;第二通道,其耦合在第一延迟电路和第二PA之间;第二延迟电路,其耦合到第一延迟电路;第三通道,其被耦合在第二延迟电路和第三PA之间;第三延迟电路,其耦合到第二延迟电路;以及第四通道,其耦合在第三延迟电路和第四PA之间。

[0018] 根据实施例,第二和第四通道进一步分别包括第一和第二逆变器。

附图说明

[0019] 图1是常规的RF发射器的示例的图示。

[0020] 图2是根据实施例的RF发射器的示例的图示。

[0021] 图3是正时图的示例,其示出图2中的交错器和配电线路的操作;以及

[0022] 图4是图2中的发射器的滤波器响应的图示。

具体实施方式

[0023] 图2根据示例实施例示出RF发射器200的示例。如所示,类似于系统100,发射器包括变压器114和PA112-1到112-4。在这个示例中,为了说明而示出四个PA112-1到112-4,但是根据期望的输出功率,可以增加或减少PA的数目。然而,发射器200不基于极性调制来运行而是替代地运行时间为时间交错脉宽调制(PWM)发射器。为此,I和Q信号以中心频率 F_c 的4倍的速度被上采样。交错器204(其总体包括混合器206-1和206-2和合并器或加法器208)然后使用交错信号PH1和PH2将I和Q信号交错为单个流。然后,配电线路209(其总体包括延迟电路210-1到210-3以及逆变器212-1和212-2)将所交错的流分配到PA112-1到112-4,其中,在这个示例中,存在针对PA112-1到112-4中的每个的通道。配电线路209还针对每个通道引入延迟,从而产生信号IN1到IN4,IN1到IN4信号将产生与变压器114的滤波器响应(也就是说,模拟有限脉冲响应)。由于滤波器响应使用变压器114来产生或引入,因此可以使用片上带通滤波器214,而不是使用片外带通滤波器(即104),从而降低成本。

[0024] 为了说明发射器的操作,在图3中展示了正时图。如这个示例所示,交错信号PH1和PH2具有0→1→0→-1→0的周期并且与彼此 90° 异相。在T1时间段中,信号PH1和PH2分别为1和0,其允许(通过用于PA112-1的通道具有标称延迟)将I信号提供为信号IN1。在T2时间段中,信号PH1和PH2分别为0和1,其允许将Q信号提供为信号IN1。在T3时间段中,信号PH1和PH2分别为-1和0,其允许将信号I的反向信号提供为信号IN1。此外,因为延迟电路210-1的使用(其通常是1/2周期延迟,但是延迟的长度通常和上采样率和/或PA的数目有关),用于PA112-2的通道接收来自T1时间段的I信号,然后该I信号由逆变器212-1反向并且被提供为信号IN2。类似地,对于T4时间段,Q信号的反向信号被提供为信号IN1和IN2,并且对于T5到T10时间段,类似的结果被示出为信号IN1到IN4。显而易见地,配电线路209的结构(其类似于用于有限脉冲响应(FIR)滤波器的构造)以及交错信号PH1和PH2、信号IN1到IN4的时序是相同的或是“对齐的”。这在某些频率处产生陷波(notch)(如所示,例如,在图4中在 $F_c/2$ 、 $3F_c/2$ 以及 $2F_c$ 处有陷波),其是产生的与变压器114的滤波器响应。

[0025] 由于以便于产生与变压器114的滤波器响应的方式来采用交错器204和配电线路209,因此可以实现若干优点。还可以通过变压器114实现I信号和Q信号以及并行的PA112-1到112-4的完全片上合并,从而增加总的输出功率。作为示例,如果单个功率放大器112-1到

112-4可以传送250mW的功率,则利用完全集成的解决方案,所合并的功率输出可以是1W。与变压器114的滤波器响应还提供了足够量的抑制,其放宽对于变压器114之后的模拟带通滤波器214的要求,其允许实现具有低Q因子的片上实施方式。此外,加入更多的并行PA(大于所示的四个)以达到更高的输出功率将产生更多的空间,从而以更多陷波位置和更好阻带衰减来改进变压器的滤波器响应。此外,全数字发射器架构允许使用不同的PWM方案来灵活地调整带外噪声和图像消除以满足频谱屏蔽要求,而无需使用外部的片外元件。

[0026] 本发明所涉及的本领域的技术人员将认识到,在本发明的范围内,可以对描述的实施例进行变化,并且许多其他的实施例也是可能的。

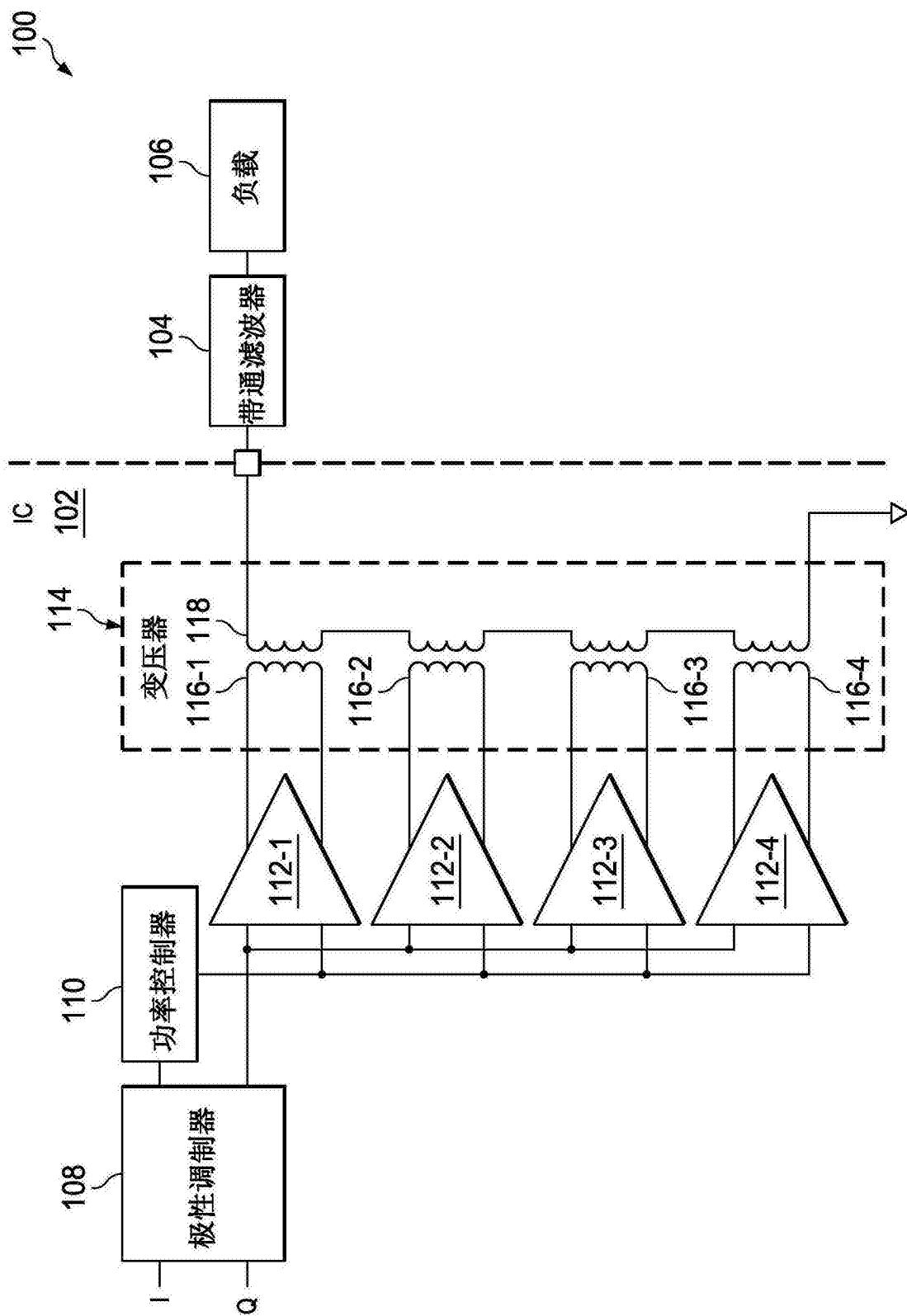


图1
(现有技术)

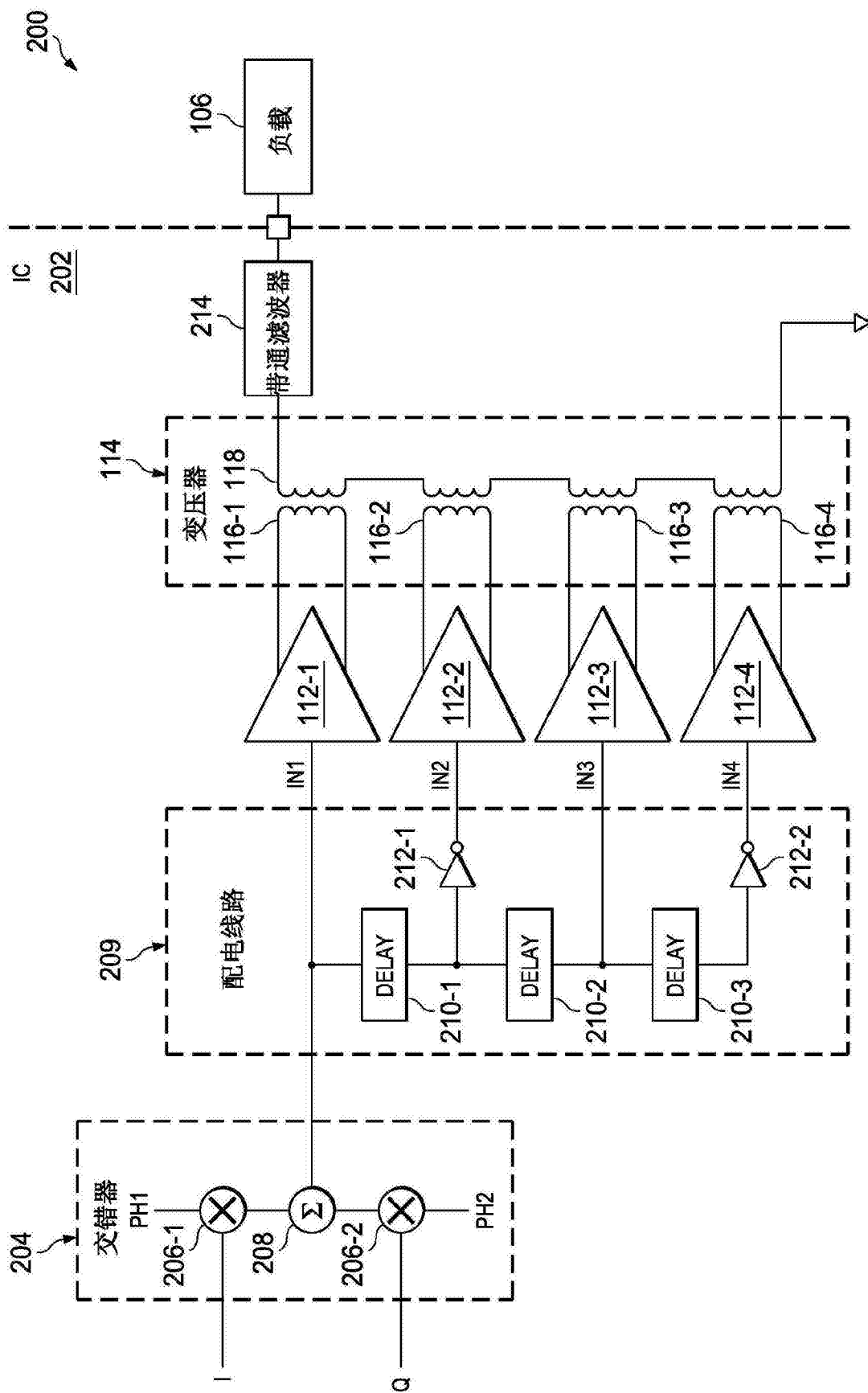


图2

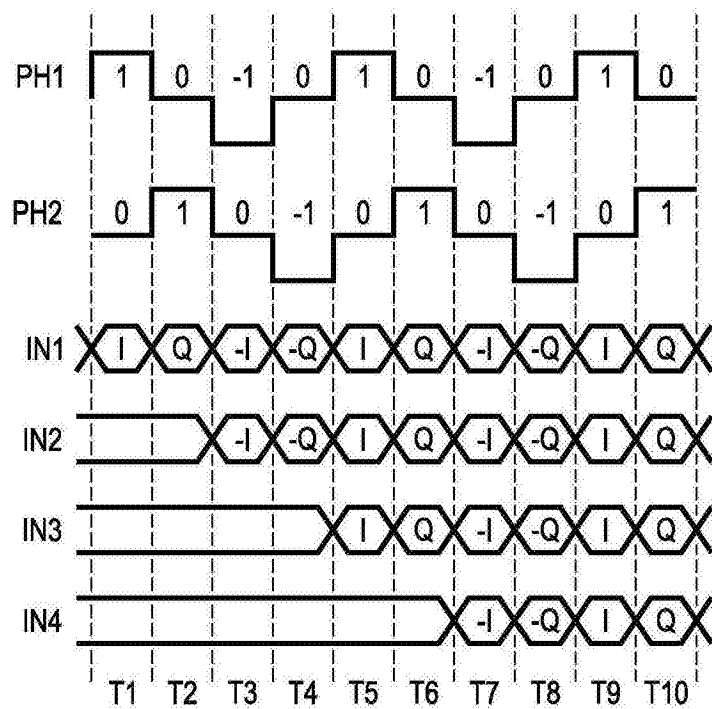


图3

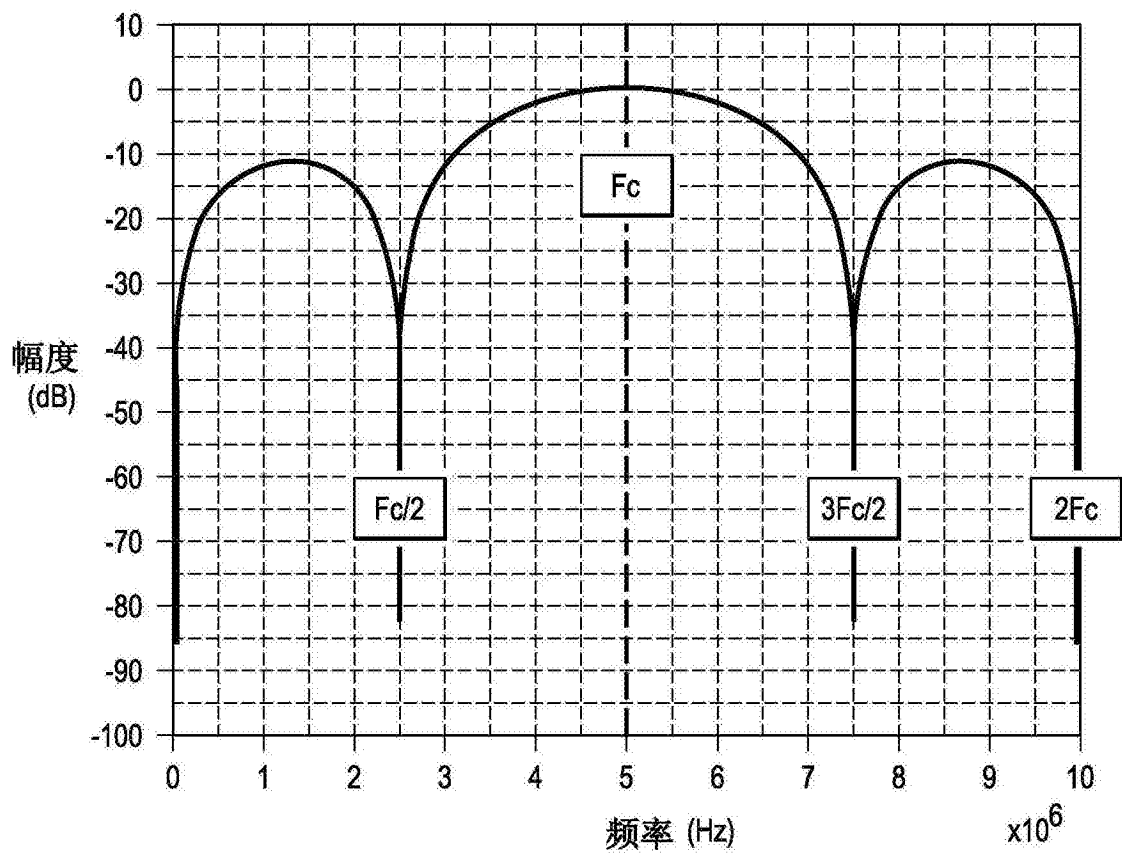


图4