

發明專利說明書



(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93110248

※申請日期：93 年 04 月 13 日

※IPC 分類：

H01L²⁷/04

壹、發明名稱：

(中) 半導體積體電路、電子機器、及電晶體之逆閘極電位控制方法

(外) 半導体集積回路、電子機器、及びトランジスタのバックゲート電位制御方法

貳、申請人：(共 1 人)

1. 姓 名：(中) 精工愛普生股份有限公司
(英) SEIKO EPSON CORPORATION代表人：(中) 1. 草間三郎
(英)地 址：(中) 日本國東京都新宿區西新宿二丁目四番一號
(英)

國籍：(中英) 日本 JAPAN

參、發明人：(共 1 人)

1. 姓 名：(中) 唐木信雄
(英) KARAKI, NOBUO地 址：(中) 日本國長野縣諏訪市大和三丁目三番五號
公司內

精工愛普生股份有限

(英) 日本国長野県諏訪市大和三丁目三番五号
株式会社內

セイコーエプソン株

肆、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2003/04/16 ; 2003-112088 ☒ 有主張優先權2. 日本 ; 2004/02/20 ; 2004-044584 ☒ 有主張優先權

發明專利說明書



(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93110248

※申請日期：93 年 04 月 13 日

※IPC 分類：

H01L²⁷/04

壹、發明名稱：

(中) 半導體積體電路、電子機器、及電晶體之逆閘極電位控制方法

(外) 半導体集積回路、電子機器、及びトランジスタのバックゲート電位制御方法

貳、申請人：(共 1 人)

1. 姓 名：(中) 精工愛普生股份有限公司
(英) SEIKO EPSON CORPORATION代表人：(中) 1. 草間三郎
(英)地 址：(中) 日本國東京都新宿區西新宿二丁目四番一號
(英)

國籍：(中英) 日本 JAPAN

參、發明人：(共 1 人)

1. 姓 名：(中) 唐木信雄
(英) KARAKI, NOBUO地 址：(中) 日本國長野縣諏訪市大和三丁目三番五號
公司內

精工愛普生股份有限

(英) 日本国長野県諏訪市大和三丁目三番五号
株式会社內

セイコーエプソン株

肆、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2003/04/16 ; 2003-112088 ☒ 有主張優先權2. 日本 ; 2004/02/20 ; 2004-044584 ☒ 有主張優先權

(1)

玖、發明說明

【發明所屬之技術領域】

本發明係關於以實現半導體積體電路之低消耗電力化爲目的之電晶體之逆閘極電位控制技術。

【先前技術】

日本特開平 9-83335 號公報刊載著如下所示之技術，亦即，將 VLSI (Very Large Scale Integration) 電路之構成分割成複數電路區塊，在共用電源供應線或共用接地電源線當中之至少其中一方、及電路區塊之間配置開關切換電晶體，以電路區塊處於待機狀態 (standby state) 時升高開關切換電晶體之臨限值電壓之方式控制逆閘極電位，用以截止開關切換電晶體。利用該技術，可降低待機狀態之漏電流 (截止電流) 而減少消耗電力。

然而，上述之傳統技術時，因爲係針對晶片上之電路整體、或各 CPU 核心及共處理機等相對較大之電路區塊實施開關切換電晶體之逆閘極電位之控制，而有下述問題，亦即，無法實施以減少漏電流爲目的之微細控制，以電路整體而言，待機中之漏電流會增大而增加消耗電力。又，控制對象之電路規模愈大，則逆閘極電位切換時需要較多時間才能使電位達到安定，而有從待機狀態進入動作狀態需要較多時間之問題。此外，上述之傳統技術會關閉電路區塊之電源，實施以減少當時之漏電流爲目的之控制，然而，關閉電路區塊之電源，電路區塊將無法保持其內部

(2)

狀態。因此，例如以順序電路構成電路區塊，從待機狀態進入動作狀態時，必須執行順序電路之初始設定或轉回設定，而有電路規模增大、及從待機狀態進入動作狀態較慢之問題。

【發明內容】

因此，本發明之課題係在提供一種改良技術，不但可進一步實現半導體積體電路之低消耗電力化，尚可使電路以更快之速度從待機狀態進入動作狀態。

為了解決上述課題，本發明之半導體積體電路具有：可實施從動作狀態進入待機狀態、或從待機狀態進入動作狀態之狀態轉換之複數電路區塊；及依據預先規定複數電路區塊之各狀態轉換之有限狀態機，以事件驅動方式控制形成電路區塊之邏輯元件之電晶體之逆閘極電位之控制電路。利用此構成，因為係依據電路區塊之動作狀態實施電晶體之逆閘極電位之控制，故可有效率地減少半導體積體電路整體之漏電流。

本發明之良好實施形態時，控制電路在電路區塊處於待機狀態時會以增加電晶體之臨限值電壓之方式實施逆閘極電位之控制。因為在電路區塊處於待機狀態時以增加電晶體之臨限值電壓之方式來實施逆閘極電位之控制，故可減少待機狀態時之漏電流。尤其是，因為將電路區塊分割成較微細之多數，可對各電路區塊之漏電流實施較微細之控制，故可降低半導體積體電路整體之漏電流。

(3)

本發明之良好實施形態時，控制電路在電路區塊處於動作狀態時會以減少電晶體之臨限值電壓之方式實施逆閘極電位之控制。因為在電路區塊處於動作狀態時以減少電晶體之臨限值電壓之方式來實施逆閘極電位之控制，故可實現電路之低電壓動作。

本發明之良好實施形態時，半導體積體電路進一步具有：用以分別對複數之各電路區塊供應電源之共用電源線、用以分別對複數之各電路區塊實施接地之共用接地線、以及用以執行共用電源線或共用接地線之至少其中一方及電路區塊間之電性通電/斷電之開關切換元件，控制電路係依據有限狀態機而以事件驅動方式來執行開關切換元件之通電/斷電之控制。配設用以執行針對各電路區塊實施電力供應之導通/斷開控制之開關切換元件，可減少待機時之電路區塊之漏電流。

本發明之半導體積體電路具有：可實施從動作狀態進入待機狀態、或從待機狀態進入動作狀態之狀態轉換之複數電路區塊；用以利用 CSP 方式之電路區塊間之通信實施自律性之動作要求、或接收他律性之動作要求之通道；以及用以通過通道實施電路區塊間之連接之埠；且，埠係對應電路區塊之動作狀態，實施用以構成電路區塊之邏輯元件之電晶體之逆閘極電位之控制。利用此構成，各電路區塊可利用 CSP 方式與其他電路區塊進行通信，需要實施自律性或他律性動作時，可通過埠實施逆閘極電位之控制，因此，可有效率地降低半導體積體電路整體之漏電流。

(4)

本發明之良好實施形態時，通道及埠在電路區塊處於待機狀態時係以增加電晶體之臨限值電壓之方式實施逆閘極電位之控制。利用此構成，可以降低待機狀態之各電路區塊之漏電流。

本發明之良好實施形態時，通道及埠在電路區塊處於動作狀態時係以減少電晶體之臨限值電壓之方式實施逆閘極電位之控制。利用此構成，可以實現電晶體之低電壓驅動，而可獲得半導體積體電路之低消耗電力化。

本發明之良好實施形態時，進一步具有：用以分別對複數之各電路區塊供應電源之共用電源線、用以分別對複數之各電路區塊實施接地之共用接地線、以及用以執行共用電源線或共用接地線之至少其中一方及電路區塊間之電性通電/斷電之開關切換元件，埠係對應電路區塊之狀態轉換實施開關切換元件之通電/斷電之控制。因為配設著用以實施對各電路區塊之電力供應之導通/斷開控制之開關切換元件，可減少待機時之電路區塊之漏電流。

本發明之良好實施形態時，用以形成電路區塊之邏輯元件之電晶體、或用以實施對電路區塊供應電源之開關切換控制之開關切換元件亦可以為 MOS 電晶體。採用 MOS 電晶體時，可以控制逆閘極電位來抑制漏電流。

本發明之良好實施形態時，控制電路係以使 MOS 電晶體之斷電狀態時之臨限值電壓高於通電狀態時之臨限值電壓之方式實施 MOS 電晶體之逆閘極電位之控制。利用

(5)

此方式，可有效率地抑制電路區塊之漏電流。

用以形成構成電路區塊之邏輯元件之井、及用以形成實施對電路區塊供應電源之開關切換控制之 MOS 電晶體之井應分離。利用此構成，可以在當做開關切換元件使用之 MOS 電晶體之逆閘極電位、及形成邏輯元件之電晶體之逆閘極電位不會產生互相影響之情形下，實施電位控制。

本發明之良好實施形態時，用以形成電路區塊之邏輯元件之電晶體、或用以實施對電路區塊供應電源之開關切換控制之開關切換元件亦可以為具有雙閘極構造之 TFT（雙閘極 TFT）。採用雙閘極 TFT 可實現比整體構造之 MOS 電晶體更佳之高速化、低消耗電力化。

此種雙閘極 TFT 之通道端部、及汲極區域或源極區域之接面應具有 LDD 區域。形成 LDD 區域可減弱汲極端乏區之電場而減少漏電流。

又，雙閘極 TFT 之閘極及逆閘極之形成上，應為隔著通道區域相對配置，且兩者投影於前述通道區域之形狀應為大致重疊之相同形狀。利用閘極及逆閘極分別夾住通道區域之正面及背面，可降低次臨界常數而提高電移度。

又，逆閘極之形成上，投影於通道區域之形狀應和 LDD 區域之全部或一部份重疊。利用此方式，可同時達到減少電晶體待機時之漏電流、及提高電晶體動作時之電移度之效果。

本發明之電子機器具有本發明之半導體積體電路。因

(6)

為安裝本發明之半導體積體電路可降低消耗電力，故特別適合電池驅動之移動式機器等。

本發明之逆閘極電位控制方法係依據用以預先規定可實施從動作狀態進入待機狀態、或從待機狀態進入動作狀態之狀態轉換之複數電路區塊之各狀態轉換之有限狀態機，以事件驅動方式控制用以形成電路區塊之邏輯元件之電晶體之逆閘極電位。利用此構成，因為係依據電路區塊之動作狀態實施電晶體之逆閘極電位之控制，而可有效率地減少半導體積體電路整體之漏電流。

本發明之半導體積體電路之逆閘極電位控制方法，係具有：可實施從動作狀態進入待機狀態、或從待機狀態進入動作狀態之狀態轉換之複數電路區塊；用以利用 CSP 方式之電路區塊間之通信實施自律性之動作要求、或接收他律性之動作要求之通道；以及用以通過通道實施電路區塊間之連接之埠；之半導體積體電路之逆閘極電位控制方法，通道及埠係依據電路區塊之動作狀態，控制構成電路區塊之邏輯元件之電晶體之逆閘極電位。利用此構成，各電路區塊可以 CSP 方式與其他電路區塊進行通信，需要實施自律性或其他律性動作時，可通過埠實施逆閘極電位之控制，因此，可有效率地降低半導體積體電路整體之漏電流。

【實施方式】

〔發明之實施形態 1〕

(7)

第 1 圖係主單元以集中控制方式控制複數電路區塊之逆閘極電位之系統之方塊圖。VLSI 晶片內之半導體積體電路分割成可實施從待機狀態進入動作狀態、或從動作狀態進入待機狀態之狀態轉換之 M 個電路區塊（邏輯區塊）20-1、20-2、...、20- M 。爲了降低 VLSI 晶片整體之消耗電力，應分割成依機能別分類之多數電路區塊。主單元（控制電路）10 係以 VLSI 之邏輯設計水準構築以實施電路區塊 20-1、20-2、...、20- M 之逆閘極電位之一元集中控制爲目的之資料流、及控制邏輯之事件驅動系統。

第 2 圖係用以實現主單元 10 之逆閘極電位控制邏輯之有限狀態機（Finite State Machine）之狀態轉換圖。若對應於 M 個電路區塊 20-1、20-2、...、20- M 之待機狀態爲「0」、動作狀態爲「1」，以 M 位元之 2 進位來表示有限狀態機，則爲了實施全部電路區塊 20-1、20-2、...、20- M 之逆閘極電位控制，需要最多爲 2^M 個之狀態數。構成有限狀態機之各狀態規定電路區塊 20-1、20-2、...、20- M 之待機狀態「0」及動作狀態「1」之全部組合。表示有限狀態機之狀態之 2 進位之前第 k ($1 \leq k \leq M$) 位之「0」、「1」表示電路區塊 20- k 之「待機狀態」、「動作狀態」，圖中之符號 31 所示狀態因爲 2 進位之前第 2 位爲「1」，故表示電路區塊 20-2 爲動作狀態。同樣的，符號 32 所示之狀態因爲 2 進位之前第 1 位及第 2 位爲「1」，表示電路區塊 20-1 及 20-2 爲「動作狀態」。有限狀態機之狀態轉換係以事件驅動方式實施，以使主單元 10

(8)

各電路區塊 20-1、20-2、...、20-M 之動作狀態對應有限狀態機之狀態之方式，實施 VLSI 晶片內全部電路區塊之逆閘極電位控制。

又，此處爲了方便說明，省略有限狀態機之各狀態之「輸入」及「輸出」之關係。又，爲了經由後述開關切換元件對電路區塊 20-1、20-2、...、20-M 實施電源供應，主單元 10 除了實施構成邏輯元件之電晶體之逆閘極電位控制以外，尚會一併實施該開關切換元件之閘極電位及逆閘極電位之控制。以下之說明中，第 1 構成例之構成係經由開關切換元件實施對電路區塊 20-1、20-2、...、20-M 之電源供應之導通/斷開控制，第 2 構成例之構成則係將電路區塊 20-1、20-2、...、20-M 連接於電源供應線而隨時都在實施電源供應。

(第 1 構成例)

第 3 圖係第 1 構成例之針對電路區塊之電源供應系統之電路圖。此處，係圖示第 i 個電路區塊 20- i 之電源供應系統，然而，其他電路區塊亦具有相同之電路構成。該圖中，共用電源線 V_{dd} 係用以對全部電路區塊 20-1、20-2、...、20-M 實施電源供應之電源線，共用接地線 V_{ss} 則係用以實施全部電路區塊 20-1、20-2、...、20-M 之接地之接地線。用以針對局部電路區塊 20- i 實施電源供應之部份電源供應線 L_{ai} 、及用以實施局部接地之部份接地線 L_{bi} ，係分別經由當做開關切換元件使用之 PMOS 電晶體 MP_i

(9)

及 NMOS 電晶體 M_{ni} 連接於共用電源線 V_{dd} 及共用接地線 V_{ss} 。

又，該圖中， ϕ_{pi} 係 PMOS 電晶體 M_{Pi} 之閘極電位、 V_{Nwi} 係同一電晶體 M_{Pi} 之逆閘極電位、 ϕ_{ni} 係 NMOS 電晶體 M_{Ni} 之閘極電位、 V_{Pwi} 係同一電晶體 M_{Ni} 之逆閘極電位、 X_i 係對電路區塊 20-i 之輸入信號、 Y_i 係來自同一電路區塊 20-i 之輸出信號、 V_{Ni} 係構成電路區塊 20-i 之邏輯元件之 PMOS 電晶體之逆閘極電位、 V_{Pi} 係構成電路區塊 20-i 之邏輯元件之 NMOS 電晶體之逆閘極電位。

第 5 圖係 VLSI 晶片之井構造。其構造上，係 P 型基板 40 上分別形成各自獨立之 N 井 41、42、44、45，且 N 井 41 內會形成 P 井 43、N 井 44 內會形成 P 井 46，而為三井構造。P 井 43 係用以形成上述 NMOS 電晶體 M_{Ni} 之井，其井電位 V_{Pwi} 係同一電晶體 M_{Ni} 之逆閘極電位。又，N 井 42 係用以形成上述 PMOS 電晶體 M_{Pi} 之井，其井電位 V_{Nwi} 係同一電晶體 M_{Pi} 之逆閘極電位。又，N 井 45、P 井 46 係用以形成構成電路區塊 20-i 內之邏輯元件之 PMOS 電晶體、NMOS 電晶體之井。井電位 V_{Pi} 係 NMOS 電晶體之逆閘極電位，井電位 V_{Nwi} 係 PMOS 電晶體之逆閘極電位。

VLSI 晶片之井構造並非限定為上述之構成，例如，亦可以為如第 6 圖所示之井構造。該圖所示之井構造係使用 N 型基板 50 取代上述 P 型基板 40。其構造上，係 P 型基板 50 上分別形成各自獨立之 P 井 51、52、54、55，且

(10)

P 井 51 內會形成 N 井 53、P 井 54 內會形成 N 井 56，而為三井構造。N 井 53 係用以形成上述 PMOS 電晶體 MP_i 之井，其井電位 V_{NW_i} 係電晶體 MP_i 之逆閘極電位。又，P 井 52 係用以形成上述 NMOS 電晶體 MN_i 之井，其井電位 V_{PW_i} 係同一電晶體 MN_i 之逆閘極電位。又，P 井 55、N 井 56 係用以形成構成電路區塊 20-i 內之邏輯元件之 NMOS 電晶體、PMOS 電晶體之井。井電位 V_{P_i} 係 NMOS 電晶體之逆閘極電位，井電位 V_{N_i} 係 PMOS 電晶體之逆閘極電位。

第 4 圖係電路區塊 20-i 之動作狀態/待機狀態之逆閘極電位變化之時序圖。如上面所述，主單元 10 係以對應以事件驅動方式實施轉換之有限狀態機之各狀態之方式，控制電路區塊 20-i 之待機狀態/動作狀態。為了將電路區塊 20-i 轉換成待機狀態，主單元 10 應對 PMOS 電晶體 MP_i 之閘極電位 ϕ_{P_i} 提供邏輯電平 H，並對 NMOS 電晶體 MN_i 之閘極電位 ϕ_{N_i} 提供邏輯電平 L。如此，PMOS 電晶體 MP_i 及 NMOS 電晶體 Mn_i 皆處於 OFF 狀態，部份電源供應線 L_{ai} 及部份接地線 L_{bi} 則分別處於從共用電源線 V_{dd} 及共用接地線 V_{ss} 電性切離之狀態。

此外，主單元 10 會使 PMOS 電晶體 MP_i 之逆閘極電位 V_{NW_i} 高於動作時之電位 V_{NW-AC} 而成為 V_{NW-SB} ，使 NMOS 電晶體 MN_i 之逆閘極電位 V_{PW_i} 低於動作時之電位 V_{PW-AC} 而成為 V_{PW-SB} 。如此，各 PMOS 電晶體 MP_i 及 NMOS 電晶體 Mn_i 會因為基體效應而使臨限值電壓增加，

(11)

故可減少待機時之漏電流。

主單元 10 亦同樣會使用以構成電路區塊 20-i 內之邏輯元件之 PMOS 電晶體之逆閘極電位 V_{Ni} 高於動作時之電位 V_{N-AC} 而成爲 V_{N-SB} 、使 NMOS 電晶體之逆閘極電位 V_{Pi} 低於動作時之電位 V_{P-AC} 而成爲 V_{P-SB} 。利用此方式，可增加用以構成電路區塊 20-i 之邏輯元件之電晶體之臨限值電壓，而減少待機狀態之電路區塊 20-i 之漏電流。

另一方面，爲了將電路區塊 20-i 轉換成動作狀態，主單元 10 應對 PMOS 電晶體 MPi 之閘極電位 ϕ_{Pi} 提供邏輯電平 L，並對 NMOS 電晶體 MNi 之閘極電位 ϕ_{Ni} 提供邏輯電平 H。如此，PMOS 電晶體 MPi 及 NMOS 電晶體 Mni 皆處於 ON 狀態，部份電源供應線 Lai 及部份接地線 Lbi 則分別處於電性連接於共用電源線 V_{dd} 及共用接地線 V_{ss} 之狀態。

此外，主單元 10 會使 PMOS 電晶體 MPi 之逆閘極電位 V_{NWi} 低於待機時之電位 V_{NW-SB} 而成爲 V_{NW-AC} 、使 NMOS 電晶體 MNi 之逆閘極電位 V_{Wi} 高於待機時之電位 V_{PW-SB} 而成爲 V_{PW-AC} 。如此，因爲 PMOS 電晶體 MPi 及 NMOS 電晶體 MNi 之各臨限值電壓會降低，故可以較快速度實施對電路區塊 20-i 之電源供應。同時，主單元 10 會使用以構成電路區塊 20-i 之邏輯元件之 PMOS 電晶體之逆閘極電位 V_{Ni} 低於待機時之電位 V_{N-SB} 而成爲 V_{N-AC} 、使 NMOS 電晶體之逆閘極電位 V_{Pi} 高於待機時之電位 V_{P-SB} 而成爲 V_{P-AC} 。降低用以構成邏輯元件之電晶體之臨

(12)

限值電壓，可抑制低電壓動作時之電路區塊之動作速度降低，然而，其代價就是漏電流會增大。依據本發明，可細分各電路區塊而減少待機時之漏電流，結果，可減少電路整體之消耗電力。

(第 2 構成例)

第 7 圖係第 2 構成例之針對電路區塊之電源供應系統之電路圖。此處，係圖示第 i 個電路區塊 20- i 之電源供應系統，然而，其他電路區塊亦具有相同之電路構成。該圖中，共用電源線 V_{dd} 係用以對全部電路區塊 20-1、20-2、...、20- M 實施電源供應之電源線，共用接地線 V_{ss} 則係用以實施全部電路區塊 20-1、20-2、...、20- M 之接地之接地線。因此，其構成上，係隨時對電路區塊 20- i 實施電源供應。又，該圖中， X_i 係電路區塊 20- i 之輸入信號、 Y_i 係來自同一電路區塊 20- i 之輸出信號、 V_{Ni} 係構成電路區塊 20- i 之邏輯元件之 PMOS 電晶體之逆閘極電位、 V_{Pi} 係構成電路區塊 20- i 之邏輯元件之 NMOS 電晶體之逆閘極電位。

第 9 圖係以形成電路區塊 20- i 之邏輯元件為目的之井構造。如該圖所示，在 P 型基板 40 上形成 N 井 47、48，且在 N 井 47 內形成 P 井 49，而為三井構造。井電位 V_{Pi} 係構成邏輯元件之 NMOS 電晶體之逆閘極電位，井電位 V_{Ni} 係構成邏輯元件之 PMOS 電晶體之逆閘極電位。電路區塊 20- i 之井構造並未受限於第 9 圖所示之構造，例

(13)

如，亦可以為第 10 圖所示之構造。該圖所示之構造，係在 N 型基板 50 上形成 P 井 57、58，且在 P 井 57 內形成 N 井 59、而為三井構造。井電位 V_{Pi} 係構成邏輯元件之 NMOS 電晶體之逆閘極電位，井電位 V_{Ni} 則係構成邏輯元件之 PMOS 電晶體之逆閘極電位。

第 8 圖係電路區塊 20-i 之動作狀態/待機狀態之逆閘極電位變化之時序圖。如上面所述，主單元 10 係以對應以事件驅動方式實施轉換之有限狀態機之各狀態之方式，控制電路區塊 20-i 之待機狀態/動作狀態之逆閘極電位。電路區塊 20-i 處於待機狀態時，主單元 10 應使逆閘極電位 V_{Ni} 高於動作狀態時之電位 V_{N-AC} 而成為 V_{N-SB} 、使逆閘極電位 V_{Pi} 低於動作狀態時之電位 V_{P-AC} 而成為 V_{P-SB} 。利用此方式，因為可增加構成邏輯元件之電晶體之臨限值電壓，而減少待機時之電路區塊 20-i 之漏電流。另一方面，電路區塊 20-i 處於動作狀態時，主單元 10 應使逆閘極電位 V_{Ni} 低於待機狀態時之電位 V_{N-SB} 而成為 V_{N-AC} 、使逆閘極電位 V_{Pi} 高於待機狀態時之電位 V_{P-SB} 而成為 V_{P-AC} 。利用此方式，可降低構成邏輯元件之電晶體之臨限值電壓，而實現低電壓驅動。

如此，依據本實施形態，其構成上，係將 VLSI 晶片內之半導體積體電路細分割成複數電路區塊 20-1、20-2、...、20-M，並以增加用以形成待機狀態之電路區塊 20-1、20-2、...、20-M 之邏輯元件之電晶體之臨限值電壓之方式控制逆閘極電位，故可大幅減少待機時之漏電流。尤

(14)

其是，如行動電話之以電池為主電源之移動式電子機器時，因為低消耗電力化係重大課題，故本發明具有很高之利用性，且可構築高汎用性之低消耗電力之 SOC (System On Chip)、SOB (System On Board)、以及 SOP (System On Panel)。又，全新實施電力分配控制之對象之電路區塊之追加・刪除・變更時，只要重新組合控制邏輯並重新設計有限狀態機即可對應。又，本發明具有井構造，只要為可實施逆閘極之電壓控制之開關切換元件，當然亦可使用 MOS 電晶體以外之物。

[發明之實施形態 2]

第 11 圖係構成半導體積體電路之複數電路區塊間相互進行溝通，並利用 CSP (Communicating Sequential Processes) 方式實施自律性或他律性之逆閘極電位控制之系統之方塊圖。VLSI 晶片內之半導體積體電路以邏輯方式分割成具有從待機狀態進入動作狀態、或從動作狀態進入待機狀態之狀態轉換之 N 個電路區塊 (邏輯區塊) 70-1、70-2、...、70-N。為了減少 VLSI 晶片整體之消耗電力，應分割成依機能別分類之多數電路區塊。電路區塊 70-1、70-2、...、70-N 係非同步系統，其構成上，並非以系統中央控制用之總體時脈為基準來執行動作，而係在判斷各電路區塊 70-1、70-2、...、70-N 必須實施自律性或他律性之動作時，接受電源供應來執行動作。主單元 60 (控制電路) 主要係用以和外部電路及電路區塊 70-1、70-2

(15)

、...、70-N 實施直接或間接之通信，具有用以調整系統整體之機能之電路區塊，然而，並非直接控制針對電路區塊 70-1、70-2、...、70-N 之電源供應者。對各電路區塊之電源供應，係利用各電路區塊內建或附屬電源控制電路實施直接控制，從動作狀態進入待機狀態之轉換時序係由各電路區塊本身以自律方式決定，從待機狀態進入動作狀態之轉換則係接收來自其他電路區塊之請求而以他律方式決定。在該時序時，電路區塊係透過內建或附屬之電源控制電路控制本身之電源供應。

第 12 圖係利用 CSP 方式針對電路區塊實施逆閘極電位控制時之說明圖。此處爲了方便說明，只圖示 4 個電路區塊 70-1~70-4 來進行說明，然而，實際上係 N 個電路區塊 70-1、70-2、...、70-N、及主單元 60 以相互溝通之方式來對電路區塊 70-1、70-2、...、70-N 實施逆閘極電位控制。利用事件驅動對電路區塊 70-1~70-4 實施電源供應之控制，判斷需要自律性動作時、及判斷需要他律性動作時，會接受電源供應並執行動作。各電路區塊 70-1~70-4 通過「通道」連接至其他電路區塊 70-1~70-4 或主單元 60，在局部協調下實施事件驅動。通道之其兩端則連接著「埠」。

該圖所示之實例中，電路區塊 70-1 具有埠 a1、a2、a3、電路區塊 70-2 具有埠 b1、b2、b3、電路區塊 70-3 具有埠 c1、c2、電路區塊 70-4 具有埠 d1、d2、主單元 60 具有埠 x1、x2、x3。若只針對電路區塊 70-1，電路區塊

(16)

70-1 係通過通道 1、2、3 連接至主單元 60、電路區塊 70-2、70-3。

通過通道實施之埠間通信時，會對全部埠附與 'Active' 或 'Passive' 當中之其中何一屬性。例如，電路區塊 70-1 自律性要求通過通道 2 對電路區塊 70-2 實施資料傳送時，會對電路區塊 70-1 之埠 a2 附與 'Send Active' 之屬性，而對他律性接收資料傳送要求之電路區塊 70-2 之埠 b1 則附與 'Receive Passive' 之屬性。相反的，電路區塊 70-1 自律性要求通過通道 2 對電路區塊 70-2 實施資料傳送時，會對埠 a2 附與 'Receive Active' 之屬性，而對他律性實施資料傳送之電路區塊 70-2 之埠 b1 則附與 'Send Passive' 之屬性。利用埠間通信中實施 req/ack 信號之傳送及接收，實施 2 相式或 4 相式之交握。

電路區塊 70-i 之電源供應系統之電路構成可以為和上述第 3 圖或第 7 圖相同之構成。電路區塊 70-i 為第 3 圖所示之電路構成時，除了需要實施用以形成電路區塊 70-i 之邏輯元件之電晶體之逆閘極電位 V_{Pi} 、 V_{Ni} 之控制以外，亦需要實施開關切換電晶體之閘極電位 ϕ_{Pi} 、 ϕ_{Ni} 之逆閘極電位 V_{NWi} 、 V_{PWi} 之控制。VLSI 晶片之井構造係如上述第 5 圖或第 6 圖所示之三井構造。另一方面，電路區塊 70-i 為第 7 圖所示之電路構成時，則需要實施用以形成電路區塊 70-i 之邏輯元件之電晶體之逆閘極電位 V_{Pi} 、 V_{Ni} 之控制。VLSI 晶片之井構造亦係如上述第 9 圖或第 10 圖所示之三井構造。

(17)

上述第 1 實施形態時，係由主單元 10 執行電路區塊 70-i 之逆閘極電位控制，然而，本實施形態時，係由前述「通道」及「埠」實施自律性 or 他律性之電路區塊 70-i 之逆閘極電位控制。「通道」及「埠」之構成上，可以在和電路區塊 70-i 之動作狀態無關之情形下，隨時接受電源供應並執行動作。

第 13 圖係以對電路區塊實施電源供應之時序進行說明為目的之時序圖。此處係針對電路區塊 70-1 進行說明，其他電路區塊亦相同。如上面所述，電路區塊 70-1 係通過通道 1~3 連接至主單元 60、電路區塊 70-2、70-3。時間 t_0 時，啟動系統並回應來自主單元 60 之請求而以電路區塊 70-1 接收資料接收要求時會成為 Receive Passive，在時間 $t_2 \sim$ 時間 t_4 之期間實施期望之動作處理。電路區塊 70-1 在時間 t_1 通過通道 2 自律性要求對電路區塊 70-2 之資料傳送時，會成為 'Send Active'，在時間 $t_3 \sim$ 時間 t_5 之期間實施期望之動作處理。又，電路區塊 70-1 在時間 t_6 通過通道 3 接收來自電路區塊 70-3 之資料傳送要求時，會成為 'Send Passive'，在時間 $t_7 \sim$ 時間 t_8 之期間實施期望之動作處理。

時間 $t_0 \sim$ 時間 t_5 之期間、及時間 $t_6 \sim$ 時間 t_8 之期間，電路區塊 70-1 會通過主單元 60 及電路區塊 70-2、70-3 之溝通執行自律性 or 他律性之動作（動作狀態），故通道 1、2、3、及埠 a1、a2、a3 在同期間會以減少用以構成電路區塊 70-1 之邏輯元件之臨限值電壓來實施逆閘極電位

(18)

V_{Pi} 、 V_{Ni} 之控制。如第 3 圖所示，電路區塊 70-1 經由開關切換元件接受電源供應時，開關切換元件會成為導通，同時實施閘極電位之 ϕ_{Pi} 、 ϕ_{Ni} 及逆閘極電位 V_{NWi} 、 V_{PWi} 之控制。具體之控制方法如第 4 圖或第 8 圖所示即可。

另一方面，時間 $t_5 \sim$ 時間 t_6 之期間因為電路區塊 70-1 無需動作（待機狀態），通道 1、2、3、及埠 a1、a2、a3 在同期間會以增加用以構成電路區塊 70-1 之邏輯元件之臨限值電壓來實施逆閘極電位 V_{Pi} 、 V_{Ni} 之控制。如第 3 圖所示，電路區塊 70-1 通過開關切換元件接受電源供應時，開關切換元件會成為斷開，同時實施閘極電位 ϕ_{Pi} 、 ϕ_{Ni} 及逆閘極電位 V_{NWi} 、 V_{PWi} 之控制。具體之控制方法如第 4 圖或第 8 圖所示即可。

如此，依據本實施形態，利用 CSP 方式可對電路區塊 70-1、70-2、...、70-N 實施微細之逆閘極電位控制，即使需要實施電路區塊之追加・刪除・變更，只要重新設計相關電路區塊之通信內容・通信方法即可，故具有十分優良之系統重新構築便利性。

〔發明之實施形態 3〕

第 14 圖及第 15 圖係雙閘極 TFT（Thin Film Transistor）100。第 14 圖係平面圖，第 15 圖係 15-15 線之剖面圖。絕緣基板 101 上隔著基底層 102 形成逆閘極 103。絕緣基板 101 可以採用例如玻璃基板、石英基板、

以及塑膠基板等。逆閘極 103 及基底層 102 之上面依序積層著逆閘極絕緣膜 104、活化層 110、閘極絕緣膜 111、閘極 112、以及層間絕緣膜 115。活化層 110 係以島狀之多晶矽等所構成，其構成上具有，形成於上下 2 個閘極間之通道區域 105、形成於其兩側之汲極區域 106、以及源極區域 107。逆閘極 103 及閘極 112 係夾著通道區域 105 而為相對配置。汲極區域 106 及源極區域 107 分別形成通過接觸窗之汲極 113 及源極 114。此處，TFT 構造為頂閘極型時，逆閘極 103 係指和閘極 112 相對而形成於底側（絕緣基板側）之電極，TFT 構造為底閘極型時，則係指和閘極 112 相對而形成於頂側之電極。該圖所示之 TFT 構造係頂閘極型，然而，亦可以為底閘極型。

本實施形態時，係以雙閘極 TFT100 構成：用以構成上述第 1 實施形態之電路區塊 20-1、20-2、...、20-M 之邏輯元件之 NMOS 電晶體或 PMOS 電晶體；當做對電路區塊 20-i 之電源供應實施通電/斷電之開關切換元件使用之 PMOS 電晶體 MPi 或 NMOS 電晶體 MNi；或用以構成上述第 2 實施形態之電路區塊 70-1、70-2、...、70-N 之邏輯元件之 NMOS 電晶體或 PMOS 電晶體。雙閘極 TFT100 在待機狀態時係以增加電晶體之臨限值電壓之方式調整逆閘極 103 之電位，故可充分減少漏電流。另一方面，雙閘極 TFT100 在動作狀態時係以減少電晶體之臨限值電壓之方式調整逆閘極 103 之電位，故可增大導通電流而提高驅動能力。逆閘極 103 之電位控制可以為和第 1 實施形態相同

(20)

之以主單元 10 利用事件驅動方式進行控制，亦可以為和第 2 實施形態相同之利用 CSP 方式實施自律式或他律式之控制。又，以雙閘極 TFT100 構成電路區塊 20-1、20-2、...、20-M、或電路區塊 70-1、70-2、...、70-N 之邏輯元件時，以相同邏輯控制閘極 112 及逆閘極 103，可縮短電晶體之啟動時間或關閉時間，而可加快開關切換速度。又，提高驅動能力可實現電晶體尺寸之縮小及高積體化。

此外，和第 1 或第 2 實施形態說明之整體構造之 MOS 電晶體相比，因為雙閘極 TFT100 不具半導體井，其汲極電容因為只是通道・汲極接面之反向偏壓區域份而為極小之電容，開關切換時之充放電量為遠小於被驅動側電晶體之閘極電容。因此，和具有相同移動度之整體構造之 MOS 電晶體相比，可進一步獲得高速化及低消耗電力化。又，雙閘極 TFT100 因為具有絕緣基板 101 及基底層 102，故相對於配線之電源線電容極小。因此，和具有相同移動度之整體構造之 MOS 電晶體相比，可進一步實現高速化及低消耗電力化。

此種雙閘極 TFT100 之構造，應為例如在和汲極區域 106 或源極區域 107 鄰接之通道區域 105 之端面形成輕摻雜著雜質之 LDD (Lightly Doped Drain) 區域 108、109 (參照第 15 圖)。追加 LDD 區域 108、109 可減弱汲極端乏區之電場，而抑制和電子及電洞之偶產生較快之普爾・法侖克效應 (Poole-Frenkel Effect) 同時出現之聲子輔助穿隧現象 (Phonon Assisted Tunneling)，而只會出現熱

(21)

激發現象，故可減少雙閘極 TFT100 之漏電流（截止電流）。又，閘極 112 及逆閘極 103 投影於通道區域 105 之形狀應為大致重疊之相同形狀（參照第 14 圖）。因為閘極 112 及逆閘極 103 以夾住通道區域 105 之正面及背面，可降低次臨界常數而提高電移度。此外，逆閘極 103 投影於通道區域 105 之形狀應為和 LDD 區域 108、109 之全部或一部份重疊之形狀（或大小）。利用此方式，可同時達到減少電晶體待機時之漏電流、及提高電晶體動作時之電移度之效果。

〔發明之實施形態 4〕

其次，針對載置本發明之半導體積體電路之電子機器實例進行說明。第 16 圖係載置通信機能之攜帶型個人數位助理（PDA）之方塊圖。如該圖所示，PDA80 係由液晶顯示電路 81、操作鍵 82、CPU83、ROM84、RAM85、無線通信部 86、以及天線 87 所構成。CPU83 及無線通信部 86 等係由安裝著本發明之半導體積體電路之 IC 晶片所構成，實現裝置整體之低消耗電力化。尤其是，因可確保電池之長持續使用時間，而特別適合如 PDA 之攜帶資訊終端。

第 17 圖係數位通信方式之行動電話之方塊圖。行動電話 90 係由天線 91、天線共用器 92、接收部 93、頻率合成器 94、傳送部 95、TDMA 多重分離電路 96、喇叭 97、以及麥克風 98 所構成。接收部 93、傳送部 95、以及

(22)

TDMA 多重分離電路 96 係由安裝著本發明之半導體積體電路之 IC 晶片所構成，而實現裝置整體之低消耗電力化。

更具體而言，接收部 93 之構成上，含有高頻放大器、接收混合器、IF 放大器、以及延遲檢波電路，前述諸部係由安裝著本發明之半導體積體電路之一或二以上之 IC 晶片所構成。同樣的，傳送部 95 之構成上，含有 IQ 信號產生電路、直交調變器、傳送混合器、以及傳送電力放大器等，前述諸部亦係由安裝著本發明之半導體積體電路之一或二以上之 IC 晶片所構成。

因為攜帶型電子機器對於低消耗電力化有特別之要求，故利用安裝著本發明之半導體積體電路之 IC 晶片構成電子機器，可延長裝載於電子機器之電池之使用持續時間。由安裝著本發明之半導體積體電路之 IC 晶片所構成之電子機器除了 PDA 及行動電話以外，尚包括例如電池驅動之移動機器、錄音再生機器、錄影再生機器、薄板電腦、電子紙張、穿戴式電腦、IC 卡、精明卡、視訊攝影機、個人電腦、頭載式顯示器、投影機、穿戴式健康管理機器、穿戴式玩具、非均衡分布型無線感測器、RFID、貼附型溫度計、附顯示機能之傳真裝置、攜帶型 TV、電子記事簿、電子佈告板、宣傳廣告用顯示器、附顯示機能之無線標籤、SOP (System-On-Panel)、SOG (System-On-Glass)、以及 SOB (System-On-Board) 等。

(23)

【圖式簡單說明】

第 1 圖係第 1 實施形態之系統方塊圖。

第 2 圖係實施電力分配控制之有限狀態機之狀態轉換圖。

第 3 圖係電路區塊之電源供應系統之電路圖（構成例 1）。

第 4 圖係逆閘極電位之時序圖。

第 5 圖係 VLSI 晶片之井構造圖。

第 6 圖係 VLSI 晶片之井構造圖。

第 7 圖係電路區塊之電源供應系統之電路圖（構成例 2）。

第 8 圖係逆閘極電位之時序圖。

第 9 圖係 VLSI 晶片之井構造圖。

第 10 圖係 VLSI 晶片之井構造圖。

第 11 圖係第 2 實施形態之系統方塊圖。

第 12 圖係 CSP 方式之電力分配控制之說明圖。

第 13 圖係電路區塊之電源供應時序圖。

第 14 圖係雙閘極 TFT 之剖面圖。

第 15 圖係雙閘極 TFT 之平面圖。

第 16 圖係應用本發明之 PDA 之方塊圖。

第 17 圖係應用本發明之行動電話之方塊圖。

〔主要元件符號說明〕

10：主單元（控制電路）

(24)

20 : 電路區塊

40 : P 型基板

41 : N 井

42 : N 井

43 : P 井

44 : N 井

45 : N 井

46 : P 井

47 : N 井

48 : N 井

49 : P 井

50 : N 型基板

51 : P 井

52 : P 井

53 : N 井

54 : P 井

55 : P 井

56 : N 井

57 : P 井

58 : P 井

59 : N 井

60 : 主單元

70 : 電路區塊

80 : PDA

(25)

81：液晶顯示電路

82：操作鍵

83：CPU

84：ROM

85：RAM

86：無線通信部

87：天線

90：行動電話

91：天線

92：天線共用器

93：接收部

94：頻率合成器

95：傳送部

96：TDMA多重分離電路

97：喇叭

98：麥克風

100：雙閘極 TFT

101：絕緣基板

102：基底層

103：逆閘極

104：逆閘極絕緣膜

105：通道區域

106：汲極區域

107：源極區域

(26)

108 : LDD 區域

109 : LDD 區域

110 : 活化層

111 : 閘極絕緣膜

112 : 閘極

113 : 汲極

114 : 源極

115 : 層間絕緣膜

伍、中文發明摘要

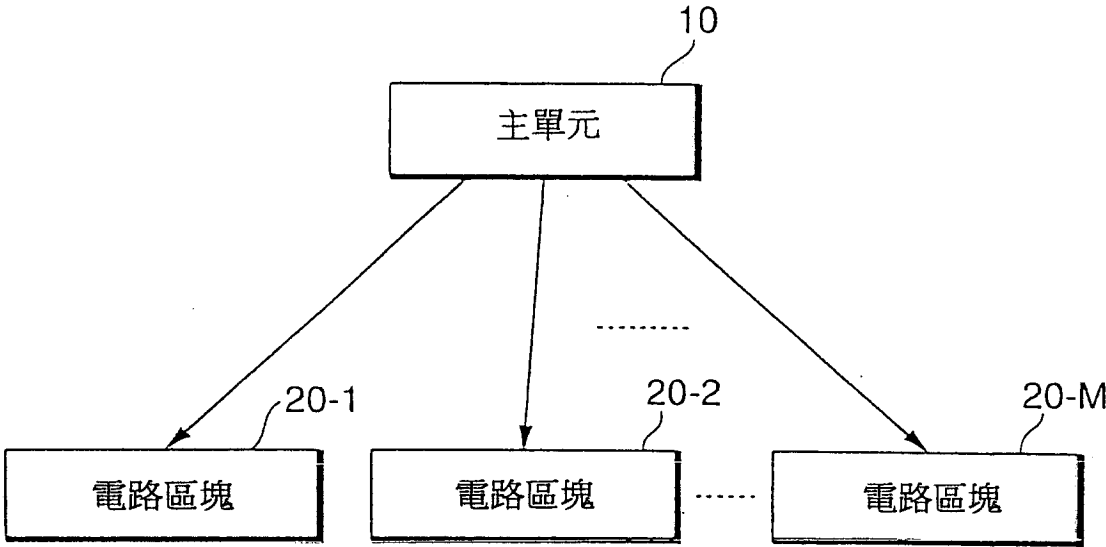
發明之名稱：半導體積體電路、電子機器、及電晶體
之逆閘極電位控制方法

本發明之課題係進一步實現半導體積體電路之低消耗電力化，且使電路以更快速度從待機狀態進入動作狀態。為了解決上述課題，本發明之半導體積體電路具有：用以實施從動作狀態進入待機狀態、或從待機狀態進入動作狀態之狀態轉換之複數電路區塊；及用以依據預先規定複數電路區塊之各狀態轉換之有限狀態機，以事件驅動方式控制形成電路區塊之邏輯元件之電晶體之逆閘極電位之主單元。

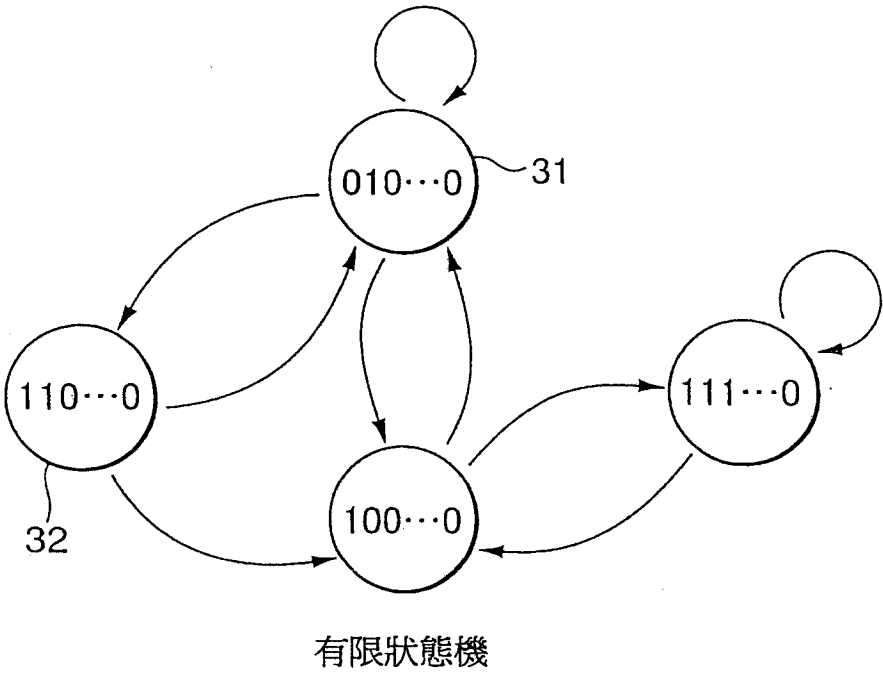
陸、英文發明摘要

發明之名稱：

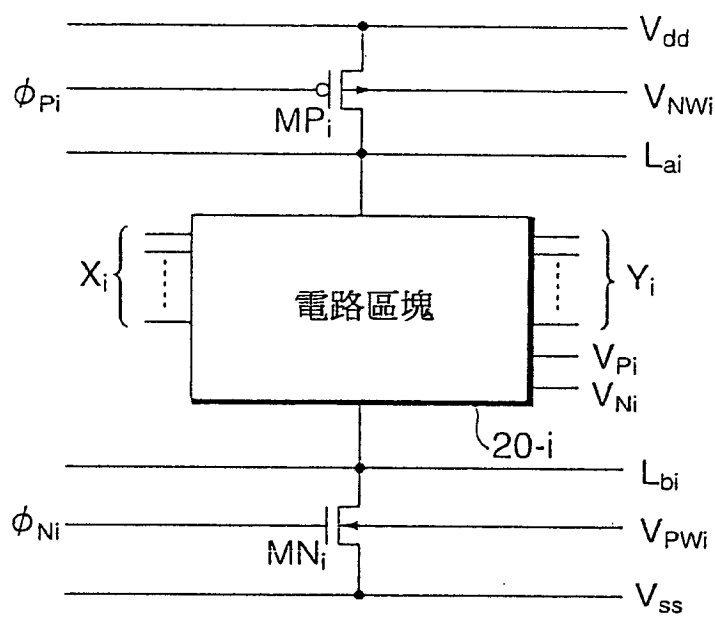
第1圖



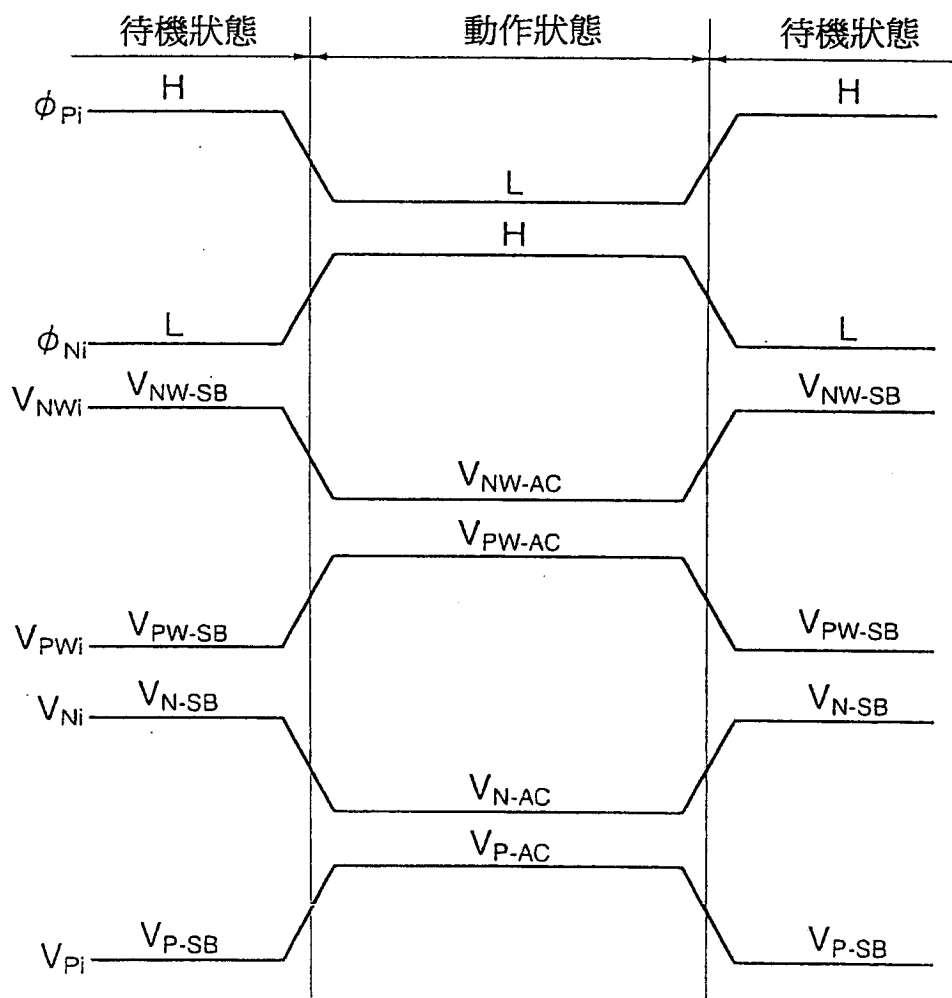
第2圖



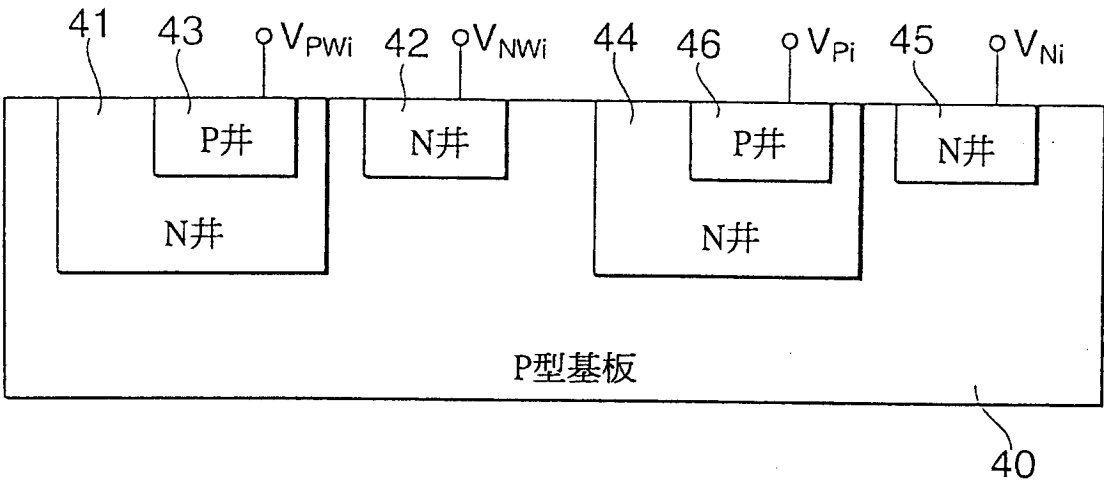
第3圖



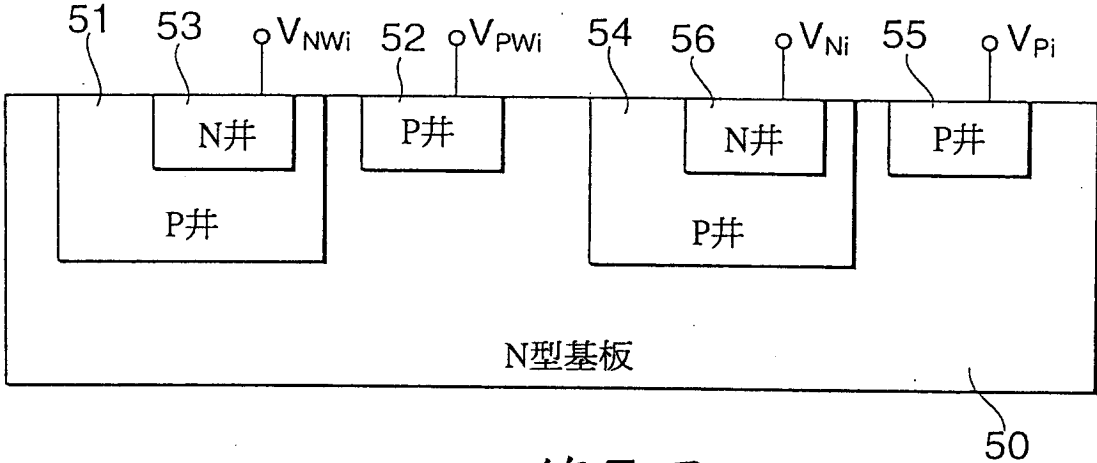
第4圖



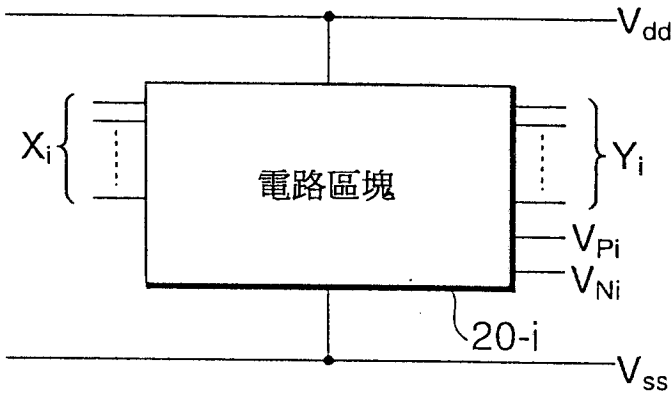
第5圖



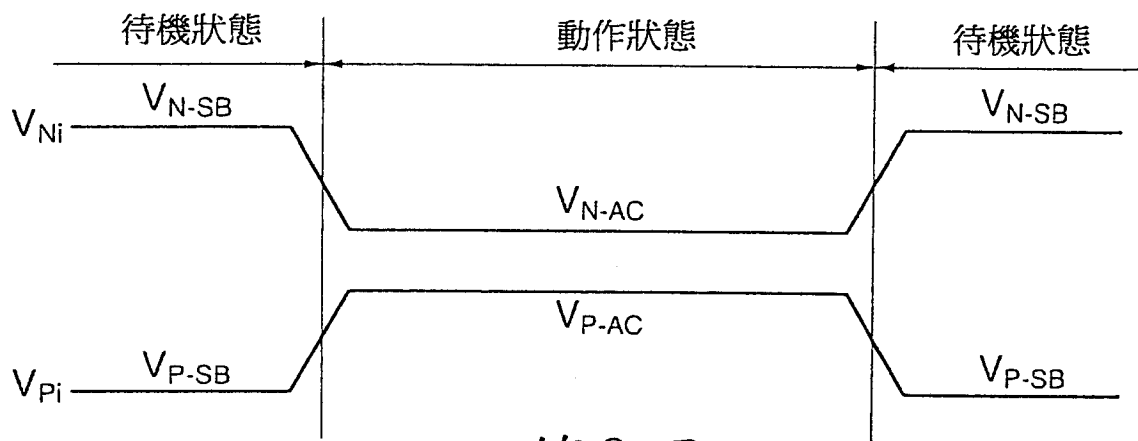
第6圖



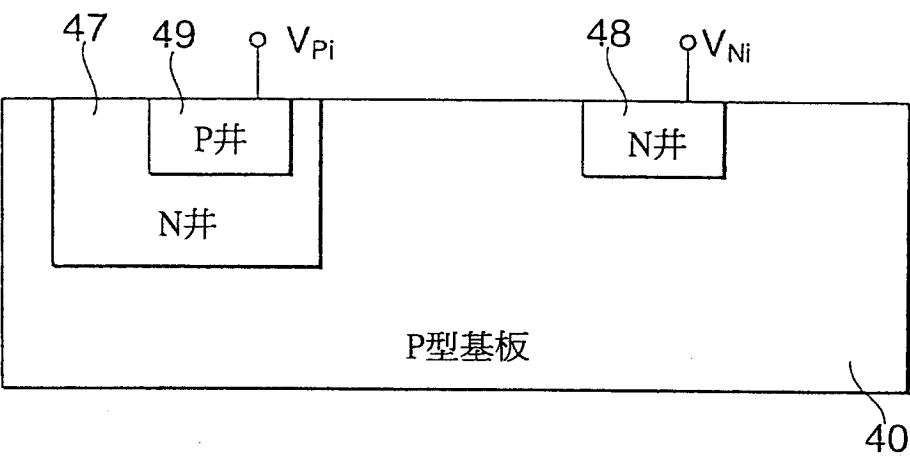
第7圖



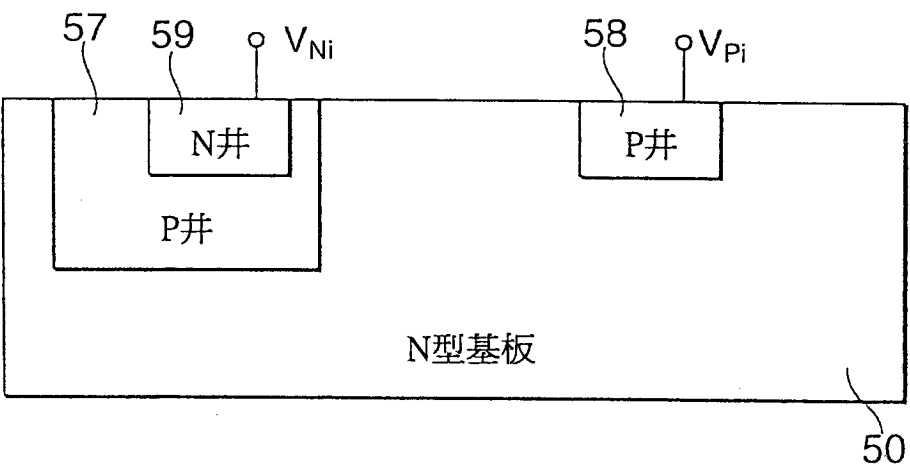
第8圖



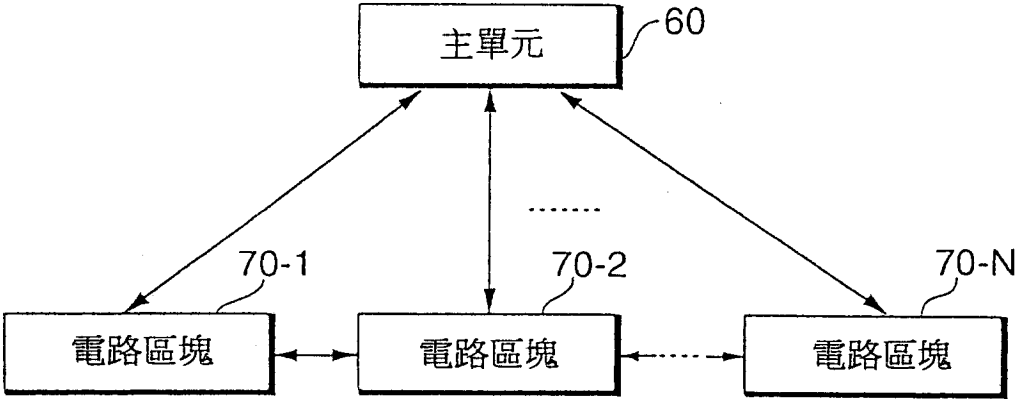
第9圖



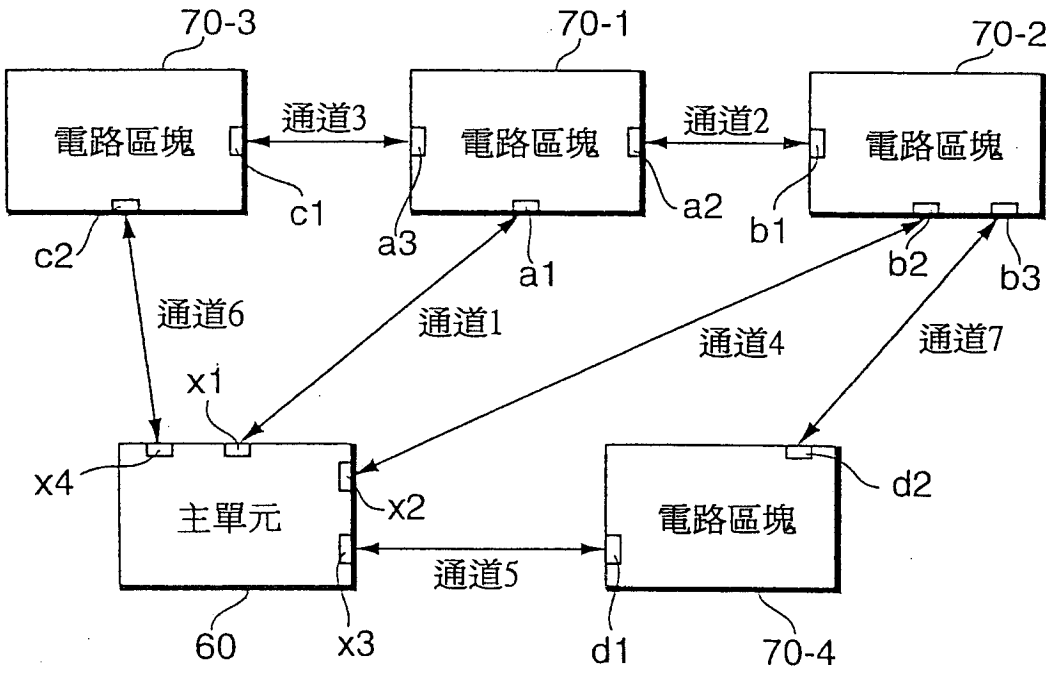
第10圖



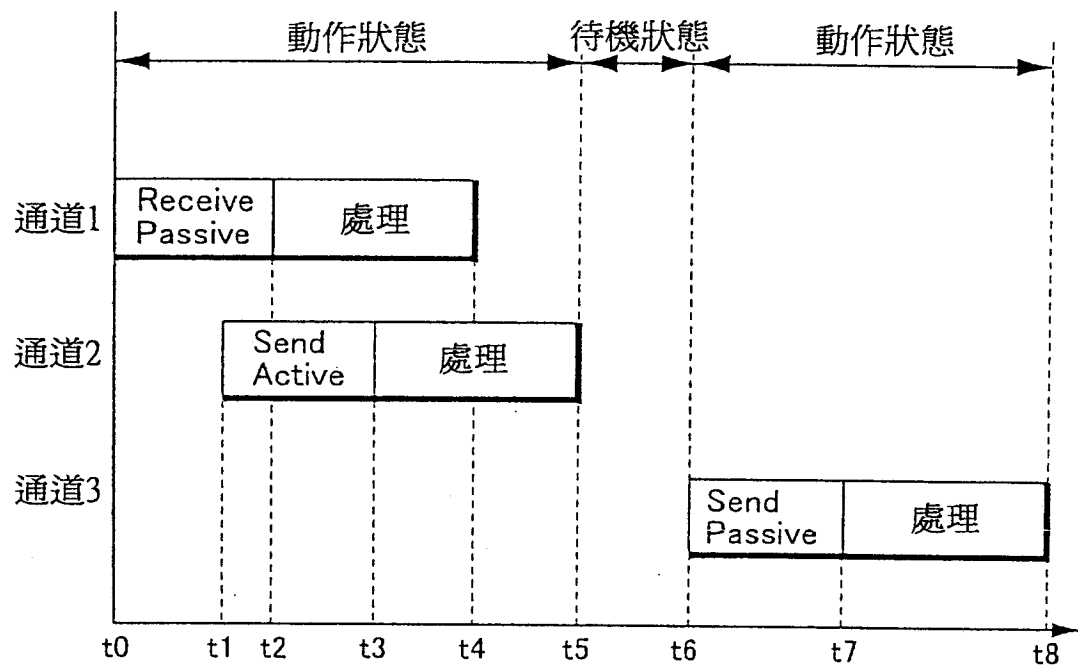
第11圖



第12圖

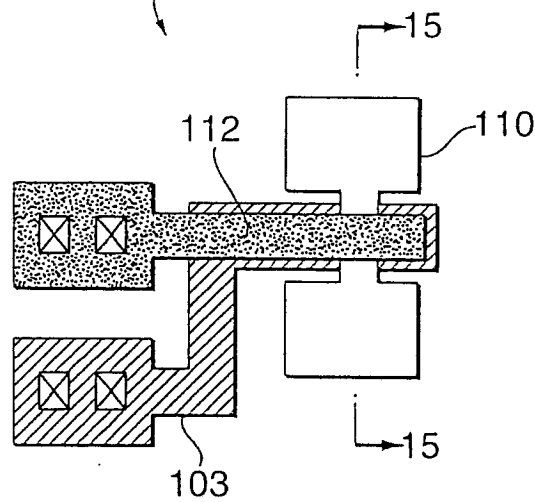


第13圖

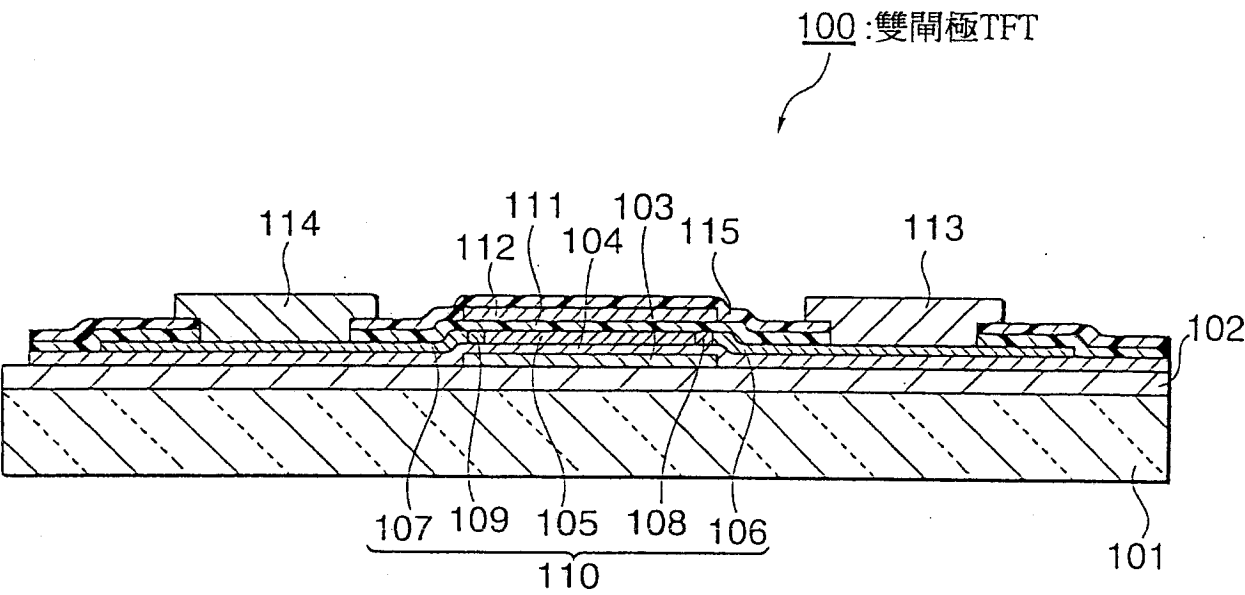


第14圖

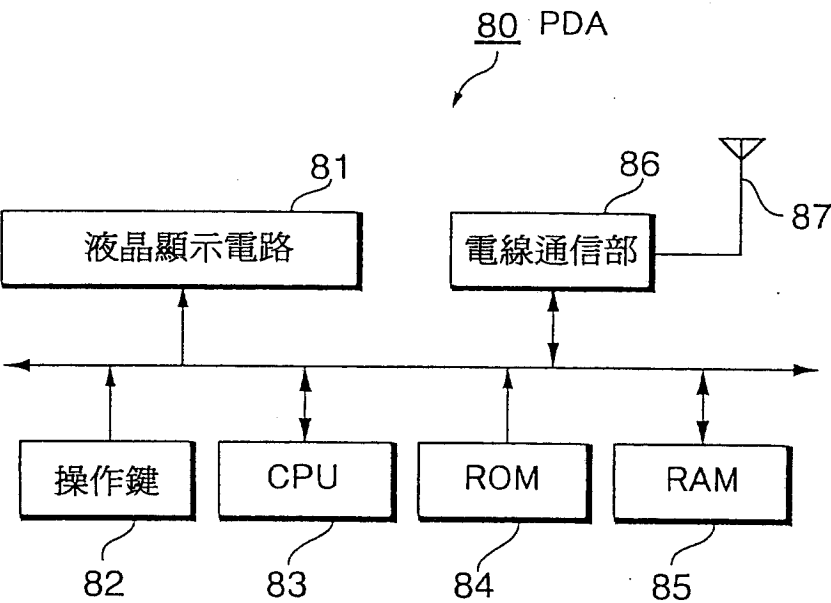
100: 雙閘極TFT



第15圖

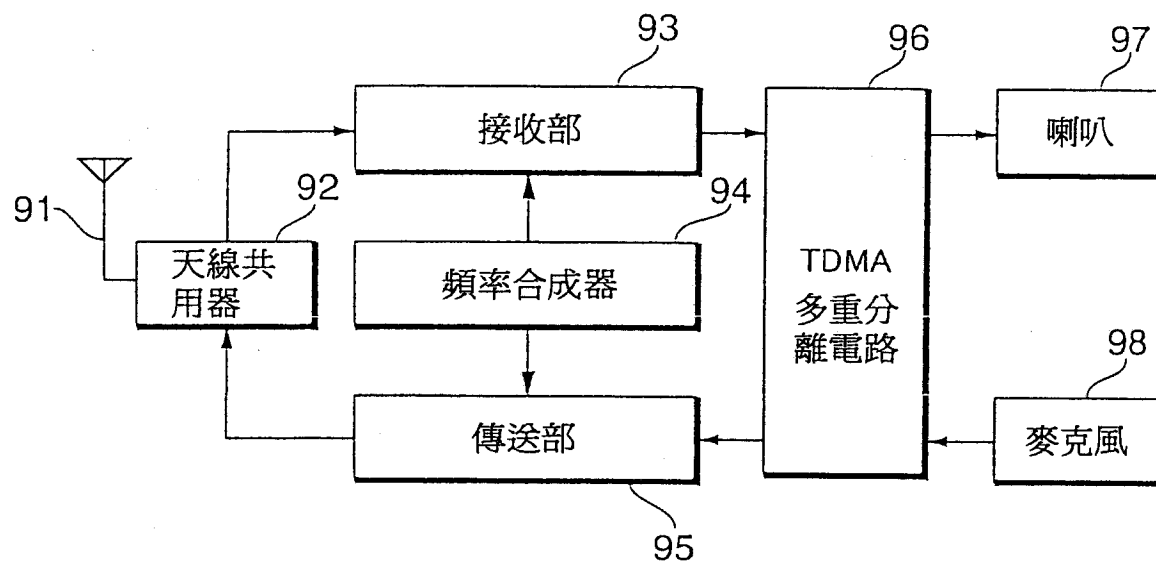


第16圖



第17圖

90:行動電話



柒、(一)本案指定代表圖為：第 1 圖

(二)本代表圖之元件代表符號簡單說明：

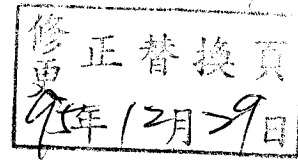
1 0 主單元（控制電路）

2 0 電路區塊

捌、本案若有化學式時，請揭示最能顯示發明特徵之化學式：無

(1)

拾、申請專利範圍



第 93110248 號專利申請案

中文申請專利範圍修正本

民國 95 年 12 月 29 日修正

1. 一種半導體積體電路，其特徵為具有：

複數電路區塊，具有從動作狀態進入待機狀態、或從待機狀態進入動作狀態之狀態轉換；及

控制電路，用以依據預先規定前述複數電路區塊之各狀態轉換之有限狀態機器，以事件驅動（event driven）方式控制形成前述電路區塊之邏輯元件之電晶體之逆閘極（back gate）電位；

上述控制電路，係和上述各電路區塊之電源供給獨立地對上述各電路區塊施予控制，以使上述電路區塊內之上述電晶體之逆閘極電位於待機狀態與動作狀態進行變化。

2. 如申請專利範圍第 1 項之半導體積體電路，其中前述控制電路在前述電路區塊處於待機狀態時係以增加前述電晶體之臨限值電壓之方式控制前述逆閘極電位。

3. 如申請專利範圍第 1 項之半導體積體電路，其中前述控制電路在前述電路區塊處於動作狀態時係以減少前述電晶體之臨限值電壓之方式控制前述逆閘極電位。

4. 如申請專利範圍第 1 項之半導體積體電路，其中進一步具有：

共用電源線，用以對前述各複數電路區塊實施電源供

(2)

應；

共用接地線，用以實施前述各複數電路區塊之接地；
以及

開關切換元件，用以執行前述共用電源線或前述共用
接地線之至少其中一方、及前述電路區塊間之電性通電/
斷電；且，

前述控制電路係依據前述有限狀態機而以事件驅動方
式執行前述開關切換元件之通電/斷電控制。

5.如申請專利範圍第 1 項之半導體積體電路，其中
上述多數電路區塊之第 1 電路區塊，係藉由來自和上
述多數電路區塊之中之上述第 1 電路區塊不同的第 2 電路
區塊之輸入，由待機狀態遷移至動作狀態。

6. 一種半導體積體電路，其特徵為具有：
複數電路區塊，具有從動作狀態進入待機狀態、或從
待機狀態進入動作狀態之狀態轉換；

通道，用以利用 CSP 方式之前述電路區塊間之通信
實施自律性之動作要求、或接受他律性之動作要求；以及
埠，用以通過前述通道實施電路區塊間之連接；

上述通道及埠，係和上述各電路區塊之電源供給獨立
地對上述各電路區塊施予控制，以使形成上述電路區塊內
之邏輯元件的電晶體之逆閘極電位於待機狀態與動作狀態
進行變化。

7. 如申請專利範圍第 6 項之半導體積體電路，其中
前述通道及埠在前述電路區塊處於待機狀態時係以增

(3)

加前述電晶體之臨限值電壓之方式控制前述逆閘極電位。

8. 如申請專利範圍第 6 項之半導體積體電路，其中前述通道及埠在前述電路區塊處於動作狀態時係以減少前述電晶體之臨限值電壓之方式控制逆閘極電位。

9. 如申請專利範圍第 6 項之半導體積體電路，其中進一步具有：

共用電源線，用以對前述各複數電路區塊實施電源供應；

共用接地線，用以實施前述各複數電路區塊之接地；以及

開關切換元件，用以執行前述共用電源線或前述共用接地線之至少其中一方、及前述電路區塊間之電性通電/斷電；且，

前述通道及埠係對應前述電路區塊之狀態轉換執行前述開關切換元件之通電/斷電控制。

10. 如申請專利範圍第 1 項之半導體積體電路，其中前述電晶體係雙閘極 TFT。

11. 如申請專利範圍第 10 項之半導體積體電路，其中

前述雙閘極 TFT 在通道端部、及汲極區域或源極區域之接面具有 LDD 區域。

12. 如申請專利範圍第 10 項之半導體積體電路，其中

前述雙閘極 TFT 之閘極及逆閘極之形成上，係隔著

(4)

通道區域相對配置，且兩者投影於前述通道區域之形狀為大致重疊之相同形狀。

13. 如申請專利範圍第 11 項之半導體積體電路，其中

前述逆閘極之形成上，投影於通道區域之形狀和前述 LDD 區域之全部或一部份重疊。

14. 一種電子機器，其特徵為：

具有申請專利範圍第 1 至 13 項之其中任 1 項之半導體積體電路。

15. 一種逆閘極電位控制方法，其特徵為：

依據用以預先規定具有從動作狀態進入待機狀態、或從待機狀態進入動作狀態之狀態轉換之複數電路區塊之各狀態轉換之有限狀態機器，和上述各電路區塊之電源供給獨立地對上述各電路區塊施予控制，以使形成上述電路區塊內之邏輯元件的上述電晶體之逆閘極電位於待機狀態與動作狀態進行變化。

16. 如申請專利範圍第 15 項之逆閘極電位控制方法，其中

前述電路區塊處於待機狀態時，以增加前述電晶體之臨限值電壓之方式控制前述逆閘極電位。

17. 如申請專利範圍第 15 項之逆閘極電位控制方法，其中

前述電路區塊處於動作狀態時，以減少前述電晶體之臨限值電壓之方式控制前述逆閘極電位。

(5)

18. 一種逆閘極電位控制方法，係使用於具有：具有從動作狀態進入待機狀態、或從待機狀態進入動作狀態之狀態轉換之複數電路區塊；用以利用 CSP 方式之前述電路區塊間之通信實施自律性之動作要求、或接受他律性之動作要求之通道；以及用以通過前述通道實施電路區塊間之連接之埠；之半導體積體電路，其特徵為：

上述通道及埠，係和上述各電路區塊之電源供給獨立地對上述各電路區塊施予控制，以使形成上述電路區塊內之邏輯元件的電晶體之逆閘極電位於待機狀態與動作狀態進行變化。

19. 如申請專利範圍第 18 項之逆閘極電位控制方法，其中

前述電路區塊處於待機狀態時係以增加前述電晶體之臨限值電壓之方式控制前述逆閘極電位。

20. 如申請專利範圍第 18 項之逆閘極電位控制方法，其中

前述電路區塊處於動作狀態時係以減少前述電晶體之臨限值電壓之方式控制前述逆閘極電位。