

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/8246

H01L 21/8239 H01L 27/112



[12] 发明专利申请公开说明书

[21] 申请号 03132842.3

[43] 公开日 2004 年 6 月 9 日

[11] 公开号 CN 1503352A

[22] 申请日 2003.7.22 [21] 申请号 03132842.3

[30] 优先权

[32] 2002. 7. 22 [33] US [31] 10/200423

[71] 申请人 因芬尼昂技术股份公司

地址 联邦德国慕尼黑

共同申请人 因芬尼昂技术弗拉斯有限责任两合公司

[72] 发明人 F·霍夫曼恩 J·威勒

C·鲁德威格 A·科尔哈塞

[74] 专利代理机构 中国专利代理(香港)有限公司

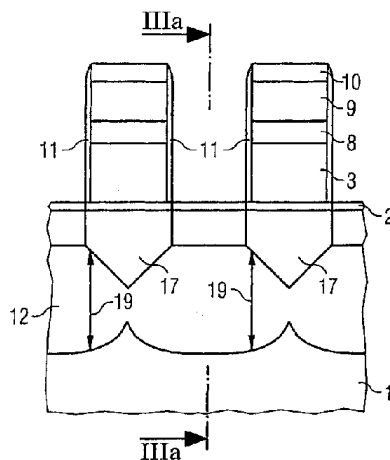
代理人 程天正 梁 永

权利要求书 3 页 说明书 7 页 附图 6 页

[54] 发明名称 非挥发内存胞元及制造方法

[57] 摘要

具背面信道隔离的内存胞元晶体管被制造而不需使用 SOI 基材。藉由以该字符线路堆栈做为屏蔽, 该半导体材料在该字符线路两侧被蚀刻, 先以不等向性蚀刻及接着为等向性蚀刻以加宽蚀刻孔洞及在闸电极下方及距离形成该闸介电体的该 ONO 储存层一段距离形成一种底切。该底切被填充, 由此一种至少 20 奈米最大厚度的埋藏氧化物层在信道区域下方形成, 此信道区域为于至少 10^{17} 公分⁻³ 的密度下被 p-掺杂。



ISSN 1008-4274

1. 一种制造具一半导体本体或半导体层的非挥发内存胞元之方法，
- 5 置于该半导体本体或半导体层表面的经理藏位线路及在施用于该位线路的该表面的导体条带，
- 一源极区域及一汲极区域，各由该位线路之一连接，
- 施用于至少在该源极区域及该汲极区域间的该表面之闸介电体，
- 一闸电极被放置于该闸介电体，及
- 10 一字符线路电连接至该闸电极，该字符线路横越该位线路及与该位线路电绝缘，
- 其包括下列步骤：
- 在第一步骤提供一具至少一半导体层的半导体本体或基材，
- 在第二步骤沉积一包括提供用以捕获电荷载体的储存层之闸介电体，
- 15 在第三步骤沉积一提供用做该闸电极的层，
- 在第四步骤形成在该层的开孔及形成在该开孔内的侧壁的间隔物，
- 在第五步骤经由该开孔植入掺杂剂以形成该经理藏位线路，
- 20 在第六步骤施用该导体条带于该经理藏位线路上，及施用电绝缘覆盖层于该导体条带上，
- 在第七步骤施用至少一电连接至该闸电极的字符线路层，及施用一硬屏蔽层于该至少一字符线路层的顶部，该硬屏蔽层被使用以架构该闸电极及该至少一字符线路层以形成字符线路堆栈，
- 25 在第八步骤在该位线路间该字符线路堆栈的两侧不等向性地向下蚀刻进入该半导体本体或半导体层至低于该源极区域及该汲极区域的位准以形成自行对准于该字符线路堆栈的蚀刻孔洞，及
- 在第九步骤以电绝缘材料填充该蚀刻孔洞。
2. 根据申请专利范围第1项的方法，另外包括：
- 30 在不等向性蚀刻以形成该蚀刻孔洞后，接着为等向性蚀刻进入该蚀刻孔洞以在该闸电极下方延伸及距离该闸电极一段距离形成底切。

3. 根据申请专利范围第 2 项的方法, 另外包括:
执行等向性蚀刻以使该底切形成横越该字符线路延伸的连续开孔。
4. 根据申请专利范围第 2 或 3 项的方法, 另外包括:
5 在不等向性蚀刻以形成该蚀刻孔洞后, 施用一覆盖至该字符线路堆栈的侧边及该蚀刻孔洞, 以当等向性蚀刻时保护该侧壁。
5. 根据申请专利范围第 1 至 4 项中任一项的方法, 其中该储存层以三层氧化物-氮化物-氧化物层被施用。
6. 一种制造非挥发内存胞元之方法, 其包括步骤:
10 提供一半导体本体或半导体层,
施用一介电体材料的储存层于该半导体本体或半导体层的表面,
施用一被提供用做闸电极的层于该储存层上,
形成开孔于该层内及经由该开孔植入掺杂剂以形成被提供用做
15 经埋藏位线路及用做源极及汲极的经掺杂区域,
施用位线路堆栈于该经埋藏位线路, 该位线路堆栈, 各包括至少一导体条带,
形成一横越该位线路的字符线路, 该字符线路电连接至该闸电极及与该位线路电绝缘, 且结构化该闸电极,
20 藉由使用该字符线路为屏蔽, 执行一不等向性蚀刻方法进入在该字符线路两侧的该位线路间的该半导体本体或半导体层, 由此蚀刻孔洞形成, 及
沉积一电绝缘材料做为该蚀刻孔洞的填充物。
7. 根据申请专利范围第 6 项的方法, 另外包括:
25 在该不等向性蚀刻方法后, 执行后续的等向性蚀刻方法进入该蚀刻孔洞, 由此一底切以在提供用做信道区域的半导体区域下方延伸的方式被形成, 及
沉积一电绝缘材料做为该底切及该蚀刻孔洞的填充物。
8. 根据申请专利范围第 6 或 7 项的方法, 另外包括申请专利范
30 围第 3 至 5 项其中一项的特征。
9. 一种非挥发内存胞元, 其包括:
一半导体本体或半导体层,

置于该半导体本体或半导体层表面的埋藏位线路及在施用于该位线路的该表面的导体条带，

一源极区域及一汲极区域，各由该位线路之一连接，

一至少在该源极区域及该汲极区域间的该表面之闸介电体，该闸电极包括被提供用以捕获电荷载体的储存层，

一闸电极被放置于该闸介电体，及

一字符线路被电连接至该闸电极，该字符线路横越该位线路及与该位线路电绝缘，及

在该位线路间及该字符线路的两侧延伸进入该半导体本体或半导体层的电绝缘区域，该电绝缘区域自行对准于该字符线路及至少延伸至该源极区域及该汲极区域的较低边界位准。

10. 一种根据申请专利范围第 9 项的非挥发内存胞元，另外包括：

该电绝缘区域包括一在距离该闸介电体一段距离在该字符线路下方及在该源极区域及该汲极区域间被提供的该信道区域下方的底切区域，

该电绝缘底切区域至少将该信道区域与该信道区域下方的半导体材料部份分开及至少部份分开该源极区域与该汲极区域。

11. 根据申请专利范围第 10 项的非挥发内存胞元，另外包括：
该电绝缘底切区域横越该字符线路连续延伸。

12. 根据申请专利范围第 10 或 11 项的非挥发内存胞元，另外包括：

该电绝缘底切区域在与该半导体本体或半导体层表面正交的方向的具至少 20 奈米的最大厚度。

13. 根据申请专利范围第 10 或 11 项的非挥发内存胞元，另外包括：

该电绝缘底切区域在与该半导体本体或半导体层的该表面正交的方向具至少 100 奈米的最大厚度。

14. 根据申请专利范围第 9 至 13 项任一项的非挥发内存胞元，另外包括：

一信道区域在该源极区域与该汲极区域间被提供，其具至少 10^{17} 公分⁻³ 的掺杂密度。

非挥发内存胞元及制造方法

技术领域

- 5 本发明系关于电子可写入及可消除非挥发闪存领域，其包括较佳为以虚拟接地 NOR 数组排列的 NROM-形式内存胞元。

背景技术

- 非常小的非挥发内存胞元对在多媒体应用的非常大型的集成密度是必要的。然而，尽管最小特性尺寸，其由微影所决定，持续减少，
10 但其它参数无法据以按比例增减。

- NROM-形式内存胞元被叙述于 B. Eitan 等”NROM: 新颖局部陷阱，2-位非挥发内存胞元”，IEEE Electronic Device Letter 21, 543-545 (2000)，目前，NROM 胞元系制造为使用三层氧化物-氮化物-氧化物的平面型 MOS 晶体管，二个氧化层皆做为闸界电体及做为内存或程序层，中间氮化物层被用作储存层以捕获电荷载体，较佳为电子。因
15 所使用材料的特定性质，在程序及消除操作期间，4 伏特至 5 伏特的典型源极/汲极电压为必须的。

- 在这些相当高的电压下，贯穿发生，其会阻碍晶体管信道长度的进一步尺寸缩小至低于 200 奈米的值。贯穿被认为是在穿过低于信道
20 区域的半导体材料的源极/汲极的 n+-接合间发生。在半导体装置的物理之近期研究证实当信道由距闸电极某一距离的埋藏氧化层所限制于下，可得到优异的贯穿行为及短信道性质的改良。

- 在 SOI 基材的 MOSFETs 被叙述于 Jean-Pierre Colinge 的书”绝缘体上晶硅技术: VLSI 材料”，第 2 版，Kluwer Academic Publishers, Dordrecht 1997，第 5 章: ”SOI MOSFET”。SOI MOSFETs 信道区域的垂直延伸受限于 SOI 基材的绝缘层。该信道被部份或完全消耗系依据信道区域的厚度而定，其还决定相邻于闸氧化物及相邻于绝缘层的空间电荷区域是否为分开的或是彼此相邻。该 SOI MOSFET 对整体基材为完全电绝缘的，除非有提供通过该绝缘层的通孔，以使整体基材可
30 由上方表面被电接触。

- 在硅的最终整合的第三次欧洲工作站 (ULIS 2002)，Munich 2002，Thomas Skotnicki 提出一种具 16 奈米闸长度的 NANO CMOS。

此型式的晶体管架构提供一种背面信道隔离，其基本上限制于该信道区域及藉由移除约 15 奈米厚晶体成长的 SiGe 层及以电绝缘材料取代而形成。未掺杂及完全掺杂的信道之垂直尺寸可与该 SOI MOSFETs 技艺相比。该高度掺杂的源极及汲极区域延伸至低于该绝缘层位准且以具 LDD(轻掺杂汲极)区域提供做为信道接点，该信道架构被称为 SON, silicon on nothing.

发明内容

本发明目的为提供一种 SONOS-型式晶体管内存胞元，其具活动信道的最小截面积，同时允许该信道区域的至少部份消耗，及提供一种制造此种内存胞元及内存胞元数组的方法。

本发明进一步目的为揭示一种如何制造 NROM 内存胞元而不需使用 SOI 基材的方法。

进一步目的为提供一种内存胞元的绝缘，其可自行对准于字符线路及合适用于内存胞元数组。

本发明进一步目的为提供一种经绝缘的信道晶体管内存胞元，其可以虚拟接地数组的方式被放置，及一种制造此种内存胞元及内存胞元数组的方法。

根据本发明的 NROM 胞元被置于半导体本体或半导体层的表面，其具有关于此表面垂直延伸直线向下进入位线路间的及在相对应字符线路（被提供用于定地址该内存胞元）两侧上的该半导体本体或半导体层的电绝缘区域，该电绝缘区域被放置自行对准于该字符线路及亦可能自行对准于该位线路及至少延伸至该源极区域及汲极区域的较低边界位准。该电绝缘区域较佳为包括一种在该信道区域（其位于源极区域及汲极区域间）下方的底切区域或埋藏层。该晶体管的贯穿被避免或至少藉由该电绝缘区域而受阻碍。

该架构由在字符线路划定至少至源极/汲极区域的较低接合的位准后在字符线路及位线路间的不等向性蚀刻而产生且较佳为由晶体管的信道区域的等向性底蚀刻而产生，此蚀刻方法自字符线路的两侧发生且被执行自行对准于字符线路，该蚀刻孔洞及最后该底切以一种电绝缘材料填充。该闸极再氧化步骤可被使用以在该晶体管本体周围成长热氧化物及以保护该半导体表面。此外，硼掺杂剂或另一 p-掺杂剂对象可被植入以改良在填充该底切的该电绝缘材料下方的电绝

缘。

较佳具体实施例包括 CVD 氧化物与具小的相对介电常数值之介电材料进入在相邻字符线路的空间之沉积。

5 该方法可应用于关于具约 90 奈米或更少的字符线路半间距的显微产生之其它内存装置。

10 制造非挥发内存胞元的本发明方法包括下列步骤，一种储存层被供应于该半导体本体或半导体层的表面，且被提供用做闸电极的层被施用于此储存层。在提供用做该位线路的区域，开孔在该闸电极层被蚀刻及被使用以植入掺杂剂以形成包括源极及汲极的埋藏位线路。位线路堆栈被施用于埋藏的位线路以减少该位线路间的电阻及以电绝缘材料覆盖。横越该位线路及电连接至该闸电极的字符线路被施用于且与该闸电极一起被结构化以形成字符线路堆栈。平行放置的数个位线路及横越这些位线路的字符线路可以所叙述方式被施用以形成内存装置的整个胞元数组。

15 该字符线路堆栈被用做屏蔽以蚀刻在该字符线路两侧的半导体材料，先以不等向性蚀刻及，在一种较佳具体实施例，接着为等向性蚀刻以加宽蚀刻孔洞及在闸电极下方及距离该储存层一段距离形成该被底切。该底切以电绝缘材料，特别是氧化物，填充以形成最大厚度的绝缘埋藏层，亦即在与信道区域下方的该半导体本体或半导体层的表面正交的方向的最大尺寸，此尺寸至少 20 奈米，在某些具体实施例超过 100 奈米。

25 该源极/汲极区域较佳为 n-型式导电率，然而该信道为 p-型式导电率。该信道较佳为于至少 10^{17} 公分⁻³ 的密度掺杂。在擦掉状态时，该胞元晶体管的阈值可被设定于 0.5 伏特及 2.0 伏特间的值，及可藉由装置参数的合适选择被调整至典型为约 1.5 伏特。

30 本发明方法的完成系提供一种具绝缘信道的非挥发胞元晶体管而不需使用 SOI 基材。其提供减少该胞元装置的有效信道长度之装置，特别是具进一步缩小装置尺寸的目的。于在该信道侧边或直接在该信道下方的源极区域及汲极区域间的电绝缘阻碍在此区域的贯穿。

本发明的这些及其它目的、特征及优点可由下列图式的简略叙述、详细叙述及所附申请专利范围及图式而更明显。

附图说明

第 1A 及 1B 图显示本发明方法的两个替代具体实施例的第一加工步骤后经过该位线路的截面区段。

第 2 图显示如第 1A 及 1B 图所示的经过该字符线路的截面区段。

5 第 3A 及 3B 图显示本方法的两个替代具体实施例的底蚀刻形成后经过该位线路的截面区段。

第 4A 及 4B 图显示如第 3A 及 3B 图所示的穿过该字符线路的截面区段。

10 第 5A 及 5B 图显示本发明方法的两个替代具体实施例的后续步骤后穿过根据第 4A 及 4B 图的该字符线路的截面区段。

第 6 图显示对进一步具体实施例根据第 5B 图的穿过该字符线路的截面区段。

具体实施方式

15 下文中，本发明较佳具体实施例的关于制造的较佳方法的步骤之详细叙述被提供，在任何具体实施例中，该制造方法以根据本技艺内存胞元的制造方法本身已知的步骤开始。这些步骤可包括沉积成长的垫氧化层及/或垫氮化层在该半导体本体或半导体层（特别是 p-掺杂半导体晶圆）的表面。所有形成经氧化物-填充的阴影沟槽隔离的已知步骤可被添加，包括沟槽订定微影的施用，及平面化。标准植入可
20 被进行以形成在提供用做 CMOS 控制集成电路的周围区域的井。

接着，该储存层，较佳为一种 ONO-层（氧化物-氮化物-氧化物层），在该半导体本体或半导体层的表面成长。接着可进行一种微影步骤以移除在周围的该储存层及以一或更多不同的闸氧化物取代之，在该储存层，一种电传导层被沉积，其被提供用做要被制造的闸
25 电极。

第 1A 及 1B 图显示穿过携带由多晶硅所组成的薄储存层 2 与门电极层 3 的该半导体本体 1 的截面区段。一种氮化物层被沉积做为硬屏蔽层，藉由微影步骤，彼此平行及彼此相距一段距离的字符线路开孔在该闸电极层 3 上形成，间隔物 4 在闸电极层 3 的侧壁于开孔内形成。
30 该间隔物 4 以一般半导体技术本身已知的方式藉由先以等向性沉积一种间隔物材料层及接着不等向性回蚀此层直到仅侧壁间隔物被留下而形成。该间隔物 4 可由氧化物，较佳为由氮化物，特别是四氮化三

硅形成。而后，掺杂剂的植入被执行以形成在所叙述具体实施例的 n^+ -导电率型式的埋藏位线路 5。

5 减少电阻的位线路导体条带 6 被沉积于埋藏的位线路 5 的表面上，该位线路导体条带 6 可由 CoSi 及/或多晶硅形成。当使用硅化物时，该位线路导体条带 6 可部份并入该半导体本体 1 的半导体材料，如第 1B 图所示。位线路覆盖层 7 被施用于该位线路导体条带 6，这些覆盖层 7 可藉由沉积 TEOS (原硅酸四乙酯) 或藉由于该位线路导体条带 6 的顶部生成二氧化硅而形成，若该位线路导体条带 6 由多晶硅形成。该覆盖层 7 被平面化，且氮化物的硬屏蔽层被移除。

10 一种层序列被沉积，其包括至少一被提供用做字符线路的字符线路层，在第 1A 及 1B 图的实例中，分别显示第一字符线路层 8，例如多晶硅，第二字符线路层 9，例如包括一种金属，及由一种电绝缘材料形成的硬屏蔽层 10。在第 1A 及 1B 图在两个位线路间的位置所显示的截面区段被示于第 2 图。

15 第 2 图显示在该字符线路堆栈形成后，穿过该字符线路在第 1A 及 1B 图所显示的截面区段，该第一字符线路层 8、该第二字符线路层 9、该硬屏蔽层 10、及该闸电极层 3 已被建构以形成字符线路堆栈的条带。在第 1A 及 1B 图所显示的截面区段之位置由断线表示于第 2 图。该微影步骤可被分为两个步骤以先蚀刻该字符线路，且周边装置仍由
20 该硬屏蔽层保护。

如第 3A 及 3B 图的截面区段所示，在闸电极层的开孔被使用以执行一种蚀刻步骤以自行对准于至少字符线路的方式形成孔洞，且在此实例中亦自行对准于位线路。在此步骤，RIE (反应式离子蚀刻) 可被使用以不等向性地经由该储存层 2 蚀刻且直接向下进入该半导体材料，此以向下指的垂直指向箭头示于第 3A 图。孔洞被至少向下蚀刻
25 至源极/汲极区域及埋藏位线路 5 的较低边界的位准，亦即至在源极/汲极/埋藏位线路区域及主要半导体本体或层间的较低 pn-接合之位准。藉由此，该半导体本体或半导体层在相邻于该晶体管信道的区域电绝缘且垂直向下延伸至该源极/汲极区域。

30 在此不等向性蚀刻后，该位线路堆栈及该字符线路堆栈的侧壁可由薄氮化物层覆盖 11 覆盖，或者覆盖 11 可为得自字符线路再氧化步骤的薄氮化物层。该覆盖 11 至少在经蚀刻孔洞的底部自该半导体本

体 1 的表面被移除。在一较佳具体实施例中，该蚀刻方法藉由使用干蚀刻剂例如 SF_6 或是在第 3B 图的具体实施例中，使用湿蚀刻剂，等向性地持续。在第 3B 图的具体实施例中，该侧壁由该覆盖 11 保护，以使该蚀刻孔洞 12 的经底蚀刻部份被限制于相当较小的垂直延伸。由向同性蚀刻方法所达到的蚀刻孔洞 12 之底蚀刻可被进一步持续直到自该字符线路两侧向前的该蚀刻孔洞相遇及形成在该胞元晶体管的信道区域下方的一连续开孔。

第 4A 及 4B 图显示穿过第 3A 及 3B 图所示的该字符线路的截面区段。在第 4A 图的实例中，该蚀刻方法被持续直到连续开孔已在低于其余半导体信道区域 17 处形成。在第 4B 图所示的实例中，该蚀刻方法在自该字符线路两侧产生的该蚀刻孔洞占据在信道区域 17 下方的整个区域前停止。在根据第 4B 图的具体实施例中，该信道区域未完全与该半导体本体分开，在该信道区域 17 的半导体材料及该半导体本体 1（例如硅）间的其余连接可提供在该信道区域及该半导体本体间的足够分隔，因该半导体材料消耗电荷载体。然而，较佳具体实施例藉由经由横越该字符线路的总宽度的完全蚀刻提供一种在该信道区域下方的完全分隔，在此较佳具体实施例中，仅在该信道区域及该源极/汲极区域间及在该源极/汲极/埋藏位线路区域及在这些区域下方的半导体材料间及/或面向该信道远离的侧边有 pn-接合，但没有 pn-接合与低于该信道区域的信道方向的该源极/汲极区域侧边地相邻。

最大厚度 19，亦即，在与该半导体本体或半导体层的表面正交的方向的底切最大尺寸一般出现在该字符线路堆栈的周边平面的延伸，如各图中所示。

在第 4B 图中该覆盖 11 的面积上限显示该位线路堆栈的上表面之位置。该覆盖 11 可被蚀刻以露出表面进行热氧化物成长以提供钝化。

第 5A 及 5B 图分别显示根据第 4A 及 4B 图在热氧化物覆盖 13 的生长后穿过该字符线路的截面区段。一种电绝缘材料被沉积做为填充物 15 以填充该蚀刻孔洞及在该字符线路间的区域至该硬屏蔽层 10 的位准。填充物 15 的材料较佳为被选择以具小的相对介电常数值。

在第 5A 图所示的具体实施例中，在信道区域 17 下方的底切的绝缘层以至少 100 奈米的最大厚度 19 形成。在第 5B 图所示的具体实施

例中，该覆盖 11 (第 4B 图) 已使得该蚀刻孔洞 12 的经底蚀刻部份被限制于具至少 20 奈米的最大厚度 19 之相当较小的垂直延伸。

第 5B 图显示选择的额外特征：井 14，藉由植入硼或其它掺杂剂而形成以提供 p-导电率区域以改良在信道区域 17 下方的分隔；一种氮化物钝化层 18，其被施用于所示基材的上方表面；及在此情况下，藉由热氧化 (氧化物覆盖 13) 所形成的介电材料所进行的该信道区域 17 与该半导体本体 1 的完全分隔。

第 6 图显示根据第 5B 图的进一步具体实施例的截面区段，在此进一步具体实施例中，其中热氧化物覆盖的生长被限制于该蚀刻孔洞的表面，然而该氮化物层 16 被施用于该字符线路堆栈的所有表面。此氮化物层 16 对应于在第 5B 图的上方氮化物钝化层 18，此种氮化物层可被使用以封包该字符线路，如此，该位线路的自行对准接触机制可被施用。

所揭示方法的示例具体实施例因经制造内存装置的特殊要求之偏差位于本发明范围内。

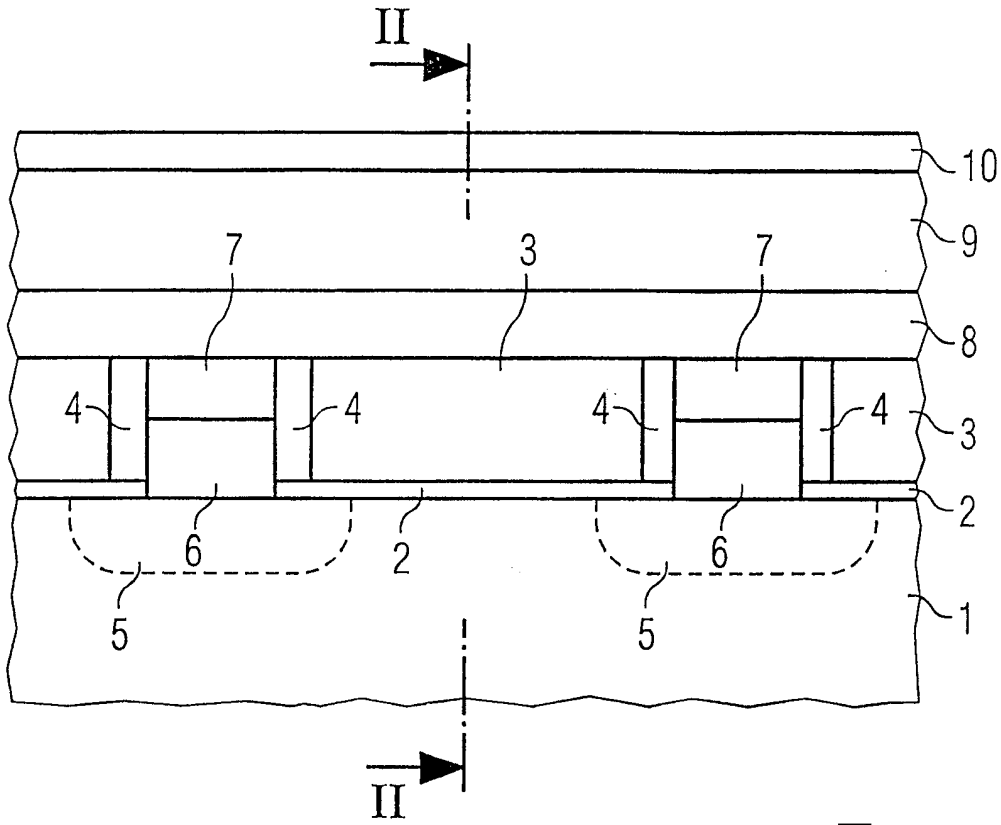


图 1A

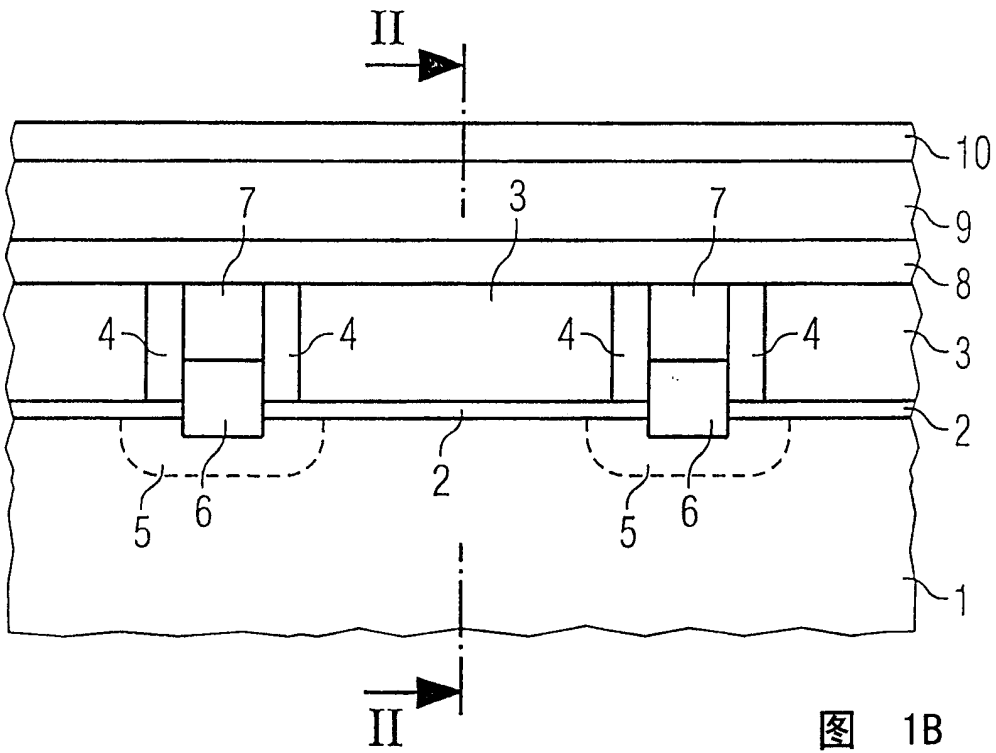


图 1B

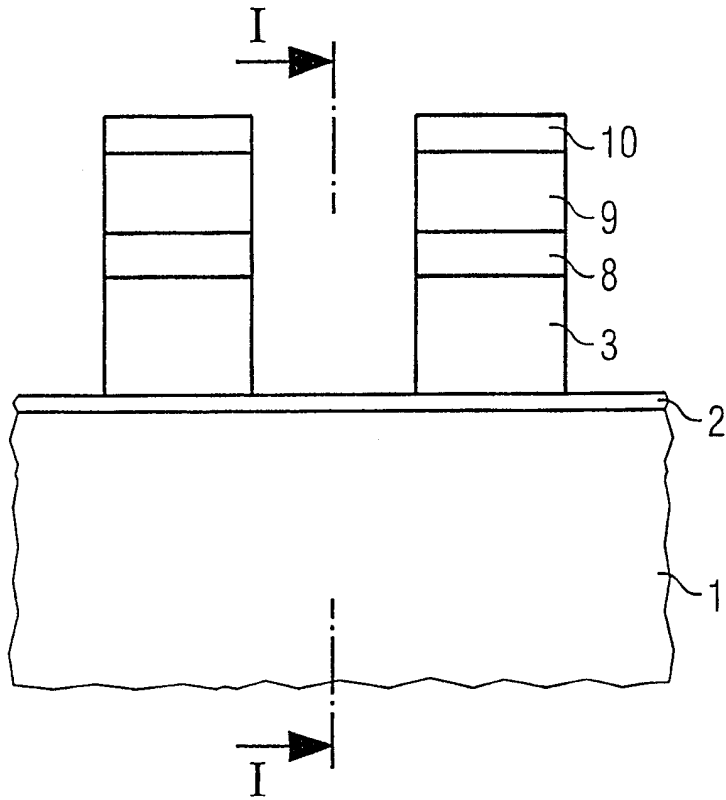


图 2

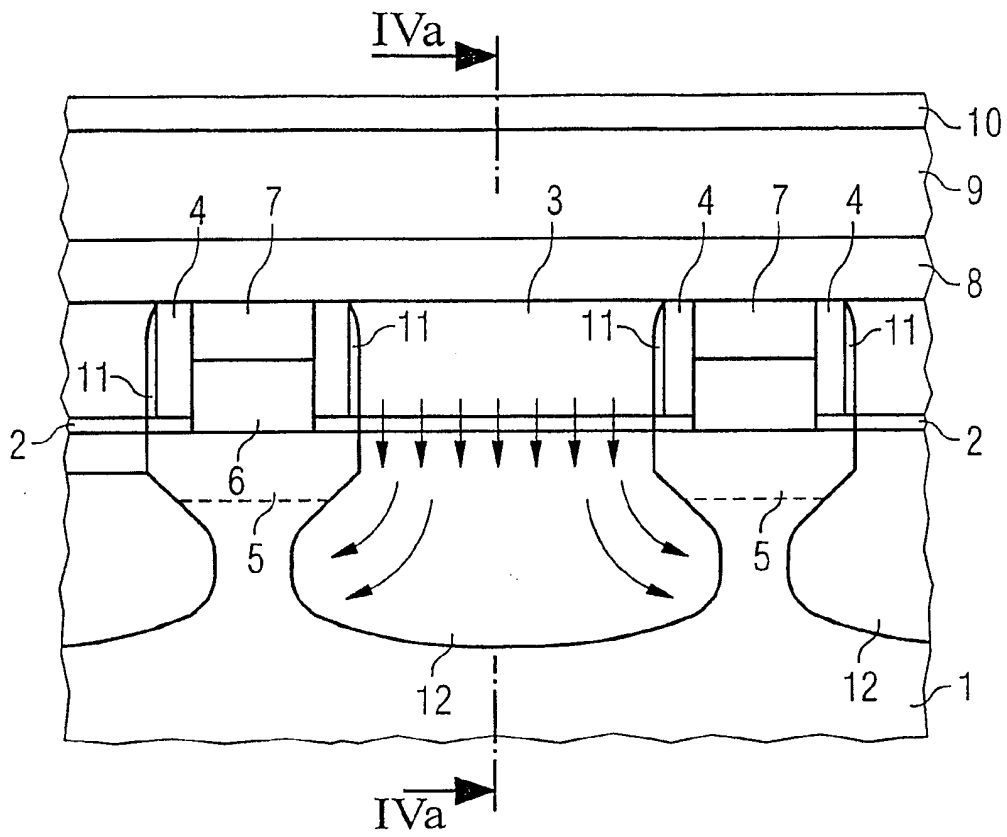


图 3A

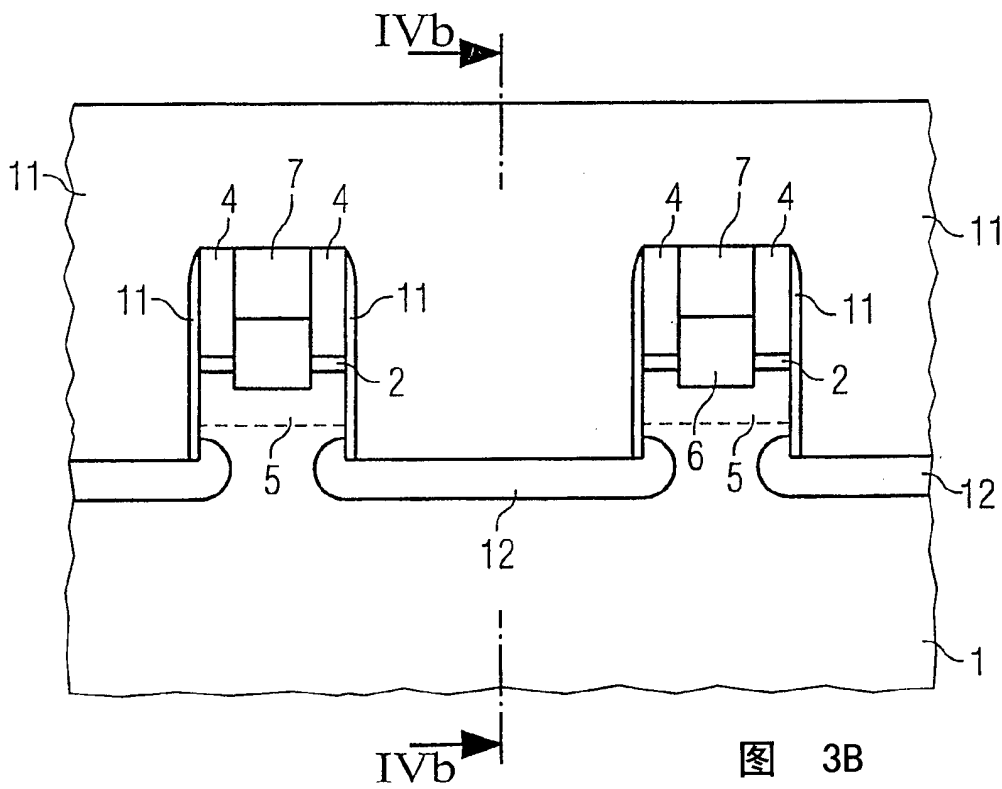


图 3B

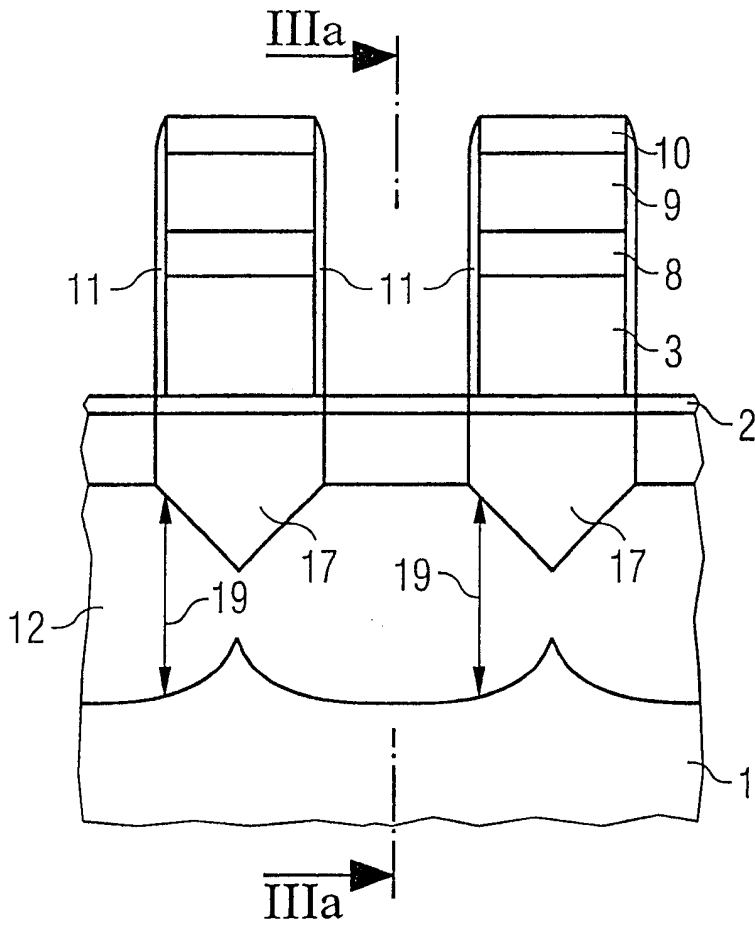


图 4A

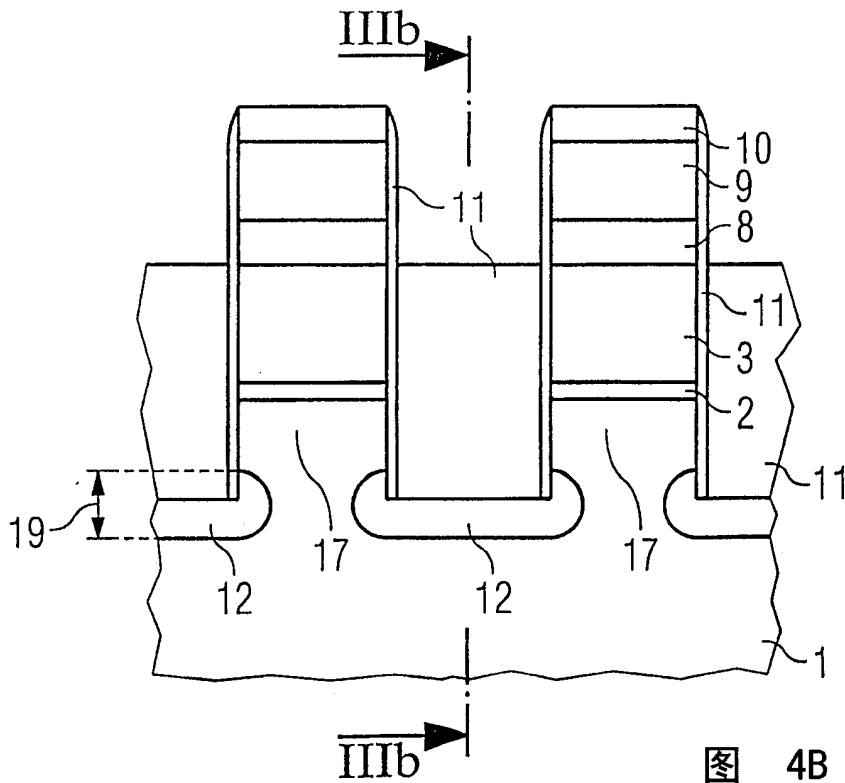


图 4B

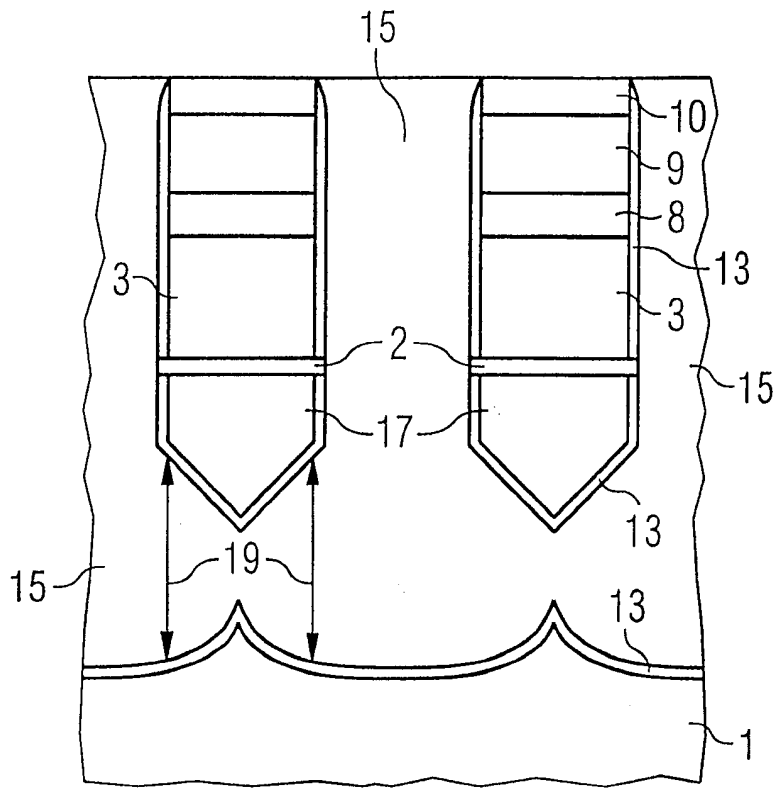


图 5A

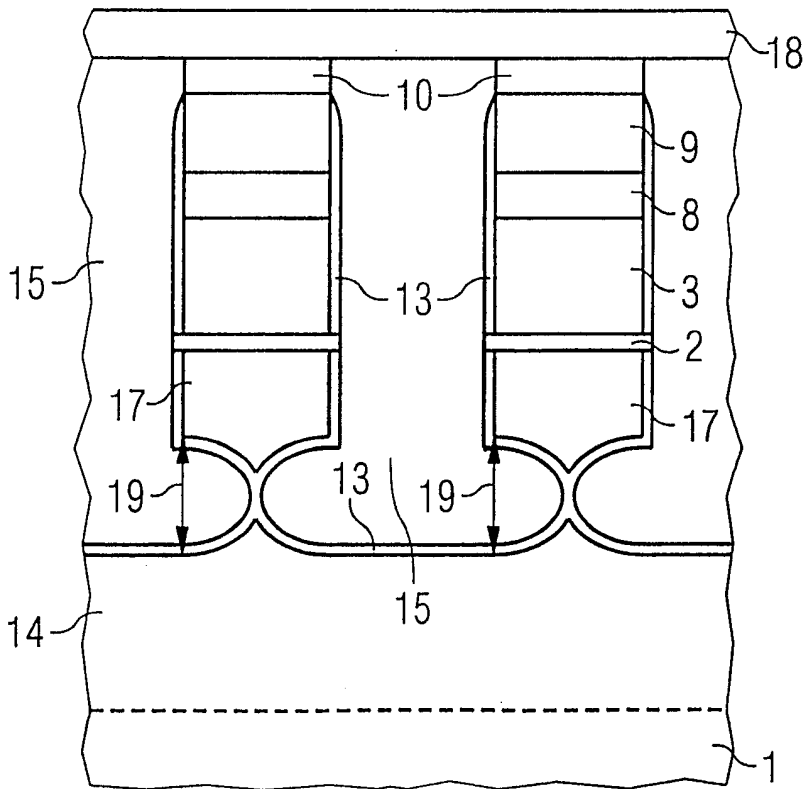


图 5B

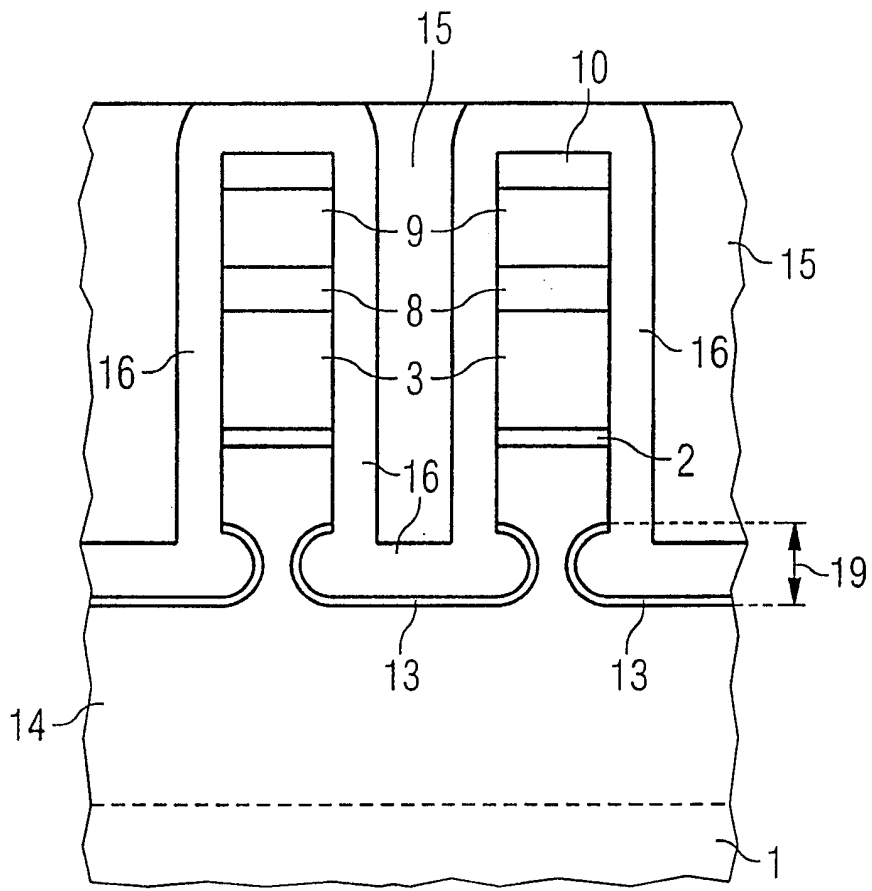


图 6