

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成18年4月20日(2006.4.20)

【公開番号】特開2000-164869(P2000-164869A)

【公開日】平成12年6月16日(2000.6.16)

【出願番号】特願平11-71596

【国際特許分類】

H O 1 L 29/78 (2006.01)

H O 1 L 21/336 (2006.01)

【F I】

H O 1 L 29/78 6 5 3 A

H O 1 L 29/78 6 5 8 A

【手続補正書】

【提出日】平成18年3月3日(2006.3.3)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 パワーM O S F E Tであって、

第1の導電型の半導体基板と、

前記基板の上層をなし、前記第1の導電型と反対の第2の導電型からなり、内部にトレンチが形成されるエピタキシャル層と、

前記トレンチ内に配置され、前記トレンチの底面及び側壁に沿って延在する絶縁層により前記エピタキシャル層から電氣的に隔離されるゲートとを有し、前記エピタキシャル層が、

前記第1の導電型からなり、前記エピタキシャル層の上側表面及び前記トレンチの前記側壁に隣接して配置されるソース領域と、

前記第2の導電型のボディ部と、

前記基板と前記トレンチの前記底面との間に延在する前記第1の導電型のドレイン領域とを有し、前記ドレイン領域と前記基板と前記トレンチの前記側壁との間に延在する前記ボディとの間に接合部が存在することを特徴とするパワーM O S F E T。

【請求項2】 前記ドレイン領域の少なくとも75%は前記トレンチの真下に配置されることを特徴とする請求項1に記載のM O S F E T。

【請求項3】 前記ドレイン領域の少なくとも90%が前記トレンチの真下に配置されることを特徴とする請求項1に記載のM O S F E T。

【請求項4】 前記ドレイン領域と前記ボディとの間の前記接合部の形状が、前記ドレイン領域に向かう方向において窪んでいる弧状をなすことを特徴とする請求項1に記載のM O S F E T。

【請求項5】 前記ドレイン領域のドーピング濃度が $5 \times 10^{15} \text{ cm}^{-3} \sim 5 \times 10^{17} \text{ cm}^{-3}$ の間にあることを特徴とする請求項1に記載のM O S F E T。

【請求項6】 閾値電圧調整用埋設物をさらに有することを特徴とする請求項1に記載のM O S F E T。

【請求項7】 ボディ埋設物をさらに有することを特徴とする請求項1に記載のM O S F E T。

【請求項8】 前記エピタキシャル層が少なくとも2つのサブレイヤを備え、前記第1のサブレイヤが前記エピタキシャル層の前記表面に隣接し、前記第2のサブレイヤが

前記第1のサブレイヤと前記基板との間をなし、また前記第1のサブレイヤは前記第2のサブレイヤのドーピング濃度と異なるドーピング濃度を有することを特徴とする請求項1に記載のMOSFET。

【請求項9】 前記第1のサブレイヤの前記ドーピング濃度が、前記第2のサブレイヤの前記ドーピング濃度より高いことを特徴とする請求項8に記載のMOSFET。

【請求項10】 前記第1のサブレイヤの前記ドーピング濃度が、前記第2のサブレイヤの前記ドーピング濃度より低いことを特徴とする請求項8に記載のMOSFET。

【請求項11】 前記第1のサブレイヤと前記第2のサブレイヤとの間の境界面が前記トレンチの前記側壁を横切ることを特徴とする請求項8に記載のMOSFET。

【請求項12】 パワーMOSFETであって、
第1の導電型の半導体基板と、
前記基板の上層をなし、その中にトレンチが形成されるエピタキシャル層と、
前記トレンチ内に配置され、前記トレンチの底面及び側壁に沿って延在する絶縁層により前記エピタキシャル層から電氣的に隔離されるゲートとを有し、前記エピタキシャル層が、
前記第1の導電型からなり、前記エピタキシャル層の上側表面及び前記トレンチの前記側壁に隣接して配置されるソース領域と、
第2の導電型からなり、前記エピタキシャル層と前記基板との間の境界面と概ね一致する基板との接合部を形成するボディと、
前記基板と前記トレンチの前記底面との間に延在する前記第1の導電型のドレイン領域とを有することを特徴とするパワーMOSFET。

【請求項13】 前記ドレイン領域と前記ボディとの間の接合部が前記基板と前記トレンチの前記側壁との間に延在することを特徴とする請求項12に記載のMOSFET。

【請求項14】 パワーMOSFETであって、
第1の導電型の半導体基板と、
前記基板の上層をなし、前記第1の導電型と反対の第2の導電型からなるエピタキシャル層と、
前記エピタキシャル層の表面から前記エピタキシャル層を通り前記基板内まで延在するトレンチと、
前記トレンチ内に配置され、前記トレンチの表面及び側壁に沿って延在する絶縁層により前記エピタキシャル層から電氣的に隔離されるゲートと、
前記エピタキシャル層における前記第1の導電型からなり、前記エピタキシャル層の上側表面及び前記トレンチの前記側壁に隣接して配置されるソース領域とを有することを特徴とするパワーMOSFET。

【請求項15】 パワーMOSFETを製造するための方法であって、
第1の導電型の基板を設ける過程と、
前記基板上に前記第1の導電型と反対の第2の導電型からなるエピタキシャル層を成長させる過程と、
前記エピタキシャル層内にトレンチを形成する過程と、
前記トレンチの底面を介して前記第1の導電型のドーパントを導入し、前記基板と前記トレンチの前記底面との間に延在するドレイン領域を形成する過程と、
前記トレンチの前記底面と側壁とに沿って絶縁層を形成する過程と、
前記トレンチ内に導電性ゲート材料を導入する過程と、
前記エピタキシャル層内に前記第1の導電型のドーパントを導入し、ソース領域を形成する過程とを有し、前記ドレイン領域及び前記ソース領域は、前記ソース領域及びドレイン領域が前記トレンチの前記側壁に隣接する前記エピタキシャル層のチャンネル領域により分離されるような条件下で形成されることを特徴とするパワーMOSFETの製造方法。

【請求項16】 前記トレンチの底面を介して前記第1の導電型のドーパントを導入する過程が、300keV～3.0MeVのエネルギーでドーパントを注入することに

より実行されることを特徴とする請求項 15 に記載の方法。

【請求項 17】 前記ドレイン領域の形成過程に後続する熱収支が、60 分間、約 950℃と同等に制限されることを特徴とする請求項 16 に記載の方法。

【請求項 18】 前記ドレイン領域の前記形成過程に後続する過程より大きな熱環境を加えることを特徴とする請求項 15 に記載の方法。

【請求項 19】 前記エピタキシャル層内に閾値電圧調整用埋設物を導入する過程をさらに有することを特徴とする請求項 15 に記載の方法。

【請求項 20】 パワー MOSFET であって、

第 1 の導電型の半導体基板と、

前記基板の上層をなし、前記第 1 の導電型と反対の第 2 の導電型からなり、内部にトレンチが形成されるエピタキシャル層と、

前記トレンチ内に配置され、前記トレンチの底面及び側壁に沿って延在する絶縁層により前記エピタキシャル層から電氣的に隔離されるゲートとを有し、

前記エピタキシャル層が、

前記第 1 の導電型からなり、前記エピタキシャル層の上側表面及び前記トレンチの前記側壁に隣接して配置されるソース領域と、

前記トレンチの前記側壁の一部に隣接する、前記第 2 の導電型のボディ部と、

前記トレンチの前記底面から下向きに延在して前記基板の前記第 1 の導電型のドーパントと結合する、前記第 1 の導電型のドレイン領域とを有し、

前記ボディ部は、下向きに延在して前記基板の前記第 1 の導電型のドーパントと第 1 の PN 接合部を、前記ドレイン領域と第 2 の PN 接合部を形成し、

前記第 2 の PN 接合部は前記第 1 の接合部と前記トレンチの前記側壁との間に延在することを特徴とするパワー MOSFET。

【請求項 21】 前記第 1 の接合部と前記トレンチの前記側壁との間の前記第 2 の PN 接合部の形状が、前記ドレイン領域の方に向かって窪んだ弧形であることを特徴とする請求項 20 に記載の MOSFET。

【請求項 22】 パワー MOSFET であって、

第 1 の導電型の半導体基板と、

前記基板の上層をなし、内部にトレンチが形成されるエピタキシャル層と、

前記トレンチ内に配置され、前記トレンチの底面及び側壁に沿って延在する絶縁層により前記エピタキシャル層から電氣的に隔離されるゲートとを有し、

前記エピタキシャル層が、

前記第 1 の導電型からなり、前記エピタキシャル層の上側表面及び前記トレンチの前記側壁に隣接して配置されるソース領域と、

前記第 1 の導電型と反対の第 2 の導電型からなるボディ部であって、前記ボディ部の第 2 の導電型のドーパントが前記基板の第 2 の導電型のドーパントと PN 接合部を形成し、前記 PN 接合部は前記エピタキシャル層と前記基板との間の境界面に一致する、該ボディ部と、

前記基板と前記トレンチの前記底面との間に延在する前記第 1 の導電型のドレイン領域とを有することを特徴とするパワー MOSFET。

【請求項 23】 前記ドレイン領域と前記ボディ部との間の第 2 の PN 接合部が、前記 PN 接合部と前記トレンチの前記側壁との間に延在することを特徴とする請求項 22 に記載の MOSFET。

【請求項 24】 パワー MOSFET であって、

一様にドーブされた第 1 の導電型の半導体基板と、

前記基板に直接接触する形で前記基板の上層をなし、前記第 1 の導電型と反対の第 2 の導電型からなり、内部にトレンチが形成される半導体層と、

前記トレンチ内に配置され、前記トレンチの底面及び側壁に沿って延在する絶縁層により前記半導体層から電氣的に隔離されるゲートとを有し、

前記半導体層が、

前記第 1 の導電型からなり、前記半導体層の上側表面及び前記トレンチの前記側壁に隣接して配置されるソース領域と、

前記トレンチの前記側壁の一部に隣接する、前記第 2 の導電型のボディ部と、

前記トレンチの前記底面から下向きに延在する、前記第 1 の導電型のドレイン領域とを有し、

前記ボディ部は、下向きに延在して前記基板の前記第 1 の導電型のドーパントと第 1 の P N 接合部を、前記ドレイン領域と第 2 の P N 接合部を形成し、

前記第 2 の P N 接合部は前記第 1 の接合部と前記トレンチの前記側壁との間に延在し、

前記半導体層はエピタキシャル層であり、前記エピタキシャル層のドーパントのプロファイルは実質的に平坦であることを特徴とするパワー M O S F E T。

【請求項 25】 パワー M O S F E T を製造するための方法であって、

一様にドーパされた第 1 の導電型の基板を設ける過程と、

前記基板上に前記基板に直接接触する形で前記第 1 の導電型と反対の第 2 の導電型からなる半導体層を成長させる過程であって、前記半導体層はエピタキシャル層であり、前記エピタキシャル層のドーパントのプロファイルは実質的に平坦である、該過程と、

前記半導体層内にトレンチを形成する過程と、

前記トレンチの底面を介して前記第 1 の導電型のドーパントを導入し、前記基板と前記トレンチの前記底面との間に延在するドレイン領域を形成する過程と、

前記トレンチの前記底面と側壁とに沿って絶縁層を形成する過程と、

前記トレンチ内に導電性ゲート材料を導入する過程と、

前記半導体層内に前記第 1 の導電型のドーパントを導入し、ソース領域を形成する過程とを有し、

前記ドレイン領域及び前記ソース領域は、前記ソース領域及びドレイン領域が前記トレンチの前記側壁に隣接する前記半導体層のチャンネル領域により分離されるような条件下で形成されることを特徴とするパワー M O S F E T の製造方法。