

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4499089号
(P4499089)

(45) 発行日 平成22年7月7日(2010.7.7)

(24) 登録日 平成22年4月23日(2010.4.23)

(51) Int.Cl.

H04L 12/02 (2006.01)

F 1

H 0 4 L 12/02

B

請求項の数 15 (全 15 頁)

(21) 出願番号 特願2006-500811 (P2006-500811)
 (86) (22) 出願日 平成16年1月6日 (2004.1.6)
 (65) 公表番号 特表2006-518950 (P2006-518950A)
 (43) 公表日 平成18年8月17日 (2006.8.17)
 (86) 國際出願番号 PCT/US2004/000262
 (87) 國際公開番号 WO2004/066107
 (87) 國際公開日 平成16年8月5日 (2004.8.5)
 審査請求日 平成19年1月9日 (2007.1.9)
 (31) 優先権主張番号 10/346,485
 (32) 優先日 平成15年1月16日 (2003.1.16)
 (33) 優先権主張国 米国(US)

(73) 特許権者 505143112
 ユーティースターコム・インコーポレーテッド
 アメリカ合衆国カリフォルニア州94502, アラメダ, ハーバー・ベイ・パークウェイ 1275
 (74) 代理人 100089705
 弁理士 社本 一夫
 (74) 代理人 100076691
 弁理士 増井 忠式
 (74) 代理人 100075270
 弁理士 小林 泰
 (74) 代理人 100080137
 弁理士 千葉 昭男

最終頁に続く

(54) 【発明の名称】デジタル加入者線アクセス・マルチプレクサのスタッキングの方法および装置

(57) 【特許請求の範囲】

【請求項 1】

デジタル加入者線アクセス・マルチプレクサ(DSLAM)をスタッツクするためのアーキテクチャにおいて、

1つのマスタDSLAMであって、1つの制御回路と、前記マスタDSLAMと隣接して回路が相互接続される2つのDSLAMと通信するための2つの低電圧差分信号(LVDS)回路とを有する、前記マスタDSLAMと、

1つのプログラマブルの制御回路と、隣接して仮想的に回路が相互接続される2つのDSLAMと通信するための2つのLVDS回路とを、それぞれが有する複数のスレーブDSLAMと、

各スレーブDSLAMの前記制御回路を選択的にプログラミングして、第1の選択されたモードにおいてラウンド・ロビンとして、そして第2の選択されたモードにおいてスプリット・バスとして、前記各スレーブDSLAMの前記LVDS回路における通信の方向を制御するためのプログラミング手段と

を備えるDSLAMをスタッツクするためのアーキテクチャ。

【請求項 2】

請求項1に記載のDSLAMをスタッツクするためのアーキテクチャであって、前記マスタDSLAMに隣接して回路が接続されている前記2つのDSLAMは、リング構造を形成する最初のスレーブDSLAMと最後のスレーブDSLAMとである、DSLAMをスタッツクするためのアーキテクチャ。

【請求項 3】

請求項 1 に記載の D S L A M をスタックするためのアーキテクチャであって、前記マスタ D S L A M に隣接して回路が接続されている前記 2 つの D S L A M は、前記第 2 の選択されたモードにおける前記スプリット・パスに関する、デュアル・リンク構造を形成する最初のスレーブ D S L A M と中間のスレーブ D S L A M とである、 D S L A M をスタックするためのアーキテクチャ。

【請求項 4】

請求項 1 に記載の D S L A M をスタックするためのアーキテクチャであって、前記スレーブ D S L A M を選択的にプログラミングする前記プログラミング手段は、仮想ポックス ID および仮想パス / 回路 ID に基づいての、データおよび管理メッセージに関するプロキシ・スキームを使用する、 D S L A M をスタックするためのアーキテクチャ。

10

【請求項 5】

請求項 1 に記載の D S L A M をスタックするためのアーキテクチャであって、前記スレーブ D S L A M を選択的にプログラミングする前記プログラミング手段は、仮想ポックス ID および仮想パス / 回路 ID に基づく、データおよび管理メッセージのための トラフィック中継 および スタッキング I / O テーブル を使用するものであり、前記テーブルは、仮想チャネルとポックス ID のマッピングを行うためのものである、 D S L A M をスタックするためのアーキテクチャ。

【請求項 6】

請求項 1 に記載の D S L A M をスタックするためのアーキテクチャであって、前記スレーブ D S L A M のうちの 1 つスレーブ D S L A M の故障を検出するための手段を更に含み、選択的にプログラミングする前記プログラミング手段は、前記故障を検出するための手段に応答して、前記 1 つのマスタ D S L A M を通じてのみの通信を維持しつつ、ラウンド・ロビンの通信から、故障が生じた前記スレーブ D S L A M を回避するスプリット・パスの通信へと再プログラミングすることを可能にする、 D S L A M をスタックするためのアーキテクチャ。

20

【請求項 7】

請求項 6 に記載の D S L A M をスタックするためのアーキテクチャであって、予備のマスタ D S L A M を更に備え、前記 1 つのマスタ D S L A M が故障したときに、前記予備のマスタ D S L A M は、制御回路と、中央局へのアップリンク通信回路と、マスタ D S L A M と隣接して回路が相互接続される 2 つの D S L A M と通信するための 2 つの低電圧差分信号 (L V D S) 回路とを有する 1 つのマスタ D S L A M として動作することが可能にされるものであり、選択的にプログラミングする前記プログラミング手段は、新たに 1 つのマスタ D S L A M としての前記予備のマスタ D S L A M を通じての通信を維持しつつ、ラウンド・ロビンの通信から、故障が生じた前記 1 つのマスタ D S L A M を回避するスプリット・パスの通信へと再プログラミングするものであり、前記スプリットは、前記予備のマスタ D S L A M を通じての通信のために、前記予備のマスタ D S L A M と隣接した所望される仮想的回路相互接続において選択的にプログラムされるものである、 D S L A M をスタックするためのアーキテクチャ。

30

【請求項 8】

デジタル加入者線アクセス・マルチプレクサ (D S L A M) をスタックするためのアーキテクチャであって、

制御回路と、中央局へのアップリンク通信回路と、1 つのマスタ D S L A M と隣接して回路が相互接続される 2 つの D S L A M と通信するための 2 つの低電圧差分信号 (L V D S) 回路とを有する、前記 1 つのマスタ D S L A M と、

プログラマブルの制御回路と、隣接して仮想的に回路が相互接続される 2 つの D S L A M と通信するための 2 つの L V D S 回路とを、それぞれが有する複数のスレーブ D S L A M と、

各スレーブ D S L A M の前記制御回路を選択的にプログラミングして、第 1 の選択されたモードにおいてラウンド・ロビンとして、そして第 2 の選択されたモードにおいてスプ

40

50

リットとして、前記各スレーブDSLAMの前記LVDs回路における通信の方向を制御するための、選択的にプログラミングするプログラミング手段であって、前記スプリットは、前記1つのマスタDSLAMを通じての通信のために、前記1つのマスタDSLAMと隣接した所望される仮想的回路相互接続において選択的にプログラムされるものである、プログラミング手段と

前記スレーブDSLAMのうちの1つスレーブDSLAMの故障を検出するための手段であって、選択的にプログラミングする前記プログラミング手段が、故障を検出するための手段に応答して、前記1つのマスタDSLAMを通じての通信を維持しつつ、ラウンド・ロビンの通信から、故障が生じた前記スレーブDSLAMを回避するスプリット・バスの通信へと再プログラミングすることを可能にするものである、故障を検出するための手段と、

予備のマスタDSLAMであって、前記1つのマスタDSLAMが故障したときに、前記予備のマスタDSLAMは、制御回路と、中央局へのアップリンク通信回路と、マスタDSLAMと隣接して回路が相互接続される2つのDSLAMと通信するための2つの低電圧差分信号(LVDS)回路とを有する1つのマスタDSLAMとして動作することが可能にされるものであり、選択的にプログラミングする前記プログラミング手段は、新たな1つのマスタDSLAMとしての前記予備のマスタDSLAMを通じての通信を維持しつつ、ラウンド・ロビンの通信から、故障が生じた前記1つのマスタDSLAMを回避するスプリット・バスの通信へと再プログラミングするものであり、前記スプリットは、前記予備のマスタDSLAMを通じての通信のために、前記予備のマスタDSLAMと隣接した所望される仮想的回路相互接続において選択的にプログラムされるものである、予備のマスタDSLAMと

を備えるDSLAMをスタックするためのアーキテクチャ。

【請求項9】

請求項1に記載のDSLAMをスタックするためのアーキテクチャであって、前記マスタDSLAMは中央局へのアップリンク通信回路を含む、DSLAMをスタックするためのアーキテクチャ。

【請求項10】

デジタル加入者線アクセス・マルチプレクサ(DSLAM)をスタックするためのアーキテクチャを操作する方法において、

マスタDSLAMの制御回路を用いて、複数のスレーブDSLAMのそれぞれにおける制御回路を選択的にプログラミングして、それぞれの前記スレーブDSLAMの低電圧差分信号(LVDS)回路における通信の方向を、第1の選択されたモードにおいてラウンド・ロビンとして制御するステップと、

前記マスタDSLAMの前記制御回路を用いて、前記複数のスレーブDSLAMのうちの特定のものにおける前記制御回路を選択的にプログラミングして、前記LVDs回路における通信の方向を、第2の選択されたモードにおいてスプリット・バスとして制御するステップと、

を備える方法。

【請求項11】

請求項10に記載の方法であって、前記マスタDSLAMに隣接して回路が接続されている2つの前記DSLAMは、リング構造を形成する最初のスレーブDSLAMと最後のスレーブDSLAMとである、方法。

【請求項12】

請求項10に記載の方法であって、前記マスタDSLAMに隣接して回路が接続されている2つの前記DSLAMは、前記第2の選択されたモードにおける前記スプリット・バスに関しては、デュアル・リンク構造を形成する最初のスレーブDSLAMと中間のスレーブDSLAMとである、方法。

【請求項13】

デジタル加入者線アクセス・マルチプレクサ(DSLAM)をスタックするためのアーキテクチャ

10

20

30

40

50

キテクチャにおいて、

1つのマスタDSLAMであって、1つの制御回路と、前記マスタDSLAMと隣接して回路が相互接続される2つのDSLAMと通信するための2つの低電圧差分信号（LVDs）回路とを有する、前記マスタDSLAMと、

1つのプログラマブルの制御回路と、隣接して仮想的に回路が相互接続される2つのDSLAMと通信するための2つのLVDs回路とを、それぞれが有する複数のスレーブDSLAMと、

を備え、

前記マスタDSLAMの前記制御回路は、それぞれの前記スレーブDSLAMの前記LVDs回路における通信の方向を、第1の選択されたモードにおいてラウンド・ロビンとして制御し、第2の選択されたモードにおいてスプリット・バスとして制御するように、それぞれの前記スレーブDSLAMの前記制御回路を選択的にプログラミングするように構成される、

DSLAMをスタックするためのアーキテクチャ。

【請求項14】

請求項13に記載のアーキテクチャであって、前記マスタDSLAMに隣接して回路が接続されている2つの前記DSLAMは、リング構造を形成する最初のスレーブDSLAMと最後のスレーブDSLAMとである、アーキテクチャ。

【請求項15】

請求項13に記載のアーキテクチャであって、前記マスタDSLAMに隣接して回路が接続されている2つの前記DSLAMは、前記第2の選択されたモードにおける前記スプリット・バスに関しては、デュアル・リンク構造を形成する最初のスレーブDSLAMと中間のスレーブDSLAMとである、アーキテクチャ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、DSLAM（デジタル加入者線アクセス・マルチプレクサ）の分野に関し、より詳細には、低費用で耐故障性の冗長性を伴って効率的にスタックすることを可能にするDSLAMの構成および相互接続に関する。

【背景技術】

【0002】

DSL（デジタル加入者線）ユーザとCO（中央局）との間における通信のために、デジタル加入者線アクセス・マルチプレクサが要求される。通常、「ピザ・ボックス」のサイズのDSLAMがリモート・サイトにスタックされて、相互接続がより密になり且つ容易になるようにされる。DSLAMの従来のスタッキング構成を、単一リンクのデイジーチェーンおよび星形に基づき、それぞれ、図面の図1aおよび図1bに示す。

【発明の開示】

【課題を解決するための手段】

【0003】

本発明に従ってDSLAMをスタックするためのアーキテクチャはマスタDSLAMを用い、マスタDSLAMは、制御回路と、中央局へのアップリンク通信回路と、マスタDSLAMに隣接して回路相互接続している2つのDSLAMボックスと通信するための2つのLVDs回路とを有する。プログラマブル制御回路と、回路において両側すぐ横の隣接した2つのDSLAMボックスと通信するための2つのLVDs回路とをそれぞれが有する複数のスレーブDSLAMが、リングまたはスプリット・スタック構成で接続される。マスタ内の制御回路が、各スレーブDSLAM内の制御回路を選択的にプログラミングして、LVDs回路における通信の方向を、第1の選択されたモードにおいてラウンド・ロビンとし、第2の選択されたモードにおいてスプリットとするように制御して、所望される構造に対応するようにし、かつ、ラウンド・ロビンからスプリットへと再プログラミングして、故障が生じたスレーブDSLAMを回避して通信することにより、故障に対す

10

20

30

40

50

る冗長性を提供する。

【0004】

本発明の上記およびその他の特徴および利点は、以下の詳細な説明を添付の図面に関連して考慮して参考することにより、よりよく理解されよう。

【発明を実施するための最良の形態】

【0005】

提案する方法は、冗長性が組み込まれ、かつソフトウェアによる制御が可能であるよう 10 に、スプリット・バス・データ通信構成に関して、マスタとスレーブのボックスの間のデュアル・リンクを提供することにより、従来のスタッキング手法を改良する。更に、マスタからスレーブへのデータ・バス経路も、ソフトウェアによるコンフィギュレーションが可能である。図2aおよび図2bは、それぞれ、「リング」アーキテクチャまたは「デュアル・リンク」アーキテクチャに基づくスタッキングの提案される新たな方法を示す。図示した実施形態に関するマスタ・ボックス12とスレーブ・ボックス14とを接続するスタッキング・リンク10は、以下により詳細に説明する、ATMトライフィックを伝送するように設計された低電圧差分信号(LVDS)技術に基づく。しかしながら、この概念は、他のタイプのリンクに適用することもできる。例示の目的で、データ・トライフィック用のアップリンク16が、OC-3または(マルチリンク)E1/T1IMAを介する中央局(CO)またはATM網へのATMベースの接続として示されている。図2aに示した「ラウンド・ロビン」データ通信構成を有する「リング」構造では、データは、1つのボックスから別のボックス(即ち、下位にスタッキングされたボックス)へ単方向で流れる。 20 チェーンの下方の最後のボックスが、マスタへの同じデータ・バスを辿ることによって「リング」を完成させる。「スプリット・バス」データ通信構成を有する「デュアル・リンク」構造では、データ・フローは、1つのボックスから別のボックス(即ち、下位にスタッキングされたボックス)へ双方向(送信/受信)に流れる。マスタは、バーチャル(仮想)・スレーブ・ボックス識別番号および/またはスレーブ・ボックスのATM仮想バス/仮想回路番号に基づき、ソフトウェア制御を介して2つのトライフィック・バスを分割する。

【0006】

前述した構成を、N=3およびN=7に関して、それぞれ図2cおよび図2dに更に示す。この場合、マスタ-スレーブ相互接続とスレーブ-スレーブ相互接続とが、図示する 30 とおり、各リンクで交互になっている。例えば、一方のリンクでは、チェーン接続順序は、マスタからスレーブ1へ、スレーブ1からスレーブ3へなどとなる。他方のリンクでは、チェーン順序は、マスタからスレーブ2へ、スレーブ2からスレーブ4へなどとなる。各チェーン・リンクにおける最後の2つのスレーブ・ボックスは、リンク10'で互いに接続して、以下により詳細に説明するように、故障が生じた場合の冗長性およびトライフィック・リダイレクトの目的で、ループを完成させる。

【0007】

更なる代替のまたは簡素なデュアル・リンク接続は、図2aに示したものと同じであるが、トライフィック・バスは、各リンク上で双方向であるように、マスタによって再プログラミングされる。2つのバスは、N=7の例の場合、(a)マスタからスレーブ1、2、3へ、および(b)マスタからスレーブ7、6、5、および4へとなる。この場合、スレーブ3とスレーブ4との間のリンク相互接続は、データ・トライフィック用には使用されず、冗長性のために使用される。 40

【0008】

第3の代替例は、マスタに接続する第1のスレーブおよび中間スレーブである2つのスレーブ・ボックスを提供する。N=3の場合、中間スレーブは#2(2番)である。一方のリンクはマスタとスレーブ1とを接続し、他方のリンクは、マスタとスレーブ2とを接続し、次にスレーブ3を接続する。N=7である場合、中間スレーブは4であり、一方のリンクは、マスタとスレーブ1、次にスレーブ2およびスレーブ3となる。他方のリンクは、マスタとスレーブ4、次にスレーブ5からスレーブ7へのものとなる。この場合も、ループは、冗長性の目的で、N=3である場合はスレーブ1とスレーブ3を、N=7であ 50

る場合はスレーブ 3 とスレーブ 7 を一緒にリンクすることにより、閉じる。すべてのデュアル・リンク構成またはスプリット・バス構成では、マスタとスレーブとの間の最長の遅延は、「リング」構成または単一リンクのデイジー・チェーンにおける遅延の実質的に半分であることに留意されたい。

【0009】

本発明の柔軟性により、この構成をラウンド・ロビン・デイジー・チェーン・リンクにも使用することが可能になる。なぜなら、スレーブ D S L A M の仮想「位置」はプログラミング可能だからである。データ・バスは、リンク上で単方向となるように、即ち、 $N = 3$ である場合にマスタからスレーブ 1 、スレーブ 1 からスレーブ 3 、スレーブ 3 からスレーブ 2 、スレーブ 2 からマスタへの順序に、また、 $N = 7$ である場合にはマスタからスレーブ 1 へ、スレーブ 1 からスレーブ 3 へ、スレーブ 3 からスレーブ 5 へ、スレーブ 5 からスレーブ 7 へ、スレーブ 7 からスレーブ 6 へ、スレーブ 6 からスレーブ 4 へ、スレーブ 4 からスレーブ 2 へ、スレーブ 2 からマスタへの順序に、初期設定段階においてプログラミングすることができる。この場合、最後のリンク (10') は、データ・トラフィック用にも使用される。リンク・バスは、故障が生じた場合には、図 2 d に示すように、マスタによって双方向へと再コンフィギュレーションされることが可能である。

【0010】

図 3 は、本発明の方法で利用可能な信頼性機能または自己回復の例を示す。リング・スタック・チェーンの物理的構成に関して示すとおり、1つのスレーブ・ボックス 14' が故障することは、残りのスタックされたボックスのオペレーションに影響を与えない。マスタは、スレーブ・ボックスの1つで故障が生じたという通知を受けた場合に、スレーブ・ボックスにおけるトラフィックを、「故障 (ダウン)」したスレーブ・ボックスの両側で双方向通信を行うスプリット・バスに変換し、チェーンの双方の端部でのマスタ・ボックスへの通信を使用することにより、トラフィックをリダイレクトすることができる。図 2 c および図 2 d に関して前述した諸構成に関して、リンク 10' が通常の通信用にアクティブにされる。

【0011】

スレーブ D S L A M の故障 / 動作不良の検出は、幾つかのアプローチの1つにおける示される実施形態については、マスタによって達せられる。第1のアプローチは、マスタが、ラウンド・ロビンの形でのポーリングを用いて各スレーブへ「ハートビート」メッセージを定期的に送信する。ポーリングされたスレーブ (仮想 I D で識別される) が、予め指定された時間内に応答しなかった場合、マスタは、そのスレーブに故障が生じたと見なし、そのスレーブを回避してトラフィックをリダイレクトする。

【0012】

第2のアプローチは、スレーブが、ハートビート・メッセージを送信することにより、互いに通信する。一例として、「上に」スタックされたボックスが常に「下に」スタックされたボックスへ、つまり、通信順序における次のボックスへ、メッセージを送信するように、マスタによってアーキテクチャをプログラミングすることが可能である。ラウンド・ロビン・チェーンの場合には、マスタが、ハートビートをスレーブ 1 へ送信し、スレーブ 1 がそのハートビートをスレーブ 2 へ送信し、以下同様にそれが続く。ハートビート・メッセージを受信するボックスが、予め指定された時間内に応答しなかった場合、メッセージを送信するボックスは、そのボックスに故障が生じていると見なし、予備の帯域内通信チャネル (以下に説明する) を使用してマスタに通知する。

【0013】

図 4 では、第2のマスタ・ボックス 18 を備えたデュアル・マスタ構成を有し、1つのマスタに故障が生じた場合に完全な保護を提供する本発明の実施形態を示す。2つのマスタ間で、アクティブ / 待機、共有アクティブ / アクティブなどのようなトラフィックおよびコンフィギュレーションに関する調整が行われる。

【0014】

図 5 は、マスタ D S L A M とスレーブ D S L A M との内部主要機能アーキテクチャおよ

10

20

30

40

50

び一般的スタッキング構成を示す。マスタ・ボックスは、ユーザ線 22 へ接続するための複数の ADSL インタフェース 20 を組み込まれる。中央処理装置 (CPU) および ATM 交換およびトラフィック管理を備えた制御回路 24 が、マスタ DSLAM を制御する。アップリンク回路 26 が、STM / OC 3 またはマルチリンク E1 / T1 IMA を使用して CO との通信を提供する。スレーブ・ボックスとの通信は、複数の LVDS 回路 28a および 28b によって提供される。

【0015】

各スレーブ・ボックスは、ユーザ線 32 に接続するための複数の ADSL インタフェース 30 も有する。中央処理装置 (CPU) および ATM 交換およびトラフィック管理を備えた制御回路 34 が、マスタによるソフトウェア制御下でスレーブ DSLAM を制御する。LVDS ポート 36a および 36b が、回路接続において隣接するマスタまたはスレーブである各ボックスとの通信のために、スレーブ・ボックスを互いに接続する。マスタ DSLAM 内の制御回路は、以下により詳細に説明するように、ラウンド・ロビンまたはスプリット、即ち、双方向、として通信方向を確立するために、ソフトウェア命令をスレーブ DSLAM へ与える。リング・スタック・チェーンにおける物理的接続では、通常の通信パスはラウンド・ロビンである。しかしながら、1つのスレーブ・ボックスの故障は、マスタが、スレーブがスプリット・フォーマットで通信するように再プログラミングして、それにより、図 3 に関連した前述したデュアル・リンク構成へと回路構成を自動的に再コンフィギュレーションすることにより、克服される。

【0016】

示した実施形態に関して、マスタとスレーブとの間の通信およびスレーブ DSLAM 間の通信は、LVDS リンク内および ATM セル・ストリーム内で行われる帯域内通信に基づく。また、これは、帯域内 LVDS チャネルを介する 2 つの DSLAM ボックス間における CPU 間の通信手段でもある。図 6 は、この実施形態を概略形態で示す。CPU メッセージは、リンク 40 で表される CPU インタフェースを介して LVDS 回路によって ATM セル・ストリームの中に挿入される。帯域内通信は、LVDS によって、DSLAM 間のリンク 10 上で ATM セル・ストリームを使用して、伝送される。

【0017】

マスタ・ボックスとスレーブ・ボックスとの間の通信は、仮想ボックス ID および仮想パス / 回路 ID に基づいた、データおよび管理メッセージのためのプロキシおよび / または中継トラフィック機構 / スキームを使用する。各スレーブ DSLAM は、仮想チャネルとボックス ID のマッピングを行うトラフィック中継およびスタッキング I/O テーブルを保持する。このテーブルは、帯域内通信チャネルを介してマスタによって命令されたときに更新される。図 7 は、スレーブ DSLAM 内の中継 /スタッキング I/O テーブルの例を示す。このテーブルは、DSLAM に接続された ADSL ポート番号と、スレーブ DSLAM の VCI / VPI と、DSLAM の仮想 ID と、2 つの LVDS ポートのそれに関連するスタッキング入力 / 出力モードとを組み込んでいる。図面の実施形態に関して示された Utopia LVDS 構成におけるスタッキング・ポートは、初期設定中に、「A」または「B」の LVDS リンクに属するものとして事前定義されることが可能である。各ポートは、入力通信用、出力通信用、または双方向（入力および出力）通信用にプログラミングされることが可能である。

【0018】

マスタ DSLAM はすべてのスレーブに関する「プロキシ」テーブルを保持し、このテーブルは、VCI / VPI 交差接続情報、外部 VCI / VPI と内部（スレーブ）VCI / VPI との間のマッピング、およびスタッキング I/O コンフィギュレーションを含む。図 8 は、N = 7 での図 2d の実施形態に関するマスタ内のプロキシ・テーブルの例を示す。プロキシ・テーブルは、スレーブのそれぞれに関するテーブルに存在する情報、およびラウンド・ロビンまたはスプリット・パスについてのマスタ・スタッキング・モードを定義する追加のデータ項目を含む。マスタによって確立されるスタッキング入力 / 出力モードは、前述のようにスタッキング・モードで決まる。故障モードの回復は、前述のよう

10

20

30

40

50

にマスタによって達成され、その結果として、スタッキング・モードが変更され、通信パスにおける故障したスレーブDSLAMが回避される。

【0019】

スレーブに関する通信中継スキームが、ダウンリンク・パスおよびアップリンク・パスに関して、それぞれ、図9および図10に示されている。図9を参照すると、ブロック50で、アップリンクからのATMデータがDSLAMによって受信され、ATMスイッチ52を介してルーティングされる。ブロック54で、ATMセルを、DSLAMトライフィック中継およびスタッキング・テーブルと比較して、通信がローカルであるか、またはスタッキングにおいてダウンリンクされるべきかを判定するための判定が行われる。通信が、DSLAMにおけるADSLポートに対するものである場合、ブロック56で、適切なローカルADSLポートへつながれる。通信が通過されるものである場合、ブロック58で、スタッキングI/Oテーブルの検査が行われて、転送ポートが判定される。I/Oテーブルが更新されている場合、通信は、ブロック60で、新たなスタッキング・ポート・データによって定義された次のDSLAMへのATM出力のために、新たなスタッキング・ポートへ渡される。I/Oテーブルが更新されていない場合、通信は、ブロック62で、古いスタッキング・ポート・データによって定義された次のDSLAMへのATM出力のために、古いスタッキング・ポートへ渡される。

【0020】

データのアップリンクを図10に示されており、ブロック64において、ダウンリンクからのATMデータが、DSLAMにおけるローカルADSLポートから、またはスタッキング入力ポートから受信される。データは、ATMスイッチ66を通じて、外部通信のためにアップリンク・スイッチ68ヘルーティングされる(送られる)。ブロック70で、スタッキングI/Oテーブルの検査が行われて、転送ポートが決定される。I/Oテーブルが更新されていない場合、通信は、ブロック72で、古いスタッキング・ポート・データによって定義された次のDSLAMへのATM出力のために、古いスタッキング・ポートへ渡される。I/Oテーブルが更新されている場合、通信は、ブロック74で、新たなスタッキング・ポート・データによって定義された次のDSLAMへのATM出力のために、新たなスタッキング・ポートへ渡される。

【0021】

マスタDSLAMに関するアップリンク通信およびダウンリンク通信は、図8に関連して前述したプロキシ・テーブルに基づいて行われる。図11に示すように、ATMデータは、ブロック80で、ATMスイッチ82経由でアップリンクからマスタによって受信される。84で、ATMセルが、マスタに対するローカルADSLポートに対応するか、またはスタッキング・ダウンリンクを要するかの判定が行われる。ローカルである場合、ブロック86で、ATMセルは、適切なローカルDSLポートにつながれ、ローカルでない場合、88で、スタッキング・モードを特定する検査が行われる。ブロック90で、ラウンド・ロビン・モードが存在するという判定が行われた場合、ブロック92で、マスタは、前に定義された出力スタッキング・ポートへつなぐ(切り換える)。プロキシ・テーブルにより、ダウンリンクのために外部VCI/VPIから内部(スレーブ)VCI/VPIへの変換が可能になる。スプリット・モードが使用される場合、ブロック94で、VCI/VPI交差接続テーブルを使用して適切なスタッキング・ポートへの切り替えが行われる。

【0022】

アップリンク・プロキシ・パスが図12に示されている。ブロック96で、マスタまたはダウンリンクのスレーブDSLAMにおけるローカルADSLポートからのATMデータが、ATMスイッチ98経由で受信され、スイッチ100におけるアップリンクを介して伝送され、マスタが、プロキシ・テーブルに従って要求されるようにVCI/VPI交差接続を行う。

【0023】

ハートビート通信および故障再プログラミングは、前述したように、帯域内メッセージ

10

20

30

40

50

ングを使用してマスタ D S L A M によって達成される。示した実施形態におけるラウンド・ロビン・チェーン・リンクの場合に関して、故障検出スキームは、故障が生じた場合にマスタへ通知するために、通常の A T M トライフィックとは逆方向である帯域内通信チャネルを確保している。しかしながら、スプリット・バス・チェーン・リンクの場合には、各リンクは既に双方向であるので、帯域内通信チャネルは、通常の A T M トライフィックを介して行われる。

【 0 0 2 4 】

マスタは、故障が生じた場合、スレーブ・ボックス（故障が生じたスレーブ・ボックスを除く）のそれぞれへスタッキング・バス I / O メッセージを送信することにより、帯域内通信チャネルを介してスレーブ・バス方向を再プログラミングする。すると、スレーブ・ボックスは、そのスレーブ・ボックスの対応する I / O テーブルを更新する。マスタは、マスタのスタッキング制御回路に、各スレーブ・ボックスの動作状態を追跡する簡素な状態マシンを組み込む。

【 0 0 2 5 】

同様に、故障が生じた D S L A M ボックスが再び動作可能であるように回復された場合、その D S L A M ボックスは、帯域内通信チャネルを介して、その D S L A M ボックスが活動状態にあることをマスタへ通知する。すると、マスタは、回復されたスレーブを含めたすべてのスレーブの I / O テーブルを更新するか、または残りのトライフィック方向を辿る通常のトライフィック I / O パスの回復されたスレーブだけを更新することにより。

【 0 0 2 6 】

前述した帯域内通信に関する状態マシンが図 13 に示されている。起動時に、マスタは、各 D S L A M に対するスタッキング I / O 情報テーブルを定義する初期設定通信 1 0 2 を送信する。すべてのスレーブが動作可能である限り 1 0 4 、ハートビート信号に応答して、通信は、初期設定された設定に基づいて行われる。ハートビートの応答が受信されなかった場合、または故障通知が受信された場合、マスタは、状態 1 0 6 に入り、故障が生じたスレーブをそのスレーブの仮想 I D で識別し、残りの動作可能なスレーブへスタッキング I / O テーブルの更新を送信する。残りのスレーブは、故障が生じたスレーブが、そのスレーブが回復したことをマスタへ通信するまで、改訂された I / O スタッキング・テーブルを使用して動作を続ける。そのような通知が行われると、マスタは状態 1 0 8 に入り、スタックにおけるすべてのスレーブへ更新されたスタッキング I / O テーブル情報を再び送信してから、動作状態 1 0 4 に戻る。

【 0 0 2 7 】

以上、特許法規によって義務付けられるとおりに本発明を詳細に説明したが、本明細書で開示した特定の実施形態に対する変形態および代替形態が当業者には認識されよう。そのような変形態は、添付の特許請求の範囲で定義される本発明の範囲および趣旨の範囲内に含まれる。

【 図面の簡単な説明 】

【 0 0 2 8 】

【 図 1 a 】図 1 a は、単一リンクのデイジー・チェーン接続の先行技術の例である。

【 図 1 b 】図 1 b は、星形相互接続アーキテクチャの先行技術の例である。

【 図 2 a 】図 2 a は、ラウンド・ロビン・データ・バスを用いるリング構造を使用する本発明の例示的な実施形態の概略図である。

【 図 2 b 】図 2 b は、スプリット・データ・バスを用いるスプリット・スタッキングを使用する本発明の例示的な実施形態の概略図である。

【 図 2 c 】

【 図 2 d 】

【 図 3 】図 3 は、本発明の冗長構造のトライフィック・リダイレクト機能を示す概略図である。

【 図 4 】図 4 は、本発明で可能なデュアル・マスタ・スタッキングの概略図である。

【 図 5 】図 5 は、本発明による構成におけるマスタ D S L A M とスレーブ D S L A M との

10

20

30

40

50

主要な機能のブロックの詳細な概略図である。

【図6】図6は、本発明を使用するDSLAM間における通信に関する実施形態を示す概略図である。

【図7】図7は、スレーブDSLAM内の中継/スタッキングI/Oテーブルの例を示す。

【図8】図8は、N=7での図2dの実施形態についてのマスタ内のプロキシ・テーブルの例を示す。

【図9】図9は、スレーブのダウンリンク・バスに関する通信中継スキームを示す。

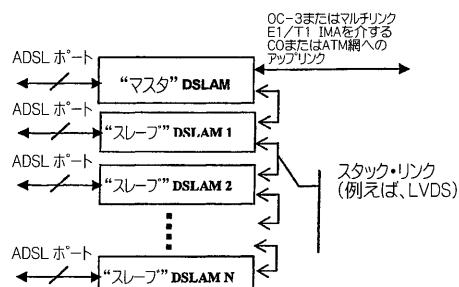
【図10】図10は、スレーブのアップリンク・バスに関する通信中継スキームを示す。

【図11】図11は、本発明の実施形態におけるATMアップリンク通信を示す流れ図である。 10

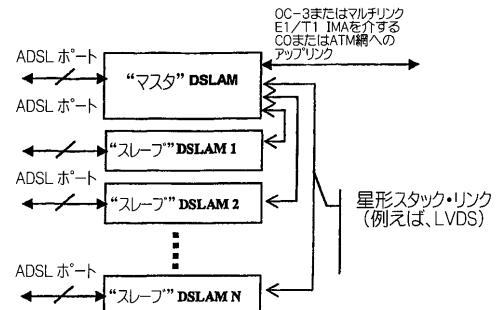
【図12】図12は、本発明の実施形態におけるATMダウンリンク通信を示す流れ図である。

【図13】図13は、本発明の実施形態における帯域内通信に関する状態図である。

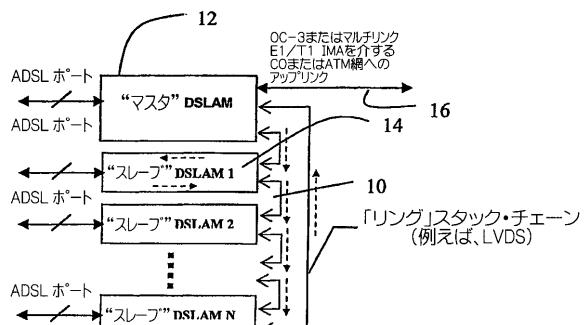
【図1a】



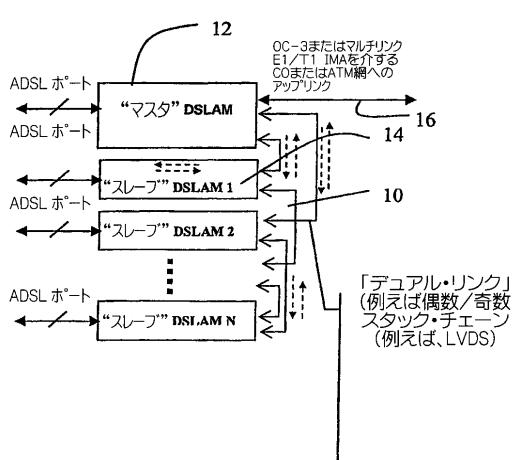
【図1b】



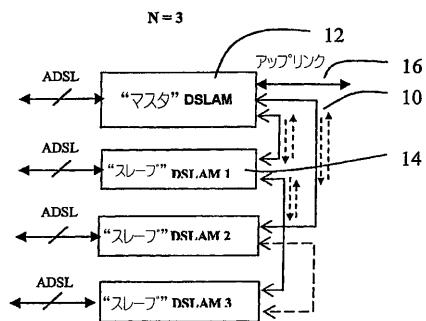
【図2a】



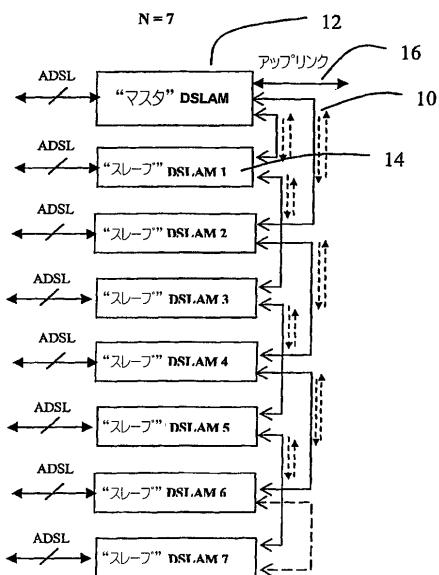
【図2b】



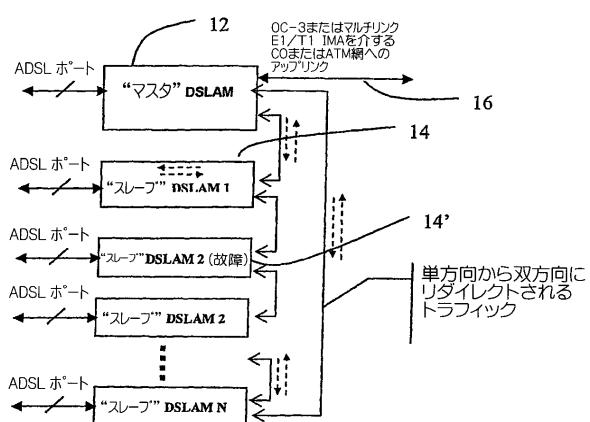
【図2c】



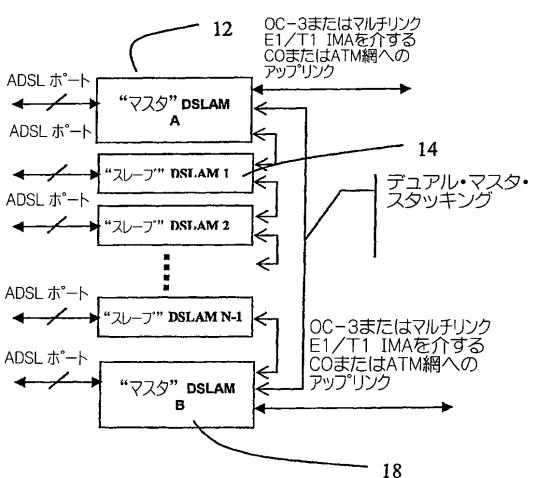
【図2d】



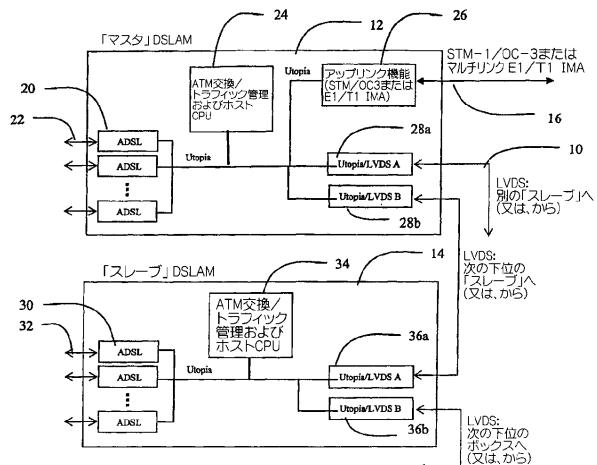
【図3】



【図4】



【図5】

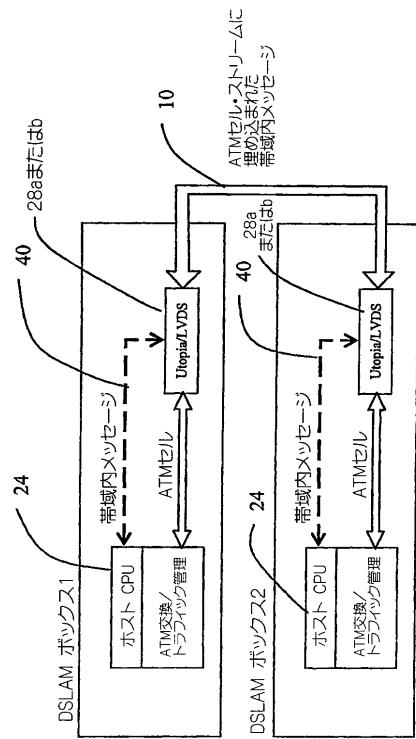


【図7】

ADSL ポート#	スレーブ VCI/VPI	バックス ID	ハーチャル ID	スタッキング I/O モード*
xx-yy	VCI:xxx-yyy VPI:yyy-zzz	x	ポートA:のみ ポートB:のみ	ポートA:のみ ポートB:のみ

*注: スタッキング・ポート(Utopia)AまたはBは、初期設定中に向かうのDVSリンクに属するかを事前定義されることが可能である。

【図6】

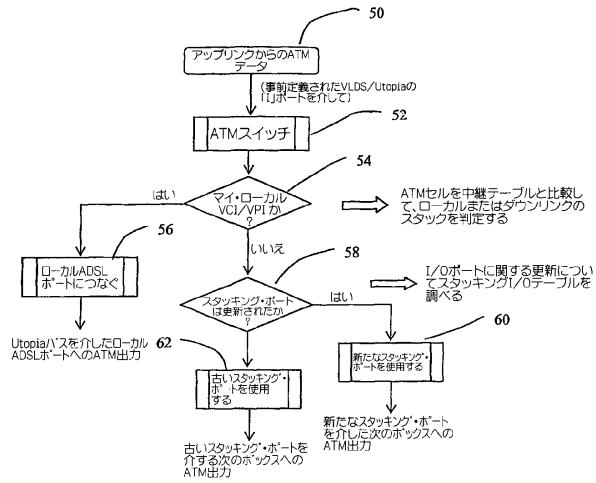


【図8】

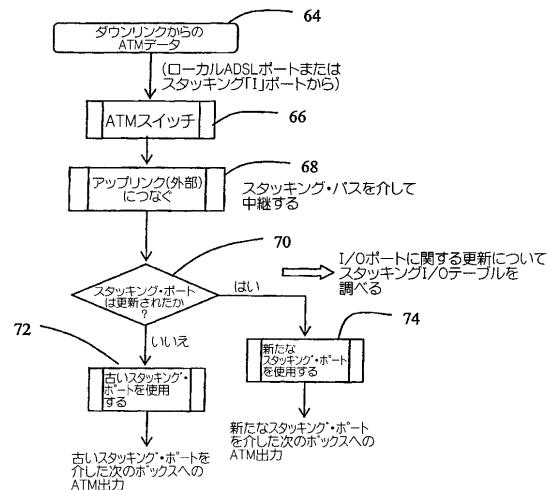
ADSL ポート# (Utopia)	外部 VCI/VPI	スレーブ VCI/VPI	バックス ID	ハーチャル ID	マスター・モード	マスター・モード	スタッキング I/O モード*
x1x2 - y1y2	VCI: a.*** - a.yw VPI: b.*** - b.yw	VCI: a.*** - a.yw VPI: b.*** - b.yw	0 (マスター)	0 (マスター)	0-ラウンドロビン 1-ラウンドロビン	ポートA:のみ ポートB:のみ	ポートA:のみ ポートB:のみ
x3x4 - y3y4	VCI: c.*** - c.yw VPI: d.*** - d.yw	VCI: 1.*** - 1.yw VPI: 1.*** - 1.yw	1(スレーブ)	1(スレーブ)	N/A	ポートA:のみ ポートB:のみ	ポートA:のみ ポートB:のみ
x5x6 - y5y6	VCI: 6.*** - 6.yw VPI: 1.*** - 1.yw	VCI: 2.*** - 2.yw VPI: 2.*** - 2.yw	2(スレーブ)	2(スレーブ)	N/A	ポートA:のみ ポートB:のみ	ポートA:のみ ポートB:のみ
...
x15x16 - y15y16	VCI: 0.*** - 0.yw VPI: 0.*** - 0.yw	VCI: 7.*** - 7.yw VPI: 7.*** - 7.yw	7(スレーブ)	7(スレーブ)	N/A	ポートA:のみ ポートB:のみ	ポートA:のみ ポートB:のみ

*注: スタッキング・ポート(Utopia)AまたはBは、初期設定中に向かうのDVSリンクに属するかを事前定義されることが可能である。

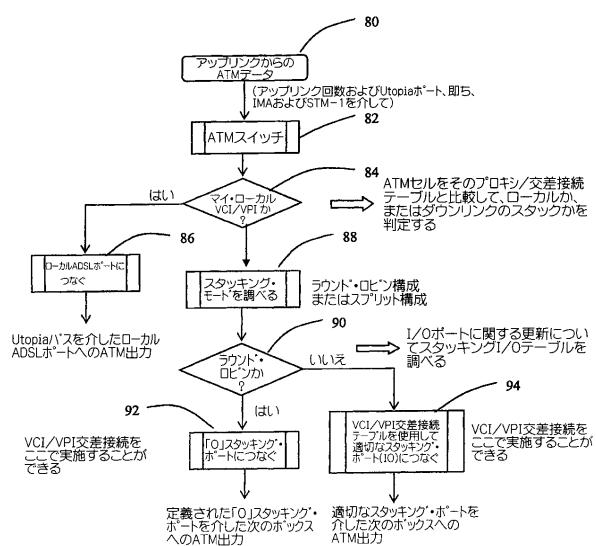
【図9】



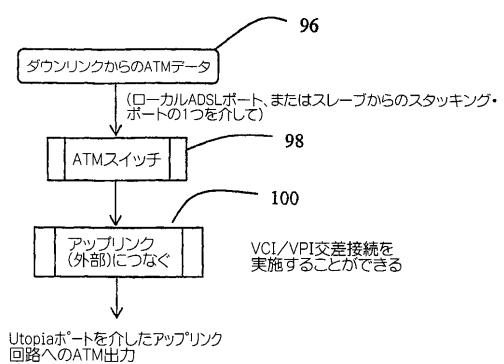
【図10】



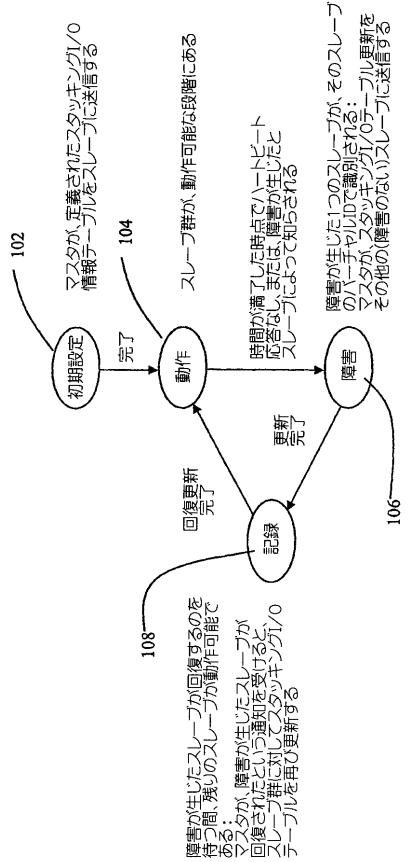
【 11 】



【図12】



【図 1 3】



フロントページの続き

(74)代理人 100096013

弁理士 富田 博行

(74)代理人 100084283

弁理士 秋元 芳雄

(72)発明者 シ, クン

アメリカ合衆国ニュージャージー州 08536, プレインズボロ, パドック・ドライブ 20

審査官 玉木 宏治

(56)参考文献 欧州特許出願公開第 01113697 (EP, A1)

特開 2000-312207 (JP, A)

日本ルーセント・テクノロジー バックボーン・スイッチ「Cajun Routing Switch P550」とケローゼット・デスクトップ・スイッチ「Cajun スタッカブル・スイッチ P330」, コンピュータ & ネットワーク LAN, 1999年11月 1日, 第17巻、第11号, pp.64-67

(58)調査した分野(Int.Cl., DB名)

H04L 12/00-66