

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 18 年 12 月 28 日 (2006.12.28)

【公開番号】特開 2004-193621 (P2004-193621A)
 【公開日】平成 16 年 7 月 8 日 (2004.7.8)
 【年通号数】公開・登録公報 2004-026
 【出願番号】特願 2003-412698 (P2003-412698)
 【国際特許分類】

H 0 1 L 21/312 (2006.01)

H 0 1 L 21/768 (2006.01)

H 0 1 L 23/522 (2006.01)

【F I】

H 0 1 L 21/312 C

H 0 1 L 21/90 J

【手続補正書】

【提出日】平成 18 年 11 月 9 日 (2006.11.9)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体ウェーハ上に形成される電子デバイスの製造方法であって、

前記ウェーハに対する固定位置に誘電体層を形成するステップであって、前記誘電体層が、シリコン、炭素、及び酸素の各々をある原子濃度で含むステップと、

前記形成ステップの後、前記誘電体層の一部における炭素の原子濃度が上昇し、前記誘電体層の一部における酸素の原子濃度が低下するように、前記電子デバイスをプラズマに暴露するステップと、

前記暴露ステップの後、前記誘電体層の少なくとも一部に隣接してバリア層を形成するステップとを含む方法。

【請求項 2】

半導体ウェーハ上に形成される電子デバイスの製造方法であって、

前記ウェーハに対する固定位置に誘電体層を形成するステップであって、前記誘電体層が、シリコン、炭素、及び酸素を含むステップと、

前記形成ステップの後、前記電子デバイスを、ヘリウムと水素を含むプラズマに暴露するステップと、

前記暴露ステップの後、前記誘電体層の少なくとも一部に隣接してバリア層を形成するステップとを含む方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 4

【補正方法】変更

【補正の内容】

【0 0 2 4】

上記から、当分野の技術者は、この好ましい実施形態が、金属とシリコン - 炭素 - 酸素誘電体層の間の接着性が改良された半導体デバイス及び方法を提供することを理解するはずである。この改良された接着性は、デバイスの信頼性、収率、及びコストを含めて様々

なメリットを提供し、バリア厚みを低下させることによってデバイスのサイズを縮小することができる。さらに、特定の好ましい材料を説明したが、当分野の技術者は、様々な代替物が本発明の教示内でも実施できることを確かめることができる。さらに、前述の実施形態はデュアルダマシン構造の1つの型として示したが、多くの変形を有するが依然として本発明の範囲内にある別のデュアルダマシン構造も形成することができる。そして実際に、本発明の範囲は、トレンチとパイアを別々に形成するシングルダマシン構造によって形成された構造も含む。したがって、前述のメリット、並びに、説明され当分野の技術者が確かめることができる様々な代替ステップは、本発明の範囲の柔軟性を実証するものである。また、本実施形態を詳細に説明してきたが、特許請求の範囲によって規定された本発明の範囲を逸脱することなく、上記の説明に様々な置換、修正、又は変更を行うことができることも、これら代替ステップは実証するはずである。

本発明は下記の態様を含む。

- (1) 半導体ウェーハ上に形成される電子デバイスの製造方法であって、
前記ウェーハに対する固定位置に誘電体層を形成するステップであって、前記誘電体層が、シリコン、炭素、及び酸素の各々をある原子濃度で含むステップと、
前記形成ステップの後、前記誘電体層の一部における炭素の原子濃度が上昇し、前記誘電体層の一部における酸素の原子濃度が低下するように、前記電子デバイスをプラズマに暴露するステップと、
前記暴露ステップの後、前記誘電体層の少なくとも一部に隣接してバリア層を形成するステップとを含む方法。
- (2) 前記暴露ステップが、前記電子デバイスをヘリウムと水素を含むプラズマに暴露するステップを含む、(1)記載の方法。
- (3) 前記暴露ステップが、前記電子デバイスをヘリウムと H_2 を含むプラズマに暴露するステップを含む、(1)記載の方法。
- (4) 前記プラズマが、ヘリウム約95%と H_2 約5%を含む、(3)に記載の方法。
- (5) 前記暴露ステップが、
前記ウェーハを支持する台に、少なくとも100ワットの電力を印加するステップと、
前記印加ステップと同時に、ヘリウムと水素を含むプラズマに、前記電子デバイスを暴露するステップとを含む、(1)記載の方法。
- (6) 前記暴露ステップが、前記ウェーハを支持する台に、100~500ワットの範囲の電力を印加するステップと、
前記印加ステップと同時に、ヘリウムと水素を含むプラズマに、前記電子デバイスを暴露するステップとを含む、(1)記載の方法。
- (7) 誘電体層を形成する前記ステップが、前記ウェーハと前記誘電体層との間に前記導体が位置するように前記誘電体層を形成するように、誘電体層を形成する前記ステップの前に、前記ウェーハに対する固定位置に導体を形成するステップと、
前記暴露ステップの前に、前記誘電体層にボイドを形成するステップであって、前記ボイドが前記誘電体層を貫通して延びていて、前記導体の一部を露出するステップとをさらに含む、(1)記載の方法。
- (8) ボイドを形成する前記ステップの後、前記電子デバイスをプラズマに暴露する前記ステップの前に、前記電子デバイスをアルゴンに暴露するステップをさらに含む、(7)記載の方法。
- (9) 半導体ウェーハ上に形成される電子デバイスの製造方法であって、
前記ウェーハに対する固定位置に誘電体層を形成するステップであって、前記誘電体層が、シリコン、炭素、及び酸素を含むステップと、
前記形成ステップの後、前記電子デバイスを、ヘリウムと水素を含むプラズマに暴露するステップと、
前記暴露ステップの後、前記誘電体層の少なくとも一部に隣接してバリア層を形成するステップとを含む方法。
- (10) 前記暴露ステップが、

前記ウェーハを支持する台に、少なくとも１００ワットの電力を印加するステップと、
前記印加ステップと同時に、ヘリウムと水素を含むプラズマに、前記電子デバイスを暴
露する前記ステップとを含む、（９）記載の方法。