



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I742750 B

(45)公告日：中華民國 110 (2021) 年 10 月 11 日

(21)申請案號：109122895

(22)申請日：中華民國 109 (2020) 年 07 月 07 日

(51)Int. Cl. : H01L27/11 (2006.01)

H01L21/8244(2006.01)

(30)優先權：2019/07/11 世界智慧財產權組織 PCT/JP2019/027541

(71)申請人：新加坡商新加坡優尼山帝斯電子私人有限公司(新加坡)UNISANTIS ELECTRONICS
SINGAPORE PTE. LTD. (SG)

新加坡

(72)發明人：舛岡富士雄 MASUOKA, FUJIO (JP)；原田望 HARADA, NOZOMU (JP)

(74)代理人：洪武雄；陳昭誠

(56)參考文獻：

TW 201818533A

US 2019/0123053A1

WO 2017/208486A1

審查人員：呂俊賢

申請專利範圍項數：15 項 圖式數：6 共 79 頁

(54)名稱

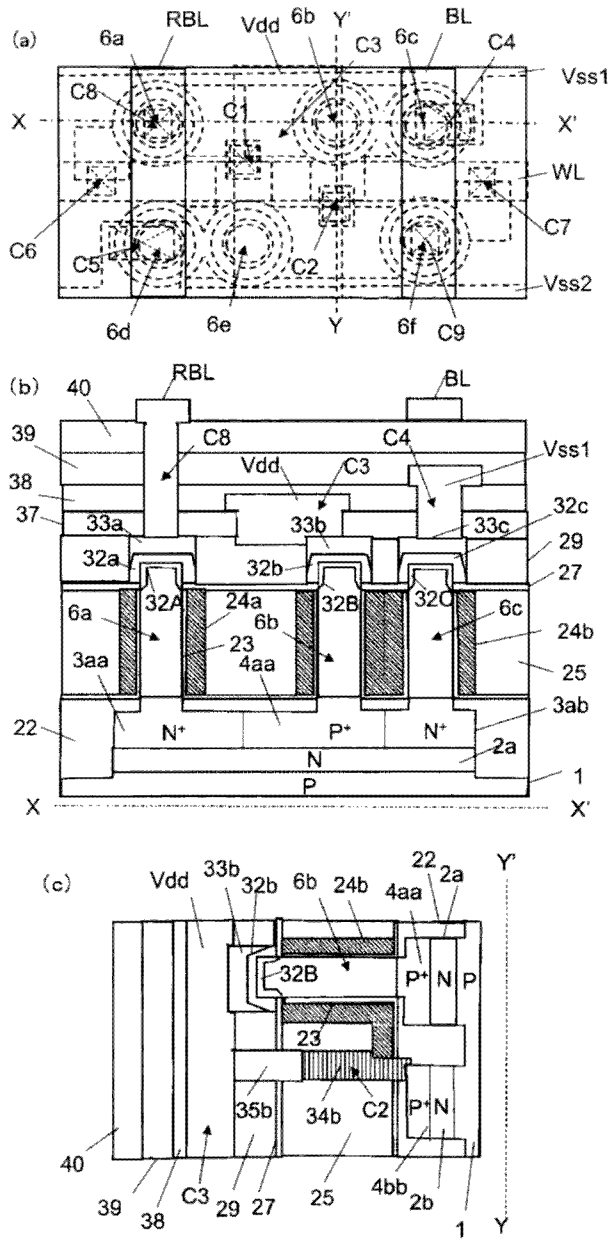
柱狀半導體裝置及其製造方法

(57)摘要

在 SRAM 單元的形成中，形成帶狀接觸孔 C3，該帶狀接觸孔 C3 係於俯視時並不與形成於 Si 柱 6a、6c、6d、6f 的頂部的外周及上方之 N⁺層 32a、32c、32d、32f 重疊，且與連接在 Si 柱 6b、6e 的頂部之 P⁺層 32b、32e 上的 W 層 33b、33e 的一部分重疊，且在 X 方向、Y 方向都相連，且在 Y 方向延伸。然後，形成通過接觸孔 C3 而連接 P⁺層 32b、32e 之電源配線金屬層 Vdd。然後，在形成電源配線金屬層 Vdd 之後，形成於俯視時與電源配線金屬層 Vdd 正交之字元配線金屬層 WL。

In formation of an SRAM cell, a band-shaped contact hole C3 is formed that does not overlap, in plan view, N⁺ layers 32a, 32c, 32d, and 32f formed on and at outer peripheries of the top portions of Si pillars 6a, 6c, 6d, and 6f, that partly overlaps W layers 33b and 33e on P⁺ layers 32b and 32e connected to the top portions of Si pillars 6b and 6e, that is connected in both the X direction and the Y direction, and that extends in the Y direction. A power supply wiring metal layer Vdd that connects the P⁺ layers 32b and 32e through the contact hole C3 is formed. After formation of the power supply wiring metal layer Vdd, a word wiring metal layer WL is formed so as to be orthogonal to the power supply wiring metal layer Vdd in plan view.

指定代表圖：



符號簡單說明：

1:P 層基板

2a,2b:N 層

3aa,3ab,32a,32c,32A,

32C:N⁺層

4aa,4bb,32b,32B:P⁺層

6a,6b,6c,6d,6e,6f:Si 柱

27,29,35b:SiN 層

22,25,37,38,39,40:SiO

2 層

23:HfO₂ 層

24a,24b:TiN 層

33a,33b,33c,34b:W 層

BL:位元輸出配線金屬層

C1,C2,C3,C4,C5,C6,C7,C8,C9:接觸孔

RBL:互補位元輸出配線金屬層

Vdd:電源配線金屬層、電源端子

Vss1,Vss2:接地配線金屬層

WL:字元配線金屬層

【圖1T】

公告本

I742750

【發明摘要】

【中文發明名稱】 柱狀半導體裝置及其製造方法

【英文發明名稱】 PILLAR-SHAPED SEMICONDUCTOR DEVICE AND
METHOD FOR PRODUCING THE SAME

【中文】

在 SRAM 單元的形成中，形成帶狀接觸孔 C3，該帶狀接觸孔 C3 係於俯視時並不與形成於 Si 柱 6a、6c、6d、6f 的頂部的外周及上方之 N⁺層 32a、32c、32d、32f 重疊，且與連接在 Si 柱 6b、6e 的頂部之 P⁺層 32b、32e 上的 W 層 33b、33e 的一部分重疊，且在 X 方向、Y 方向都相連，且在 Y 方向延伸。然後，形成通過接觸孔 C3 而連接 P⁺層 32b、32e 之電源配線金屬層 Vdd。然後，在形成電源配線金屬層 Vdd 之後，形成於俯視時與電源配線金屬層 Vdd 正交之字元配線金屬層 WL。

【英文】

In formation of an SRAM cell, a band-shaped contact hole C3 is formed that does not overlap, in plan view, N⁺ layers 32a, 32c, 32d, and 32f formed on and at outer peripheries of the top portions of Si pillars 6a, 6c, 6d, and 6f, that partly overlaps W layers 33b and 33e on P⁺ layers 32b and 32e connected to the top portions of Si pillars 6b and 6e, that is connected in both the X direction and the Y direction, and that extends in the Y direction. A power supply wiring metal layer Vdd that connects the P⁺ layers 32b and 32e through the contact hole C3 is formed. After formation of the power

supply wiring metal layer Vdd, a word wiring metal layer WL is formed so as to be orthogonal to the power supply wiring metal layer Vdd in plan view.

【指定代表圖】 圖1T

【代表圖之符號簡單說明】

1:P 層基板

2a,2b:N 層

3aa,3ab,32a,32c,32A,32C:N⁺層

4aa,4bb,32b,32B:P⁺層

6a,6b,6c,6d,6e,6f:Si 柱

27,29,35b:SiN 層

22,25,37,38,39,40:SiO₂ 層

23:HfO₂ 層

24a,24b:TiN 層

33a,33b,33c,34b:W 層

BL:位元輸出配線金屬層

C1,C2,C3,C4,C5,C6,C7,C8,C9:接觸孔

RBL:互補位元輸出配線金屬層

Vdd:電源配線金屬層、電源端子

Vss1,Vss2:接地配線金屬層

WL:字元配線金屬層

【特徵化學式】無

【發明說明書】

【中文發明名稱】 柱狀半導體裝置及其製造方法

【英文發明名稱】 PILLAR-SHAPED SEMICONDUCTOR DEVICE AND
METHOD FOR PRODUCING THE SAME

【技術領域】

【0001】 本發明係關於柱狀半導體裝置及其製造方法。

【先前技術】

【0002】 近年來，在 LSI (Large Scale Integration：大型積體電路)中採用了三維構造電晶體。其中，屬於柱狀半導體裝置之 SGT(Surrounding Gate Transistor：環繞閘極電晶體)，係作為提供高積體度的半導體裝置之半導體元件而受到矚目。而且，日益要求具有 SGT 之半導體裝置的更高積體化、高性能化。

【0003】 在一般的平面型 MOS 電晶體中，通道(channel)係在沿著半導體基板的上表面之水平方向延伸。相對於此，SGT 的通道是在與半導體基板的上表面垂直的方向延伸(參照例如專利文獻 1、非專利文獻 1)。因此，與平面型 MOS 電晶體相比較，SGT 可做到半導體裝置的高密度化。

【0004】 圖 5 顯示 N 通道 SGT 的模式構造圖。(a)圖為剖面圖，(b)圖為平面圖。在具有 P 型或 i 型(本質型)的導電型之 Si 柱 120 (以下將矽半導體柱稱為「Si 柱」)內的上下的位置，形成有在一方為源極之情況，另一方為汲極之 N⁺層 121a、121b(以下將含有高濃度的施體雜質之半導體區域稱為「N⁺層」)。該作為源極、汲極之 N⁺層 121a、121b 間的 Si 柱 120 的部分為通道區域 122。以圍繞該

通道區域 122 的型態形成有閘極絕緣層 123。在垂直方向形成有 N⁺層 121b，N⁺層 121b 的下端位於閘極絕緣層 123 的上端，在垂直方向形成有 N⁺層 121a，N⁺層 121a 的上端位於閘極絕緣層 123 的下端。以圍繞該閘極絕緣層 123 的型態形成有閘極導體層 124。SGT 由作為源極、汲極之 N⁺層 121a、121b、通道區域 122、閘極絕緣層 123、閘極導體層 124 所構成。通過在 N⁺層 121b 上的絕緣層 125 挖設形成的接觸孔 C，N⁺層 121b 與源極配線金屬層 S 連接。因此，俯視時，SGT 的佔有面積係相當於平面型 MOS 電晶體的單一的源極或汲極 N⁺層的佔有面積。因而，具有 SGT 之電路晶片與具有平面型 MOS 電晶體之電路晶片相比較，可實現晶片尺寸的更加縮小化。

【0005】若要更進一步縮小晶片的尺寸，則有應克服的課題。如圖 5 所示，讓源極配線金屬層 S 與 N⁺層 121b 相連之接觸孔 C，於俯視時係形成於 Si 柱 120 上。晶片尺寸不斷縮小化，Si 柱 120 與鄰接的 Si 柱之距離會變短。隨之，於俯視時接觸孔 C 與鄰接的接觸孔的距離也變短。因此，接觸孔形成工序被要求要微細化及高密度化。

【0006】圖 6 顯示採用 SGT 而構成的 SRAM 單元(SRAM cell；靜態隨機存取記憶體單元)的電路圖。本 SRAM 單元電路係包含兩個反相器(inverter)電路。一個反相器電路係由作為負載電晶體之 P 通道 SGT_Pc1、及作為驅動電晶體之 N 通道 SGT_Nc1 所構成。另一個反相器電路係由作為負載電晶體之 P 通道 SGT_Pc2、及作為驅動電晶體之 N 通道 SGT_Nc2 所構成。P 通道 SGT_Pc1 的閘極與 N 通道 SGT_Nc1 的閘極相連接。P 通道 SGT_Pc2 的汲極與 N 通道 SGT_Nc2 的汲極相連接。P 通道 SGT_Pc2 的閘極與 N 通道 SGT_Nc2 的閘極相連接。P 通道 SGT_Pc1 的汲極與 N 通道 SGT_Nc1 的汲極相連接。

【0007】如圖 6 所示，P 通道 SGT_Pc1、Pc2 的源極係連接至電源端子 Vdd、N 通道 SGT_Nc1、Nc2 的源極係連接至接地端子 Vss。兩個反相器電路的兩側配置有選擇 N 通道 SGT_SN1、SN2。選擇 N 通道 SGT_SN1、SN2 的閘極係連接至字元線端子 WLt。選擇 N 通道 SGT_SN1 的源極、汲極係連接至 N 通道 SGT_Nc1、P 通道 SGT_Pc1 的汲極及位元線端子 BLt。選擇 N 通道 SGT_SN2 的源極、汲極係連接至 N 通道 SGT_Nc2、P 通道 SGT_Pc2 的汲極及互補位元線端子 BLRt。如此具有 SRAM 單元之電路，係由包括兩個負載 P 通道 SGT_Pc1、Pc2、兩個驅動用 N 通道 SGT_Nc1、Nc2、兩個選擇用 SN1、SN2 之合計六個 SGT 所構成(參照例如專利文獻 2)。在此 SRAM 單元中，兩個負載 P 通道 SGT_Pc1、Pc2 的 Si 柱係形成得最接近。在此情況，負載 P 通道 SGT_Pc1、Pc2 的上部 P⁺層上的接觸孔形成會成為 SRAM 單元的高度積體化上的問題。

[先前技術文獻]

[專利文獻]

【0008】

[專利文獻 1] 日本特開平 2-188966 號公報

[專利文獻 2] 美國專利申請案公開第 2010/0219483 號說明書

[專利文獻 3] 美國專利 US 8530960B2 號說明書

[非專利文獻]

【0009】

[非專利文獻 1] Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol.38, No.3, pp.573-578 (1991)

[非專利文獻 2] C.Y.Ting, V.J.Vivalda, and H.G.Schaefer:“Study of planarized sputter-deposited SiO₂”, J.Vac.Sci. Technol. 15(3), p.p.1105-1112, May/June (1978)

[非專利文獻 3] A.Raley, S.Thibaut, N. Mohanty, K. Subhadeep, S. Nakamura, et al.:“Self-aligned quadruple patterning integration using spacer on spacer pitch splitting at the resist level for sub-32nm pitch applications” Proc. Of SPIE Vol.9782, 2016

【發明內容】

[發明所欲解決之課題]

【0010】 如何做到採用 SGT 而構成的電路的高度積體化。

[解決課題之手段]

【0011】 本發明的一個面向之製造方法係包含將複數個 SGT (環繞閘極電晶體； Surrounding Gate Transistor)用於負載用 SGT、驅動用 SGT、選擇用 SGT 而構成的 SRAM(靜態隨機存取記憶體； Static Random Access Memory)單元電路的形成工序，其中該複數個 SGT 係具有：在基板上直立於垂直方向之半導體柱；圍繞前述半導體柱之閘極絕緣層；圍繞前述閘極絕緣層之閘極導體層；與前述半導體柱連接之第一雜質區域，其下端在垂直方向上位於前述閘極絕緣層上端；及與前述半導體柱連接之第二雜質區域，其上端在垂直方向上位於前述閘極絕緣層下端；前述製造方法係於前述形成工序中具有：

形成俯視時形成前述 SGT 的第一半導體柱、及與前述第一半導體柱鄰接之形成前述 SGT 的第二半導體柱作為前述半導體柱之工序；

分別形成連接於前述第一半導體柱的頂部之第一雜質層、及連接於前述第二半導體柱的頂部之第二雜質層作為前述第一雜質區域之工序；

覆蓋前述第一雜質層及前述第二雜質層而形成第一層間絕緣層之工序；

在前述第一層間絕緣層形成俯視時與前述第一雜質層及前述第二雜質層相連之第一帶狀接觸孔之工序；以及

形成通過前述第一帶狀接觸孔而與前述第一雜質層及前述第二雜質層連接之配線導體層之工序，

其中，在垂直方向，在前述第一雜質層及前述第二雜質層的上表面、與前述第一帶狀接觸孔的上表面之間的區域，且為在俯視時與前述第一帶狀接觸孔重疊的區域中，並不存在有非為前述配線導體層的其他配線導體層，

且俯視時，於形成有前述第一帶狀接觸孔的區域內並不存在非為前述第一半導體柱及前述第二半導體柱的其他半導體柱。

【0012】 前述製造方法較佳為：

前述配線導體層係由金屬、合金、多量地含有施體或受體雜質原子的半導體層的單層或複數層所形成。

【0013】 前述製造方法較佳為具有：

在前述第一雜質層及前述第二雜質層的上表面，形成由金屬或合金構成的第一導體層之工序，

且俯視時，前述第一帶狀接觸孔係與前述第一導體層的一部分區域重疊而存在。

【0014】 前述製造方法較佳為具有：

在相較於前述閘極導體層上表面更上方，且在前述第一半導體柱及前述第二半導體柱的頂部外周部，形成第二層間絕緣層之工序；

形成位於前述第二層間絕緣層上且圍繞前述第一半導體柱的頂部側面之第一材料層、及圍繞前述第二半導體柱的頂部側面之第二材料層之工序；

在與前述第一材料層及前述第二材料層的側面相接之外周部，形成第三層間絕緣層之工序；

將前述第一材料層及前述第二材料層去除，而形成圍繞前述第一半導體柱的頂部之第一凹部、及圍繞前述第二半導體柱的頂部之第二凹部之工序；

形成圍繞前述第一半導體柱的頂部，且在前述第一凹部內形成之前述第一雜質層，同時形成圍繞前述第二半導體柱的頂部，且在前述第二凹部內形成之前述第二雜質層之工序，

在前述第一雜質層上，且在前述第一凹部內形成第二導體層，同時在前述第二雜質層上，且在前述第二凹部內形成第三導體層之工序；

在前述第三層間絕緣層、前述第二導體層、前述第三導體層之上形成第四層間絕緣層之工序；以及

形成俯視時至少一部分與前述第二導體層及前述第三導體層的兩者皆重疊，且底部與前述第四層間絕緣層相接之前述第一帶狀接觸孔之工序。

【0015】 前述製造方法較佳為：

以磊晶成長方式形成前述第一雜質層及前述第二雜質層。

【0016】 本發明的另一面向之製造方法係包含採用複數個 SGT (環繞閘極電晶體；Surrounding Gate Transistor)而構成的電路的形成工序，其中該複數個 SGT 係具有：在基板上直立於垂直方向之半導體柱；圍繞前述半導體柱之閘極

絕緣層；圍繞前述閘極絕緣層之閘極導體層；與前述半導體柱連接之第一雜質區域，其下端在垂直方向上位於前述閘極絕緣層上端；及與前述半導體柱連接之第二雜質區域，其上端在垂直方向上位於前述閘極絕緣層下端；前述製造方法係在前述形成工序中具有：

形成俯視時形成前述 SGT 的第一半導體柱、及與前述第一半導體柱鄰接之形成前述 SGT 的第二半導體柱作為前述半導體柱之工序；

在相較於前述閘極導體層上表面更上方，且在前述第一半導體柱及前述第二半導體柱的頂部外周部，形成第一層間絕緣層之工序；

形成位於前述第一層間絕緣層上且圍繞前述第一半導體柱的頂部側面之第一材料層、及圍繞前述第二半導體柱的頂部側面之第二材料層之工序；

在與前述第一材料層及前述第二材料層的側面相接之外周部，形成第二層間絕緣層之工序；

在前述第一材料層、前述第二材料層及前述第二層間絕緣層，形成俯視時至少一部分與前述第一半導體柱、前述第二半導體柱、前述第一材料層及前述第二材料層重疊且相連的第一帶狀凹部之工序；

將前述第一材料層及前述第二材料層去除，而形成俯視時包含前述第一帶狀凹部之第二帶狀凹部之工序；

在前述第二帶狀凹部內形成第一雜質層之工序；以及

形成與前述第一雜質層連接的第一配線導體層之工序，

且前述第一雜質層係與前述第一雜質區域及前述第二雜質區域相連成一體。

【0017】 前述製造方法較佳為：

形成於前述第一半導體柱及前述第二半導體柱之前述 SGT，係為 SRAM 電路中之負載用 SGT。

【0018】 前述製造方法較佳為：

前述第一配線導體層係由金屬、合金、多量地含有施體或受體雜質原子的半導體層的單層或複數層所形成。

【0019】 前述製造方法較佳為具有：

在前述第二帶狀凹部內的上表面形成單結晶半導體薄膜層之工序；以及接著在前述第二帶狀凹部形成前述第一雜質層之工序。

【0020】 前述製造方法較佳為：

前述第一配線導體層係形成在前述第一雜質層之上且在前述第二帶狀凹部內。

【0021】 前述製造方法較佳為具有：

在前述第一配線導體層上形成第三層間絕緣層之工序；

在前述第三層間絕緣層形成俯視時具有比前述第一配線導體層更小的面積之第一接觸孔之工序；以及

形成通過前述第一接觸孔而與前述第一配線導體層相連的第二配線導體層之工序。

【0022】 本發明的另一面向之柱狀半導體裝置係包含將複數個 SGT (環繞閘極電晶體；Surrounding Gate Transistor)用於負載用 SGT、驅動用 SGT、選擇用 SGT 而構成的 SRAM(靜態隨機存取記憶體；Static Random Access Memory)單元電路，其中該複數個 SGT 係具有：在基板上直立於垂直方向之半導體柱；圍繞前述半導體柱之閘極絕緣層；圍繞前述閘極絕緣層之閘極導體層；與前述半導體

柱連接之第一雜質區域，其下端在垂直方向上位於前述閘極絕緣層上端；以及與前述半導體柱連接之第二雜質區域，其上端在垂直方向上位於前述閘極絕緣層下端；其中前述柱狀半導體裝置係在前述 SRAM 單元電路中具有：

俯視時，作為前述半導體柱而構成前述負載用 SGT 之第一半導體柱、及作為前述半導體柱而構成前述負載用 SGT 之與前述第一半導體柱鄰接之第二半導體柱；

作為前述第一雜質區域而連接於前述第一半導體柱的頂部之第一雜質層；

作為前述第一雜質區域而連接於前述第二半導體柱的頂部之第二雜質層；

覆蓋前述第一雜質層及前述第二雜質層之第一層間絕緣層；

位於前述第一層間絕緣層，而且俯視時至少一部分與前述第一雜質層及前述第二雜質層重疊且相連之第一帶狀接觸孔；以及

通過前述第一帶狀接觸孔而與前述第一雜質層及前述第二雜質層連接之第一配線導體層，

其中，在垂直方向，在前述第一雜質層及前述第二雜質層的上表面、與前述第一帶狀接觸孔的上表面之間的區域，且為在俯視時與前述第一帶狀接觸孔重疊的區域，並不存在有非為前述第一配線導體層的其他配線導體層，

且俯視時，於形成有前述第一帶狀接觸孔之區域內並不存在有非為前述第一半導體柱及前述第二半導體柱的其他半導體柱。

【0023】 前述柱狀半導體裝置較佳為具有：

第二層間絕緣層，位在相較於前述閘極導體層上表面更上方，且位在前述第一半導體柱及前述第二半導體柱的頂部外周部，且其上表面位置位於相較於前述第一半導體柱及前述第二半導體柱的上表面位置更下方；

以同心圓狀圍繞前述第一半導體柱頂部的側面及上表面之第三雜質層、及以同心圓狀圍繞前述第二半導體柱頂部的側面及上表面之第四雜質層；以及

位在前述第三雜質層上且與前述第三雜質層相同形狀之第一導體層、及位在前述第四雜質層上且與前述第四雜質層相同形狀之第二導體層，

且前述第一帶狀接觸孔於俯視時係至少一部分與前述第一導體層及前述第二導體層重疊。

【0024】 前述柱狀半導體裝置較佳為：

前述第一雜質層及前述第二雜質層係包含前述第三雜質層及前述第四雜質層，且相連成一體而位在前述第一帶狀接觸孔內，

該柱狀半導體裝置係在前述第一雜質層及前述第二雜質層之上，且在前述第一帶狀接觸孔內具有前述第一配線導體層。

【0025】 前述柱狀半導體裝置較佳為具有：

前述第一配線導體層上的第三層間絕緣層；

位在前述第三層間絕緣層之俯視時具有比前述第一配線導體層更小的面積之第二帶狀接觸孔；以及

通過前述第二帶狀接觸孔而與前述第一配線導體層相連之第二配線導體層。

【圖式簡單說明】

【0026】

圖 1A 係用來說明第一實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 1B 係用來說明第一實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 1C 係用來說明第一實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 1D 係用來說明第一實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 1E 係用來說明第一實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 1F 係用來說明第一實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 1G 係用來說明第一實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 1H 係用來說明第一實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 1I 係用來說明第一實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 1J 係用來說明第一實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 1K 係用來說明第一實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 1L 係用來說明第一實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 1M 係用來說明第一實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 1N 係用來說明第一實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 1O 係用來說明第一實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 1P 係用來說明第一實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 1Q 係用來說明第一實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 1R 係用來說明第一實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 1S 係用來說明第一實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 1T 係用來說明第一實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 2A 係用來說明本發明的第二實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 2B 係用來說明本發明的第二實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 2C 係用來說明本發明的第二實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 2D 係用來說明本發明的第二實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 2E 係用來說明本發明的第二實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 2F 係用來說明本發明的第二實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 2G 係用來說明本發明的第二實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 3A 係用來說明本發明的第三實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 3B 係用來說明本發明的第三實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 3C 係用來說明本發明的第三實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 4 係用來說明本發明的第四實施型態之具有 SGT 的柱狀半導體裝置的製造方法之平面圖及剖面構造圖。

圖 5 係顯示習知例的 SGT 之模式構造圖。

圖 6 係採用習知例的 SGT 而構成的 SRAM 單元的電路圖。

【實施方式】

【0027】 以下，參照圖式來說明本發明的實施型態之柱狀半導體裝置的製造方法。

【0028】 (第一實施型態)

以下，參照圖 1A 至圖 1T 來說明本發明的第一實施型態之具有 SGT 的 SRAM 單元電路的製造方法。(a)顯示平面圖，(b)顯示沿著(a)的 X-X'線之剖面構造圖，(c)顯示沿著(a)的 Y-Y'線之剖面構造圖。

【0029】 如圖 1A 所示，在 P 層基板 1 上以磊晶成長法形成 N 層 2。然後，在 N 層 2 的表層以離子植入法形成 N⁺層 3 及 P⁺層 4a、4b。然後，形成 i 層 6。然後，形成由例如 SiO₂ 層、氧化鋁(Al₂O₃，以下稱為 AlO)層、SiO₂ 層所構成之遮罩材料層 7。然後，堆積矽鍺(SiGe)層 8。然後，堆積由 SiO₂ 層所構成之遮罩材料層 9。然後，堆積由 SiN 層所構成之遮罩材料層 10。其中，i 層 6 可採用含有少量的施體或受體雜質原子之 N 型、或 P 型的 Si 而形成。

【0030】 接著，以利用微影(lithography)法形成之俯視時在 Y 方向延伸的帶狀阻劑層(未圖示)作為遮罩，對遮罩材料層 10 進行蝕刻。藉此，形成俯視時在 Y 方向延伸的帶狀遮罩材料層(未圖示)。以阻劑層作為遮罩對該帶狀遮罩材料層進行等向性蝕刻，會使得帶狀遮罩材料層的寬度形成得比阻劑層的寬度窄。藉此，形成具有比利用微影法所能形成的最小的阻劑層的寬度還要小的寬度之帶狀遮罩材料層 10a、10b。然後，以帶狀遮罩材料層 10a、10b 作為蝕刻遮罩，以例如 RIE (Reactive Ion Etching；反應離子蝕刻)方式對遮罩材料層 9 進行蝕刻而形成帶狀遮罩材料層 9a、9b。經等向性蝕刻而形成的帶狀遮罩材料層 10a、10b 的剖面係底部的寬度比頂部的寬度寬之梯形形狀，相對於此，帶狀遮罩材料層 9a、9b 的剖面因為是以 RIE 法而蝕刻形成的，所以為矩形。此矩形剖面直接關係到以帶狀遮罩材料層 9a、9b 作為遮罩之蝕刻圖案(etching pattern)的精度的提高。接著，以帶狀遮罩材料層 9a、9b 作為遮罩，以例如 RIE 法對 SiGe 層 8 進行

蝕刻，形成如圖 1B 所示之帶狀 SiGe 層 8a、8b。前述的帶狀遮罩材料層 9a、9b 上的帶狀遮罩材料層 10a、10b，可在 SiGe 層 8 的蝕刻之前就加以去除，亦可使之留著。

【0031】接著，於全體以 ALD (Atomic Layered Deposition；原子層沉積)法形成覆蓋遮罩材料層 7、帶狀 SiGe 層 8a、8b、帶狀遮罩材料層 9a、9b 之 SiN 層 (未圖示)。此情況，SiN 層 12 的剖面的頂部會產生圓角。此圓角較佳形成為位於比帶狀遮罩材料層 9a、9b 更上部。然後，以例如 FCVD (Flow Chemical Vapor Deposition；流動式化學氣相沉積)法所得之 SiO₂層(未圖示)覆蓋全體，然後，以 CMP (Chemical Mechanical Polishing；化學機械研磨)方式，將 SiO₂層、SiN 層研磨到上表面位置到達帶狀遮罩材料層 9a、9b 的上表面位置，形成 SiN 層 13a、13b、13c。然後，對於 SiN 層 13a、13b、13c 的頂部進行蝕刻而形成凹部。此時係形成為該凹部的底部位置在帶狀遮罩材料層 9a、9b 的下部位置。然後，使 SiN 層(未圖示)被覆於全體，再以 CMP 法對全體進行研磨，將 SiN 層研磨到上表面位置到達遮罩材料層 9a、9b 的上表面位置。然後，將以 FCVD 法形成的 SiO₂層去除掉。藉此，如圖 1C 所示，在帶狀遮罩材料層 9a、9b 的兩側，形成於俯視時具有與 SiN 層 13a、13b、13c 的頂部形狀相同形狀的帶狀遮罩材料層 12aa、12ab、12ba、12bb。

【0032】接著，如圖 1D 所示，以帶狀遮罩材料層 9a、9b、12aa、12ab、12ba、12bb 作為遮罩，對 SiN 層 13a、13b、13c 進行蝕刻，形成帶狀 SiN 層 13aa、13ab、13ba、13bb。在此情況，於俯視時，帶狀 SiN 層 13aa、13ab、13ba、13bb 的寬度係相同。

【0033】接著，將帶狀遮罩材料層 9a、9b、帶狀 SiGe 層 8a、8b 予以去除。藉此，如圖 1E 所示，在遮罩材料層 7 上形成帶狀 SiN 層 13aa、13ab、13ba、13bb，其各自的頂部上具有俯視時在 Y 方向延伸，且相互平行排列的帶狀遮罩材料層 12aa、12ab、12ba、12bb。

【0034】接著，覆蓋全體而形成以 FCVD 法所得之 SiO₂ 層(未圖示)。然後，以 CMP 法，將 SiO₂ 層研磨到其上表面位置與帶狀遮罩材料層 12aa、12ab、12ba、12bb 的上表面位置相同，而如圖 1F 所示形成 SiO₂ 層 15。然後，在 SiO₂ 層 15、帶狀遮罩材料層 12aa、12ab、12ba、12bb 上形成 SiN 層 16。然後，用與形成帶狀 SiN 層 13aa、13ab、13ba、13bb 之方法相同的基本的手法，在 SiN 層 16 上形成在 X 方向延伸且相互平行排列之帶狀遮罩材料層 17a、17b。

【0035】接著，如圖 1G 所示，以帶狀遮罩材料層 17a、17b 作為遮罩，對 SiN 層 16、帶狀遮罩材料層 12aa、12ab、12ba、12bb、帶狀 SiN 層 13aa、13ab、13ba、13bb、遮罩材料層 7 進行 RIE 蝕刻。然後，將殘存的 SiN 層 16、SiO₂ 層 15 去除掉。藉此，形成頂部具有於俯視時呈矩形的遮罩材料層 19a、19b、19c、19d、19e、19f、19g、19h 之 SiN 柱 20a、20b、20c、20d、20e、20f、20g、20h。

【0036】接著，如圖 1H 所示，將矩形的遮罩材料層 19b、19g、及 SiN 柱 20b、20g 去除掉。

【0037】接著，以遮罩材料層 19a、19c、19d、19e、19f、19h、及 SiN 柱 20a、20c、20d、20e、20f、20h 作為遮罩，對遮罩材料層 7 進行蝕刻，如圖 1I 所示，形成遮罩材料層 7a、7b、7c、7d、7e、7f。在此蝕刻中，係例如藉由進行利用 CDE (Chemical Dry Etching；化學性乾蝕刻)法的等向性蝕刻，使得俯視時之遮罩材料層 7a、7b、7c、7d、7e、7f 的形狀呈圓形。此 CDE 蝕刻在遮罩材料層

7a、7b、7c、7d、7e、7f的於俯視時的形狀在此工序之前已是圓形的情況就不需要進行。然後，將遮罩材料層 19a、19c、19d、19e、19f、19h、及 SiN 柱 20a、20c、20d、20e、20f、20h 去除掉。然後，以遮罩材料層 7a、7b、7c、7d、7e、7f 作為遮罩，對 i 層 6 進行蝕刻，在 N⁺層 3、及 P⁺層 4a、4b 上形成 Si 柱 6a、6b、6c、6d、6e、6f。

【0038】接著，如圖 1J 所示，對於連接在 Si 柱 6a、6b、6c 的底部之 N⁺層 3、P⁺層 4a、N 層 2、P 層基板 1 進行蝕刻，形成由 P 層基板 1 的上部、N 層 2a、N⁺層 3aa、3ab、及 P⁺層 4aa 所構成之 Si 柱台 21a。同時，對於連接在 Si 柱 6d、6e、6f 的底部之 N⁺層 3、P⁺層 4b、N 層 2、P 層基板 1 進行蝕刻，形成由 P 層基板 1 的上部、N 層 2b、N⁺層 3ba (未圖示)、3bb (未圖示)、及 P⁺層 4bb 所構成之 Si 柱台 21b。然後，在 N⁺層 3aa、3ab、3ba、3bb、P⁺層 4aa、4bb、N 層 2a、2b 的外周部、及 P 層基板 1 上形成 SiO₂ 層 22。然後，以 ALD 法覆蓋全體而形成 HfO₂ 層 23、TiN 層(未圖示)。此情況，在 Si 柱 6b、6c 間、及 Si 柱 6d、6e 間，TiN 層的側面與側面係相接觸。然後，在圍繞 Si 柱 6a 的外周之 HfO₂ 層 23 上形成 TiN 層 24a，並圍繞 Si 柱 6b、6c 的外周的 HfO₂ 層 23 而形成 TiN 層 24b，圍繞 Si 柱 6d、6e 的外周的 HfO₂ 層 23 而形成 TiN 層 24c，圍繞 Si 柱 6f 的外周的 HfO₂ 層 23 而形成 TiN 層 24d。然後，使全體被覆上 SiO₂ 層(未圖示)，然後，以 CMP 法對全體進行研磨，使上表面位置到達遮罩材料層 7a、7b、7c、7d、7e、7f 的上表面位置。然後，以 RIE 法對於平坦化之後的 SiO₂ 層(未圖示)進行回蝕刻(etch back)，形成 SiO₂ 層 25。然後，以遮罩材料層 7a、7b、7c、7d、7e、7f、及 SiO₂ 層 25 作為遮罩，將 HfO₂ 層 23、及 TiN 層 24a、24b、24c、24d 的頂部去除掉。TiN 層 24a、24b、24c、24d 成為 SGT 的閘極導體層。此閘極導體層係有

助於 SGT 的閾值電壓的設定之層，可用由單層或複數層所構成的閘極導體材料層形成。此閘極導體材料層在 Si 柱 6b、6c 間、及 Si 柱 6d、6e 間係整個側面相接而形成。此外，可與閘極導體材料層相連而形成例如鎢(W)層，將此 W 層用作為配線導體層。此 W 層亦可為其他的導體材料層。

【0039】 接著，如圖 1K 所示，在 Si 柱 6a 至 6f 的外周部的 SiO₂ 層 25 上形成 SiN 層 27。然後，使全體被覆上 SiO₂ 層(未圖示)。然後，以 RIE 法對該 SiO₂ 層進行蝕刻，藉此在露出的 Si 柱 6a 至 6f 的頂部、及遮罩材料層 7a 至 7f 的側面，形成俯視時等寬度的 SiO₂ 層 28a、28b、28c、28d、28e、28f。在本情況，使 SiO₂ 層 28b 與 SiO₂ 層 28c 相分離而形成，也同樣使 SiO₂ 層 28d 與 SiO₂ 層 28e 相分離而形成。

【0040】 接著，使全體被覆上 SiN 層(未圖示)。然後，如圖 1L 所示，以 CMP 法進行研磨，研磨到 SiN 層的上表面位置到達遮罩材料層 7a 至 7f 的上表面位置，形成 SiN 層 29。然後，將圍繞於 Si 柱 6a 至 6f 的頂部之 SiO₂ 層 28a、28b、28c、28d、28e、28f 去除掉，形成圍繞 Si 柱 6a 至 6f 的頂部之凹部 30a、30b、30c、30d、30e、30f。因為 SiO₂ 層 28a、28b、28c、28d、28e、28f 係相對於 Si 柱 6a 至 6f 以自對準(self alignment)方式形成，所以凹部 30a、30b、30c、30d、30e、30f 會相對於 Si 柱 6a 至 6f 自對準而形成。

【0041】 接著，如圖 1M 所示，將遮罩材料層 7a、7b、7c、7d、7e、7f 去除掉，在 Si 柱 6a 至 6f 的頂部外周及上部形成凹部 30A、30B、30C、30D、30E、30F。

【0042】 接著，以 CVD 法使全體被覆上 SiO₂ 層(未圖示)。然後，如圖 1N 所示，以 CMP 法進行研磨，研磨到 SiO₂ 層的上表面位置到達 SiN 層 29 的上表

面位置，在凹部 30A、30B、30C、30D、30E、30F 內形成覆蓋 Si 柱 6a 至 6f 的頂部之 SiO₂ 層 31a、31b (未圖示)、31c、31d、31e (未圖示)、31f。然後，以微影法、化學蝕刻法將 SiO₂ 層 31b、31e 去除掉。然後，以選擇性磊晶成長法，在凹部 30B、30E 內形成覆蓋 Si 柱 6b、6e 的頂部之含有受體雜質之 P⁺層 32b、32e。P⁺層 32b、32e 的外周係形成為於俯視時不會超出凹部 30B、30E 的外周。此外，在形成 P⁺層 32b、32e 之前，較佳為使 Si 柱 6b、6e 的頂部略為氧化後，進行將該氧化膜去除之處理，及進行 Si 柱 6b、6e 的頂部表層的損傷層的去處、及洗淨。另外，P⁺層 32b、32e 亦可採用選擇性磊晶成長法以外的例如分子束結晶成長法等之其他的方法而形成單晶的 P⁺層 32b、32e。又，P⁺層 32b、32e 亦可在使全面被覆上含有受體雜質的半導體層之後，以 CMP 法研磨到上表面位置到達 SiN 層 29 的上表面位置之後，以 CDE 法、或化學蝕刻法對上表面進行蝕刻而形成。

【0043】 接著，使全體被覆上 SiO₂ 層(未圖示)，然後以 CMP 法研磨到 SiO₂ 層的上表面位置到達與 SiN 層 29 的上表面位置相同的位置，使 SiO₂ 層(未圖示)被覆於 P⁺層 32b、32e 上。然後，利用微影法及化學蝕刻，將 SiO₂ 層 31a、31c、31d、31f 去除掉。然後，如圖 1O 所示，以選擇性磊晶成長法，在凹部 30A、30C、30D、30F 內形成覆蓋 Si 柱 6a、6c、6d、6f 的頂部之含有施體雜質之 N⁺層 32a、32c、32d、32f。N⁺層 32a、32c、32d、32f 的外周係形成為於俯視時不會超出凹部 30A、30C、30D、30F 的外周。然後，將 P⁺層 32b、32e 上的 SiO₂ 層去除掉。

【0044】 接著，使全體被覆上薄 Ta 層(未圖示)及 W 層(未圖示)。然後，如圖 1P 所示，以 CMP 法進行研磨，研磨到 W 層的上表面位置到達 SiN 層 29 的上表面位置，形成 W 層 33a、33b、33c、33d、33e、33f。在本情況，在 N⁺層 32a、32c、32d、32f、P⁺層 32b、32e、與 W 層 33a、33b、33c、33d、33e、33f 之間之

Ta 層，係為用來使兩邊的層的接觸電阻減小之緩衝層。此緩衝層亦可為單層或複數層的其他的材料層。

【0045】接著，如圖 1Q 所示，在 TiN 層 24c、N⁺層 3aa、P⁺層 4aa 之上形成接觸孔 C1。同時，在 TiN 層 24b、N⁺層 3bb、P⁺層 4bb 之上形成接觸孔 C2。然後，使全體被覆上薄緩衝 Ti 層(未圖示)及 W 層(未圖示)。然後，以 RIE 法進行蝕刻，蝕刻到 W 層的上表面位置位於比接觸孔 C1、C2 的上表面位置更下方，在接觸孔 C1、C2 內形成 W 層 34a (未圖示)、34b。然後，使全體被覆上 SiN 層(未圖示)。然後，使用 CMP 法，將 SiN 層研磨到上表面位置到達 W 層 33a、33b、33c、33d、33f 的上表面位置，在接觸孔 C1 內的 W 層 34a 上、及接觸孔 C2 內的 W 層 34b 上形成 SiN 層 35a (未圖示)、35b。

【0046】接著，使全體被覆上 SiO₂層(未圖示)。然後，如圖 1R 所示，在全體形成 SiO₂層 37 之後，使用微影法、及 RIE 法，形成於俯視時與 Si 柱 6b、6e 上的 W 層 33b、33e 的至少一部分重疊，且在 Y 方向延伸的帶狀接觸孔 C3。另外，帶狀接觸孔 C3 的底部亦可到達 SiN 層 27 的上表面。

【0047】接著，如圖 1S 所示，形成填滿帶狀接觸孔 C3，且連接 W 層 33b 與 33e 之電源配線金屬層 Vdd。電源配線金屬層 Vdd 並不限於用金屬形成，亦可用合金、或由多量地含有施體或受體雜質的半導體所構成的材料層的單層、或複數層來形成。

【0048】接著，如圖 1T 所示，形成覆蓋全體且上表面平坦的 SiO₂層 38。然後，透過形成於 N⁺層 32c 上的 W 層 33c 上之接觸孔 C4 而形成接地配線金屬層 Vss1。同時，透過形成於 N⁺層 32d 上的 W 層 33d 上之接觸孔 C5 而形成接地配線金屬層 Vss2。形成覆蓋全體且上表面平坦的 SiO₂層 39。然後，透過形成於

TiN 層 24a、24d 上之接觸孔 C6、C7 而形成字元配線金屬層 WL。然後，形成覆蓋全體且上表面平坦的 SiO₂ 層 40。然後，透過形成於 N⁺ 層 32a、32f 上的 W 層 33a、33f 之接觸孔 C8、C9 而形成互補位元輸出配線金屬層 RBL、位元輸出配線金屬層 BL。如此，就在 P 層基板 1 上形成 SRAM 單元電路。就本 SRAM 電路而言，係在 Si 柱 6b、6e 形成負載 SGT，在 Si 柱 6c、6d 形成驅動 SGT，在 Si 柱 6a、6f 形成選擇 SGT。

【0049】另外，藉由圖 1N、圖 1O 所示的 N⁺ 層 32a、32c、32d、32f、及 P⁺ 層 32b、32e 的形成後的熱工序，使施體、或受體雜質從 N⁺ 層 32a、32c、32d、32f、及 P⁺ 層 32b、32e 擴散到 Si 柱 6a 至 6f 的頂部，而形成 N⁺ 層 32A、32C、32D、32F (未圖示)、P⁺ 層 32B、32E (未圖示)。N⁺ 層 32A、32C、32D、32F、P⁺ 層 32B、32E 的分佈形狀，係依熱工序的紀錄、及 Si 柱 6a 至 6f 的直徑，而形成於 Si 柱 6a 至 6f 的頂部表層、或形成於整個頂部內部。藉此，使 N⁺ 層 32a、32c、32d、32f、P⁺ 層 32b、32e、N⁺ 層 32A、32C、32D、32F、P⁺ 層 32B、32E 連接於 Si 柱 6a 至 6f 的頂部而形成。另外，N⁺ 層 32A、32C、32D、32F、P⁺ 層 32B、32E 的垂直方向的下端的位置，可與閘極 TiN 層 24a、24b、24c、24d 的上端位置相同、或相分離、或相重疊，只要可做正常的 SGT 動作即可。

【0050】此外，在圖 1J 的狀態，亦可沒有遮罩材料層 7a、7b、7c、7d、7e、7f。在此情況，可在圖 1K 或圖 1L，藉由蝕刻 Si 柱 6a 至 6f 的頂部、或使得 Si 柱 6a 至 6f 的頂部氧化然後加以去除之工序等，使 Si 柱 6a 至 6f 頂部的上表面位置比 SiN 層 29 低。

【0051】另外，在前述帶狀接觸孔 C3 的形成中，下述的條件為必要。

(條件 1)

於俯視時，在帶狀接觸孔 C3 的區域內沒有負載 SGT 以外的 Si (就本實施型態而言為 6a、6c、6d、6f)。

(條件 2)

在形成帶狀接觸孔 C3 的整個帶狀領域中，從帶狀接觸孔 C3 的上表面一直到底部的整體皆形成屬於導體層之電源配線金屬層 Vdd。因此，於俯視時，與帶狀接觸孔 C3 交叉的配線金屬層(就本實施型態而言為字元配線金屬層 WL)，為了防止與電源配線金屬層 Vdd 之電氣短路，必須在垂直方向形成於比帶狀接觸孔 C3 更上部。

(條件 3)

於俯視時，帶狀接觸孔 C3 可與在 Y 方向上鄰接的其他的 SRAM 單元相連而形成，亦可相分離而形成。不過，於俯視時，形成負載 SGT 之 Si 柱(就本實施型態而言為 Si 柱 6b、6e)間必須在 X 方向、Y 方向都相連。

(條件 4)

帶狀接觸孔 C3 係為了連接於 Si 柱的頂部之作為 SGT 的源極或汲極的雜質區域(就本實施型態而言為 P⁺層 32b、32e)、與金屬、合金等的配線導電層之連接而形成。

【0052】 根據第一實施型態之製造方法，可得到如下的特徵。

(特徵 1)

過去，係在要形成負載 SGT 之各個 Si 柱 6b、6e 上分別形成獨立的接觸孔。該兩個接觸孔的距離，與在其他的驅動 SGT、選擇 SGT 的接觸上的距離相比較係最為接近。在此情況，當 SRAM 單元不斷高積體化，就會難以用一次的微影法、RIE 蝕刻法形成該兩個獨立的接觸孔。因此，會有要例如分兩次進行微影法、

及 RIE 蝕刻法的工序之必要性。在此情況，除了成本隨著工序數增加而增加的問題之外，還有因為要留兩次微影工序間的遮罩對合的裕度(margin)而產生的積體度降低之問題。還有，為了精度良好地形成獨立的精細鄰接的兩個接觸孔所產生的製造上的困難性也是問題。相對於此，本實施型態係形成於俯視時與形成負載 SGT 的兩個 Si 柱 6b、6e 上的 P⁺層 32b、32e、及 W 層 33b、33e 重疊之帶狀接觸孔 C3。藉此，電源配線金屬層 Vdd 與 P⁺層 32b、32e 通過帶狀接觸孔 C3 而連接。如上所述，本實施型態並不在 Si 柱 6b、6e 上形成獨立的接觸孔。因此，可藉由一次的微影法、RIE 蝕刻法形成接觸孔而使得成本減低、以及沒有要留遮罩對合裕度之問題而可防止積體度降低。此外，與過去之形成兩個獨立的接觸孔之方法相比較，帶狀接觸孔 C3 可形成得較寬，而有圖案精度可較好之優點。因此，根據本實施型態可低成本地形成高積體度、高精度之採用 SGT 而構成的 SRAM 單元。

(特徵 2)

與帶狀接觸孔 C3 鄰接而形成接觸孔 C4、C5。Si 柱 6b、6c 及 Si 柱 6d、6e 若高密度地形成，帶狀接觸孔 C3、與接觸孔 C4、C5 的間隔就會變短，就容易發生電源配線金屬層 Vdd、與接地配線金屬層 Vss1、Vss2 間之電氣短路。對此，本實施型態係在以自對準方式形成的 SiO₂ 層 28b、28c、28d、28e 去除後所形成的凹部 30B、30E 內，形成 P⁺層 32b、32e、及覆蓋該 P⁺層 32b、32e 之低電阻的 W 層 33b、33e。因此，於俯視時，帶狀接觸孔 C3 只要與 W 層 33b、33e 的一部分重疊而形成即可。因此，可在不會使 SRAM 單元的積體度減低的情況下形成帶狀接觸孔 C3、及接觸孔 C4、C5。

【0053】又，本實施型態中，雖然是針對一個 SRAM 單元係由六個 SGT 構成之 SRAM 單元的形成進行說明，但在採用六個以外的 SGT 而構成的 SRAM 單元之情況，只要滿足上述條件，就可得到同樣的功效。另外，在由複數個 SGT 所構成的邏輯元件的形成中，在連接於形成 SGT 之鄰接的半導體柱的頂部之雜質層相互間相連的電路的形成上也可適用本實施型態所提供的製造方法。因此，也可做到邏輯電路的高積體化。

【0054】(第二實施型態)

以下，參照圖 2A 至圖 2G 來說明本發明的第二實施型態之具有 SGT 的 SRAM 單元電路的製造方法。(a)顯示平面圖，(b)顯示沿著(a)的 X-X'線之剖面構造圖，(c)顯示沿著(a)的 Y-Y'線之剖面構造圖。

【0055】進行圖 1A 至圖 1Q 之工序。然後，使全體被覆上阻劑層(未圖示)。然後，使用微影法，如圖 2A 所示，在 SiN 層 41、遮罩材料層 7a 至 7f、SiO₂層 28a 至 28f 之上，形成於俯視時具有與 Si 柱 6b、6e 重疊的帶狀窗之阻劑層 42。

【0056】接著，如圖 2B 所示，以阻劑層 42 作為遮罩，以 RIE 法進行蝕刻，蝕刻到 SiN 層 41、遮罩材料層 7b、7e、及 SiO₂層 28b、28e 的上表面位置位於比 Si 柱 6b、6e 的頂部上表面位置更下方，而形成凹部 43。此凹部 43 的底部可到達 SiN 層 27。

【0057】接著，將阻劑層 42 去除掉。然後，如圖 2C 所示，將 Si 柱 6b、6e 上的遮罩材料層 7b、7e、及 SiO₂層 28b、28e 去除掉而形成凹部 43A。凹部 43A 係由在 Y 方向延伸之矩形部、及圍繞 Si 柱 6b、6e 的頂部之去除掉 SiO₂層 28b、28e 後的部分所構成。

【0058】接著，在全體被覆以 ALD 法所得之薄 Si 層(未圖示)、及以磊晶成長法所得之含有受體雜質之 P⁺層(未圖示)。然後，對 P⁺層、薄 Si 層進行研磨，研磨到其上表面位置到達 SiN 層 41 的上表面位置，而如圖 2D 所示，形成薄 Si 層 45b、及 P⁺層 46。

【0059】接著，如圖 2E 所示對薄 Si 層 45、及 P⁺層 46 的上部進行蝕刻而形成 P⁺層 46b。然後，使用 CVD 法及 CMP 法，形成位於 P⁺層 46b 的上部，且其上表面位置位於 SiN 層 41 的上表面位置之遮罩材料層 49b。然後，將在 Si 柱 6a、6c、6d、6f 的頂部的外周部及上方的遮罩材料層 7a、7c、7d、7f、及 SiO₂ 層 28a、28c、28d、28f 去除掉，在 Si 柱 6a、6c、6d、6f 的頂部上形成凹部 43A、43C、43D、43E。P⁺層 46b 亦可如第一實施型態中所述，以選擇性磊晶成長法形成。另外，亦可採用例如分子束結晶成長法等之其他的方法而形成單結晶的 P⁺層 46b。

【0060】接著，如圖 2F 所示，使用與 P⁺層 46b 相同的方法，在凹部 43A、43C、43D、43E 內形成薄 Si 層 45a、45c (未圖示)、45d、45e (未圖示)、及含有施體雜質之 N⁺層 46a、46c、46d (未圖示)、46e (未圖示)。然後，在 N⁺層 46a、46c、46d、46e 上，形成其上表面位置與 SiN 層 41 的上表面位置相同之遮罩材料層 49a、49c、49d、49e。

【0061】接著，將遮罩材料層 49a、49b、49c、49d、49e 去除掉。然後，如圖 2G 所示，使用 CVD 法及 CMP 法，在 N⁺層 46a、46c、46d、46e、及 P⁺層 46b 上形成 W 層 50a、50b、50c、50d、50e。然後，在全體形成 SiO₂ 層 52。然後，使用微影法及 RIE 蝕刻法，形成將 W 層 50b 上的 SiO₂ 層 52 去除而形成的帶狀接觸孔 C10。然後，形成通過帶狀接觸孔 C10 而與 W 層 50b 相連的帶狀電

源配線金屬層 VDD。然後，藉由進行圖 1T 所示的工序，在 P 層基板 1 上形成 SRAM 單元電路。W 層 50a、50b、50c、50d、50e 可採用單層或複數層的由其他的金屬、或合金所構成的導體層而形成。

【0062】此外，亦可與第一實施型態一樣，在薄 Si 層之下的 Si 柱 6a、6c、6d、6f 的頂部，形成含有施體雜質原子之雜質層，在 Si 柱 6b、6e 的頂部形成含有受體雜質原子之雜質層。該雜質層亦可在薄 Si 層 45a 至 45f 形成後，藉由來自 P⁺層 46b、N⁺層 46a、46c、46d、46e 之受體雜質原子、及施體雜質原子的熱擴散而形成。或者，該雜質層可在薄 Si 層 45a 至 45f 之形成前，使 Si 柱 6a 至 6f 的頂部含有受體雜質原子、及施體雜質原子，而使 P⁺層 46b、N⁺層 46a、46c、46d、46e 形成。

【0063】根據第二實施型態之製造方法，可得到如下的特徵。

(特徵 1)

第一實施型態中，P⁺層 32b、32e 係藉由選擇性磊晶成長法而形成於 Si 柱 6b、6e 的頂部外周部的凹部 30B、30E 之中。對於與 Si 柱 6b、6e 的頂部相接的 P⁺層 32b、32e 有要具有良好的結晶性之要求。若其結晶性不好，就會發生利用 P⁺層 32b、32e 而構成的二極體的電阻會變大、或洩漏電流會變大、或接合耐壓會降低等問題。要使其結晶性良好，所要求的是使結晶成長的凹部 30B、30E 的俯視時的面積要寬。然而，隨著 SRAM 單元的高密度化，凹部 30B、30E 的面積會變小，因此難以形成具有良好的結晶性之 P⁺層 32b、32e。對此，本實施型態中，使磊晶成長之凹部 43A 的面積係比第一實施型態之凹部 30B、30E 還要大，因此可形成結晶性良好的 P⁺層 46。因此可做到二極體電阻、洩漏電流之減低、及高耐壓化。

(特徵 2)

本實施型態中，P⁺層 46b、N⁺層 46a、46c、46d、46e 係包含相對於 Si 柱 6a 至 6f 的頂部以自對準方式呈同心圓狀圍繞之雜質區域。因此，鄰接的 Si 柱 6b、6c、及同樣鄰接的 Si 柱 6d、6e 之兩個 Si 柱間距離可縮短。因此可做到 SRAM 單元的高密度化。同樣的，在 P⁺層 46b、N⁺層 46a、46c、46d、46e 上之 W 層 50a 至 50e 係形成在以自對準方式形成的凹部 43A 至 43E 內。因此，可使得用來連接 W 層 50b 上與電源配線金屬層 VDD 之接觸孔 C10 離開鄰接的 Si 柱 6a、6c、6d、6f 上的 W 層 50a、50c、50d、50e。因此，可做到 SRAM 單元的高密度化。

【0064】 (第三實施型態)

以下，參照圖 3A 至圖 3C 來說明本發明的第三實施型態之具有 SGT 的 SRAM 單元電路的製造方法。(a)顯示平面圖，(b)顯示沿著(a)的 X-X'線之剖面構造圖，(c)顯示沿著(a)的 Y-Y'線之剖面構造圖。

【0065】 如圖 3A 所示，在 P 層基板 1 上，形成由 N 層 2A、N⁺層 3Aa、3Ab、P⁺層 4Aa 所構成之 Si 柱台 55a、及由 N 層 2B、N⁺層 3Ba (未圖示)、3Bb (未圖示)、P⁺層 4Ba 所構成之 Si 柱台 55b。然後，在 Si 柱台 55a、55b 上形成 Si 柱 6A、6B、6C、6D、6E、6F。連結 Si 柱 6B、6E 的中心之直線係沿著 Y 方向。同樣的，連結 Si 柱 6A、6D 之直線、及連結 Si 柱 6C、6F 的中心之直線也是沿著 Y 方向。然後，在 Si 柱 6A 至 6F 的底部外周部形成 SiO₂ 層 22a。然後，以 ALD 法形成覆蓋全體之閘極 HfO₂ 層 23a。然後，在圍繞 Si 柱 6A 之 HfO₂ 層 23a 外周形成圍繞的閘極 TiN 層 24A。同時，在圍繞 Si 柱 6B、6C 之 HfO₂ 層 23a 外周形成圍繞的閘極 TiN 層 24B。同時，在圍繞 Si 柱 6D、6E 之 HfO₂ 層 23a 外周形成圍繞的閘極 TiN 層 24C。同時，在圍繞 Si 柱 6F 之 HfO₂ 層 23a 外周形成圍

繞的閘極 TiN 層 24D (未圖示)。然後，形成圍繞閘極 TiN 層 24A、24B、24C、24D 之 SiO₂ 層 25a。然後，形成通過形成於 SiO₂ 層 25a 之接觸孔 Ca 而與 TiN 層 24C、N⁺層 3Aa、P⁺層 4Aa 連接，且上表面位置比 TiN 層 24A 至 24D 的上表面位置低之 W 層 26a。同時，形成通過形成於 SiO₂ 層 25a 之接觸孔 Cb 而與 TiN 層 24B、N⁺層 3Bb、P⁺層 4Ba 連接，且上表面位置比 TiN 層 24A 至 24D 的上表面位置低之 W 層 26b。然後，在 Si 柱 6A 至 6F 的頂部的外周部，且在閘極 TiN 層 24A 至 24D 的上端上形成 SiN 層 27a。然後，在 Si 柱 6A、6C、6D、6F 的頂部形成 N⁺層 46a、46c、46d (未圖示)、46f (未圖示)、及 P⁺層 46b。然後，以選擇性磊晶成長法形成 N⁺層 47a、47c、47d (未圖示)、47f (未圖示)、及 P⁺層 47b、47e。

【0066】接著，如圖 3B 所示，在全體形成 SiO₂ 層 49。然後，藉由微影法及 RIE 蝕刻，形成底部位置位在比 P⁺層 47b、47e 的上表面位置更下方，且於俯視時與 Si 柱 6B、6E 重疊且在 Y 方向延伸之帶狀接觸孔 Cc。然後，形成通過接觸孔 Cc 與 P⁺層 47b、47e 連接之電源配線金屬層 Vdd。

【0067】接著，如圖 3C 所示，形成覆蓋全體且上表面平坦之 SiO₂ 層 49。然後，通過形成於 N⁺層 47a 上之接觸孔 Cd 而形成接地配線金屬層 Vss1。同時，通過形成於 N⁺層 47f 上之接觸孔 Ce 而形成接地配線金屬層 Vss2。然後，形成覆蓋全體且上表面平坦之 SiO₂ 層 51。然後，通過形成於 TiN 層 24A、24D 上之接觸孔 Cf、Cg 而形成字元配線金屬層 WL。然後，覆蓋全體而形成上表面平坦之 SiO₂ 層 52。然後，通過形成於 N⁺層 47c、47d 上之接觸孔 Ch、Ci 而形成位元輸出配線金屬層 BL、及互補位元輸出配線金屬層 RBL。至此，在 P 層基板 1 上形成 SRAM 單元電路。

【0068】 根據第三實施型態之製造方法，可得到如下的特徵。

第一實施型態中，Si 柱 6b 及 6e 係在 X 方向相錯開而形成。相對於此，本實施型態中，Si 柱 6C、6E 的中心係位在沿著 Y 方向延伸的一條線上。

本實施型態中之 Si 柱 6A 至 6F 之在 SRAM 單元內的配置，與第一實施型態中之 Si 柱 6a 至 6f 的配置不同，但本實施型態具有與第一實施型態相同的特徵。本實施型態係形成於俯視時與形成負載 SGT 之兩個 Si 柱 6B、6E 上的 P⁺層 47b、47e 重疊之帶狀接觸孔 Cc。藉此，電源配線金屬層 Vdd 與 P⁺層 47b、47e 通過帶狀接觸孔 Cc 而連接。如上所述，本實施型態並不在 Si 柱 6B、6E 上形成獨立的接觸孔。因此，可藉由一次的微影法、RIE 蝕刻法形成接觸孔而使得成本減低、以及沒有要留遮罩對合裕度之問題而可防止積體度降低。此外，與過去之形成兩個獨立的接觸孔之方法相比較，帶狀接觸孔 Cc 可形成得較寬，而有圖案精度可較好之優點。因此，根據本實施型態可低成本地形成高積體度、高精度之採用 SGT 而構成之 SRAM 單元。

【0069】 (第四實施型態)

以下，參照圖 4 來說明本發明的第四實施型態之具有 SGT 的 SRAM 單元電路的製造方法。(a)顯示平面圖，(b)顯示沿著(a)的 X-X'線之剖面構造圖，(c)顯示沿著(a)的 Y-Y'線之剖面構造圖。

【0070】 如圖 4 所示，並不形成圖 2G 所示的接觸孔 C10、及電源配線金屬層 VDD。W 層 50b 係作為電源配線金屬層 VDD。

【0071】 根據第四實施型態之製造方法，因為沒有接觸孔 C10、及圖 2G 中之電源配線金屬層 VDD 的形成工序，所以可使製造簡易化。

【0072】另外，本發明之實施型態雖然是在一個半導體柱形成一個 SGT，但在形成 2 個以上的 SGT 之電路的形成上，也適用本發明。

【0073】又，第一實施型態中，雖然是形成 Si 柱 6a 至 6f，但亦可為由其他的半導體材料所構成之半導體柱。此點在本發明的其他的實施型態都一樣。

【0074】又，第一實施型態中之 N⁺層 32a、32c、32d、32f、及 P⁺層 32b、32e，亦可由含有施體、或受體雜質之矽、或其他的半導體材料層形成。以及，N⁺層 32a、32c、32d、32f、與 P⁺層 32b、32e，可用不同的半導體材料層形成。此點在本發明的其他的實施型態都一樣。

【0075】又，第一實施型態中，N⁺層 32a、32c、32d、32f、及 P⁺層 32b、32e，係利用選擇性磊晶成長法而形成。但亦可利用其他的方法來選擇性地形成 N⁺層 32a、32c、32d、32f、P⁺層 32b、32e，包含重複進行 CDE (Chemical Dry Etching) 及通常的磊晶成長，在凹部 30A 至 30F 內的 Si 柱 6a 至 6f 的頂部上形成 N⁺層 32a、32c、32d、32f、及 P⁺層 32b、32e 之方法在內。此點在本發明的其他的實施型態都一樣。

【0076】又，第一實施型態中之 Si 柱 6a 至 6f 的外周部的 SiN 層 27、形成於露出的 Si 柱 6a 至 6f 的頂部及遮罩材料層 7a 至 7f 的側面之 SiO₂ 層 28a 至 28f、圍繞 SiO₂ 層 28a 至 28f 之 SiN 層 29，只要是符合本發明的目的之材料即可，亦可為由單層或複數層所構成之包含有機材料或無機材料之其他的材料層。另外，Si 柱 6a 至 6f 的外周部的 SiN 層 27 亦可不是形成於 Si 柱 6a 至 6f 的外周部全體，只要至少形成於閘極 TiN 層 24a、24b、24c、24d 上即可。此點在本發明的其他的實施型態都一樣。

【0077】 又，第一實施型態中，遮罩材料層 7 係由 SiO₂ 層、氧化鋁(Al₂O₃，以下稱為 AlO)層、SiO₂ 層所形成。但遮罩材料層 7 只要是符合本發明的目的之材料即可，亦可採用由單層或複數層所構成之包含有機材料或無機材料之其他的材料層。此點在本發明的其他的實施型態都一樣。

【0078】 又，第一實施型態中，如圖 1C、圖 1D 所示，在全體將以 ALD 法形成的帶狀 SiN 層 13aa、13ab、13ba、13bb 形成於帶狀 SiGe 層 8a、8b 的兩側。但帶狀 SiN 層 13aa、13ab、13ba、13bb、及帶狀 SiGe 層 8a、8b 只要是符合本發明的目的之材料即可，亦可採用由單層或複數層所構成之包含有機材料或無機材料之其他的材料層。此點在本發明的其他的實施型態都一樣。

【0079】 又，如利用圖 1A 至圖 1G 說明過的，與在 Y 方向延伸的帶狀遮罩材料層 12aa、12ab、12ba、12bb、及帶狀 SiN 層 13aa、13ab、13ba、13bb 正交，而用與形成帶狀 SiN 材料層 13aa、13ab、13ba、13bb 相同的方法形成在 X 方向延伸的帶狀遮罩材料層 17a、17b。因此，可在 X 方向、及 Y 方向都高精度且高密度地形成 Si 柱 6a 至 6f。另外，在本實施型態的說明中，係在形成帶狀遮罩材料層 12aa、12ab、12ba、12bb、及帶狀 SiN 層 13aa、13ab、13ba、13bb 之後，才形成帶狀遮罩材料層 17a、17b。但對此，在形成帶狀遮罩材料層 17a、17b 之後，才形成帶狀遮罩材料層 12aa、12ab、12ba、12bb、及帶狀 SiN 層 13aa、13ab、13ba、13bb 之工序，也同樣可高精度且高密度地形成 Si 柱 6a 至 6f。此外，在設計上，若在 Y 方向有餘裕，亦可不採用本方法，而是利用微影法及 RIE 蝕刻法直接形成帶狀遮罩材料層 17a、17b，若在 X 方向有餘裕，亦可不採用本方法，而是利用微影法及 RIE 蝕刻法直接形成帶狀 SiN 材料層 13aa、13ab、13ba、13bb。又，只要能滿足 SRAM 單元的性能，亦可採用 SADP (Self Aligned Double

Patterning，自對準雙重圖案化；參照例如非專利文獻 3)、SAQP (Self Aligned Quadruple Patterning，自對準四重圖案化；參照例如非專利文獻 3)來形成在 X 方向延伸的帶狀遮罩材料層 12aa、12ab、12ba、12bb、及帶狀遮罩材料層 17a、17b。此點在本發明的其他的實施型態都一樣。

【0080】又，在第一實施型態中，如利用圖 1H、圖 1I 說明過的，在形成頂部具有矩形的遮罩材料層 19a、19b、19c、19d、19e、19f、19g、19h 之 SiN 柱 20a、20b、20c、20d、20e、20f、20g、20h 之後，將矩形的遮罩材料層 19b、19g、及 SiN 柱 20b、20g 去除掉。藉此，形成於俯視時在第 1 圖所示的接觸孔 C1、C2 所在的區域內沒有 Si 柱之接觸孔 C1、C2 形成區域。但對此亦可在接觸孔 C1、C2 形成區域內形成 Si 柱之後，將該等 Si 柱去除掉而形成接觸孔 C1、C2 形成區域。又，還可採用在形成帶狀遮罩材料層 17a、17b 之後，進行將接觸孔 C1、C2 形成區域的帶狀遮罩材料層 17a、17b 去除掉之工序，藉以使 Si 柱不會形成於接觸孔 C1、C2 所在的區域之方法，來形成接觸孔 C1、C2 形成區域。如上述，除了第一實施型態中說明的方法之外還有其他方法。可採用這些其他方法來作出接觸孔 C1、C2 形成區域。此點在本發明的其他的實施型態都一樣。

【0081】又，在第一實施型態中，如圖 1T 所示，在 Si 柱 6a 至 6f 的下部，形成在 N 層 2a、2b 上相連之作為 SGT 的源極或汲極之 N⁺層 3aa、3ab、3ba、3bb、P⁺層 4aa、4bb。但對此亦可將 N⁺層 3aa、3ab、3ba、3bb、P⁺層 4aa、4bb 形成於 Si 柱 6a 至 6f 的底部，且透過金屬層、合金層使 N⁺層 3aa、3ab、3ba、3bb、P⁺層 4aa、4bb 間相連。或者，N⁺層 3aa、3ab、3ba、3bb、P⁺層 4aa、4bb 亦可連接於 Si 柱 6a 至 6f 的底部側面而形成。如上述，作為 SGT 的源極、或汲極之 N⁺層 3aa、3ab、3ba、3bb、P⁺層 4aa、4bb 可相接於 Si 柱 6a 至 6f 的底部的內部、

或側面外側，而形成於 Si 柱 6a 至 6f 的外周，而且，各自可利用其他的導體材料而電性相連。此點在本發明的其他的實施型態都一樣。

【0082】又，在第一實施型態中，帶狀遮罩材料層 9a、9b、12aa、12ab、12ba、12bb 各自的上表面、與底部之在垂直方向的位置係形成為相同，但只要符合本發明的目的即可，各自的上表面、與底部的位置亦可在垂直方向不相同。

【0083】又，在第一實施型態中，帶狀遮罩材料層 9a、9b、12aa、12ab、12ba、12bb 的厚度、及形狀，會依是否接受 CMP 研磨、及 RIE 蝕刻、或洗淨而變化。此變化只要在符合本發明的目的之程度之內，就沒有問題。

【0084】又，第一實施型態中之各種配線金屬層 34a、34b、WL、Vdd、Vss、BL、RBL 的材料，不僅限於金屬，亦可為合金、或者多量地含有受體或施體雜質之半導體層等之導電材料層，而且，可使該等為單層、或組合複數層而構成。此點在本發明的其他的實施型態都一樣。

【0085】又，第一實施型態係如圖 1J 所示，採用 TiN 層 24a、24b、24c、24d 作為閘極金屬層。此 TiN 層 24a、24b、24c、24d 只要是符合本發明的目的之材料即可，可採用由單層或複數層構成之材料層。TiN 層 24a、24b、24c、24d 可由至少具有希望的功函數(work function)之單層或複數層的金屬層等的導體層所形成。在其外側，可形成例如 W 層等之其他的導電層。在此情況，W 層發揮使閘極金屬層相連的金屬配線層之作用。除了 W 層之外，亦可採用單層、或複數層之金屬層。另外，雖然採用 HfO₂ 層 23 作為閘極絕緣層，但亦可在各閘極絕緣層採用由單層或複數層所構成的其他的材料層。此點在本發明的其他的實施型態都一樣。

【0086】 第一實施型態中，Si 柱 6a 至 6f 之於俯視時的形狀為圓形。Si 柱 6a 至 6f 的一部分或全部之於俯視時的形狀，亦可容易形成為圓形、橢圓、在一個方向拉長延伸的形狀等的形狀。另外，在與 SRAM 單元區域分離而形成的邏輯電路區域，也可依照邏輯電路設計，而在邏輯電路區域混合形成於俯視時的形狀不相同之 Si 柱。這些點在本發明的其他的實施型態都一樣。

【0087】 又，在第一實施型態中，將 N⁺層 3aa、3ab、3ba、3bb、P⁺層 4aa、4bb 連接於 Si 柱 6a 至 6f 的底部而形成。亦可在 N⁺層 3aa、3ab、3ba、3bb、P⁺層 4aa、4bb 上表面形成金屬、矽化物等之合金層。此外，還可在 Si 柱 6a 至 6f 的底部的外周形成以例如磊晶成長法形成的含有施體、或受體雜質原子之 P⁺層、或 N⁺層，而形成 SGT 的源極、或汲極雜質區域。在此情況，可在與以磊晶成長法形成的 N⁺層或 P⁺層相接的 Si 柱內部形成 N⁺層或 P⁺層，亦可不形成 N⁺層或 P⁺層。或者，可設置與該 P⁺層、N⁺層相接，然後延伸之金屬層、或合金層。此點在本發明的其他的實施型態都一樣。

【0088】 又，第一實施型態係在 P 層基板 1 上形成 SGT，但亦可採用 SOI (Silicon On Insulator，絕緣層上覆矽) 基板來取代 P 層基板 1。或者，可採用其他的材料基板，只要可發揮作為基板的作用即可。此點在本發明的其他的實施型態都一樣。

【0089】 又，第一實施型態中，說明的是在 Si 柱 6a 至 6f 的上下，採用具有相同極性的導電性之 N⁺層 3aa、3ab、3ba、3bb、3aa、3ab、3ba、3bb、P⁺層 44b、44g 及 N⁺層 32a、32c、32d、32f、P⁺層 32b、32e 來構成源極、汲極之 SGT，但本發明也適用於具有極性不同的源極、汲極之通道型 SGT。此點在本發明的其他的實施型態都一樣。

【0090】又，第一實施型態係在形成閘極 HfO₂ 層 23、閘極 TiN 層 24a、24b、24c、24d 之後，才形成 N⁺層 43a、43c、43d、43e、43f、44a、44c、44d、44e、44f、44h、P⁺層 43b、43g、44b、44g。對此，亦可在形成 N⁺層 32a、32c、32d、32f、P⁺層 32b、32e 之後，才形成閘極 HfO₂ 層 23、閘極 TiN 層 24a、24b、24c、24d。此點在本發明的其他的實施型態都一樣。

【0091】又，在第二實施型態中，係形成以 ALD 法形成之薄 Si 層 45、及以磊晶成長法形成之含有受體雜質的 P⁺層 46。薄 Si 層 45 係用來得到結晶性良好的 P⁺層 46 之材料層。只要是用來得到結晶性良好的 P⁺層 46 之材料層即可，亦可為其他的單層或複數層之材料層。

【0092】又，在縱型 NAND 型快閃記憶體電路中，係將半導體柱作為通道，且由圍繞該半導體柱之通道氧化層、電荷蓄積層、層間絕緣層、控制導體層所構成的記憶體單元(memory cell)在垂直方向形成複數段。在各記憶體單元的兩端的半導體柱，有對應於源極之源極線雜質層、及對應汲極之位元線雜質層。而且，相對於一個記憶體單元，其兩側的記憶體單元之一為源極的話，另一個就發揮汲極之作用。如此，縱型 NAND 型快閃記憶體電路係屬於 SGT 電路的一種。因此，本發明也適用於混合有 NAND 型電路之混合電路。

【0093】本發明可在未脫離本發明的廣義的精神及範圍之情況下，採取各種實施型態及變化。上述的實施型態只是用來說明本發明的一實施例，並不限定本發明的範圍。上述實施例及變化例可任意地組合。另外，按需要而將上述實施型態的構成要件的一部分去除也是在本發明的技術思想的範圍內。

[產業上可利用性]

【0094】 根據本發明之柱狀半導體裝置及其製造方法，可得到高密度的柱狀半導體裝置。

【符號說明】

【0095】

1:P 層基板

2,2a,2b,2A,2B:N 層

3,3aa,3ab,3ba,3bb,3Aa,3Ab,3Ba,3Bb,32a,32c,32d,32f,32A,32C,32D,32F,46a,46c,46d,46e,47a,47c,47d:N⁺層

4a,4b,4aa,4bb,4Aa,4Ba,32b,32e,32B,32E,40b,46,46b,47b,47e:P⁺層

6:i 層

6a,6b,6c,6d,6e,6f,6A,6B,6C,6D,6E,6F:Si 柱

7,7a,7b,7c,7d,7e,7f,49a,49b,49c,49d,49e:遮罩材料層

8:SiGe 層

8a,8b:帶狀 SiGe 層

9a,9b,10,10a,10b,12aa,12ab,2ba,12bb,17a,17b:帶狀遮罩材料層

13aa,13ab,13ba,13bb:帶狀 SiN 層

13a,13b,13c,16,27,27a,29,35a,35b,41:SiN 層

15,22,22a,25,25a,28a,28b,28c,28d,28e,28f,31a,31b,31c,31d,31e,31f,37,38,39,40,49,50,51,52:SiO₂ 層

19a,19b,19c,19d,19e,19f,19g,19h:遮罩材料層

20a,20b,20c,20d,20e,20f,20g,20h:SiN 柱

30a,30b,30c,30d,30e,30f,30A,30B,30C,30D,30E,30F,43,43A:凹部

23,23a:HfO₂層

24a,24b,24c,24d,24A,24B,24C,24D:TiN層

33a,33b,33c,33d,33e,33f,34a,34b,50a,50b,50c,50d,50e:W層

21a,21b,55a,55b:Si柱台

42:阻劑層

45:Si層

C1,C2,C3,C4,C5,C6,C7,C8,C9,C10,Ca,Cb,Cc,Cd,Ce,Cf,Cg,Ch:接觸孔

BL:位元輸出配線金屬層

RBL:互補位元輸出配線金屬層

Vdd,VDD:電源配線金屬層、電源端子

Vss1,Vss2:接地配線金屬層

WL:字元配線金屬層

XC1,XC2:連接配線金屬層

【發明申請專利範圍】

【請求項1】 一種柱狀半導體裝置的製造方法，其係包含將複數個 SGT(環繞閘極電晶體；Surrounding Gate Transistor)用於負載用 SGT、驅動用 SGT、選擇用 SGT 而構成的 SRAM(靜態隨機存取記憶體；Static Random Access Memory)單元電路的形成工序，其中該複數個 SGT 係具有：在基板上直立於垂直方向之半導體柱；圍繞前述半導體柱之閘極絕緣層；圍繞前述閘極絕緣層之閘極導體層；與前述半導體柱連接之第一雜質區域，其下端在垂直方向上位於前述閘極絕緣層上端；及與前述半導體柱連接之第二雜質區域，其上端在垂直方向上位於前述閘極絕緣層下端；前述製造方法於前述形成工序中具有：

形成俯視時形成前述 SGT 的第一半導體柱、及與前述第一半導體柱鄰接之形成前述 SGT 的第二半導體柱作為前述半導體柱之工序；

分別形成連接於前述第一半導體柱的頂部之第一雜質層、及連接於前述第二半導體柱的頂部之第二雜質層作為前述第一雜質區域之工序；

覆蓋前述第一雜質層及前述第二雜質層而形成第一層間絕緣層之工序；

在前述第一層間絕緣層形成俯視時與前述第一雜質層及前述第二雜質層相連之第一帶狀接觸孔之工序；以及

形成通過前述第一帶狀接觸孔而與前述第一雜質層及前述第二雜質層連接之配線導體層之工序，

其中，在垂直方向，在前述第一雜質層及前述第二雜質層的上表面、與前述第一帶狀接觸孔的上表面之間的區域，且為在俯視時與前述第一帶狀接觸孔重疊的區域中，並不存在有非為前述配線導體層的其他的配線導體層，

且俯視時，於形成有前述第一帶狀接觸孔的區域內並不存在非為前述第一半導體柱及前述第二半導體柱的其他的半導體柱。

【請求項2】 如請求項 1 所述之柱狀半導體裝置的製造方法，其中，
前述配線導體層係由金屬、合金、多量地含有施體或受體雜質原子的半導體層的單層或複數層所形成。

【請求項3】 如請求項 1 所述之柱狀半導體裝置的製造方法，具有：
在前述第一雜質層及前述第二雜質層的上表面，形成由金屬或合金構成的第一導體層之工序，

且俯視時，前述第一帶狀接觸孔係與前述第一導體層的一部分區域重疊而存在。

【請求項4】 如請求項 1 所述之柱狀半導體裝置的製造方法，具有：
在相較於前述閘極導體層上表面更上方，且在前述第一半導體柱及前述第二半導體柱的頂部外周部，形成第二層間絕緣層之工序；

形成位於前述第二層間絕緣層上且圍繞前述第一半導體柱的頂部側面之第一材料層、及圍繞前述第二半導體柱的頂部側面之第二材料層之工序；

在與前述第一材料層及前述第二材料層的側面相接之外周部，形成第三層間絕緣層之工序；

將前述第一材料層及前述第二材料層去除，而形成圍繞前述第一半導體柱的頂部之第一凹部、及圍繞前述第二半導體柱的頂部之第二凹部之工序；

形成圍繞前述第一半導體柱的頂部，且在前述第一凹部內形成之前述第一雜質層，同時形成圍繞前述第二半導體柱的頂部，且在前述第二凹部內形成之前述第二雜質層之工序，

在前述第一雜質層上，且在前述第一凹部內形成第二導體層，同時在前述第二雜質層上，且在前述第二凹部內形成第三導體層之工序；

在前述第三層間絕緣層、前述第二導體層、前述第三導體層之上形成第四層間絕緣層之工序；以及

形成俯視時至少一部分與前述第二導體層及前述第三導體層的兩者皆重疊，且底部與前述第四層間絕緣層相接之前述第一帶狀接觸孔之工序。

【請求項5】如請求項4所述之柱狀半導體裝置的製造方法，其中，以磊晶成長方式形成前述第一雜質層及前述第二雜質層。

【請求項6】一種柱狀半導體裝置的製造方法，其係包含採用複數個SGT(環繞閘極電晶體；Surrounding Gate Transistor)而構成的電路的形成工序，其中該複數個SGT係具有：在基板上直立於垂直方向之半導體柱；圍繞前述半導體柱之間極絕緣層；圍繞前述閘極絕緣層之閘極導體層；與前述半導體柱連接之第一雜質區域，其下端在垂直方向上位於前述閘極絕緣層上端；及與前述半導體柱連接之第二雜質區域，其上端在垂直方向上位於前述閘極絕緣層下端；前述製造方法於前述形成工序中具有：

形成俯視時形成前述SGT的第一半導體柱、及與前述第一半導體柱鄰接之形成前述SGT的第二半導體柱作為前述半導體柱之工序；

在相較於前述閘極導體層上表面更上方，且在前述第一半導體柱及前述第二半導體柱的頂部外周部，形成第一層間絕緣層之工序；

形成位於前述第一層間絕緣層上且圍繞前述第一半導體柱的頂部側面之第一材料層、及圍繞前述第二半導體柱的頂部側面之第二材料層之工序；

在與前述第一材料層及前述第二材料層的側面相接之外周部，形成第二層間絕緣層之工序；

在前述第一材料層、前述第二材料層及前述第二層間絕緣層，形成俯視時至少一部分與前述第一半導體柱、前述第二半導體柱、前述第一材料層及前述第二材料層重疊且相連的第一帶狀凹部之工序；

將前述第一材料層及前述第二材料層去除，而形成俯視時包含前述第一帶狀凹部之第二帶狀凹部之工序；

在前述第二帶狀凹部內形成第一雜質層之工序；以及
形成與前述第一雜質層連接的第一配線導體層之工序，
且前述第一雜質層係與前述第一雜質區域及前述第二雜質區域相連成一體。

【請求項7】 如請求項 6 所述之柱狀半導體裝置的製造方法，其中，
形成於前述第一半導體柱及前述第二半導體柱之前述 SGT，係為 SRAM 電路中之負載用 SGT。

【請求項8】 如請求項 6 所述之柱狀半導體裝置的製造方法，其中，
前述第一配線導體層係由金屬、合金、多量地含有施體或受體雜質原子的半導體層的單層或複數層所形成。

【請求項9】 如請求項 6 所述之柱狀半導體裝置的製造方法，具有：
在前述第二帶狀凹部內的上表面形成單結晶半導體薄膜層之工序；以及
接著在前述第二帶狀凹部形成前述第一雜質層之工序。

【請求項10】 如請求項 6 所述之柱狀半導體裝置的製造方法，其中，

前述第一配線導體層係形成在前述第一雜質層之上且在前述第二帶狀凹部內。

【請求項11】 如請求項 10 所述之柱狀半導體裝置的製造方法，具有：

在前述第一配線導體層上形成第三層間絕緣層之工序；

在前述第三層間絕緣層形成俯視時具有比前述第一配線導體層更小的面積之第一接觸孔之工序；以及

形成通過前述第一接觸孔而與前述第一配線導體層相連的第二配線導體層之工序。

【請求項12】 一種柱狀半導體裝置，其係包含將複數個 SGT (環繞閘極電晶體；Surrounding Gate Transistor)用於負載用 SGT、驅動用 SGT、選擇用 SGT 而構成的 SRAM(靜態隨機存取記憶體；Static Random Access Memory)單元電路，其中該複數個 SGT 係具有：在基板上直立於垂直方向之半導體柱；圍繞前述半導體柱之閘極絕緣層；圍繞前述閘極絕緣層之閘極導體層；與前述半導體柱連接之第一雜質區域，其下端在垂直方向上位於前述閘極絕緣層上端；以及與前述半導體柱連接之第二雜質區域，其上端在垂直方向上位於前述閘極絕緣層下端；前述柱狀半導體裝置在前述 SRAM 單元電路中具有：

俯視時，作為前述半導體柱而構成前述負載用 SGT 之第一半導體柱、及作為前述半導體柱而構成前述負載用 SGT 之與前述第一半導體柱鄰接之第二半導體柱；

作為前述第一雜質區域而連接於前述第一半導體柱的頂部之第一雜質層；

作為前述第一雜質區域而連接於前述第二半導體柱的頂部之第二雜質層；

覆蓋前述第一雜質層及前述第二雜質層之第一層間絕緣層；

位於前述第一層間絕緣層，而且俯視時至少一部分與前述第一雜質層及前述第二雜質層重疊且相連之第一帶狀接觸孔；以及

通過前述第一帶狀接觸孔而與前述第一雜質層及前述第二雜質層連接之第一配線導體層，

其中，在垂直方向，在前述第一雜質層及前述第二雜質層的上表面、與前述第一帶狀接觸孔的上表面之間的區域，且為在俯視時與前述第一帶狀接觸孔重疊的區域，並不存在有非為前述第一配線導體層的其他配線導體層，

且俯視時，於形成有前述第一帶狀接觸孔之區域內並不存在有非為前述第一半導體柱及前述第二半導體柱的其他半導體柱。

【請求項13】 如請求項 12 所述之柱狀半導體裝置，具有：

第二層間絕緣層，位在相較於前述閘極導體層上表面更上方，且位在前述第一半導體柱及前述第二半導體柱的頂部外周部，且其上表面位置位於相較於前述第一半導體柱及前述第二半導體柱的上表面位置更下方；

以同心圓狀圍繞前述第一半導體柱頂部的側面及上表面之第三雜質層、及以同心圓狀圍繞前述第二半導體柱頂部的側面及上表面之第四雜質層；以及

位在前述第三雜質層上且與前述第三雜質層相同形狀之第一導體層、及位在前述第四雜質層上且與前述第四雜質層相同形狀之第二導體層，

且前述第一帶狀接觸孔於俯視時係至少一部分與前述第一導體層及前述第二導體層重疊。

【請求項14】 如請求項 13 所述之柱狀半導體裝置，其中，

前述第一雜質層及前述第二雜質層係包含前述第三雜質層及前述第四雜質層，且相連成一體而位在前述第一帶狀接觸孔內，

該柱狀半導體裝置係在前述第一雜質層及前述第二雜質層之上，且在前述第一帶狀接觸孔內具有前述第一配線導體層。

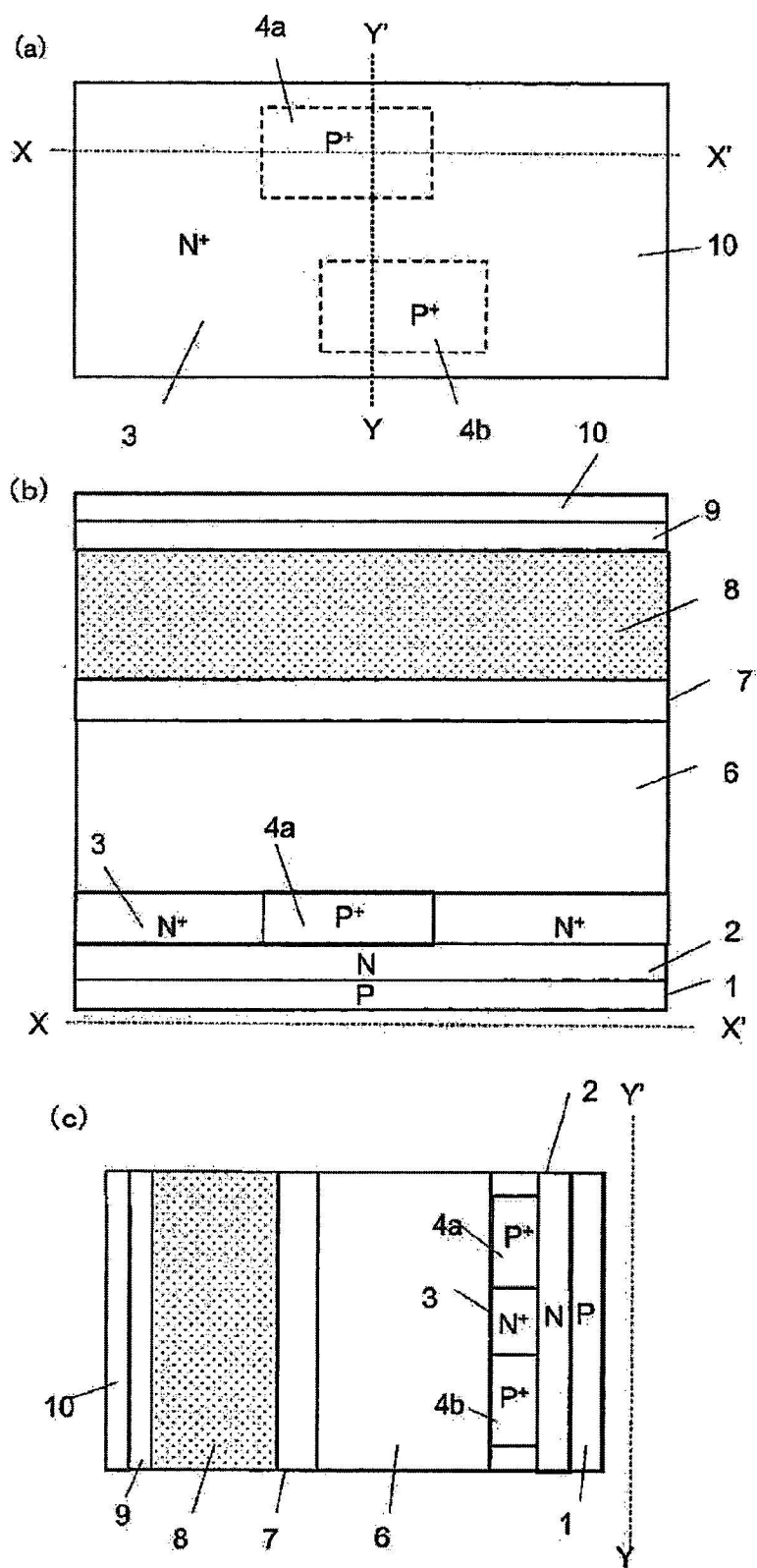
【請求項15】 如請求項 14 所述之柱狀半導體裝置，具有：

前述第一配線導體層上的第三層間絕緣層；

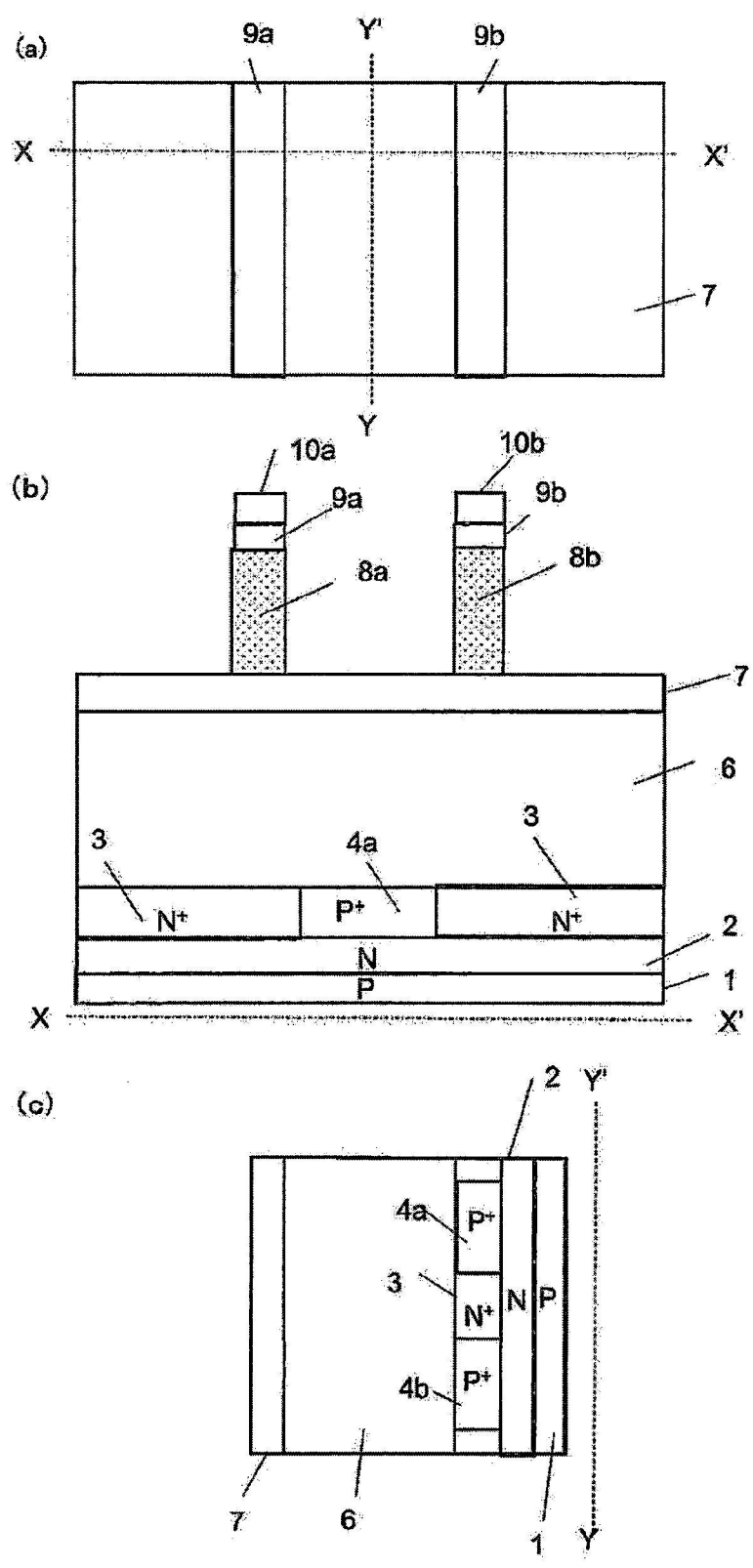
位在前述第三層間絕緣層之俯視時具有比前述第一配線導體層更小的面積之第二帶狀接觸孔；以及

通過前述第二帶狀接觸孔而與前述第一配線導體層相連之第二配線導體層。

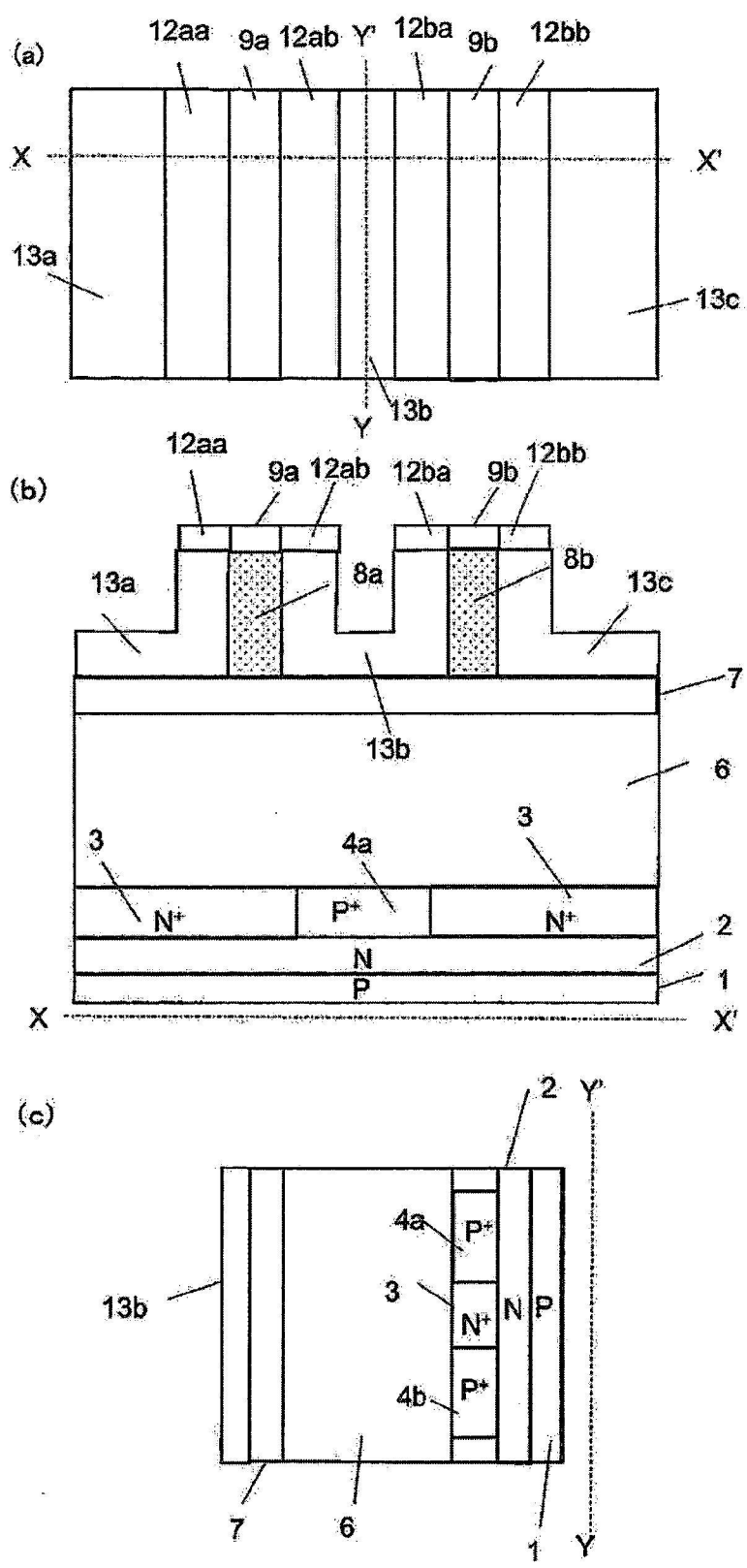
【發明圖式】



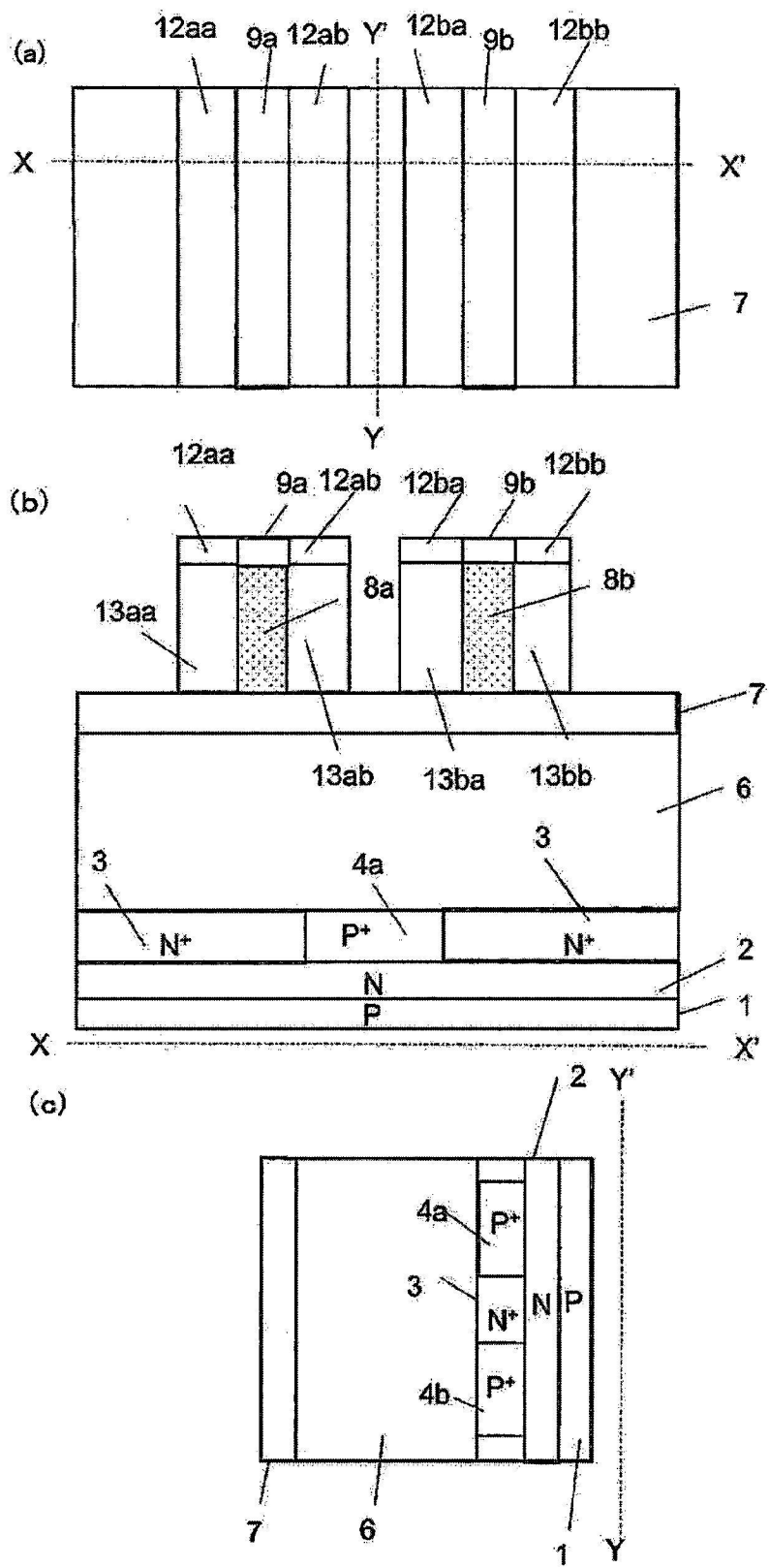
【圖1A】



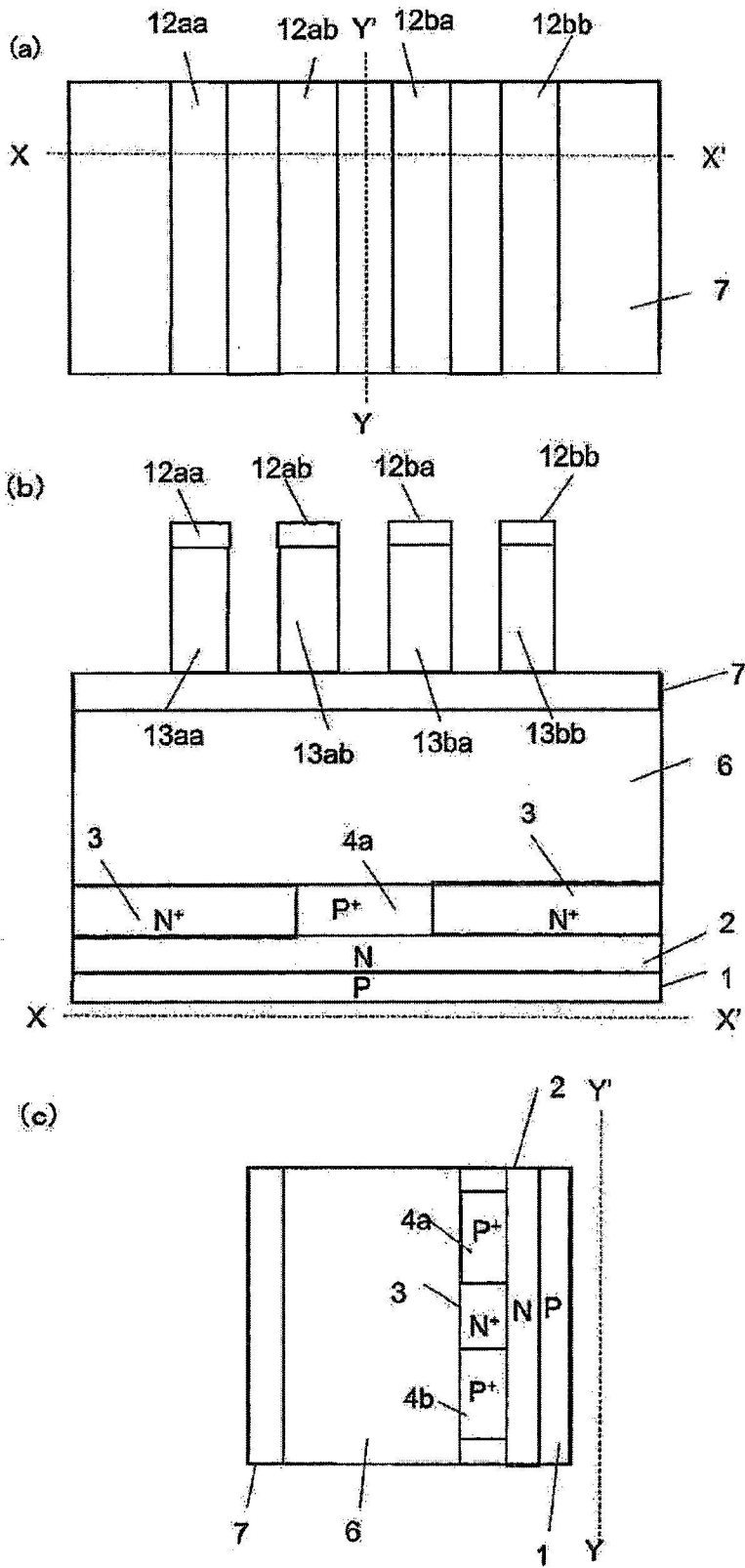
【圖1B】



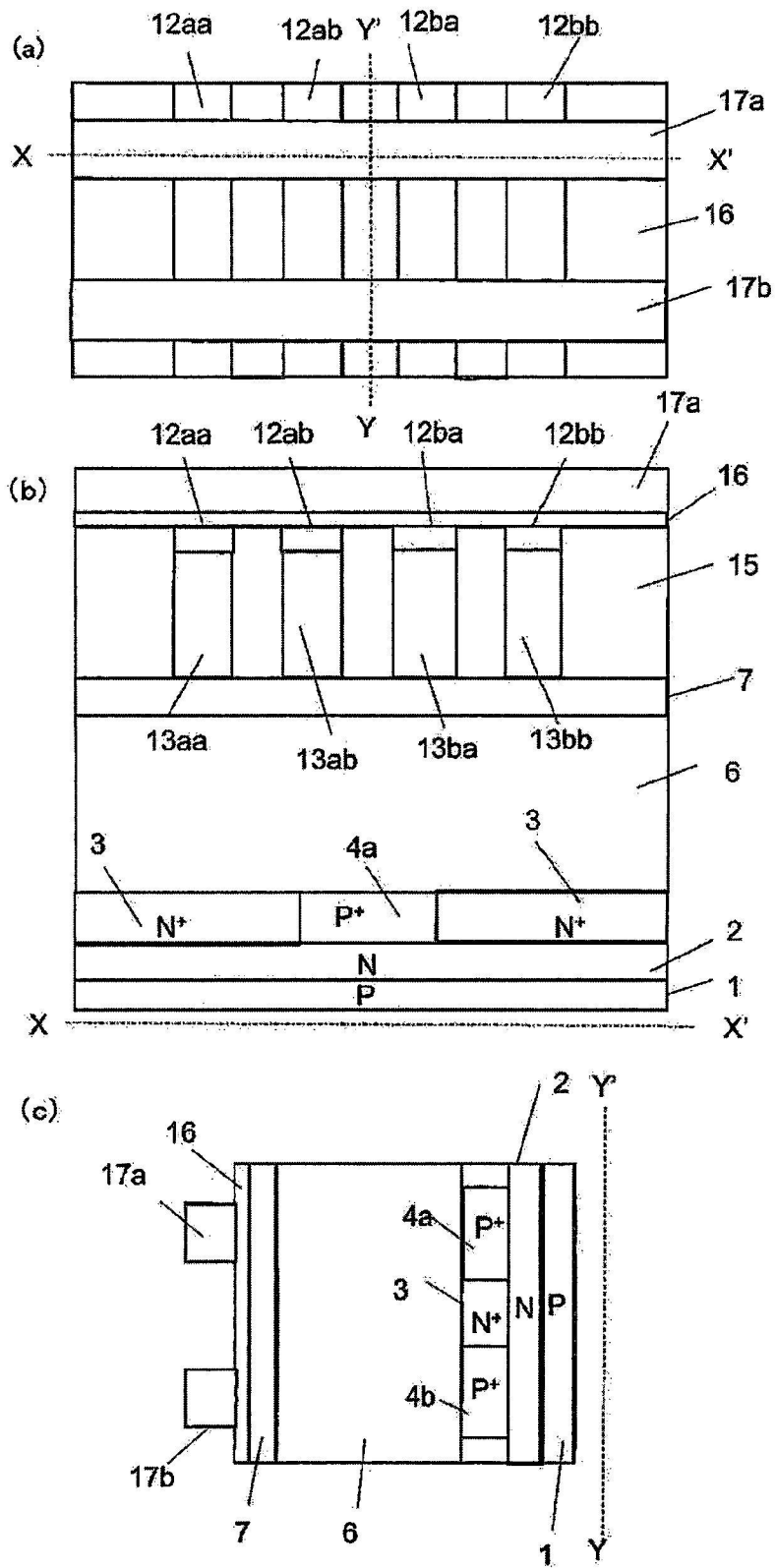
【圖1C】



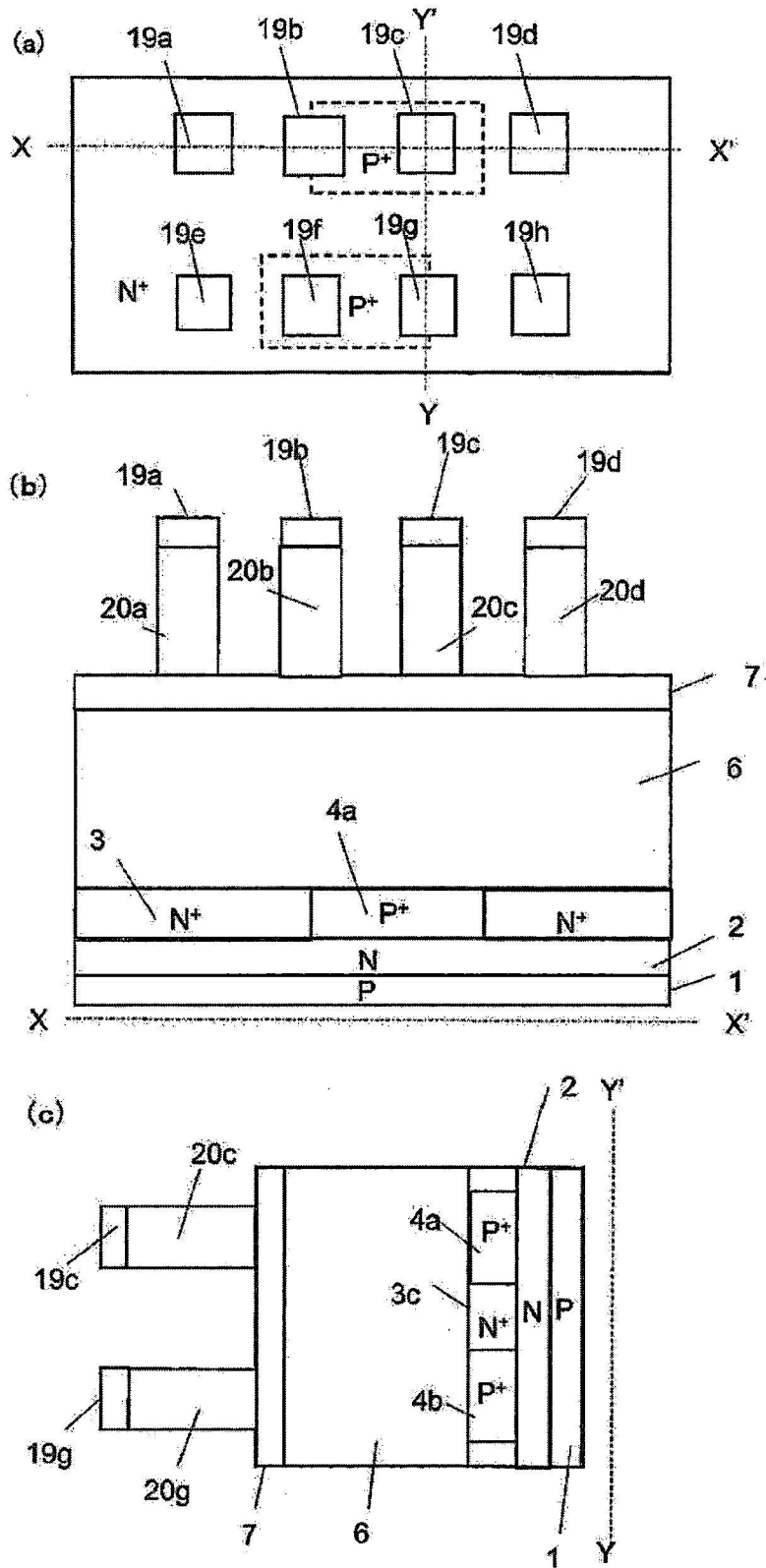
【圖1D】



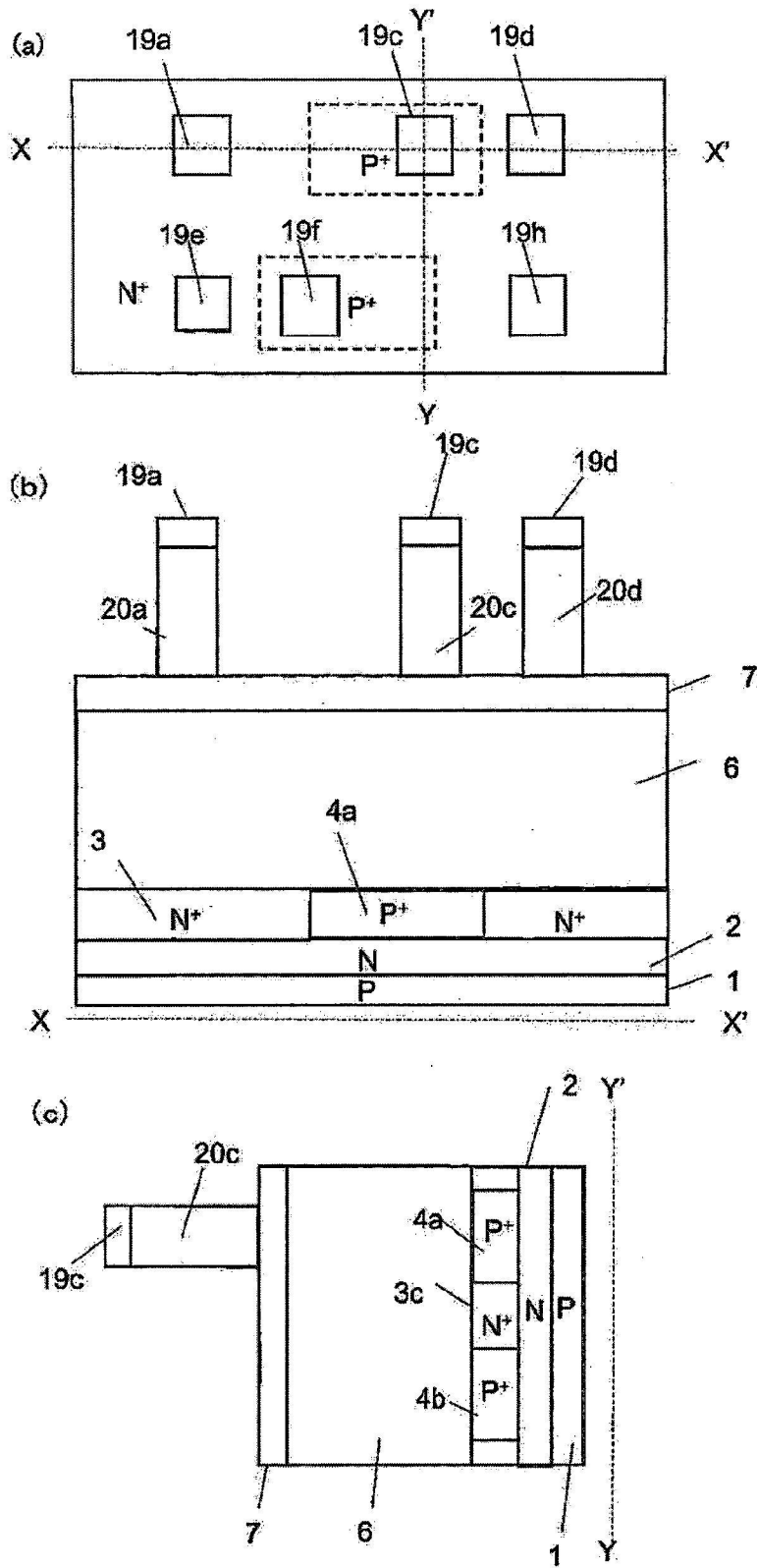
【圖1E】



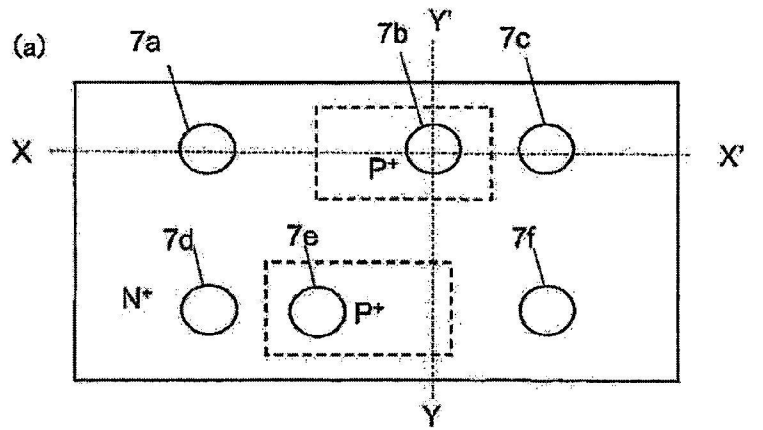
【圖1F】



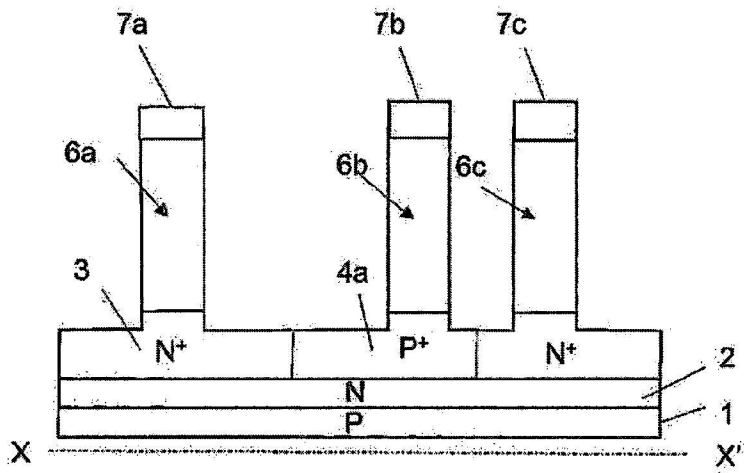
【圖1G】



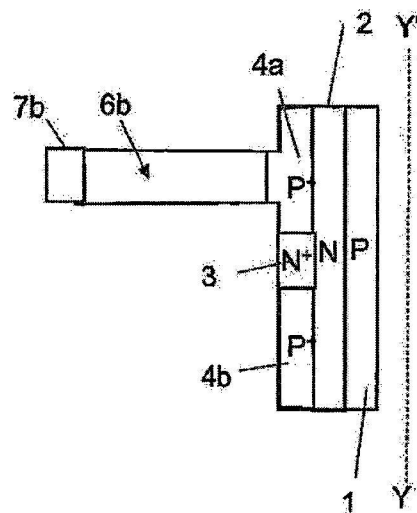
【圖1H】



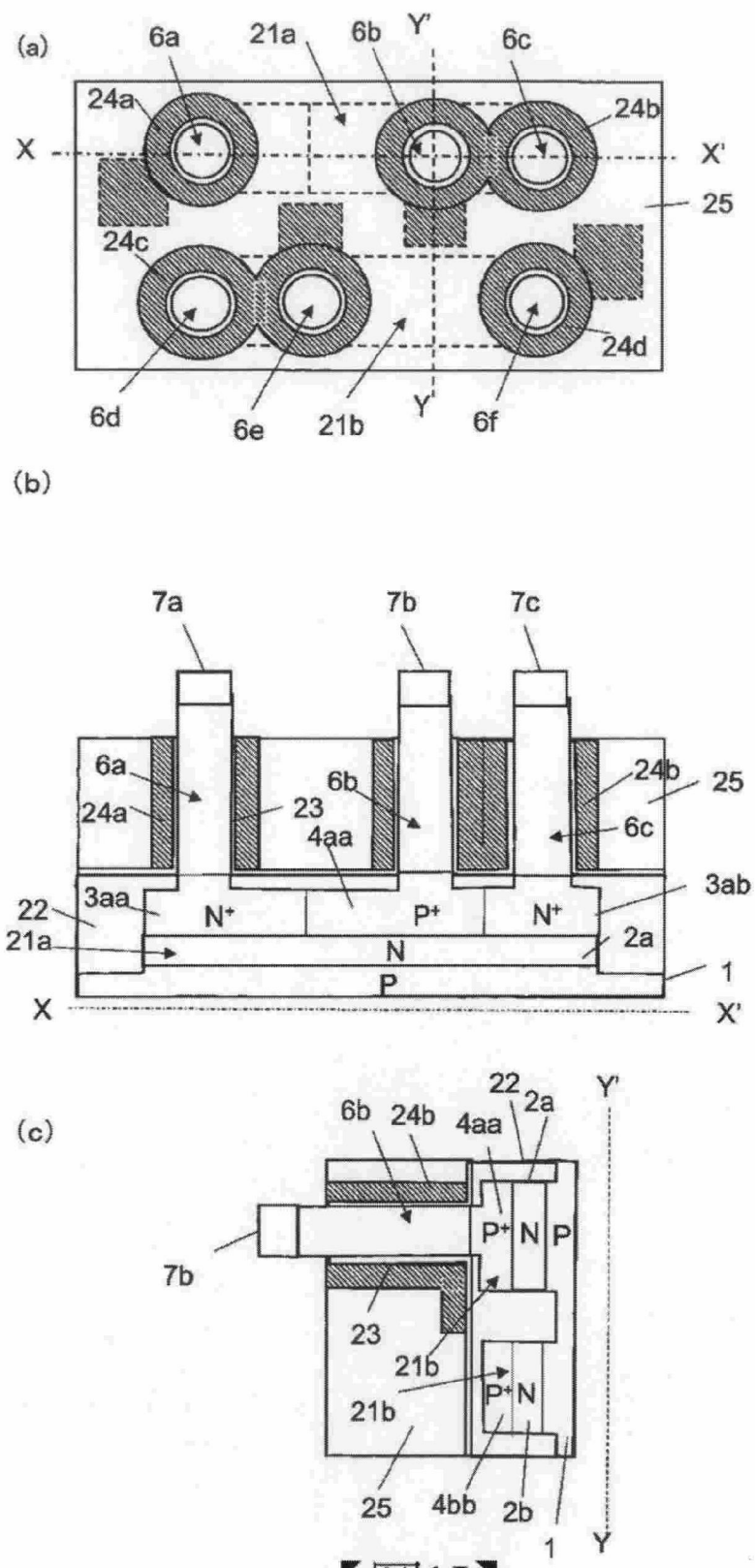
(b)



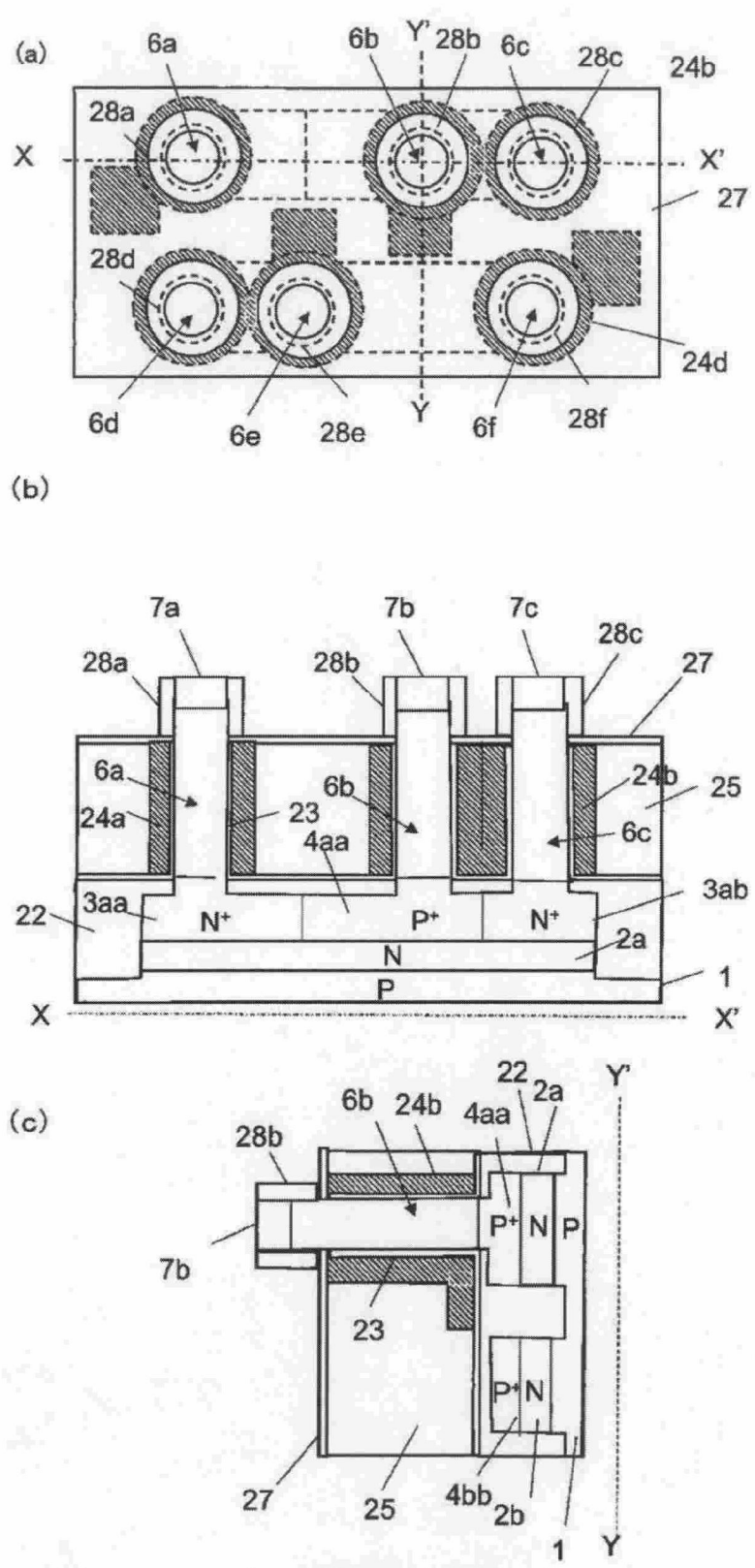
(c)



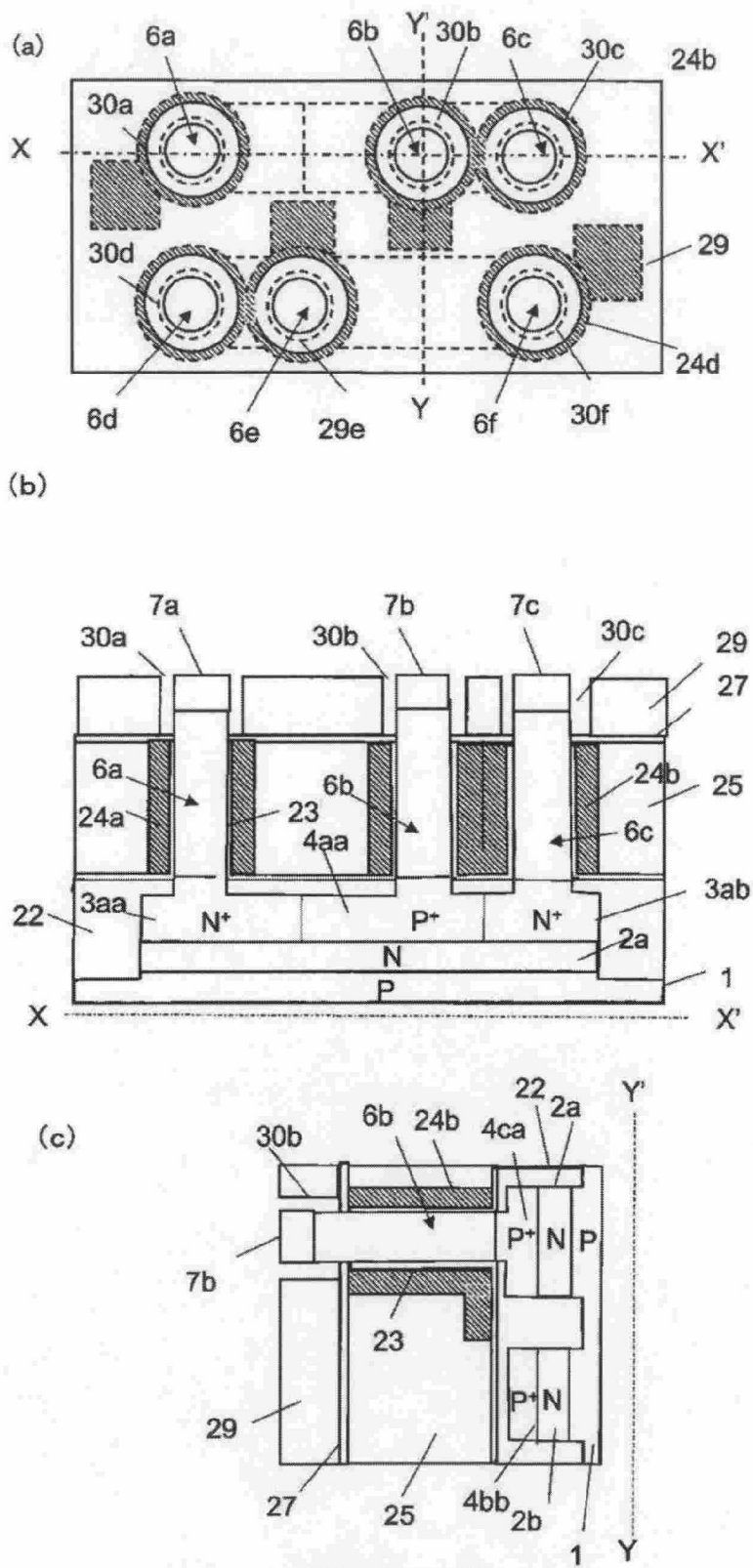
【圖1I】



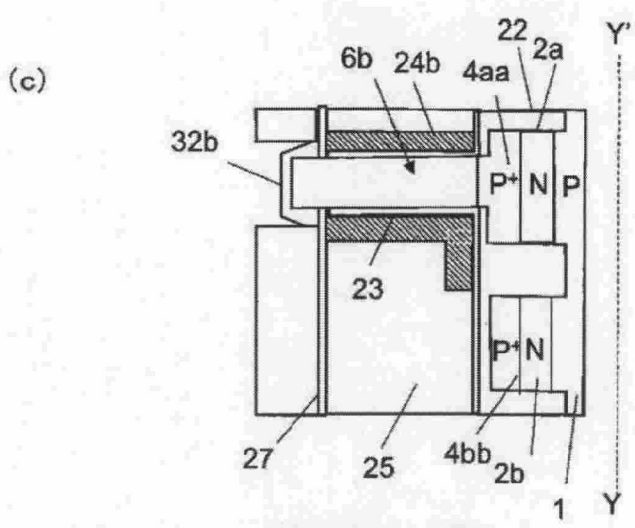
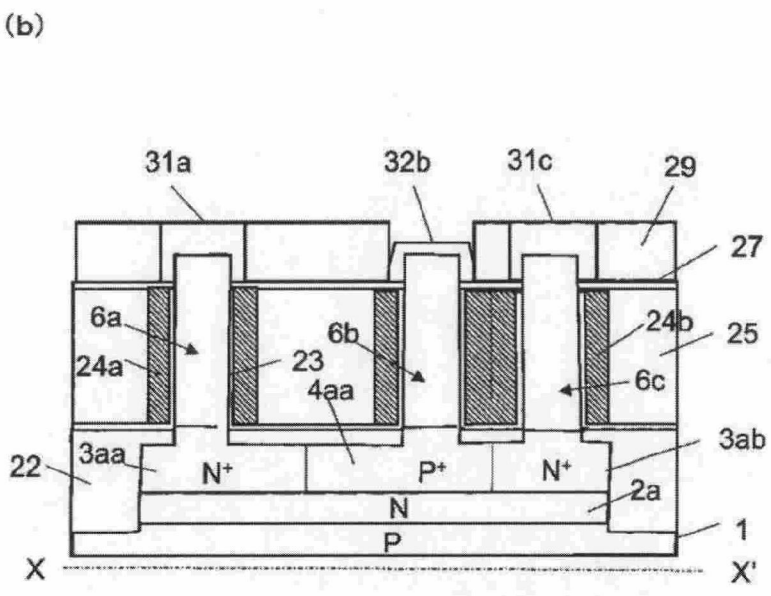
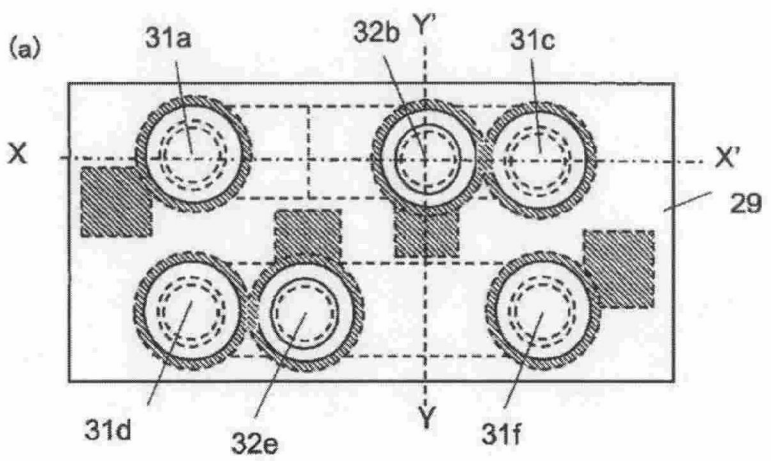
【圖1J】



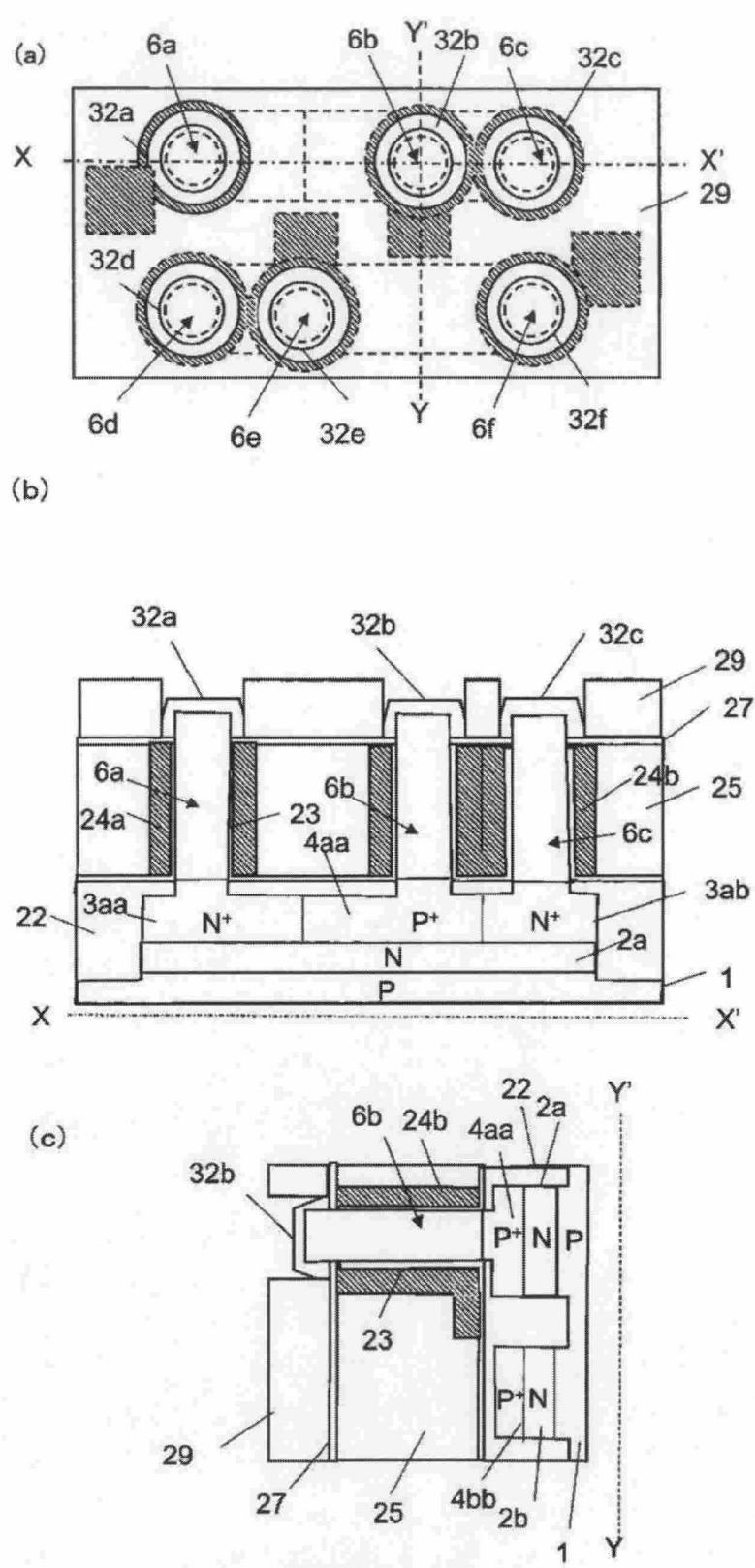
【圖1K】



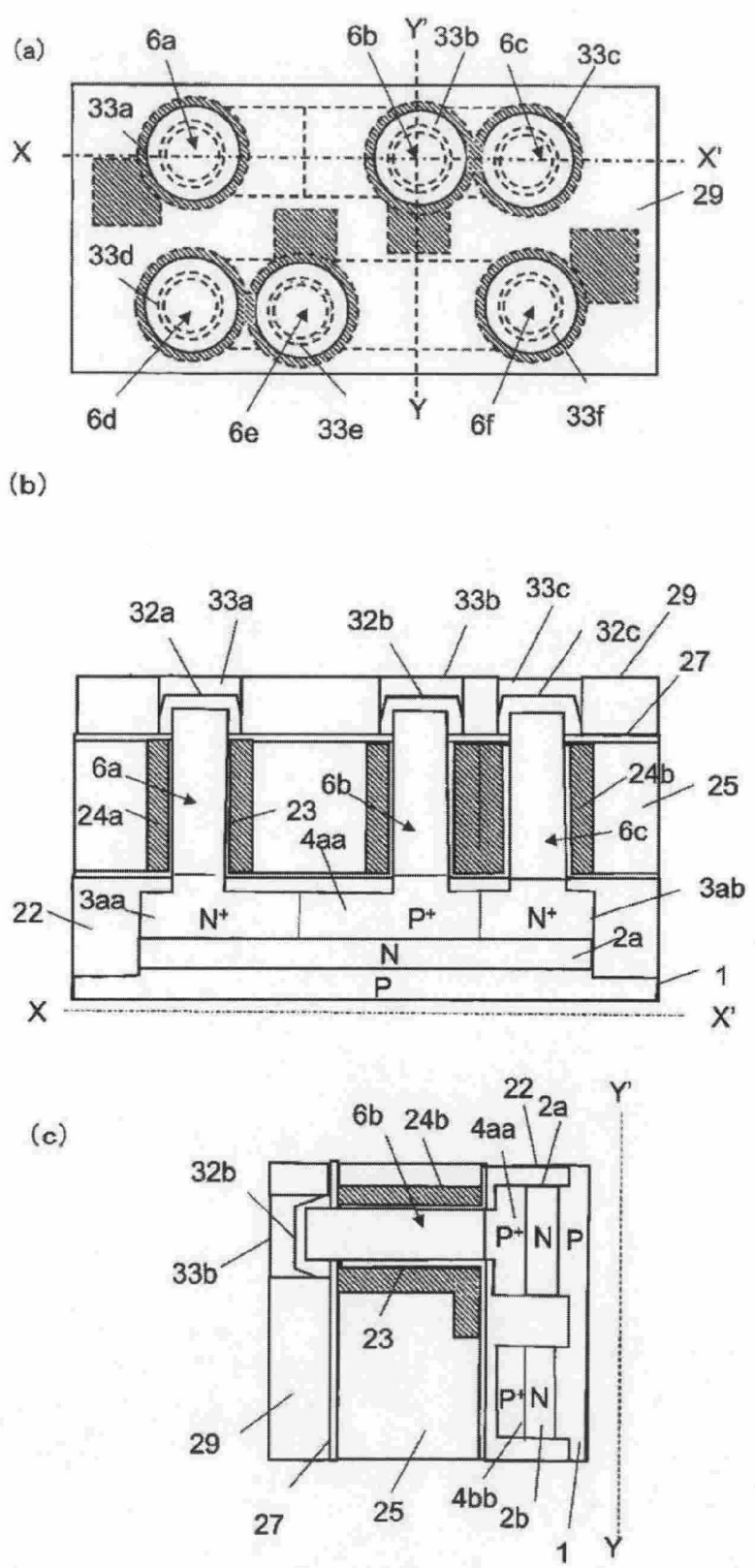
【圖1L】



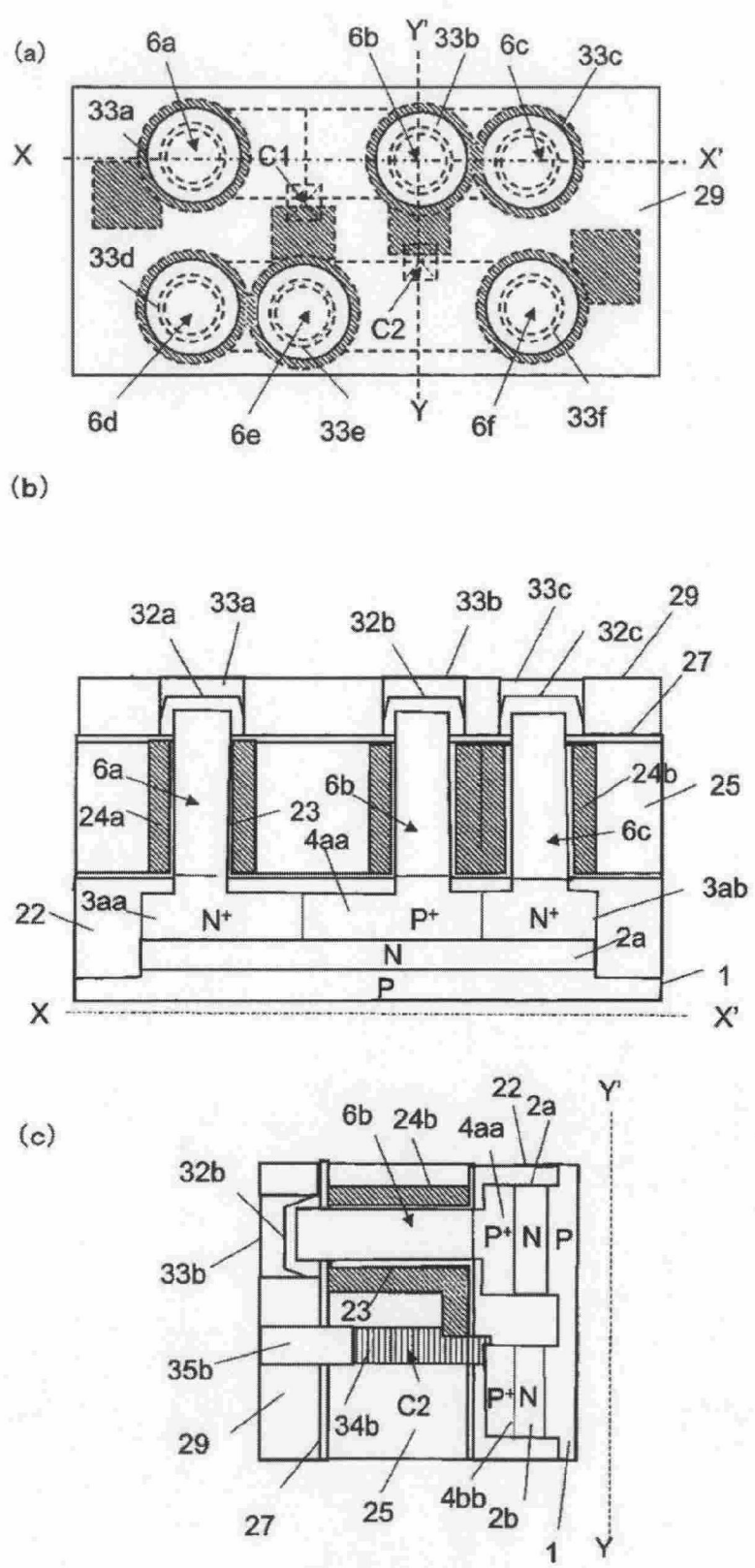
【圖1N】



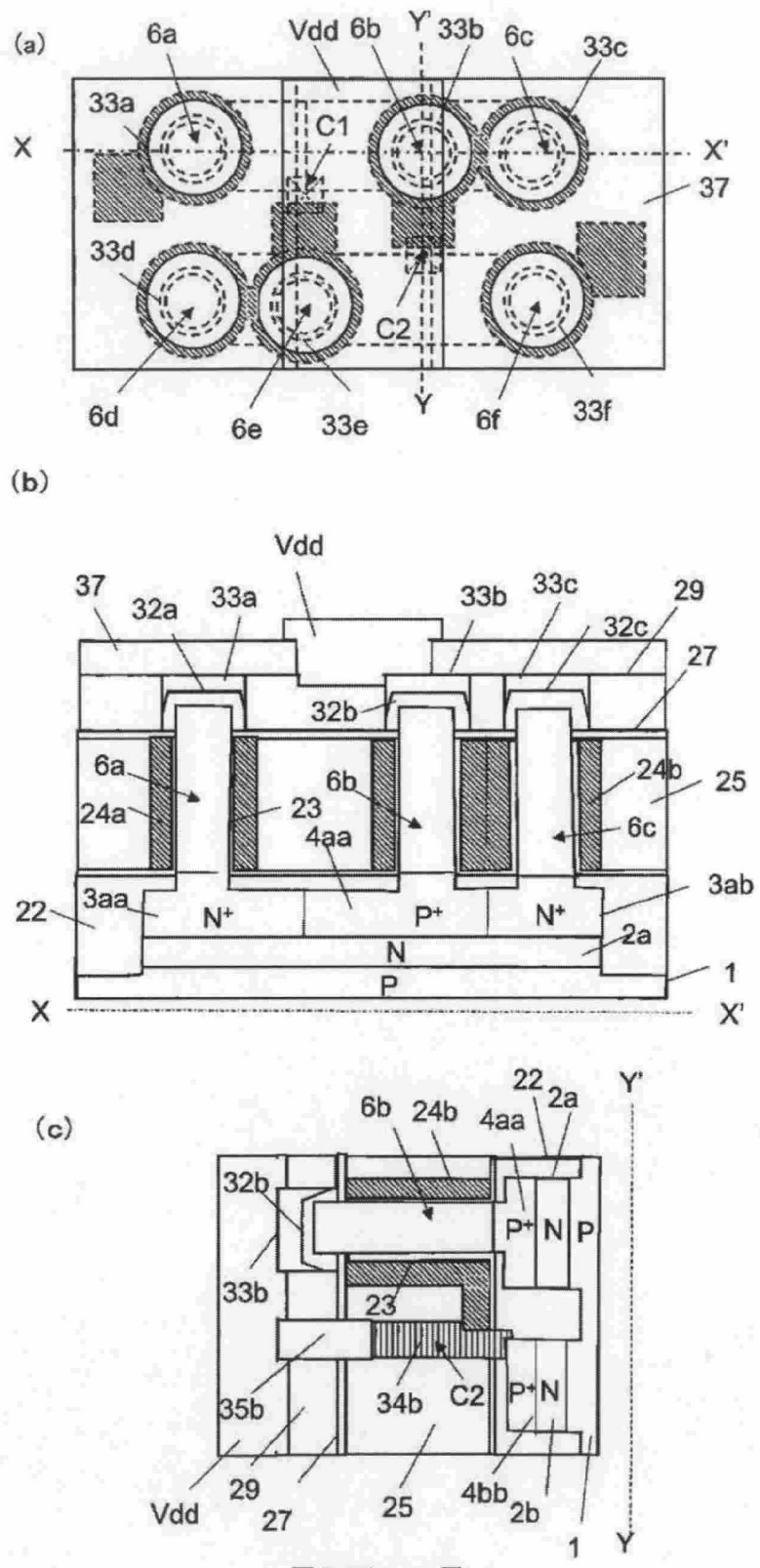
【圖10】



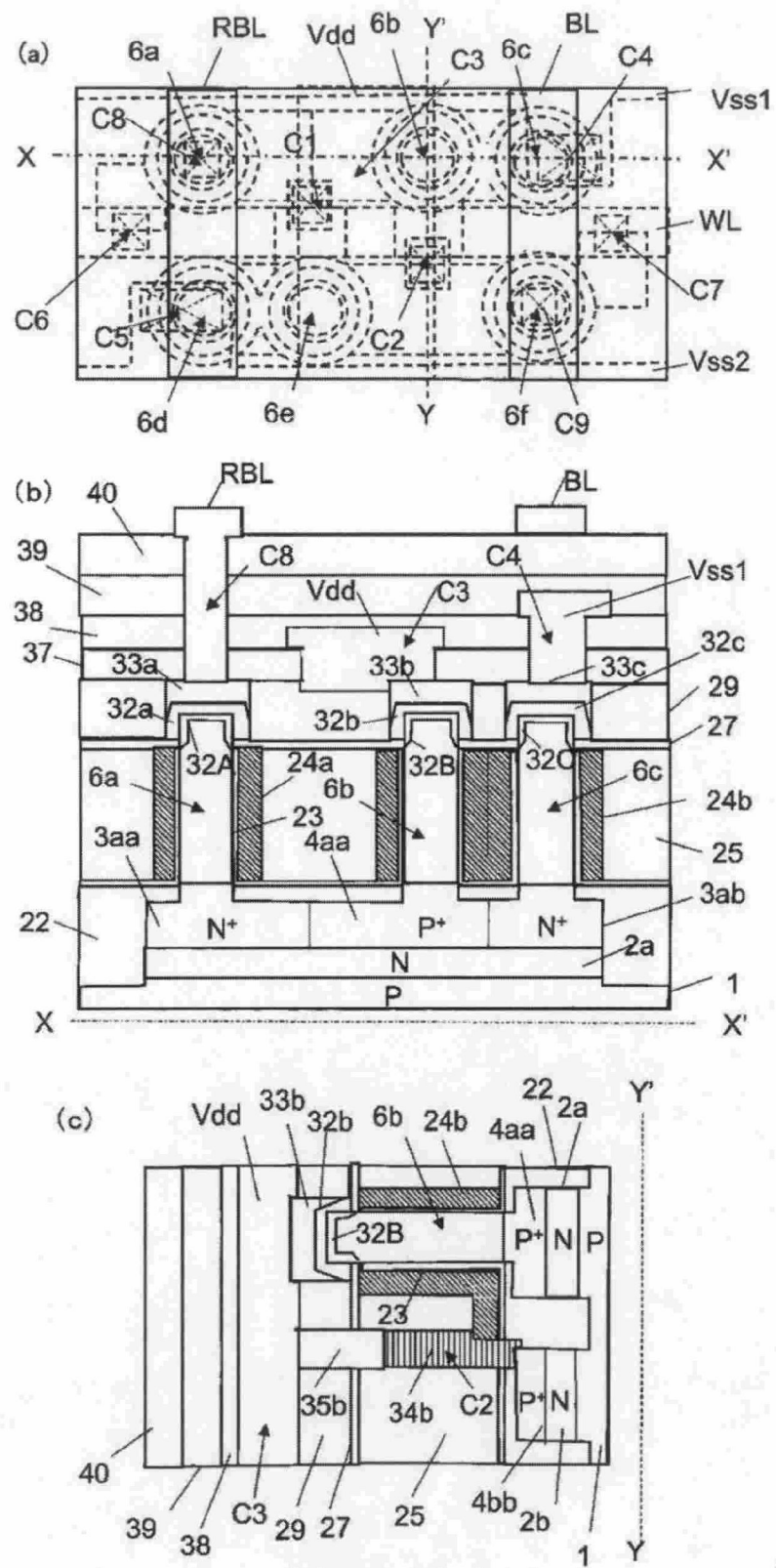
【圖1P】



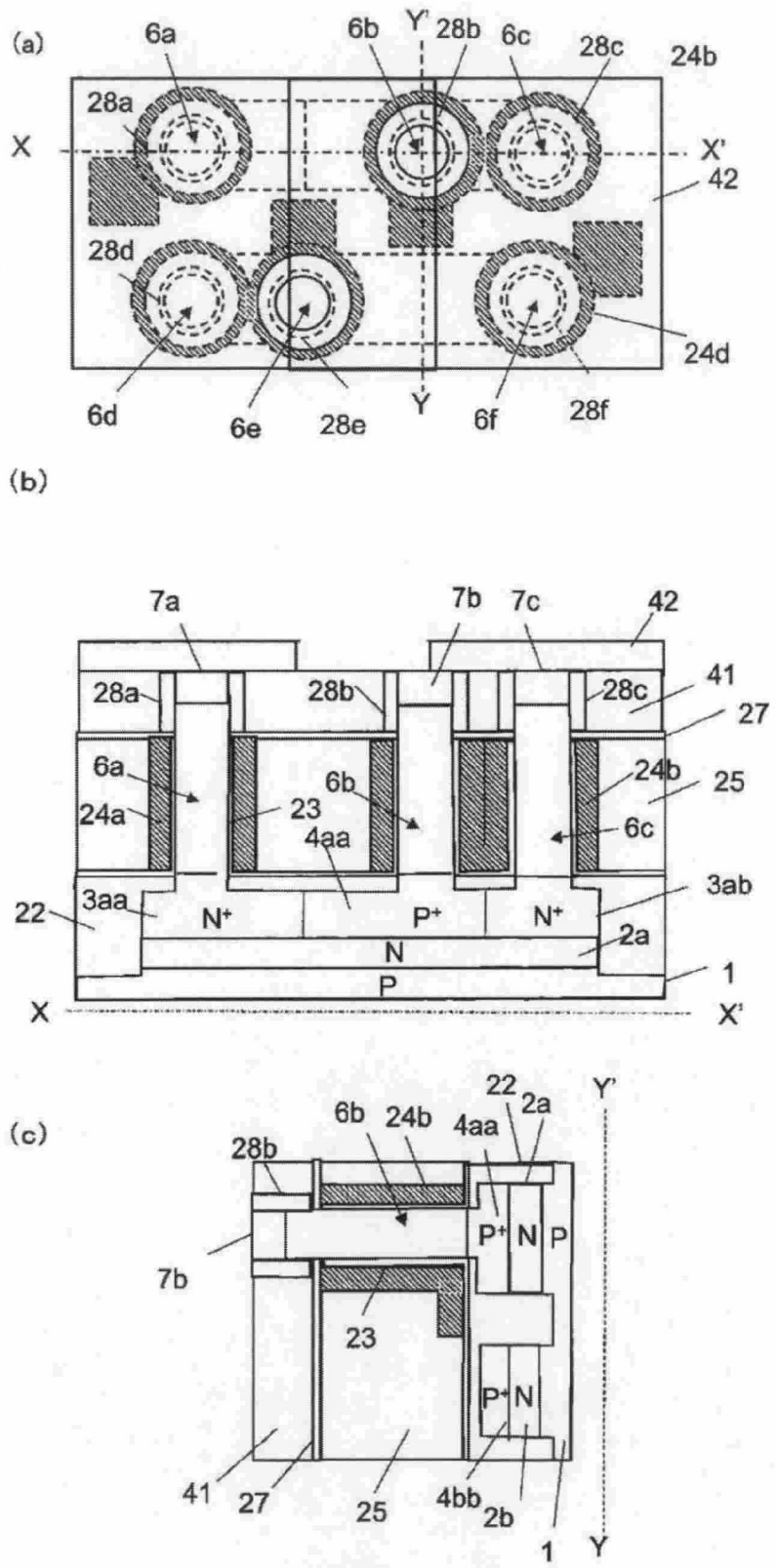
【圖1Q】



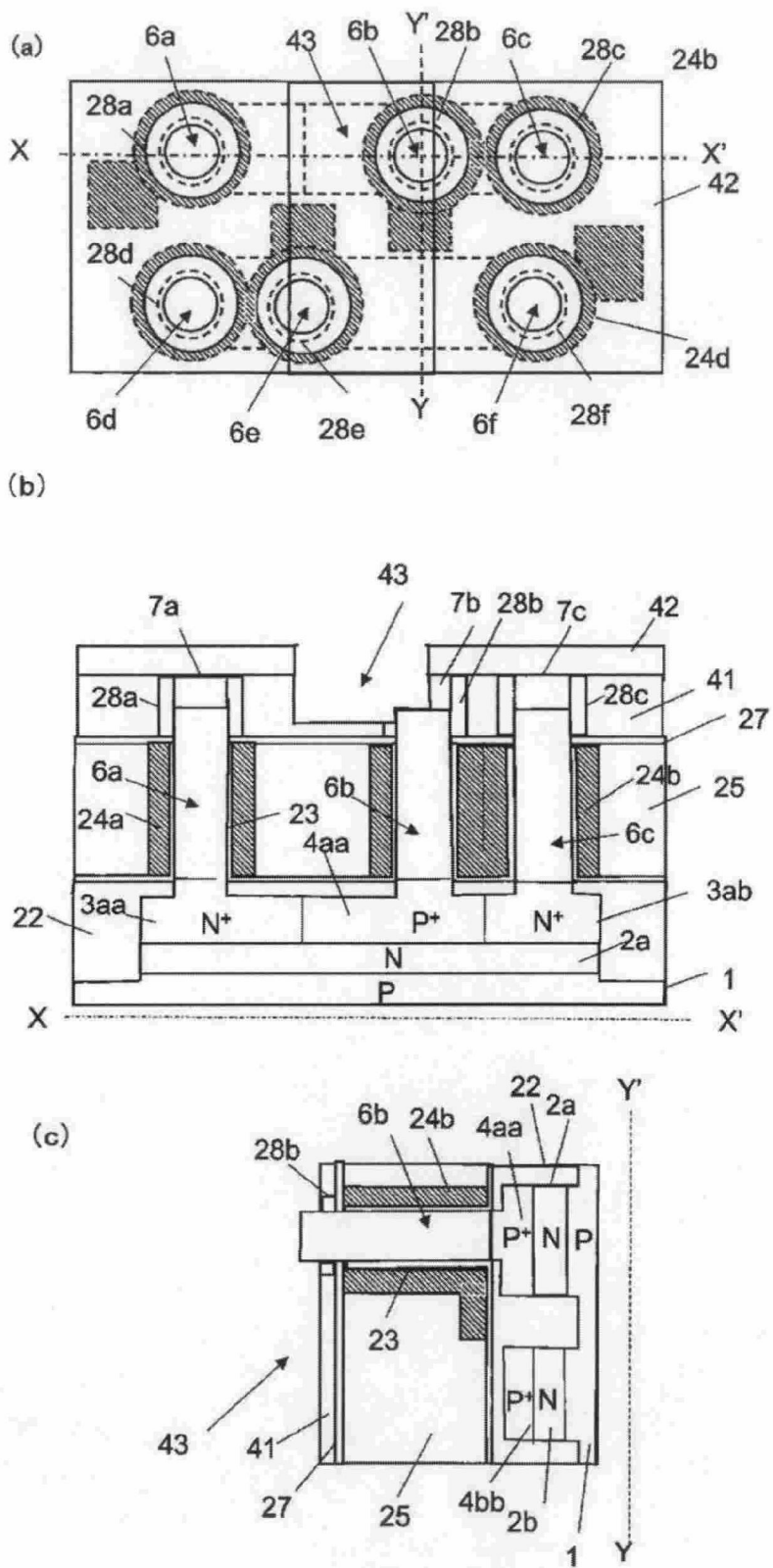
【圖1S】



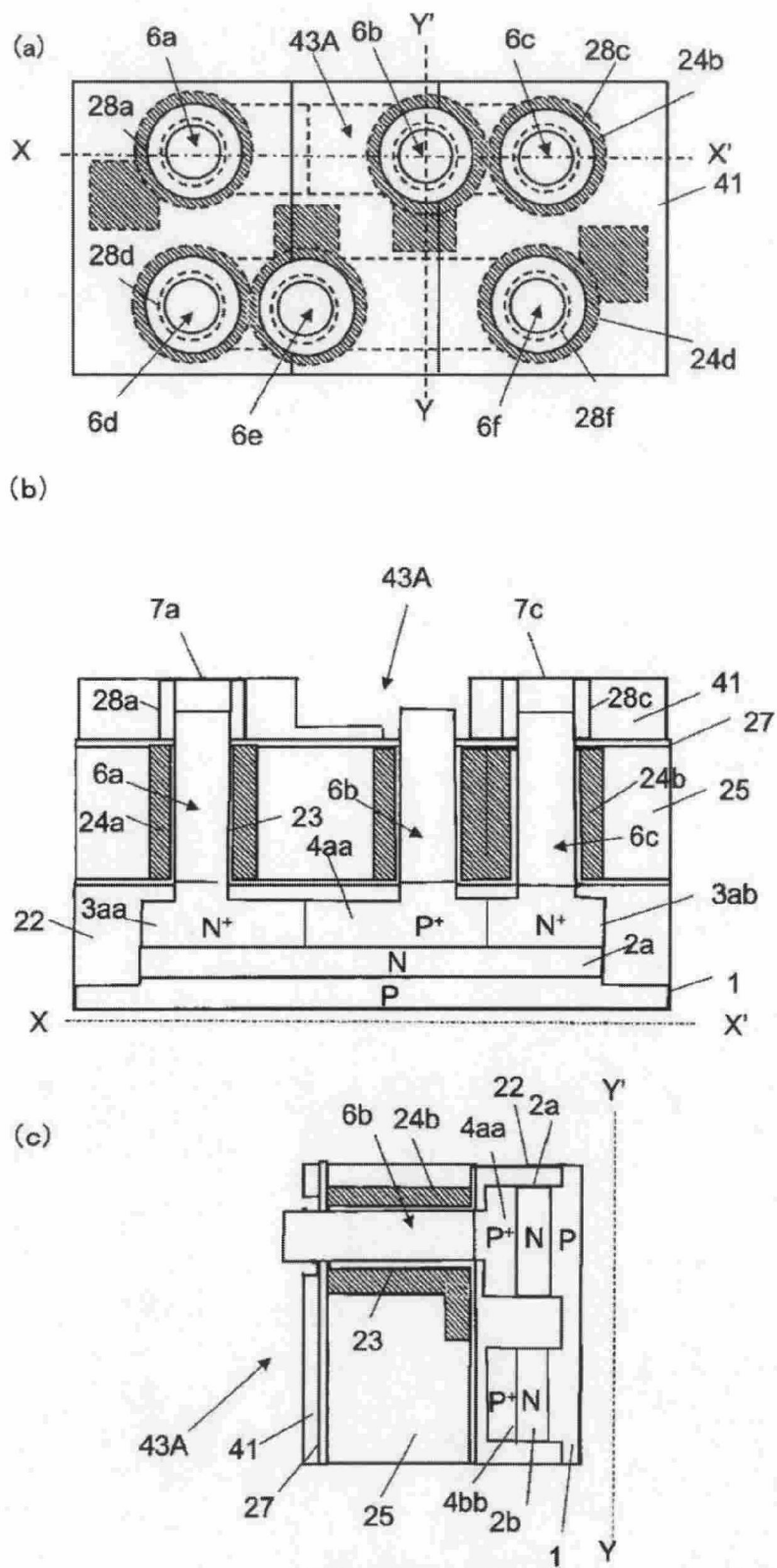
【圖1T】



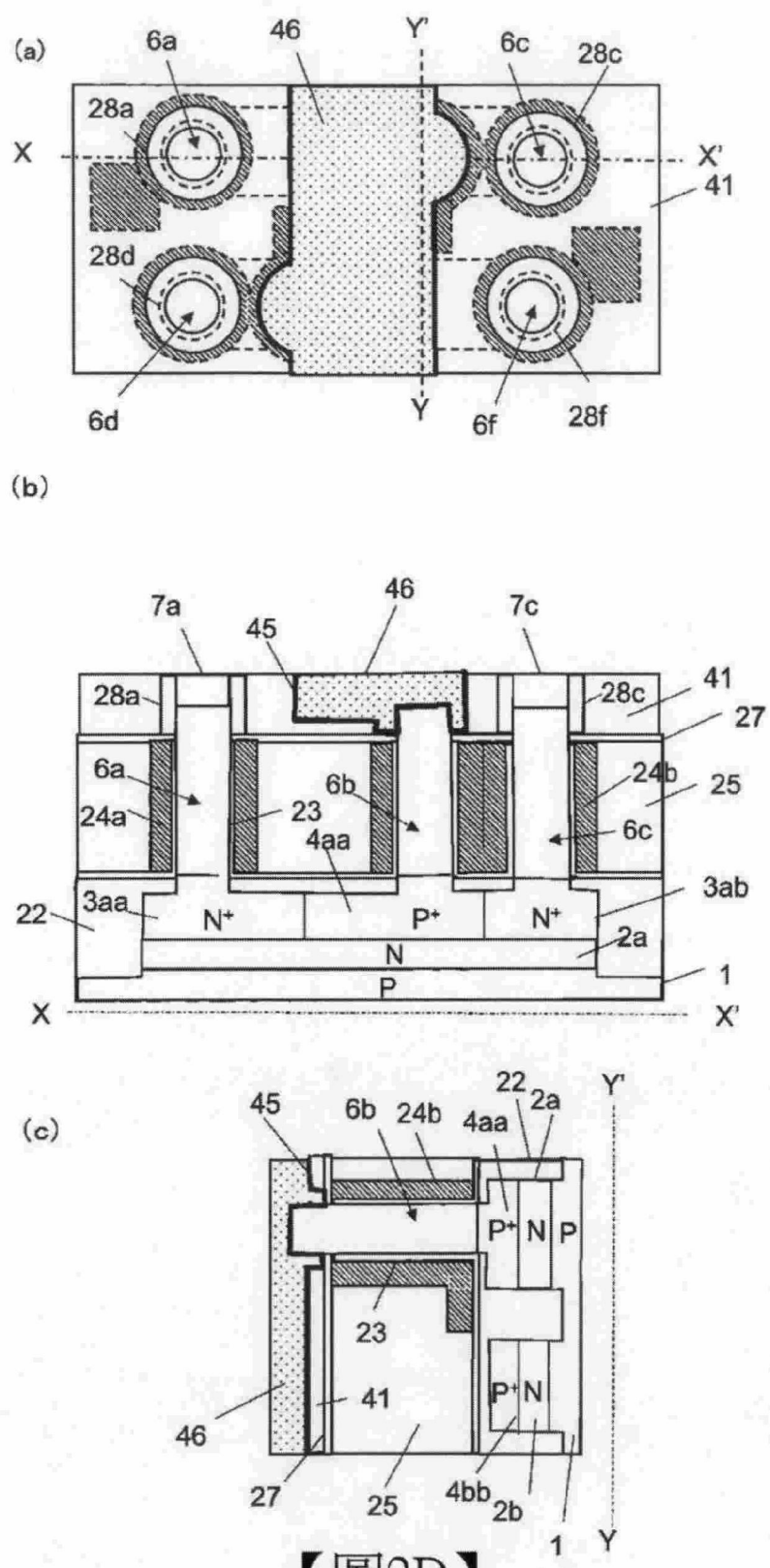
【圖2A】



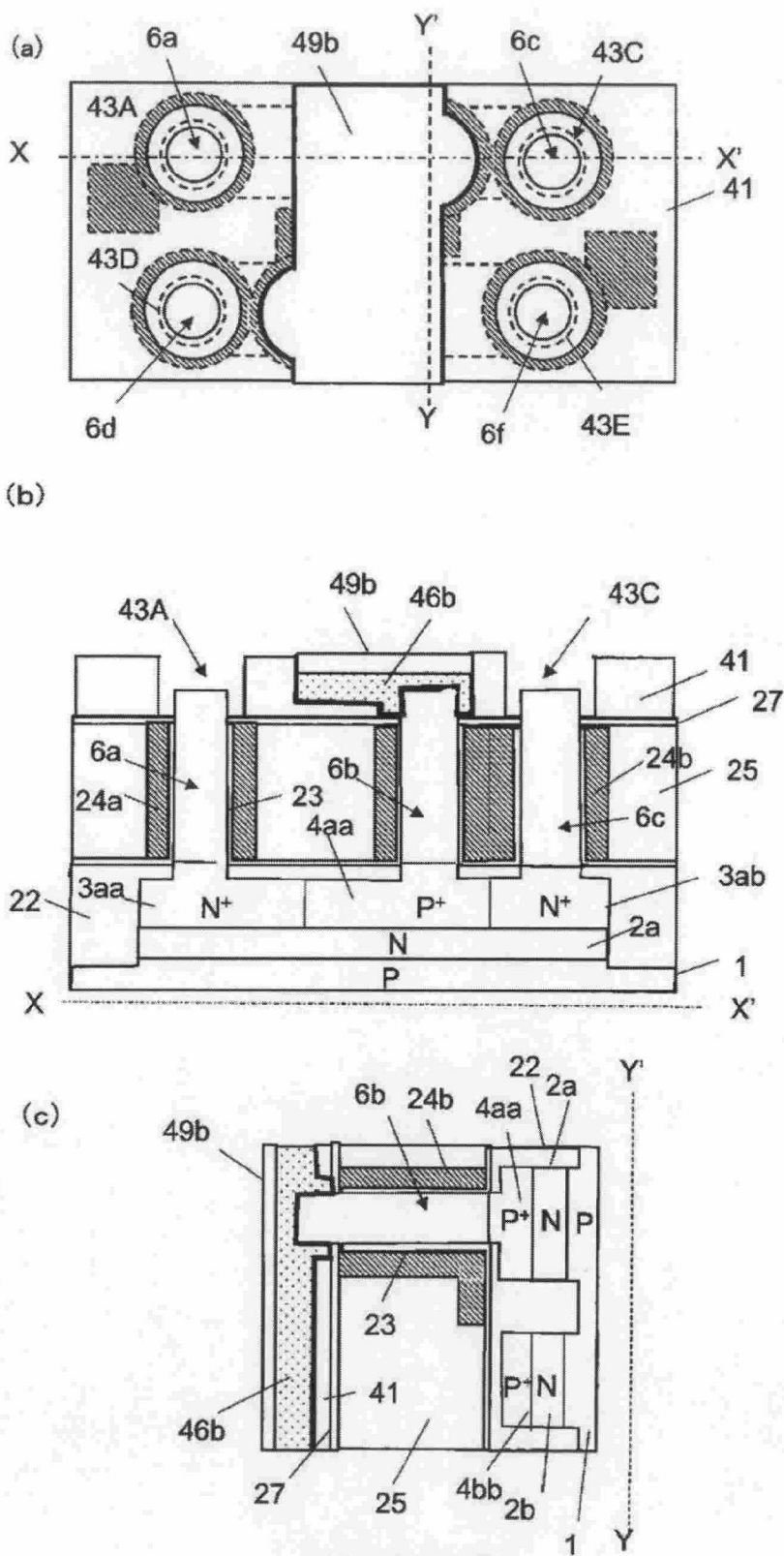
【圖2B】



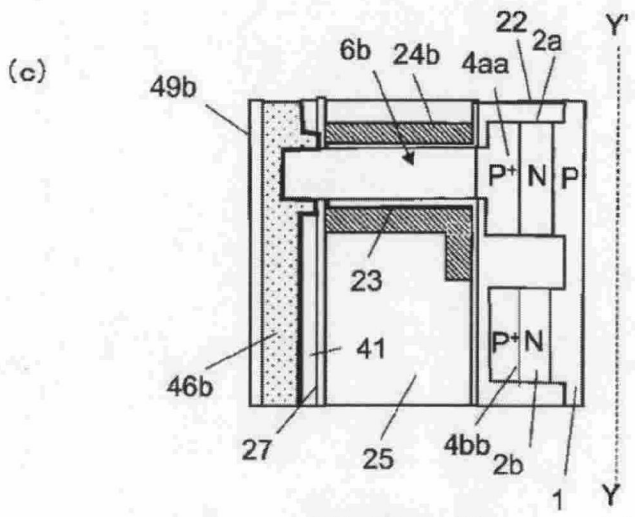
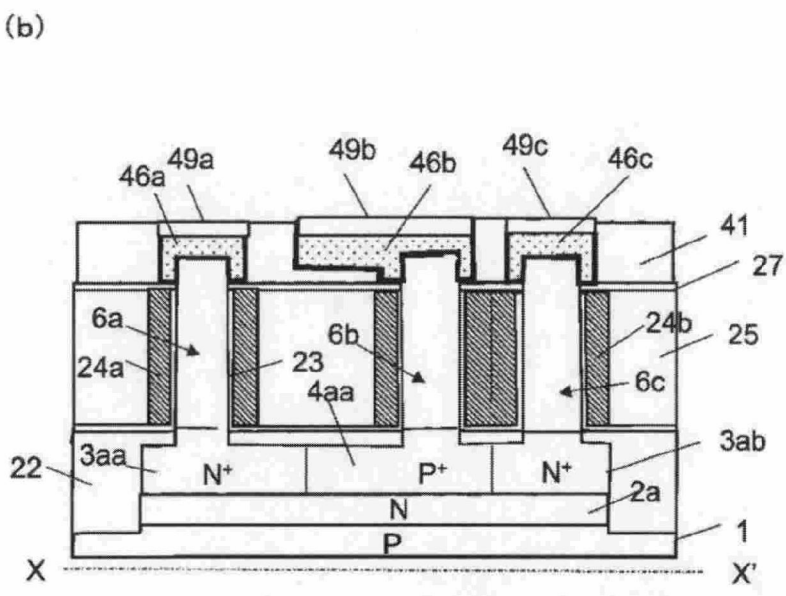
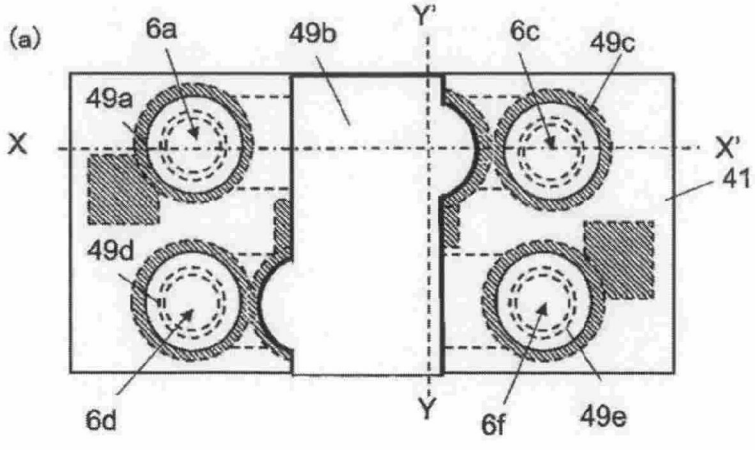
【圖2C】



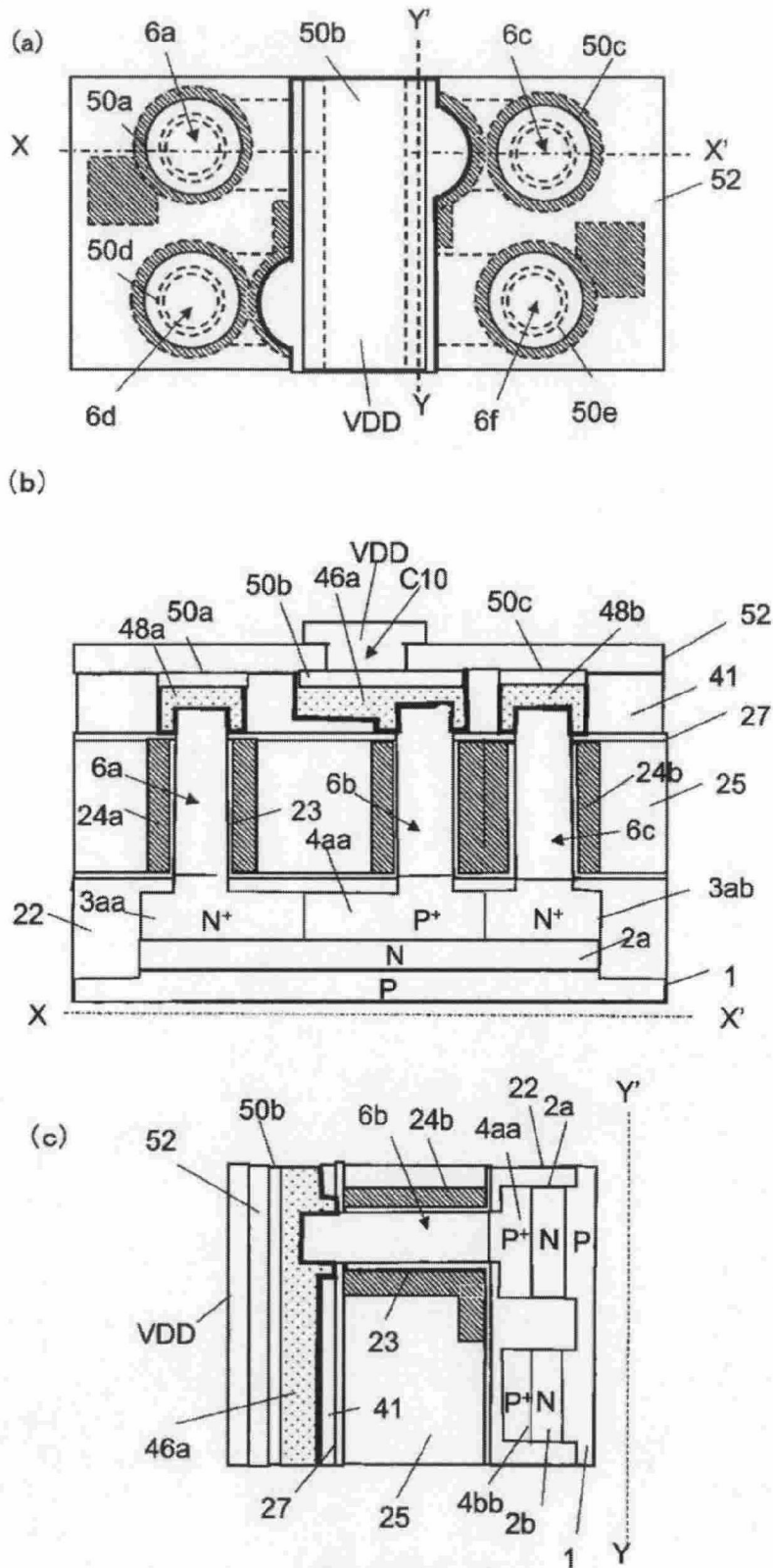
【圖2D】



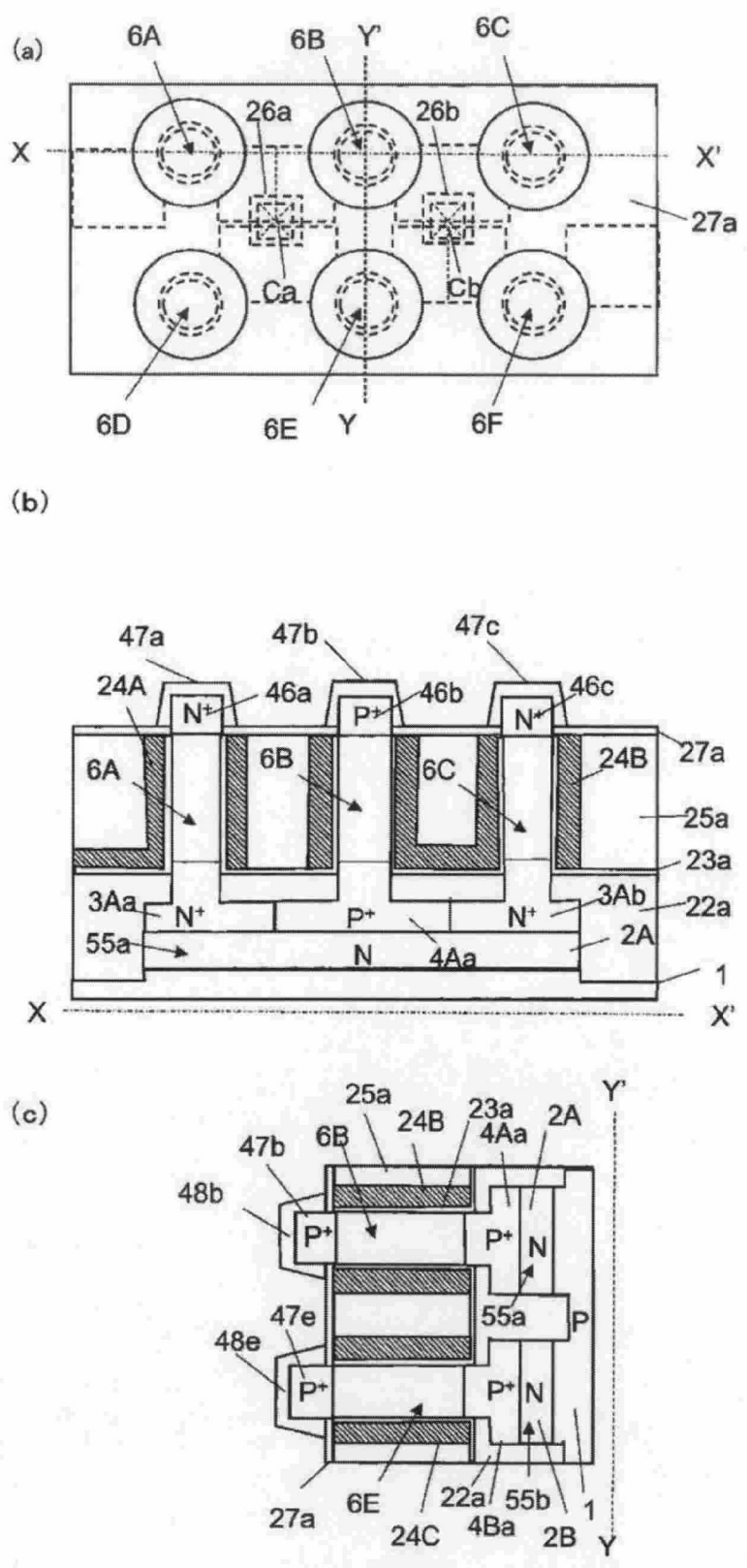
【圖2E】



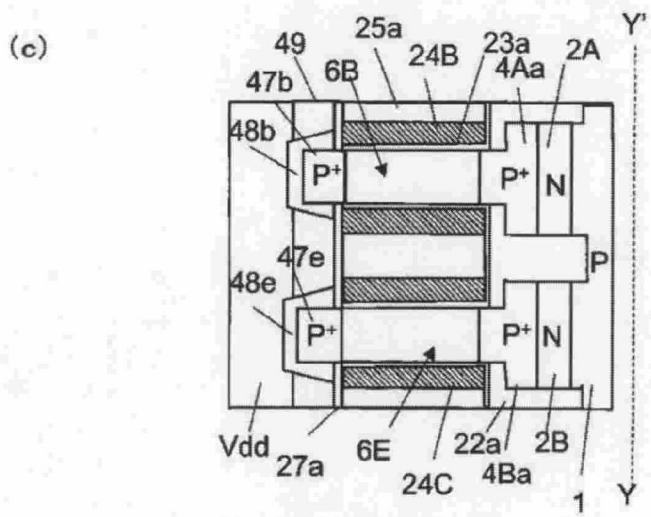
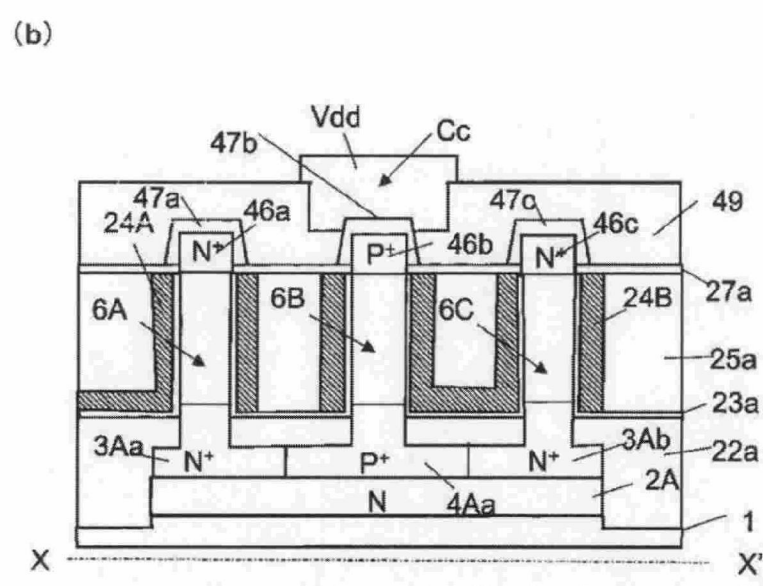
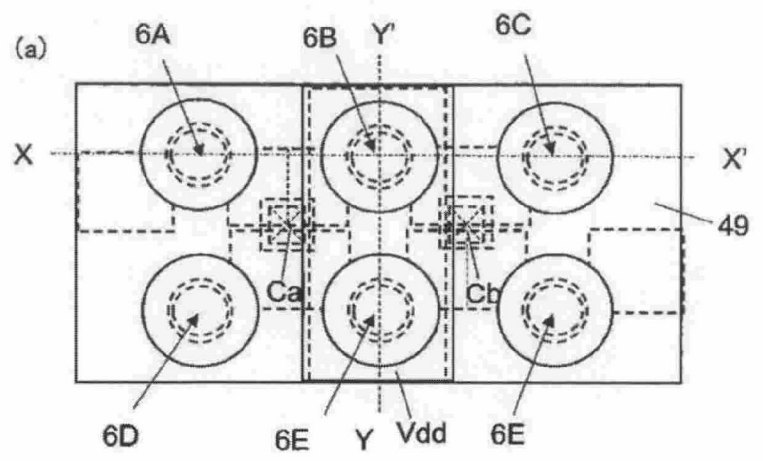
【圖2F】



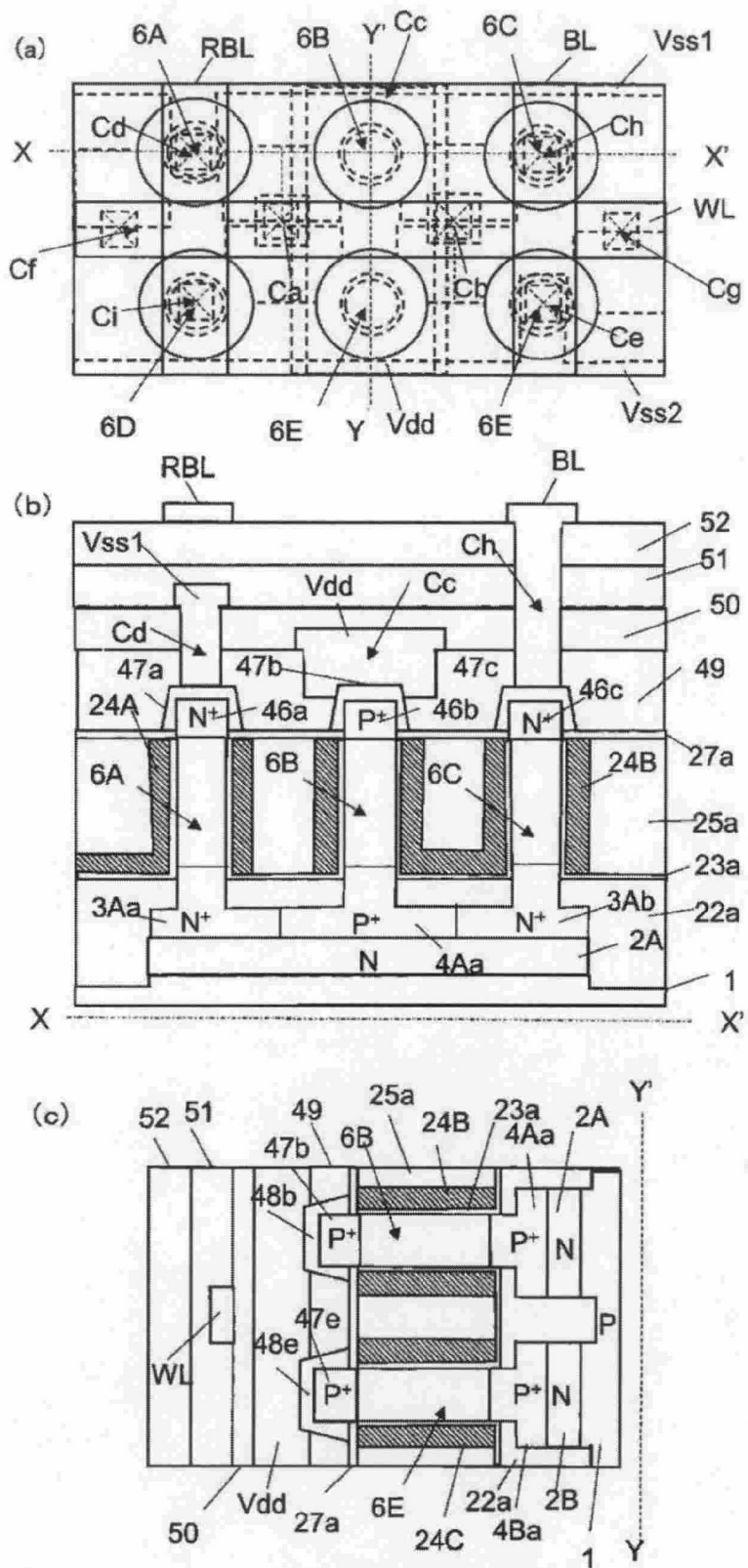
【圖2G】



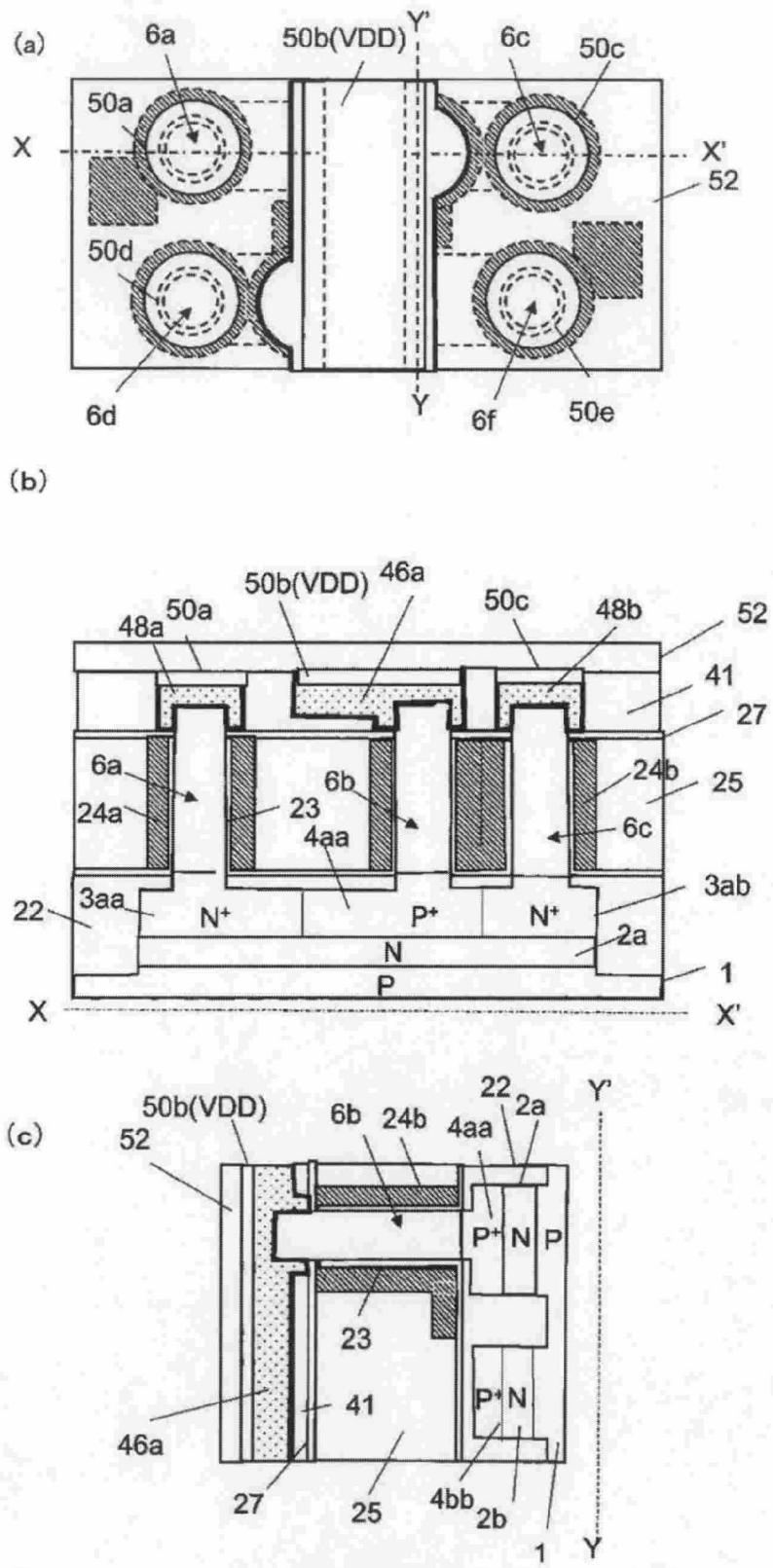
【圖3A】



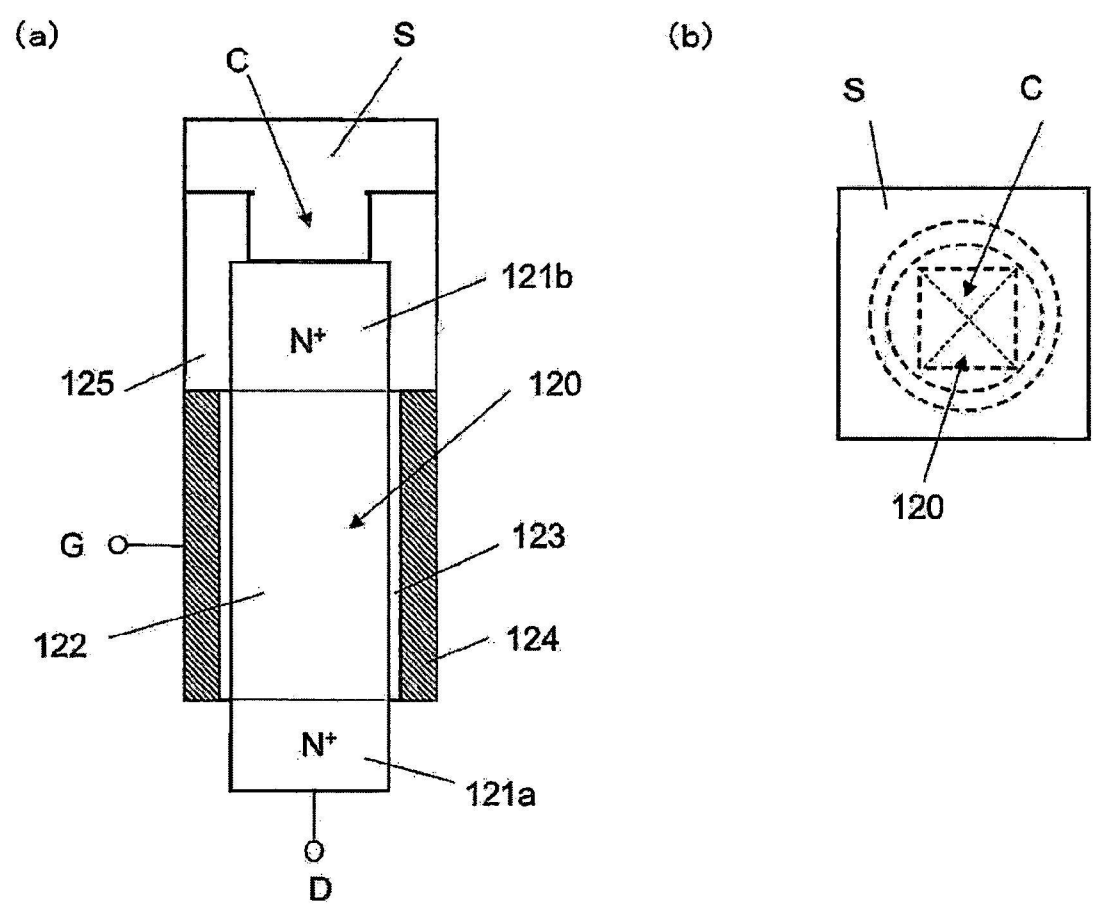
【圖3B】



【圖3C】



【圖4】



【圖5】

