

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4965756号
(P4965756)

(45) 発行日 平成24年7月4日(2012.7.4)

(24) 登録日 平成24年4月6日(2012.4.6)

(51) Int.Cl.

F I

HO 1 L 29/78 (2006.01)

HO 1 L 21/336 (2006.01)

HO 1 L 29/78 6 5 2 H

HO 1 L 29/78 6 5 8 E

請求項の数 10 (全 11 頁)

(21) 出願番号	特願2000-111039 (P2000-111039)	(73) 特許権者	000003078
(22) 出願日	平成12年4月12日 (2000.4.12)		株式会社東芝
(65) 公開番号	特開2001-298189 (P2001-298189A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成13年10月26日 (2001.10.26)	(74) 代理人	100084618
審査請求日	平成19年4月11日 (2007.4.11)		弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100070437
			弁理士 河井 将次

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 導電型の第 1 の半導体層と、
前記第 1 の半導体層上に形成され、前記第 1 の半導体層よりも不純物濃度が低い第 1 導電型の第 2 の半導体層と、
前記第 1 の半導体層とは反対側の前記第 2 の半導体層の表面内に形成された第 2 導電型の第 3 の半導体層と、
前記第 3 の半導体層の表面内に形成された第 1 導電型の第 4 の半導体層と、
前記第 2 および第 4 の半導体層間に位置する前記第 3 の半導体層の表面にゲート絶縁膜を介して対向するゲート電極と、
前記第 4 の半導体層に電氣的に接続された第 1 の電極と、
前記第 1 の電極との間に前記第 2 の半導体層を挟むように形成され、前記第 1 の半導体層に電氣的に接続された第 2 の電極と、
前記第 2 および第 3 の半導体層間の p n 接合と前記第 2 の電極との間に挟まれた位置で前記 p n 接合と接しないように、前記第 2 の半導体層内に配設された、前記第 2 の半導体層よりも誘電率が低い複数のヘテロ領域と
を具備し、
前記ヘテロ領域は空洞部を有することを特徴とする半導体装置。

【請求項 2】

前記空洞部は、

前記第 2 の半導体層を成長させる過程において前記第 2 の半導体層に形成されたトレンチと、

水素アニールによって前記トレンチの上部を閉鎖するように形成された閉鎖部とを具備することを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

第 1 導電型の第 1 の半導体層と、

前記第 1 の半導体層上に形成され、前記第 1 の半導体層よりも不純物濃度が低い第 1 導電型の第 2 の半導体層と、

前記第 1 の半導体層とは反対側の前記第 2 の半導体層の表面内に形成された第 2 導電型の第 3 の半導体層と、

前記第 3 の半導体層の表面内に形成された第 1 導電型の第 4 の半導体層と、

前記第 2 および第 4 の半導体層間に位置する前記第 3 の半導体層の表面にゲート絶縁膜を介して対向するゲート電極と、

前記第 4 の半導体層に電氣的に接続された第 1 の電極と、

前記第 1 の電極との間に前記第 2 の半導体層を挟むように形成され、前記第 1 の半導体層に電氣的に接続された第 2 の電極と、

前記第 2 および第 3 の半導体層間の p n 接合と前記第 2 の電極との間に挟まれた位置で前記 p n 接合と接しないように、前記第 2 の半導体層内に配設された、前記第 2 の半導体層よりも誘電率が低い複数のヘテロ領域と

を具備し、

前記ヘテロ領域は多孔質シリコン層を有する固体誘電体層を備えることを特徴とする半導体装置。

【請求項 4】

第 1 導電型の第 1 の半導体層と、

前記第 1 の半導体層上に形成され、前記第 1 の半導体層よりも不純物濃度が低い第 1 導電型の第 2 の半導体層と、

前記第 1 の半導体層とは反対側の前記第 2 の半導体層の表面内に形成された第 2 導電型の第 3 の半導体層と、

前記第 3 の半導体層の表面内に形成された第 1 導電型の第 4 の半導体層と、

前記第 2 および第 4 の半導体層間に位置する前記第 3 の半導体層の表面にゲート絶縁膜を介して対向するゲート電極と、

前記第 4 の半導体層に電氣的に接続された第 1 の電極と、

前記第 1 の電極との間に前記第 2 の半導体層を挟むように形成され、前記第 1 の半導体層に電氣的に接続された第 2 電極と、

前記第 2 および第 3 の半導体層間の p n 接合と前記第 2 の電極との間に挟まれた位置で前記 p n 接合と接しないように、前記第 2 の半導体層内に配設された、前記第 2 の半導体層よりも誘電率が低い複数のヘテロ領域と

を具備し、

前記ヘテロ領域は負の固定電荷を有する固体誘電体層を備えることを特徴とする半導体装置。

【請求項 5】

前記第 4 の半導体層は、前記第 2 の半導体層よりも不純物濃度が高いことを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体装置。

【請求項 6】

前記第 1 の半導体層はシリコン基板、前記第 2 の半導体層は前記シリコン基板上に形成されたシリコンエピタキシャル層であることを特徴する請求項 1 乃至 4 のいずれかに記載の半導体装置。

【請求項 7】

前記第 1 の電極は前記第 3 の半導体層にも電氣的に接続されていることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体装置。

10

20

30

40

50

【請求項 8】

前記半導体装置は F E T を構成し、前記第 1 乃至第 4 の半導体層は、夫々ドレインコンタクト層、ドレイン層、チャネル領域を有するベース層、ソース層であることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体装置。

【請求項 9】

各ヘテロ領域は、前記第 1 および第 2 の電極を接続する第 1 の方向、並びに前記第 1 の方向と直交する第 2 および第 3 の方向の夫々において、 $0.1 \sim 100 \mu\text{m}$ の範囲内の長さを有することを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体装置。

【請求項 10】

前記ヘテロ領域は、前記第 1 および第 2 の半導体層の界面に接しないように配設されることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体装置。 10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置に関するもので、特に、高耐圧を要求されるパワー MOS FET (Metal Oxide Semiconductor Field Effect Transistor) に関する。

【0002】

【従来の技術】

近年、電気自動車 (EV) のインバータなどに用いられるパワー MOS FET は、市場からさらなる小型化、省エネルギー化、低価格化などが求められている。 20

【0003】

このような要求が強いパワー MOS FET の分野において、素子耐圧とオン抵抗とのトレードオフを改善するものとして、たとえば図 3 に示すような構造を有する MOS FET が知られている。これは、Nドレイン層 101 中に多段の P 埋め込みエピタキシャル層 102 を形成することによって、Nドレイン層 101 の抵抗を下げつつ、Nドレイン層 101 の内部の P / N 拡散層を逆バイアス時に完全に空乏化させようとするものである (RESURF (REDUCED SURFACE FIELD) 原理)。

【0004】

その他にも、Nドレイン層中に P ピラー / N ストライプと称する拡散層を形成するなど、類似した構造が提案されている。 30

【0005】

【表 1】

構造の定義

$$\oint_V \Gamma(V) dV \simeq n_i$$

V : ドレイン層 (体積)

$\Gamma(V)$: ドレイン層内の活性化不純物濃度

n_i : シリコンの真性濃度($\simeq 10^{11} \text{cm}^{-3}$)

: PINダイオードの I 層

ここでは $\simeq n_i$ は $10^{11} \sim 10^{14} \text{cm}^{-3}$ を意味する。

10

かつ、 $E(BV_{DSS}) < E_{crit}$ for $\forall V$

これは $\int_{\vec{r}} P(\vec{r}) d\vec{r} < Q_{crit}$

$\int_{\vec{r}} N(\vec{r}) d\vec{r} < Q_{crit}$ と言い直すことができる。

\vec{r} : ドレイン層のミクロな方向ベクトル

$P(\vec{r})$: ドレイン層内の P 型活性化不純物濃度

$N(\vec{r})$: ドレイン層内の N 型活性化不純物濃度

$E_{crit} = 2 \times 10^5 [\text{V} / \text{cm}]$

$Q_{crit} = 1.5 \times 10^{12} [/ \text{cm}^2]$

BV_{DSS} : 素子にブレークダウン電圧を

印加したときのジャンクションの

最大電界強度

20

30

【 0 0 0 6 】

しかしながら、上記した構造の MOS FET などの場合、N ドレイン層中における不純物プロファイルの制御が困難であるという問題があった。

【 0 0 0 7 】

すなわち、RESURF 原理を実現するには、N ドレイン層中の P 型 / N 型の活性化不純物の総和が $\sim N_i$ に近いこと、および、逆バイアス時にすべての領域で完全に空乏化し、すべての領域で電界強度が $E < E_{crit}$ であること、が要求される。

【 0 0 0 8 】

【発明が解決しようとする課題】

上記したように、従来においては、高耐圧化と低オン抵抗化との両立が試みられているものの、RESURF 原理の実現には N ドレイン層中の不純物プロファイルの制御が困難であるという問題があった。

40

【 0 0 0 9 】

そこで、この発明は、ヘテロな構造により、N ドレイン層中の不純物プロファイルを制御することなしに RESURF 原理を実現でき、高耐圧化と低オン抵抗化との両立が容易に可能な半導体装置を提供することを目的としている。

【 0 0 1 0 】

【課題を解決するための手段】

本願発明の一態様によれば、第 1 導電型の第 1 の半導体層と、前記第 1 の半導体層上に形成され、前記第 1 の半導体層よりも不純物濃度が低い第 1 導電型の第 2 の半導体層と、

50

前記第 1 の半導体層とは反対側の前記第 2 の半導体層の表面内に形成された第 2 導電型の第 3 の半導体層と、前記第 3 の半導体層の表面内に形成された第 1 導電型の第 4 の半導体層と、前記第 2 および第 4 の半導体層間に位置する前記第 3 の半導体層の表面にゲート絶縁膜を介して対向するゲート電極と、前記第 4 の半導体層に電氣的に接続された第 1 の電極と、前記第 1 の電極との間に前記第 2 の半導体層を挟むように形成され、前記第 1 の半導体層に電氣的に接続された第 2 の電極と、前記第 2 および第 3 の半導体層間の p n 接合と前記第 2 の電極との間に挟まれた位置で前記 p n 接合と接しないように、前記第 2 の半導体層内に配設された、前記第 2 の半導体層よりも誘電率が低い複数のヘテロ領域とを具備し、前記ヘテロ領域は空洞部を有することを特徴とする半導体装置が提供される。

【 0 0 1 1 】

10

本願発明の一態様によれば、第 1 導電型の第 1 の半導体層と、前記第 1 の半導体層上に形成され、前記第 1 の半導体層よりも不純物濃度が低い第 1 導電型の第 2 の半導体層と、前記第 1 の半導体層とは反対側の前記第 2 の半導体層の表面内に形成された第 2 導電型の第 3 の半導体層と、前記第 3 の半導体層の表面内に形成された第 1 導電型の第 4 の半導体層と、前記第 2 および第 4 の半導体層間に位置する前記第 3 の半導体層の表面にゲート絶縁膜を介して対向するゲート電極と、前記第 4 の半導体層に電氣的に接続された第 1 の電極と、前記第 1 の電極との間に前記第 2 の半導体層を挟むように形成され、前記第 1 の半導体層に電氣的に接続された第 2 の電極と、前記第 2 および第 3 の半導体層間の p n 接合と前記第 2 の電極との間に挟まれた位置で前記 p n 接合と接しないように、前記第 2 の半導体層内に配設された、前記第 2 の半導体層よりも誘電率が低い複数のヘテロ領域とを具備し、前記ヘテロ領域は多孔質シリコン層を有する固体誘電体層を備えることを特徴とする半導体装置が提供される。

20

【 0 0 1 2 】

本願発明の一態様によれば、第 1 導電型の第 1 の半導体層と、前記第 1 の半導体層上に形成され、前記第 1 の半導体層よりも不純物濃度が低い第 1 導電型の第 2 の半導体層と、前記第 1 の半導体層とは反対側の前記第 2 の半導体層の表面内に形成された第 2 導電型の第 3 の半導体層と、前記第 3 の半導体層の表面内に形成された第 1 導電型の第 4 の半導体層と、前記第 2 および第 4 の半導体層間に位置する前記第 3 の半導体層の表面にゲート絶縁膜を介して対向するゲート電極と、前記第 4 の半導体層に電氣的に接続された第 1 の電極と、前記第 1 の電極との間に前記第 2 の半導体層を挟むように形成され、前記第 1 の半導体層に電氣的に接続された第 2 電極と、前記第 2 および第 3 の半導体層間の p n 接合と前記第 2 の電極との間に挟まれた位置で前記 p n 接合と接しないように、前記第 2 の半導体層内に配設された、前記第 2 の半導体層よりも誘電率が低い複数のヘテロ領域とを具備し、前記ヘテロ領域は負の固定電荷を有する固体誘電体層を備えることを特徴とする半導体装置が提供される。

30

【 0 0 1 4 】

上記の構成によって、不純物プロファイルを制御することなく、第 2 の半導体層の平均濃度を $\sim N_i$ に制御できるようになる。これにより、逆バイアス時における第 2 の半導体層の内部電界を、実効的に第 2 の半導体層がアバランシェを起こさない程度に低下させることが可能となるものである。

40

【 0 0 1 5 】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

【 0 0 1 6 】

(第 1 の実施形態)

図 1 は、この発明の第 1 の実施形態にかかるパワー MOS FET の概略構成を示すものである。

【 0 0 1 7 】

すなわち、図 1 に示すパワー MOS FET は、 n^+ 型のシリコン基板 (第 1 導電型の第 1 の半導体領域) 11 上にドレイン (または、コレクタ) 領域となる n^- 型のエピタキシ

50

ヤル層（第1導電型の第2の半導体領域）12が形成され、このエピタキシャル層12の表面領域に、pベース領域となるp型不純物領域（第2導電型の第3の半導体領域）13、13とn+ソース領域となるn+型不純物領域（第1導電型の第4の半導体領域）14、14とが選択的に形成された構造になっており、上記エピタキシャル層12は複数の空洞部12aが取り混ぜて設けられたヘテロな構造（ヘテロなNバッファ構造）とされている。

【0018】

そして、上記p型不純物領域13、13間に対応する、上記エピタキシャル層12の表面（チャネル）上には、ゲート酸化膜（ゲート絶縁膜）15を介して、ポリシリコンなどからなるゲート電極16が設けられている。

10

【0019】

また、上記n+型不純物領域14、14間に対応する、上記p型不純物領域13の表面上にはソース電極17がそれぞれ形成され、さらに、上記シリコン基板11の裏面側がドレイン電極となっている。

【0020】

上記エピタキシャル層12は、複数の空洞部12aを有するヘテロなNバッファ構造が形成されてなる構成とされている。

【0021】

この場合、上記空洞部12aは、たとえば、上記エピタキシャル層12を形成するためのシリコン（Si）を成長させる過程において、適宜、サブミクロン単位のトレンチを形成した後、水素アニールによって表面原子のマイグレーションを促して、上記トレンチの上部を閉口させることにより形成することができる。そして、この工程を繰り返すことにより、上記のような内部に複数の空洞部12aが作り込まれてなるエピタキシャル層12が得られる。

20

【0022】

ここで、500V系耐圧を有するパワーMOSFETを例に、そのエピタキシャル層の形成方法について、より具体的に説明する。

【0023】

たとえば、枚葉式のエピタキシャル成長装置を用いて、まず、n+型のシリコン基板11上に、約1000の温度により、n型不純物の濃度が $1 \times 10^{15} / \text{cm}^3$ 程度とされたSi膜を10 μm 程度の厚さで成長させて、第1層目のエピ層（第1のエピタキシャル層）を形成する。

30

【0024】

次いで、この第1層目のエピ層の表面上に、CVD酸化膜を約5000オングストロームの厚さで形成する。

【0025】

次いで、このCVD膜をドライエッチングによりパターニングして、たとえば、1mm角程度の大きさの開口パターンを形成する。この場合、開口面積比が30%以下となるように、複数の開口パターンが形成される。

【0026】

次いで、複数の開口パターンが形成されたCVD膜をマスクに、RIEなどを行って、上記第1のエピ層の表面領域に、約0.6 μm 角で、深さが1 μm 程度のトレンチをそれぞれ形成する。

40

【0027】

次いで、CVD膜を除去した後、上記エピタキシャル成長装置を用いて、800以上の温度により水素還元処理を行って、上記第1のエピ層の表面にできる自然酸化膜を除去する。その際、表面原子のマイグレーション効果により、各トレンチの上部（開口部）が閉口させられて、複数の空洞部が形成される。

【0028】

引き続き、上記エピタキシャル成長装置を用いて、約1000の温度により、n型不純

50

物の濃度が $1 \times 10^{15} / \text{cm}^3$ 程度とされた Si 膜を $10 \mu\text{m}$ 程度の厚さで成長させて、上記第 1 のエピ層上に、第 2 層目のエピ層（第 2 のエピタキシャル層）を形成する。

【0029】

そして、この第 2 のエピ層に対して、上述の各工程が繰り返された後、さらに、第 3 層目のエピ層の形成が、第 1 層目、第 2 層目のエピ層の形成と同様に行われることにより、500V 系耐圧を有するパワー MOS FET のエピタキシャル層として、図 1 とは異なる、複数の空洞部が 2 段構えで作り込まれてなるエピタキシャル層が得られる。

【0030】

なお、空洞部 12a の大きさ、個数、および、位置などは、必要とする素子の特性（素子耐圧やオン抵抗）に応じて決定されることになる。

10

【0031】

このような空洞部 12a を有するエピタキシャル層 12 の濃度は平均的なエピタキシャル層の濃度の 10 倍程度、あるいはそれ以上まで上げることができる。空洞部 12a の誘電率は Si の 12 分の 1 であるため、絶縁破壊は Ecr it の 100 倍以上が期待できる。

【0032】

マクロに見た、ヘテロな N バッファ構造のエピタキシャル層 12 における I 層は、抵抗を下げつつ、破壊電界強度を上昇させることが可能である。別な言い方をすると、SiC などの Ecr it が Si の 10 倍の新材料に匹敵する。

【0033】

この場合の構造は、後掲する表 2 に示すように定義される。

20

【0034】

【表 2】

$$\oint_{V'} \Gamma(V) + \rho(V) dV' \simeq n_i$$

$V' : V - V_{\text{hetero}}$

V_{hetero} : ドレイン層の体積中にある非 S i 領域
(ヘテロな領域)

$\rho(V)$: 非 S i 領域の有する電荷分布

これにより、

10

$$Q'_{\text{crit}} \simeq \frac{\int_{\vec{r}} \{P(\vec{r}) + \rho(\vec{r})\} d\vec{r}}{|\vec{r}|} > Q_{\text{crit}}$$

または

$$Q'_{\text{crit}} \simeq \frac{\int_{\vec{r}} \{N(\vec{r}) + \rho(\vec{r})\} d\vec{r}}{|\vec{r}|} > Q_{\text{crit}}$$

20

となり、従来の RESURF principle を拡張することができる。

ゆえに、

$$Q'_{\text{crit}} > Q_{\text{crit}} \Rightarrow E'_{\text{crit}} > E_{\text{crit}}$$

が期待できる。

【 0 0 3 5 】

30

このように、空洞部 1 2 a をバルクに形成することで、不純物プロファイルを制御することなく、エピタキシャル層 1 2 の平均濃度を $\sim N_i$ に制御できるようになる。これにより、逆バイアス時におけるバルクの内部電界を、実効的に S i 自体がアバランシェを起こさない程度にまで低下させることが可能となる。

【 0 0 3 6 】

したがって、複雑な不純物プロファイルの制御を必要とすることなしに、RESURF 原理を実現でき、高耐圧化と低オン抵抗化とを容易に両立できるようになる。

【 0 0 3 7 】

(第 2 の実施形態)

図 2 は、この発明の第 2 の実施形態にかかるパワー MOS FET の概略構成を示すものである。なお、ここでは、空洞部に代えて、エピタキシャル層中に複数の誘電体層を取り混ぜて設けた場合の例である。

40

【 0 0 3 8 】

すなわち、この場合のエピタキシャル層 1 2 ' は、たとえば、負の固定電荷 (-) をもつ、複数の誘電体層 1 2 b がバルクに形成されたヘテロな N バッファ構造とされている。

【 0 0 3 9 】

このように、エピタキシャル層 1 2 ' 中に誘電体層 1 2 b を形成することによっても、エピタキシャル層 1 2 ' の平均濃度を $\sim N_i$ に制御できるようになる。その結果、上述した第 1 の実施形態の場合とほぼ同様な効果が得られる。

【 0 0 4 0 】

50

なお、空洞部や誘電体層をバルクに形成する場合に限らず、たとえば、エピタキシャル層中に複数の多孔質シリコン層（図示していない）を設け、これによりヘテロなNバッファ構造を実現することによっても、上述した第1，第2の実施形態の場合と同様な効果が期待できる。

【0041】

上記したように、不純物プロファイルを制御することなく、エピタキシャル層の平均濃度を $\sim N_i$ に制御できるようにしている。

【0042】

すなわち、空洞部や多孔質シリコン層または誘電体層をバルクに形成してなるヘテロなNバッファ構造を実現するようにしている。これにより、逆バイアス時におけるバルクの内部電界を、実効的に S_i 自体がアバランシェを起こさない程度に低下させることが可能となる。したがって、複雑な不純物プロファイルの制御を必要とすることなしに、RESURF原理を実現でき、高耐圧化と低オン抵抗化とを容易に両立できるようになるものである。

【0043】

その他、この発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

【0044】

【発明の効果】

以上、詳述したようにこの発明によれば、ヘテロな構造により、Nドレイン層中の不純物プロファイルを制御することなしにRESURF原理を実現でき、高耐圧化と低オン抵抗化との両立が容易に可能な半導体装置を提供できる。

【図面の簡単な説明】

【図1】この発明の第1の実施形態にかかるパワーMOSFETの概略構成を示す断面図。

【図2】この発明の第2の実施形態にかかるパワーMOSFETの概略構成を示す断面図。

【図3】従来技術とその問題点を説明するために示す、パワーMOSFETの概略断面図。

【符号の説明】

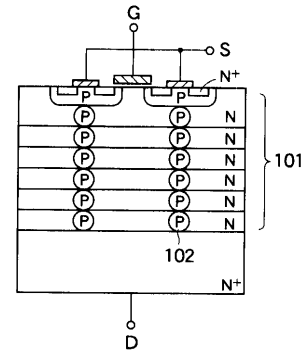
- 1 1 ... n^+ 型のシリコン基板
- 1 2 , 1 2 ' ... n^- 型のエピタキシャル層
- 1 2 a ... 空洞部
- 1 2 b ... 誘電体層
- 1 3 ... p 型不純物領域
- 1 4 ... n^+ 型不純物領域
- 1 5 ... ゲート酸化膜
- 1 6 ... ゲート電極
- 1 7 ... ソース電極

10

20

30

【 図 3 】



フロントページの続き

(72)発明者 馬場 嘉朗

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

審査官 田代 吉成

(56)参考文献 特開平07-231088(JP,A)

特開2001-144276(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78

H01L 21/336