



## (12) 发明专利

(10) 授权公告号 CN 107040242 B

(45) 授权公告日 2022.01.28

(21) 申请号 201610946432.0

H03H 9/64 (2006.01)

(22) 申请日 2016.10.26

H03F 3/45 (2006.01)

(65) 同一申请的已公布的文献号

H03H 7/01 (2006.01)

申请公布号 CN 107040242 A

## (56) 对比文件

JP 2005327931 A, 2005.11.24

(43) 申请公布日 2017.08.11

JP 2005318300 A, 2005.11.10

(30) 优先权数据

JP H04373301 A, 1992.12.25

2015-209936 2015.10.26 JP

US 2004124931 A1, 2004.07.01

(73) 专利权人 精工爱普生株式会社

CN 102332896 A, 2012.01.25

地址 日本东京

CN 101247114 A, 2008.08.20

(72) 发明人 野村昌生 笹山茂季 中田章

CN 104753498 A, 2015.07.01

牧内佳树

Carl Bryant 等.A 0.55 mW SAW-Less

(74) 专利代理机构 北京金信知识产权代理有限公司 11225

Receiver Front-End for Bluetooth Low Energy Applications.《IEEE Journal on Emerging and Selected Topics in Circuits and Systems》.2014, 第4卷(第3期), 第262-272

代理人 苏萌萌 范文萍

页.

(51) Int.Cl.

审查员 吴一帆

H03K 3/013 (2006.01)

权利要求书2页 说明书18页 附图12页

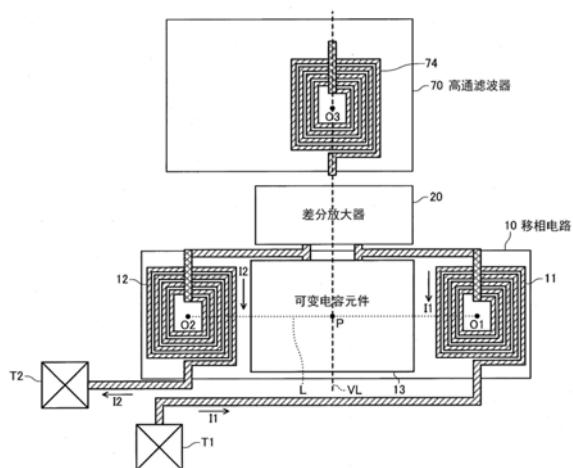
H03K 3/03 (2006.01)

(54) 发明名称

振荡模块、电子设备以及移动体

(57) 摘要

本申请提供一种振荡模块、电子设备以及移动体,该振荡模块能够减轻由在振荡电路与滤波器电路之间产生的磁场耦合的影响所造成的振荡信号的劣化。该振荡模块包括:振荡电路,其具有第一线圈和第二线圈;滤波器电路,其被设置于与所述振荡电路相比靠后级处,并具有第三线圈,所述第一线圈、所述第二线圈以及所述第三线圈为集成电路的一部分,在俯视观察所述集成电路时,所述第三线圈以与距所述第一线圈的中心和所述第二线圈的中心距离相等的假想直线交叉的方式被配置。



1. 一种振荡模块,包括:

振荡电路,其具有第一线圈、第二线圈和可变电容元件;

滤波器电路,其被设置在与所述振荡电路相比靠后级处,并具有第三线圈,

所述可变电容元件、所述第一线圈、所述第二线圈以及所述第三线圈为集成电路的一部分,

在俯视观察所述集成电路时,所述第三线圈以与距所述第一线圈的中心和所述第二线圈的中心距离相等的假想直线交叉的方式被配置,

在俯视观察所述集成电路时,所述可变电容元件被配置于所述第一线圈与所述第二线圈之间。

2. 如权利要求1所述的振荡模块,其中,

所述振荡电路包括差分放大器,

所述差分放大器为所述集成电路的一部分,

在俯视观察所述集成电路时,所述差分放大器被配置于所述可变电容元件与所述第三线圈之间。

3. 如权利要求1所述的振荡模块,其中,

所述集成电路包括:

第一衬垫,其与所述第一线圈连接;

第二衬垫,其与所述第二线圈连接,

所述第一线圈和所述第一衬垫之间的距离短于所述第三线圈和所述第一衬垫之间的距离,并且,所述第二线圈和所述第二衬垫之间的距离短于所述第三线圈和所述第二衬垫之间的距离。

4. 如权利要求3所述的振荡模块,其中,

所述振荡电路具有声表面波滤波器,所述声表面波滤波器具有第一输入端口、第二输入端口、第一输出端口和第二输出端口,

所述第一衬垫与所述第一输出端口连接,所述第二衬垫与所述第二输出端口连接。

5. 如权利要求4所述的振荡模块,其中,

从所述第一输出端口向所述第一输入端口传播的信号与从所述第二输出端口向所述第二输入端口传播的信号互为反相。

6. 如权利要求1至5中任一项所述的振荡模块,其中,

所述振荡电路以差分的方式进行工作。

7. 如权利要求1至5中任一项所述的振荡模块,其中,

包括输出电路,所述输出电路被设置于与所述滤波器电路相比靠后级处,

所述振荡电路输出差分信号,

位于从所述振荡电路至所述输出电路的信号路径上的电路以差分的方式进行工作。

8. 一种振荡模块,具备:

声表面波谐振子;

集成电路,其与所述声表面波谐振子电连接,

所述集成电路包括可变电容元件、第一线圈、第二线圈以及第三线圈,

所述第一线圈、所述第二线圈以及所述第三线圈为,被集成化于所述集成电路上的螺

旋电感器，

在俯视观察所述集成电路时，所述第三线圈以与距所述第一线圈的中心和所述第二线圈的中心距离相等的假想直线交叉的方式被配置，

在俯视观察所述集成电路时，所述可变电容元件被配置于所述第一线圈与所述第二线圈之间。

9. 一种电子设备，具备：

权利要求1至5中任一项所述的振荡模块。

10. 一种移动体，具备：

权利要求1至5中任一项所述的振荡模块。

## 振荡模块、电子设备以及移动体

### 技术领域

[0001] 本发明涉及振荡模块、电子设备以及移动体。

### 背景技术

[0002] 在专利文献1中,公开了一种振荡电路,其由振荡用差分放大器、反馈缓冲用差分放大器、开关电路、电压控制型移相电路、具有预定的谐振频率的SAW谐振子和阻抗电路构成,并且所述振荡电路至少通过振荡用差分放大器、反馈缓冲用差分放大器、电压控制型移相电路以及SAW谐振子而形成了正反馈振荡环,其中,所述振荡用差分放大器由ECL (Emitter Coupled Logic,发射极耦合逻辑) 线接收器构成,所述反馈缓冲用差分放大器由ECL线接收器构成,并通过发射极终端电阻而使输出端子成为终端。根据该振荡电路,通过使反馈缓冲用差分放大器的发射极终端电阻可变而增加SAW谐振子的驱动电平,从而使来自SAW谐振子的信号的振幅与叠加于其上的噪声相比而相对增大。换言之,由于获得较大的SN比,因此,能够减少由被叠加于来自SAW谐振子的信号上的噪声引起的抖动。

[0003] 虽然该振荡电路输出SAW谐振子的谐振频率附近的频率(基本频率)的振荡信号,但也能够通过在后级设置倍增电路从而产生N倍频率的信号。虽然在该倍增电路所输出的振荡信号中,除了N倍的频率成分以外,还包含基本频率的成分,但能够通过在倍增电路的后级设置滤波器电路,从而减少基本频率的成分。在这样的情况下,存在被包含于振荡电路中的线圈和被包含于滤波器电路中的线圈磁场耦合,从而振荡信号劣化的可能性。

[0004] 专利文献1:日本特开2004-040509号公报

### 发明内容

[0005] 本发明是鉴于如上的问题点而完成的发明,根据本发明的几个方式,能够提供一种可减轻因在振荡电路和滤波器电路之间产生的磁场耦合的影响而导致的振荡信号的劣化的振荡模块。另外,根据本发明的几个方式,能够提供使用了该振荡模块的电子设备以及移动体。

[0006] 本发明是为了解决上述的课题中的至少一部分而完成的发明,并能够作为以下的方式或应用例而实现。

[0007] 应用例1

[0008] 本应用例所涉及的振荡模块包括:振荡电路,其具有第一线圈和第二线圈;滤波器电路,其被设置于与所述振荡电路相比靠后级处,并具有第三线圈,所述第一线圈、所述第二线圈以及所述第三线圈为集成电路的一部分,在俯视观察所述集成电路时,所述第三线圈以与距所述第一线圈的中心和所述第二线圈的中心距离相等的假想直线交叉的方式被配置。

[0009] 在本应用例所涉及的振荡模块中,在距第一线圈的中心和第二线圈的中心距离相等的假想直线上,第一线圈所产生的磁场的方向和第二线圈所产生的磁场的方向相反从而彼此削弱。因此,根据本应用例所涉及的振荡模块,能够减轻由振荡电路所具有的第一线圈

以及第二线圈和滤波器电路所具有的第三线圈的磁场耦合的影响所造成的振荡信号的劣化。

[0010] 应用例2

[0011] 在上述应用例所涉及的振荡模块中,也可以采用如下的方式,即,所述振荡电路包括可变电容元件,所述可变电容元件为所述集成电路的一部分,在俯视观察所述集成电路时,所述可变电容元件被配置于所述第一线圈与所述第二线圈之间。

[0012] 根据本应用例所涉及的振荡模块,虽然在将第三线圈靠近于第一线圈以及第二线圈时,容易受到第一线圈所产生的磁场或第二线圈所产生的磁场的影响,但是,通过在第一线圈与第二线圈之间配置不易受到磁场的影响的可变电容元件,从而能够在抑制布局面积的不必要的增加的同时减轻振荡信号的劣化。

[0013] 应用例3

[0014] 在上述应用例所涉及的振荡模块中,也可以采用如下的方式,即,所述振荡电路包括差分放大器,所述差分放大器为所述集成电路的一部分,在俯视观察所述集成电路时,所述差分放大器被配置于所述可变电容元件与所述第三线圈之间。

[0015] 根据本应用例所涉及的振荡模块,由于在第一线圈与第二线圈之间配置有可变电容元件,并且在可变电容元件与第三线圈之间配置有差分放大器,因此,能够在抑制布局面积的不必要的增加的同时增大第一线圈以及第二线圈与第三线圈之间的距离。因此,根据本应用例所涉及的振荡模块,由于第一线圈以及第二线圈与滤波器电路所具有的第三线圈的磁场耦合进一步变小,因此,能够进一步减轻由磁场耦合的影响所造成的振荡信号的劣化。

[0016] 应用例4

[0017] 在上述应用例所涉及的振荡模块中,也可以采用如下的方式,即,所述集成电路包括:第一衬垫,其与所述第一线圈连接;第二衬垫,其与所述第二线圈连接,所述第一线圈与所述第一衬垫之间的距离短于所述第三线圈与所述第一衬垫之间的距离,并且所述第二线圈与所述第二衬垫之间的距离短于所述第三线圈与所述第二衬垫之间的距离。

[0018] 根据本应用例所涉及的振荡模块,能够缩短对第一衬垫与第一线圈进行连接的配线的长度和对第二衬垫与第二线圈进行连接的配线的长度。另外,根据本应用例所涉及的振荡模块,由于能够使第一衬垫以及第二衬垫与第三线圈分离,因此,能够降低在第一线圈或第二线圈中流通的电流的频率成分与经由第一衬垫或第二衬垫而流过第三线圈的电流耦合的可能性。因此,根据本应用例所涉及的振荡模块,能够进一步减轻振荡信号的劣化。

[0019] 应用例5

[0020] 在上述应用例所涉及的振荡模块中,也可以采用如下的方式,即,所述振荡电路具有SAW滤波器,所述声表面波滤波器具有第一输入端口、第二输入端口、第一输出端口和第二输出端口,所述第一衬垫与所述第一输出端口连接,所述第二衬垫与所述第二输出端口连接。

[0021] 根据本应用例,能够实现可减轻由磁场耦合的影响所造成的振荡信号的劣化的SAW振荡器。

[0022] 应用例6

[0023] 在上述应用例所涉及的振荡模块中,也可以采用如下的方式,即,从所述第一输出

端口向所述第一输入端口传播的信号与从所述第二输出端口向所述第二输入端口传播的信号互为反相。

[0024] 根据本应用例所涉及的振荡模块,由于在振荡电路中的反馈路径上传播的一对信号为差分信号,因此,通过第一差分放大器而使该一对信号(差分信号)被放大,并且大幅减少作为共模噪声而被叠加的电源噪声。因此,根据本应用例所涉及的振荡模块,能够提高振荡信号的频率精度和S/N。

[0025] 应用例7

[0026] 在上述应用例所涉及的振荡模块中,也可以采用如下的方式,即,所述振荡电路以差分的方式进行工作。

[0027] 根据本应用例所涉及的振荡模块,由于振荡电路以差分的方式进行工作,因此,作为共模噪声而被叠加于在振荡电路中的反馈路径上传播的一对信号(振荡信号)上的电源噪声被大幅减少。因此,根据本应用例所涉及的振荡模块,能够提高振荡信号的频率精度和S/N。

[0028] 应用例8

[0029] 上述应用例所涉及的振荡模块也可以采用如下的方式,即,包括输出电路,所述输出电路被设置于与所述滤波器电路相比靠后级处,所述振荡电路输出差分信号,位于从所述振荡电路至所述输出电路的信号路径上的电路以差分的方式进行工作。

[0030] 根据本应用例所涉及的振荡模块,由于因振荡电路的动作而产生的电源噪声作为共模噪声而被叠加在向设置于与振荡电路相比靠后级的各个电路输入的差分信号上,因此该各个电路能够通过以差分的方式进行工作而输出电源噪声被大幅减少的差分信号。因此,根据本应用例所涉及的振荡模块,能够输出使由电源噪声的影响所造成的劣化减轻的频率精度较高的振荡信号。

[0031] 应用例9

[0032] 本应用例所涉及的电子设备具备上述的任一振荡模块。

[0033] 应用例10

[0034] 本应用例所涉及的移动体具备上述的任一振荡模块。

[0035] 根据这些应用例,由于具备能够减轻由在振荡电路与滤波器电路之间产生的磁场耦合的影响所造成的振荡信号的劣化的振荡模块,因此,例如也能够实现可靠性较高的电子设备以及移动体。

## 附图说明

[0036] 图1为本实施方式的振荡模块1的立体图。

[0037] 图2为在图1的A-A'处剖切振荡模块1所得到的剖视图。

[0038] 图3为在图1的B-B'处剖切振荡模块1所得到的剖视图。

[0039] 图4为SAW滤波器2以及集成电路3的俯视图。

[0040] 图5为本实施方式的振荡模块1的效果的说明图。

[0041] 图6为表示本实施方式的振荡模块1的功能结构的一个示例的框图。

[0042] 图7为表示差分放大器20的电路结构的一个示例的图。

[0043] 图8为表示SAW滤波器2的输入输出波形的一个示例的图。

- [0044] 图9为表示差分放大器40的电路结构的一个示例的图。
- [0045] 图10为表示倍增电路60的电路结构的一个示例的图。
- [0046] 图11为表示高通滤波器70的电路结构的一个示例的图。
- [0047] 图12为表示高通滤波器70的频率特性的一个示例的图。
- [0048] 图13为表示输出电路80的电路结构的一个示例的图。
- [0049] 图14为表示集成电路3的布局配置的一个示例的图。
- [0050] 图15为表示集成电路3的布局配置的一部分的放大图。
- [0051] 图16为表示改变例中的线圈74的配置示例的图。
- [0052] 图17为表示其他的改变例中的线圈74的配置示例的图。
- [0053] 图18为表示本实施方式的电子设备300的结构的一个示例的功能框图。
- [0054] 图19为表示本实施方式的移动体400的一个示例的图。

## 具体实施方式

[0055] 以下,利用附图对本发明的优选的实施方式进行详细说明。并且,以下所说明的实施方式并非是对权利要求书所记载的本发明的内容进行不当限定的方式。另外,以下所说明的全部结构不一定都是本发明的必要构成要件。

[0056] 1. 振荡模块

[0057] 1-1. 振荡模块的结构

[0058] 图1为表示本实施方式的振荡模块1的结构的一个示例的图,且为振荡模块1的立体图。另外,图2为在图1的A-A'处剖切振荡模块1所得到的剖视图,图3为在图1的B-B'处剖切振荡模块1所得到的剖视图。另外,虽然在图1至图3中图示了无盖体(盖)的状态下的振荡模块1,但是,实际上封装件4的开口被未图示的盖体(盖)覆盖而构成了振荡模块1。

[0059] 如图1所示,本实施方式的振荡模块1为SAW(Surface Acoustic Wave,声表面波)振荡器,并被构成为包括SAW滤波器(声表面波滤波器)2、集成电路(IC: Integrated Circuit)3以及封装件4。

[0060] 封装件4例如为陶瓷封装件等层压封装件,并将SAW滤波器2和集成电路3收纳于同一空间内。具体而言,在封装件4的上部设置有开口部,通过由未图示的盖体(盖)覆盖该开口部,从而形成了收纳室,在该收纳室内收纳有SAW滤波器2以及集成电路3。

[0061] 如图2所示,集成电路3的下表面被粘合固定于封装件4的第一层4A的上表面上。而且,被设置于集成电路3的上表面上的各个电极(衬垫)3B和被设置于封装件4的第二层4B的上表面上的各个电极6B分别通过导线5B而被接合。

[0062] SAW滤波器2的一端部被固着于封装件4上。更具体而言,SAW滤波器2的长边方向上的一端部(第一端部)2A的下表面通过粘合剂7而被粘合固定于封装件4的第三层4C的上表面上。另外,SAW滤波器2的长边方向上的另一端部(第二端部)2B未被固定,且在第二端部2B与封装件4的内表面之间设置有间隙。即,SAW滤波器2以悬臂的方式而被固定于封装件4上。

[0063] 如图1所示,在SAW滤波器2的上表面上且在第一端部2A处设置有作为第一输入端口IP1、第二输入端口IP2、第一输出端口OP1以及第二输出端口OP2而发挥功能的四个电极。而且,如图1以及图3所示,SAW滤波器2的第一输入端口IP1、第二输入端口IP2、第一输出端口OP1以及第二输出端口OP2与被设置于封装件4的第三层4C的上表面上的四个电极6A分别

通过导线5A而被接合。

[0064] 在封装件4的内部设置有用于对四个电极6A和预定的四个电极6B分别进行电连接的未图示的配线。即,SAW滤波器2的第一输入端口IP1、第二输入端口IP2、第一输出端口OP1以及第二输出端口OP2经由导线5A、导线5B以及封装件4的内部配线,而分别与集成电路3的互不相同的四个电极(衬垫)3B连接。

[0065] 另外,在封装件4的表面(外表面)上设置有作为电源端子、接地端子或者输出端子而发挥功能的未图示的多个外部电极,并且在封装件4的内部还配置有用于对该多个外部电极中的各个外部电极和预定的多个电极6B中的各个电极6B进行电连接的未图示的配线。

[0066] 图4为在从图1的振荡模块1的上表面对该振荡模块1进行俯视观察时的SAW滤波器2以及集成电路3的俯视图。

[0067] 如图4所示,SAW滤波器2具有被设置于压电基板200表面上的第一IDT(Interdigital Transducer,又指换能器)201、第二IDT202、第一反射器203和第二反射器204。

[0068] 压电基板200例如能够使用水晶、铌酸锂(LiNbO<sub>3</sub>)、钽酸锂(LiTaO<sub>3</sub>)、四硼酸锂(Li<sub>2</sub>B<sub>4</sub>O<sub>7</sub>、LBO)等单晶材料,氧化锌(ZnO)、氮化铝(AlN)等的压电性薄膜,压电性陶瓷材料等来进行制造。

[0069] 第一IDT201和第二IDT202位于第一反射器203与第二反射器204之间,并且分别被配置为,具有以固定间隔而被设置的多个电极指的梳齿状的两个电极以相互间插的方式对置。而且,如图4所示,第一IDT201的电极指间距以及第二IDT202的电极指间距均为固定值d<sub>1</sub>。

[0070] 另外,SAW滤波器2具有被设置于压电基板200表面上的与第一IDT201连接的第一输入端口IP1、与第一IDT201连接的第二输入端口IP2、与第二IDT202连接的第一输出端口OP1以及与第二IDT202连接的第二输出端口OP2。

[0071] 具体而言,在压电基板200的表面上设置有第一配线205和第二配线206,第一输入端口IP1通过第一配线205而与第一IDT201的一个电极(在图4中为上侧的电极)连接,第二输入端口IP2通过第二配线206而与第一IDT201的另一个电极(在图4中为下侧的电极)连接。另外,在压电基板200的表面上设置有第三配线207与第四配线208,第一输出端口OP1通过第三配线207而与第二IDT202的一个电极(在图4中为上侧的电极)连接,第二输出端口OP2通过第四配线208而与第二IDT202的另一个电极(在图4中为下侧的电极)连接。

[0072] 在以此方式而构成的SAW滤波器2中,当从第一输入端口IP1以及第二输入端口IP2输入具有 $f = v / (2d_1)$ (v为声表面波在压电基板200的表面上传播的速度)附近的频率的电信号时,将通过第一IDT201而激励起1波长等于2d<sub>1</sub>的声表面波。而且,通过第一IDT201而被激励起的声表面波在第一反射器203与第二反射器204之间被反射而成为驻波。该驻波在第二IDT202中被转换为电信号,并从第一输出端口OP1以及第二输出端口OP2输出。即,SAW滤波器2作为将中心频率设为 $f = v / (2d_1)$ 的窄带的带通滤波器而发挥功能。

[0073] 在本实施方式中,如图4所示,在俯视观察时,SAW滤波器2的至少一部分与集成电路3重叠。另外,在俯视观察时,SAW滤波器2的第一端部2A(在图4中划斜线的部分)不与集成电路3重叠。如此,在本实施方式中,通过以将SAW滤波器2的第一端部2A固定于封装件4上的方式而将SAW滤波器2形成为悬臂,并在被形成于SAW滤波器2的下方处的空间内配置集成电

路3,从而实现了振荡模模块1的小型化。

[0074] 另外,根据本实施方式的振荡模块1,由于并非SAW滤波器2的整个表面而是作为其一部分的第一端部2A被固着于封装件4上,因此被固着的部分的面积较小,从而因从封装件4施加的应力而容易发生变形的部分较少。因此,根据本实施方式的振荡模块1,能够减轻由施加于SAW滤波器2上的应力而导致的振荡信号的劣化。

[0075] 另外,由于SAW滤波器2的第一端部2A处的压电基板200的背面通过粘合剂7而被固着于封装件4上,因此第一端部2A也会由于粘合剂7的收缩而容易发生变形。因此,在本实施方式中,如图4所示,第一IDT201、第二IDT202、第一反射器203以及第二反射器204未被设置于第一端部2A处的压电基板200的表面上。由此,第一IDT201以及第二IDT202的变形被大幅缓和。因此,根据本实施方式,由于能够减小因第一IDT201或第二IDT202的变形而产生的电极指间距d<sub>1</sub>相对于目标值的误差,因此能够实现高频率精度的振荡模块1,其中,第一IDT201或第二IDT202的变形起因于因粘合剂7的收缩而产生的应力。

[0076] 另外,在本实施方式中,通过将SAW滤波器2设为悬臂,从而在作为自由端的第二端部2B上不会施加有因与封装件4的接触而产生的应力。因此,根据本实施方式,由于不会产生第一IDT201或第二IDT202的变形,因此能够实现高频率精度的振荡模块1,其中,第一IDT201或第二IDT202的变形起因于因与封装件4的接触而产生的应力。

[0077] 另外,在本实施方式中,特性不会因变形而发生变化的第一输入端口IP1、第二输入端口IP2、第一输出端口OP1以及第二输出端口OP2被设置于SAW滤波器2的第一端部2A处的压电基板200的表面上。由此,能够避免SAW滤波器2不必要地增大的情况,从而能够实现振荡模块1的小型化。

[0078] 另外,在本实施方式中,如图4所示,SAW滤波器2为具有长边2X和短边2Y的矩形形状,在俯视观察时,第一输入端口IP1、第二输入端口IP2、第一输出端口OP1以及第二输出端口OP2沿着SAW滤波器2的长边2X而排列。因此,根据本实施方式,如图1所示,由于能够在SAW滤波器2的外部,将与第一输入端口IP1、第二输入端口IP2、第一输出端口OP1以及第二输出端口OP2分别连接的四个导线5A全部设置于长边2X侧,因此能够高效地利用封装件4的内部的SAW滤波器2的长边侧的空间,并且由于能够减小短边侧的空间,因此能够实现振荡模块1的小型化。

[0079] 另外,在本实施方式中,如图4所示,在俯视观察时,第一输入端口IP1和第二输入端口IP2以距长边2X的距离相等的方式被配置,并且第一输出端口OP1和第二输出端口OP2以距长边2X的距离相等的方式被配置。因此,根据本实施方式,易于使与第一输入端口IP1连接的配线(导线5A以及基板配线)的长度和与第二输入端口IP2连接的配线的长度一致,并且易于使与第一输出端口OP1连接的配线的长度和与第二输出端口OP2连接的配线的长度一致,从而能够缩小向SAW滤波器2输入或从SAW滤波器2输出的差分信号的相位差自180°的偏移。

[0080] 而且,在本实施方式中,如图4所示,在俯视观察时,第一输入端口IP1、第二输入端口IP2、第一输出端口OP1以及第二输出端口OP2以距长边2X的距离相等的方式被配置。因此,易于使与第一输入端口IP1、第二输入端口IP2、第一输出端口OP1以及第二输出端口OP2分别连接的四个导线5A的高度一致。尤其在本实施方式中,由于第一输入端口IP1、第二输入端口IP2、第一输出端口OP1以及第二输出端口OP2沿着长边2X而被设置于靠近长边2X的

位置处,因此如图5的左侧的剖视图(图示了图3的一部分的剖视图)所示,能够缩小从SAW滤波器2的上表面到导线5A的最高部的高度H1。在图5的右侧图示了假设将第一输入端口IP1、第二输入端口IP2、第一输出端口OP1以及第二输出端口OP2设置于距长边2X较远的位置处的情况的剖视图,从SAW滤波器2的上表面到导线5A的最高部的高度H2大于H1。如此,根据本实施方式,能够降低导线5A,因此能够缩小封装件4在高度方向上的尺寸,从而能够实现振荡模块1的小型化。

[0081] 另外,在本实施方式中,如图4所示,在俯视观察时,第一输入端口IP1、第一输出端口OP1、第二输出端口OP2、第二输入端口IP2依次排列在沿着长边2X的方向上。由此,在将第一IDT201和第二IDT202排列于沿着长边2X的方向上的情况下,易于将第一配线205、第二配线206、第三配线207以及第四配线208设置为互不交叉,并且能够缩短这些配线的长度。

[0082] 并且,SAW滤波器2并不限于图4的结构,例如,也可以为不具有反射器而使声表面波在输入用的IDT与输出用的IDT之间传播的横向型SAW滤波器。

[0083] 1-2.振荡模块的功能结构

[0084] 图6为表示本实施方式的振荡模块1的功能结构的一个示例的框图。如图6所示,本实施方式的振荡模块1被构成为包括SAW滤波器2、移相电路10、差分放大器20(第一差分放大器)、电容器32、电容器34、差分放大器40(第二差分放大器)、电容器52、电容器54、倍增电路60、高通滤波器70(滤波器电路)、输出电路80。并且,本实施方式的振荡模块1也可以设为适当地省略或变更了这些要素的一部分或者追加了其他要素的结构。

[0085] 移相电路10、差分放大器20、电容器32、电容器34、差分放大器40、电容器52、电容器54、倍增电路60、高通滤波器70以及输出电路80被包含在集成电路3中。即,上述各个电路为集成电路3的一部分。

[0086] SAW滤波器2的第一输出端口OP1与集成电路3的输入端子T1连接。此外,SAW滤波器2的第二输出端口OP2与集成电路3的输入端子T2连接。此外,SAW滤波器2的第一输入端口IP1与集成电路3的输出端子T3连接。此外,SAW滤波器2的第二输入端口IP2与集成电路3的输出端子T4连接。

[0087] 集成电路3的电源端子T7与作为振荡模块1的外部端子(被设置于封装件4的表面上的外部电极)的VDD端子连接,并且在电源端子T7上经由VDD端子而被供给所需的电源电位。另外,集成电路3的接地端子T8与作为振荡模块1的外部端子的VSS端子连接,并且在接地端子T8上经由VSS端子而被供给接地电位(0V)。而且,移相电路10、差分放大器20、电容器32、电容器34、差分放大器40、电容器52、电容器54、倍增电路60、高通滤波器70以及输出电路80将电源端子T7与接地端子T8之间的电位差作为电源电压而进行工作。并且,差分放大器20、差分放大器40、倍增电路60、高通滤波器70以及输出电路80的各电源端子以及各接地端子分别与电源端子T7以及接地端子T8连接,但在图6中省略了图示。

[0088] 移相电路10以及差分放大器20被设置于从SAW滤波器2的第一输出端口OP1以及第二输出端口OP2至第一输入端口IP1以及第二输入端口IP2的反馈路径上。

[0089] 移相电路10具有线圈11(第一线圈)、线圈12(第二线圈)和可变电容元件13。线圈11的电感和线圈12的电感可以相同(容许因制造偏差而产生的差)或者为同等程度。

[0090] 线圈11的一端与集成电路3的输入端子T1连接,线圈11的另一端与可变电容元件13的一端以及差分放大器20的非反相输入端子连接。另外,线圈12的一端与集成电路3的输

入端子T2连接,线圈12的另一端与可变电容元件13的另一端以及差分放大器20的反相输入端子连接。

[0091] 可变电容元件13例如既可以是电容值根据所施加的电压而发生变化的变抗器(varactor) (也称为变容二极管(varicap)或者可变电容二极管),也可以为包含多个电容器和用于对多个电容器中的至少一部分进行选择的多个开关,并通过根据选择信号而使多个开关进行开闭从而根据所选择的电容器而切换电容值的电路。

[0092] 差分放大器20对被输入至非反相输入端子和反相输入端子中的一对信号的电位差进行放大并从非反相输出端子和反相输出端子进行输出。差分放大器20的非反相输出端子与集成电路3的输出端子T3以及电容器32的一端连接。另外,差分放大器20的反相输出端子与集成电路3的输出端子T4以及电容器34的一端连接。

[0093] 图7为表示差分放大器20的电路结构的一个示例的图。在图7的示例中,差分放大器20被构成为包括电阻21、电阻22、NMOS (Negative-channel Metal Oxide Semiconductor, N沟道金属氧化物半导体)晶体管23、NMOS晶体管24、恒定电流源25、NMOS晶体管26、NMOS晶体管27、电阻28以及电阻29。在图7中,例如,输入端子IP20为非反相输入端子,输入端子IN20为反相输入端子。另外,输出端子OP20为非反相输出端子,输出端子ON20为反相输出端子。

[0094] 在NMOS晶体管23中,栅极端子与输入端子IP20连接,源极端子与恒定电流源25的一端连接,漏极端子经由电阻21而与电源端子T7(参照图6)连接。

[0095] 在NMOS晶体管24中,栅极端子与输入端子IN20连接,源极端子与恒定电流源25的一端连接,漏极端子经由电阻22而与电源端子T7(参照图6)连接。

[0096] 恒定电流源25的另一端与接地端子T8(参照图6)连接。

[0097] 在NMOS晶体管26中,栅极端子与NMOS晶体管23的漏极端子连接,源极端子经由电阻28而与接地端子T8(参照图6)连接,漏极端子与电源端子T7(参照图6)连接。

[0098] 在NMOS晶体管27中,栅极端子与NMOS晶体管24的漏极端子连接,源极端子经由电阻29而与接地端子T8(参照图6)连接,漏极端子与电源端子T7(参照图6)连接。

[0099] 另外,NMOS晶体管26的源极端子与输出端子ON20连接,NMOS晶体管27的源极端子与输出端子OP20连接。

[0100] 以此方式而被构成的差分放大器20对被输入至输入端子IP20和输入端子IN20的一对信号进行非反相放大,并从输出端子OP20和输出端子ON20进行输出。

[0101] 返回图6,在本实施方式中,通过SAW滤波器2、移相电路10以及差分放大器20而使一对信号从SAW滤波器2的第一输出端口OP1以及第二输出端口OP2至第一输入端口IP1以及第二输入端口IP2的信号路径上进行传播,从而构成正反馈的闭环,该一对信号成为振荡信号。即,通过SAW滤波器2、移相电路10以及差分放大器20而构成振荡电路100。并且,振荡电路100也可以设为适当地省略或变更了这些要素的一部分或者追加了其他要素的结构。

[0102] 在图8的上层用实线来表示从SAW滤波器2的第一输出端口OP1输出的信号(频率 $f_0$ )的波形,用虚线来表示从SAW滤波器2的第二输出端口OP2输出的信号(频率 $f_0$ )的波形。另外,在图8的下层用实线来表示被输入至SAW滤波器2的第一输入端口IP1的信号(频率 $f_0$ )的波形,用虚线来表示被输入至SAW滤波器2的第二输入端口IP2的信号(频率 $f_0$ )的波形。

[0103] 如图8所示,从SAW滤波器2的第一输出端口OP1向第一输入端口IP1传播的信号(实

线)与从SAW滤波器2的第二输出端口OP2向第二输入端口IP2传播的信号(虚线)互为反相。在此,“互为反相”是指,不仅包括相位差准确地为180°的情况,还包括相位差与180°相差如下的量的情况的概念,所述量为,例如起因于从SAW滤波器2的第一输出端口OP1至第一输入端口IP1的反馈路径的配线与从SAW滤波器2的第二输出端口OP2至第二输入端口IP2的反馈路径的配线之间的长度、电阻以及电容的差或制造误差而产生的差分放大器20所具有的元件的特性的差等的量。

[0104] 如此,本实施方式的振荡电路100以通过由差分放大器20对从SAW滤波器2的第一输出端口OP1以及第二输出端口OP2输出的差分信号(互为反相的一对信号)进行放大并向SAW滤波器2的第一输入端口IP1以及第二输入端口IP2进行反馈从而构成闭环的反馈路径的方式而进行振荡。即,振荡电路100以差分的方式进行工作,并以与第一IDT201以及第二IDT202的电极指间距d<sub>1</sub>对应的频率f<sub>0</sub>而进行振荡。

[0105] 而且,由于经由电源线而被叠加在从SAW滤波器2的第一输出端口OP1以及第二输出端口OP2至第一输入端口IP1以及第二输入端口IP2的反馈路径上进行传播的差分信号上的电源噪声为共模噪声,因此能够通过差分放大器20而被大幅减少。因此,根据振荡电路100,能够减轻因电源噪声的影响而造成的振荡信号的劣化,从而提高振荡信号的频率精度和S/N。

[0106] 另外,本实施方式的振荡电路100通过使移相电路10的可变电容元件13的电容值发生变化,从而能够在SAW滤波器2的通频带内以与线圈11的电感以及线圈12的电感相对应的可变幅度而使振荡信号的频率f<sub>0</sub>发生变化。线圈11的电感以及线圈12的电感越大,频率f<sub>0</sub>的可变幅度越大。

[0107] 另外,本实施方式的振荡电路100使互为反相的电流流通于线圈11和线圈12中。因此,由于线圈11所产生的磁场的方向和线圈12所产生的磁场的方向相反而彼此削弱,因此能够减轻因磁场的影响而造成的振荡信号的劣化。

[0108] 而且,SAW谐振子相对于电抗的频率特性较为陡峭,相对于此,SAW滤波器2相对于电抗的频率特性是直线性的(较为平稳),因此与使用了SAW谐振子的振荡电路相比,本实施方式的振荡电路100具有频率f<sub>0</sub>的可变范围的控制较为容易的优点。

[0109] 返回图6,振荡模块1在与振荡电路100相比靠后级处设置有电容器32、电容器34、差分放大器40、电容器52、电容器54、倍增电路60、高通滤波器70以及输出电路80。

[0110] 电容器32的一端与差分放大器20的非反相输出端子(图7的输出端子OP20)连接,另一端与差分放大器40的非反相输入端子连接。另外,电容器34的一端与差分放大器20的反相输出端子(图7的输出端子ON20)连接,另一端与差分放大器40的反相输入端子连接。该电容器32以及电容器34作为DC(Direct Current, 直流)截止用的电容器而发挥功能,并去除从差分放大器20的非反相输出端子(图7的输出端子OP20)以及反相输出端子(图7的输出端子ON20)输出的各信号的DC成分。

[0111] 差分放大器40被设置于从振荡电路100至倍增电路60的信号路径上。差分放大器40将对被输入至非反相输入端子和反相输入端子的差分信号进行放大后的差分信号从非反相输出端子和反相输出端子输出。

[0112] 图9为表示差分放大器40的电路结构的一个示例的图。在图9的示例中,差分放大器40被构成为包括电阻41、电阻42、NMOS晶体管43、NMOS晶体管44以及恒定电流源45。在图9

中,例如,输入端子IP40为非反相输入端子,输入端子IN40为反相输入端子。另外,输出端子OP40为非反相输出端子,输出端子ON40为反相输出端子。

[0113] 在NMOS晶体管43中,栅极端子与输入端子IP40连接,源极端子与恒定电流源45的一端连接,漏极端子经由电阻41而与电源端子T7(参照图6)连接。

[0114] 在NMOS晶体管44中,栅极端子与输入端子IN40连接,源极端子与恒定电流源45的一端连接,漏极端子经由电阻42而与电源端子T7(参照图6)连接。

[0115] 恒定电流源45的另一端与接地端子T8(参照图6)连接。

[0116] 另外,NMOS晶体管43的漏极端子与输出端子OP40连接,NMOS晶体管44的漏极端子与输出端子ON40连接。

[0117] 以此方式而构成的差分放大器40对被输入至输入端子IP40和输入端子IN40的差分信号进行反相放大,并将放大后的差分信号从输出端子OP40和输出端子ON40输出。

[0118] 返回图6,电容器52的一端与差分放大器40的非反相输出端子(图9的输出端子OP40)连接,另一端与倍增电路60的非反相输入端子连接。另外,电容器54的一端与差分放大器40的反相输出端子(图9的输出端子ON40)连接,另一端与倍增电路60的反相输入端子连接。该电容器52以及电容器54作为DC截止用的电容器而发挥功能,并去除从差分放大器40的非反相输出端子(图9的输出端子OP40)以及反相输出端子(图9的输出端子ON40)输出的各信号的DC成分。

[0119] 倍增电路60以差分的方式进行工作,并将对被输入至非反相输入端子和反相输入端子的差分信号的频率 $f_0$ 进行倍增后的差分信号从非反相输出端子和反相输出端子输出。

[0120] 图10为表示倍增电路60的电路结构的一个示例的图。在图10的示例中,倍增电路60被构成为包括电阻61、电阻62、NMOS晶体管63、NMOS晶体管64、NMOS晶体管65、NMOS晶体管66、NMOS晶体管67、NMOS晶体管68以及恒定电流源69。在图10中,例如,输入端子IP60为非反相输入端子,输入端子IN60为反相输入端子。另外,输出端子OP60为非反相输出端子,输出端子ON60为反相输出端子。

[0121] 在NMOS晶体管63中,栅极端子与输入端子IP60连接,源极端子与NMOS晶体管65的漏极端子连接,漏极端子经由电阻61而与电源端子T7(参照图6)连接。

[0122] 在NMOS晶体管64中,栅极端子与输入端子IN60连接,源极端子与NMOS晶体管65的漏极端子连接,漏极端子经由电阻62而与电源端子T7(参照图6)连接。

[0123] 在NMOS晶体管65中,栅极端子与输入端子IP60连接,源极端子与恒定电流源69的一端连接,漏极端子与NMOS晶体管63的源极端子以及NMOS晶体管64的源极端子连接。

[0124] 在NMOS晶体管66中,栅极端子与输入端子IN60连接,源极端子与NMOS晶体管68的漏极端子连接,漏极端子经由电阻61而与电源端子T7(参照图6)连接。

[0125] 在NMOS晶体管67中,栅极端子与输入端子IP60连接,源极端子与NMOS晶体管68的漏极端子连接,漏极端子经由电阻62而与电源端子T7(参照图6)连接。

[0126] 在NMOS晶体管68中,栅极端子与输入端子IN60连接,源极端子与恒定电流源69的一端连接,漏极端子与NMOS晶体管66的源极端子以及NMOS晶体管67的源极端子连接。

[0127] 恒定电流源69的另一端与接地端子T8(参照图6)连接。

[0128] 另外,NMOS晶体管63的漏极端子以及NMOS晶体管66的漏极端子与输出端子OP60连接,NMOS晶体管64的漏极端子以及NMOS晶体管67的漏极端子与输出端子ON60连接。

[0129] 以此方式而构成的倍增电路60生成被输入至输入端子IP60和输入端子IN60的差分信号的频率 $f_0$ 的2倍的频率 $2f_0$ 的差分信号,并将该差分信号从输出端子OP60和输出端子ON60输出。尤其是倍增电路60为平衡调制电路,从而为在原理上被输入至输入端子IP60和输入端子IN60的差分信号( $f_0$ 的信号)不会从输出端子OP60和输出端子ON60输出的结构。根据该倍增电路60,即使考虑到各个NMOS晶体管或各个电阻的制造偏差,也能够减小从输出端子OP60和输出端子ON60输出的 $f_0$ 的信号成分,从而能够获得纯度较高(频率精度较高的)的 $2f_0$ 的差分信号,且电路面积还比较小。

[0130] 返回图6,倍增电路60的非反相输出端子(图10的输出端子OP60)与高通滤波器70的非反相输入端子连接。另外,倍增电路60的反相输出端子(图10的输出端子ON60)与高通滤波器70的反相输入端子连接。

[0131] 高通滤波器70被设置于从倍增电路60至输出电路80的信号路径上。高通滤波器70以差分的方式进行工作,并将从被输入至非反相输入端子和反相输入端子的差分信号中衰减了低频成分后的差分信号从非反相输出端子和反相输出端子输出。

[0132] 图11为表示高通滤波器70的电路结构的一个示例的图。在图11的示例中,高通滤波器70被构成为包括电阻71、电容器72、电容器73、线圈74(第三线圈)、电容器75、电容器76以及电阻77。在图11中,例如,输入端子IP70为非反相输入端子,输入端子IN70为反相输入端子。另外,输出端子OP70为非反相输出端子,输出端子ON70为反相输出端子。

[0133] 电阻71的一端与输入端子IP70以及电容器72的一端连接,另一端与输入端子IN70以及电容器73的一端连接。

[0134] 电容器72的一端与输入端子IP70以及电阻71的一端连接,另一端与线圈74的一端以及电容器75的一端连接。

[0135] 电容器73的一端与输入端子IN70以及电阻71的另一端连接,另一端与线圈74的另一端以及电容器76的一端连接。

[0136] 线圈74的一端与电容器72的另一端以及电容器75的一端连接,另一端与电容器73的另一端以及电容器76的一端连接。

[0137] 电容器75的一端与电容器72的另一端以及线圈74的一端连接,另一端与电阻77的一端连接。

[0138] 电容器76的一端与电容器73的另一端以及线圈74的另一端连接,另一端与电阻77的另一端连接。

[0139] 电阻77的一端与电容器75的另一端连接,另一端与电容器76的另一端连接。

[0140] 另外,电容器75的另一端以及电阻77的一端与输出端子OP70连接,电容器76的另一端以及电阻77的另一端与输出端子ON70连接。

[0141] 以此方式而构成的高通滤波器70生成从被输入至输入端子IP70和输入端子IN70的差分信号中衰减了低频成分后的差分信号,并将该差分信号从输出端子OP70和输出端子ON70输出。

[0142] 图12为表示高通滤波器70的频率特性的一个示例的图。在图12中也用虚线图示了作为高通滤波器70的输入信号的倍增电路60的输出信号的频谱。在图12中,横轴为频率,纵轴为增益(在高通滤波器70的频率特性的情况下)或功率(在倍增电路60的输出信号的频谱的情况下)。如图12所示,以使高通滤波器70的截止频率 $f_c$ 处于 $f_0$ 与 $2f_0$ 之间的方式而设定各

个电阻的电阻值、各个电容器的电容值以及线圈74的电感值。如前文所述,倍增电路60输出 $f_0$ 的信号成分较小且纯度较高(频率精度较高)的 $2f_0$ 的差分信号,但如图12所示,由于通过高通滤波器70而使与该截止频率 $f_c$ 相比较低的 $f_0$ 的信号成分被衰减,因此能够获得纯度更高(频率精度较高)的 $2f_0$ 的差分信号。

[0143] 返回图6,高通滤波器70的非反相输出端子(图11的输出端子OP70)与输出电路80的非反相输入端子连接。另外,高通滤波器70的反相输出端子(图11的输出端子ON70)与输出电路80的反相输入端子连接。

[0144] 输出电路80被设置于倍增电路60以及高通滤波器70的后级。输出电路80以差分的方式进行工作,并生成将被输入至非反相输入端子和反相输入端子的差分信号转换为所需的电压电平(或者电流电平)的信号的差分信号,并将该差分信号从非反相输出端子和反相输出端子输出。输出电路80的非反相输出端子与集成电路3的输出端子T5连接,输出电路80的反相输出端子与集成电路3的输出端子T6连接。集成电路3的输出端子T5与作为振荡模块1的外部端子的CP端子连接,集成电路3的输出端子T6与作为振荡模块1的外部端子的CN端子连接。而且,由输出电路80进行转换所得的差分信号(振荡信号)经由集成电路3的输出端子T5以及输出端子T6而从振荡模块1的CP端子以及CN端子输出至外部。

[0145] 图13为表示输出电路80的电路结构的一个示例的图。在图13的示例中,输出电路80被构成为包括差分放大器81、NPN晶体管82以及NPN晶体管83。在图13中,例如,输入端子IP80为非反相输入端子,输入端子IN80为反相输入端子。另外,输出端子OP80为非反相输出端子,输出端子ON80为反相输出端子。

[0146] 在差分放大器81中,非反相输入端子与输入端子IP80连接,反相输入端子与输入端子IN80连接,非反相输出端子与NPN晶体管82的基极端子连接,反相输出端子与NPN晶体管83的基极端子连接,并且差分放大器81以从电源端子T7(参照图6)和接地端子T8供给的电源电压VDD而进行工作。

[0147] 在NPN晶体管82中,基极端子与差分放大器81的非反相输出端子连接,集电极端子与电源端子T7(参照图6)连接,发射极端子与输出端子OP80连接。

[0148] 在NPN晶体管83中,基极端子与差分放大器81的反相输出端子连接,集电极端子与电源端子T7(参照图6)连接,发射极端子与输出端子ON80连接。

[0149] 以此方式而构成的输出电路80为PECL(Positive Emitter Coupled Logic,正发射极偶合逻辑)电路或者LV-PECL(Low-Voltage Positive Emitter Coupled Logic,低电压正发射极耦合逻辑)电路,并且通过将输出端子OP80以及输出端子ON80下拉至预定的电位V1,从而将被输入至输入端子IP80和输入端子IN80的差分信号转换为使高电平成为VDD- $V_{CE}$ 且使低电平成为V1的差分信号,并将该差分信号从输出端子OP80和输出端子ON80输出。并且, $V_{CE}$ 为NPN晶体管82或者NPN晶体管83的集电极与发射极之间的电压。

[0150] 根据以上所说明的本实施方式的振荡模块1,即使因振荡电路100的动作而使噪声叠加在被供给至与振荡电路100相比靠后级的各个电路(差分放大器40、倍增电路60、高通滤波器70、输出电路80)的电源上,也由于该各个电路均以差分的方式进行工作,因此被叠加在各个电路所输出的差分信号(振荡信号)上的电源噪声成为共模噪声。因此,根据本实施方式的振荡模块1,能够输出使由起因于振荡电路100的动作而产生的电源噪声的影响所造成的劣化减轻的振荡信号。

[0151] 另外,根据本实施方式的振荡模块1,由于倍增电路60被设置在与振荡电路100相比靠后级处,因此能够输出使振荡电路100所输出的振荡信号的频率倍增的频率的振荡信号。

[0152] 另外,根据本实施方式的振荡模块1,由于振荡电路100以差分的方式进行工作,因此作为共模噪声而被叠加于在振荡电路100中的反馈路径上传播的差分信号(振荡信号)上的电源噪声被大幅减少。因此,根据本实施方式的振荡模块1,能够提高振荡信号的频率精度和S/N。

[0153] 另外,根据本实施方式的振荡模块1,由于倍增电路60为平衡调制电路,因此,原理上,与被输入至倍增电路60中的信号频率相同的信号不会从倍增电路60输出(仅输出将被输入的信号的频率倍增的信号)。因此,根据本实施方式的振荡模块1,能够获得频率精度较高的倍增频率的振荡信号。

[0154] 另外,在本实施方式的振荡模块1中,振荡电路100输出差分信号,并且位于从振荡电路100至输出电路80的信号路径上的电路(差分放大器40、倍增电路60以及高通滤波器70)以差分的方式进行工作。由于通过振荡电路100的动作而产生的电源噪声经由电源线而作为共模噪声被叠加在输入至该各个电路的差分信号上,因此该各个电路通过以差分的方式进行工作,从而能够输出电源噪声被大幅减少的差分信号。经由电源线而被叠加在输出电路80的输入信号上的电源噪声(共模噪声)也同样由于输出电路80以差分的方式进行工作,从而被大幅减少。如此,本实施方式的振荡模块1能够输出使由起因于振荡电路100的动作而产生的电源噪声的影响所造成的劣化减轻的频率精度较高的振荡信号。

[0155] 另外,根据本实施方式的振荡模块1,通过适当地选择被设置于振荡电路100中的差分放大器20的放大率和被设置于与振荡电路100相比靠后级的差分放大器40的放大率,从而能够将振荡信号的频率精度设计为最佳。另外,根据本实施方式的振荡模块1,由于能够通过高通滤波器70而使倍增电路60所输出的振荡信号中所包含的无用的频率成分的信号减少,因此能够提高振荡信号的频率精度。

[0156] 1-3.集成电路的布局

[0157] 在本实施方式的振荡模块1中,为了提高从集成电路3输出的差分信号的频率精度而对集成电路3的布局进行了设计。图14为表示集成电路3中所包含的各个电路(除了一部分以外)的布局配置的一个示例的图。图14为从与半导体基板上的层压有各种元件(晶体管或电阻等)的面正交的方向俯视观察集成电路3时的图。另外,图15为将图14的布局配置图中的输入端子T1、输入端子T2、移相电路10、差分放大器20以及高通滤波器70的部分放大后的图。在图15中还图示了移相电路10中所包含的线圈11、线圈12、可变电容元件13以及高通滤波器70中所包含的线圈74的布局配置与局部配线图案。

[0158] 在图15中,假想直线VL为,穿过线圈11的中心01与线圈12的中心02的中点P并与连结线圈11的中心01和线圈12的中心02的线段L正交的直线,换言之,为距线圈11的中心01和线圈12的中心02距离相等的直线。

[0159] 在本实施方式中,如图15所示,在俯视观察集成电路3时,线圈74以与距线圈11的中心01和线圈12的中心02距离相等的假想直线VL交叉的方式被配置。如图15所示,线圈74也可以以其中心03处于假想直线VL上的方式被配置。当设为线圈11的配线图案与线圈12的配线图案相同时,在线圈11中流通的电流I1与在线圈12中流通的电流I2互为反向(反相)。

即,当顺时针的电流I1在线圈11中流通时,逆时针的电流I2在线圈12中流通,当逆时针的电流I1在线圈11中流通时,顺时针的电流I2在线圈12中流通。因此,在假想直线VL上,线圈11所产生的磁场的方向和线圈12所产生的磁场的方向相反从而彼此削弱。而且,如果线圈11的配线图案与线圈12的配线图案相同,则理想的情况为,线圈11的电感与线圈12的电感相同且电流I1和电流I2也相等。实际上,即使考虑到配线或各种元件的制造偏差等,线圈11的电感与线圈12的电感之差或电流I1与电流I2之差也较小,因此,在假想直线VL上,线圈11所产生的磁场的强度和线圈12所产生的磁场的强度大致相等,而几乎相互抵消。因此,通过以与假想直线VL交叉的方式被配置的线圈74与线圈11以及线圈12的磁场耦合,从而能够减小被叠加在高通滤波器70所输出的 $2f_0$ 的信号上的 $f_0$ 的信号的电平,进而振荡模块1能够输出频率精度较高的振荡信号。

[0160] 另外,在本实施方式中,如图15所示,在俯视观察集成电路3时,可变电容元件13被配置于线圈11与线圈12之间。如此,通过在靠近线圈11以及线圈12而容易受到线圈11所产生的磁场或线圈12所产生的磁场的影响的线圈11与线圈12之间,配置不易受到磁场的影响的可变电容元件13,从而能够抑制布局面积的不必要的增加。另外,由于对线圈11的另一端与可变电容元件13的一端的进行连接的配线和对线圈12的另一端与可变电容元件13的另一端进行连接的配线均变短,因此能够缩小布局面积,并且能够减小这些配线的寄生电容或寄生电阻。

[0161] 另外,在本实施方式中,如图15所示,在俯视观察集成电路3时,差分放大器20被配置于可变电容元件13与线圈74之间。由于通过这种布局配置,能够在抑制布局面积的不必要的增加的同时,使线圈11与线圈74之间的距离或线圈12与线圈74之间的距离增大与差分放大器20相对应的量,因此线圈74所受到的来自线圈11的磁场的强度和来自线圈12的磁场的强度变得更小。因此,能够进一步减小由于线圈11以及线圈12与线圈74的磁场耦合而被叠加在高通滤波器70所输出的 $2f_0$ 的信号上的 $f_0$ 的信号的电平,从而振荡模块1能够输出频率精度更高的振荡信号。

[0162] 而且,通过缩短可变电容元件13与差分放大器20之间的距离,结果为,对线圈11的另一端与差分放大器20的非反相输入端子进行连接的配线和对线圈12的另一端与差分放大器20的反相输入端子进行连接的配线均变短。因此,能够缩小布局面积,并且从线圈11的另一端至差分放大器20的非反相输入端子的信号路径上的寄生电容或寄生电阻和从线圈12的另一端至差分放大器20的反相输入端子的信号路径上的寄生电容或寄生电阻均变小,从而能够减小在这两个信号路径上传播的差分信号的相位差自180°的偏移或被叠加在该差分信号上的噪声电平的差。

[0163] 另外,在本实施方式中,如图15所示,线圈11和通过配线而与线圈11连接的输入端子T1(第一衬垫)之间的距离(例如为中心间距离)短于线圈74和输入端子T1之间的距离(例如为中心间距离)。另外,线圈12和通过配线而与线圈12连接的输入端子T2(第二衬垫)之间的距离(例如为中心间距离)短于线圈74和输入端子T2之间的距离(例如为中心间距离)。由于通过这种布局配置,对输入端子T1和线圈11进行连接的配线或对输入端子T2和线圈12进行连接的配线变短,因此能够缩小布局面积,并且,能够减小这些配线的寄生电容或寄生电阻。因此,从输入端子T1至线圈11的一端的信号路径上的寄生电容或寄生电阻和从输入端子T2至线圈12的一端的信号路径上的寄生电容或寄生电阻均变小,从而能够减小在这两个

信号路径上传播的差分信号的相位差自180°的偏移或被叠加在该差分信号上的噪声电平的差。

[0164] 另外,通过这种布局配置,输入端子T1和线圈74之间的距离或输入端子T2和线圈74之间的距离(换言之,与高通滤波器70的输出端子之间的距离)变长。因此,能够降低如下可能性,即,在线圈11或线圈12中流通的电流的频率成分 $f_0$ 经由输入端子T1或输入端子T2而与在线圈74中流通的频率 $2f_0$ 的电流耦合的可能性。即,被输入至输入端子T1或输入端子T2中的 $f_0$ 的信号不易叠加在高通滤波器70所输出的 $2f_0$ 的信号上,从而振荡模块1能够输出频率精度较高的振荡信号。

[0165] 另外,在本实施方式中,如图15所示,在俯视观察集成电路3时,差分放大器20以及可变电容元件13以与距线圈11的中心01和线圈12的中心02距离相等的假想直线VL交叉的方式配置。通过这种布局配置,从而能够减小对线圈11的另一端和差分放大器20的非反相输入端子进行连接的配线的长度与对线圈12的另一端和差分放大器20的反相输入端子进行连接的配线的长度之差。同样,能够减小对可变电容元件13的一端和差分放大器20的非反相输入端子进行连接的配线的长度与对可变电容元件13的另一端和差分放大器20的反相输入端子进行连接的配线的长度之差。因此,从线圈11的另一端至差分放大器20的非反相输入端子的信号路径与从线圈12的另一端至差分放大器20的反相输入端子的信号路径上的寄生电容或寄生电阻的差变小,从而能够减小在这两个信号路径上传播的差分信号的相位差自180°的偏移或被叠加在该差分信号上的噪声电平的差。因此,能够提高振荡电路100所输出的振荡信号的频率精度和S/N。

[0166] 另外,在本实施方式中,如图14所示,在差分放大器20的附近设置有差分放大器40,在与差分放大器40和高通滤波器70双方均接近的位置处设置有倍增电路60,在高通滤波器70的附近设置有输出电路80,在输出电路80的附近设置有输出端子T5和输出端子T6。通过这种布局配置,能够分别缩短对各个电路进行连接的配线。因此,能够缩小集成电路3的布局面积,并且,能够减小从输入端子T1以及输入端子T2向输出端子T5以及输出端子T6传播的差分信号的相位差自180°的偏移或被叠加在该差分信号上的噪声电平的差。

[0167] 如以上所说明的那样,根据本实施方式的振荡模块1,通过采用图14以及图15所示的布局配置,从而能够同时实现集成电路3的布局面积的缩小(尺寸的缩小)和频率精度较高的差分信号的输出。

[0168] 1-4. 改变例

[0169] 虽然在上述的实施方式中,如图15所示,线圈74以其中心03处于假想直线VL上的方式被配置,但只要线圈74以与假想直线VL交叉的方式被配置即可,如图16或图17所示,中心03也可以不处于假想直线VL上。

[0170] 另外,在上述的实施方式中,通过在从SAW滤波器2的第一输出端口OP1以及第二输出端口OP2至第一输入端口IP1以及第二输入端口IP2的反馈路径上设置作为具有电感的部件的线圈11以及线圈12,从而扩大了振荡频率的可变幅度。与此相对,也可以在该反馈路径上代替线圈11以及线圈12或者与线圈11以及线圈12一起设置其他的具有电感的部件。作为线圈之外的具有电感的部件,例如,存在接合引线或基板配线,振荡电路100能够以与接合引线或基板配线的电感值相对应的可变幅度而使振荡频率发生变化。

[0171] 另外,虽然本实施方式的振荡模块1在倍增电路60的后级设置有截止频率 $f_c$ 高于

频率 $f_0$ 且在在通频带中包含频率 $2f_0$ 的高通滤波器70,但是也可以置换为低频带侧的截止频率高于频率 $f_0$ 且在通频带中包含频率 $2f_0$ 的带通滤波器。

[0172] 2. 电子设备

[0173] 图18为表示本实施方式的电子设备的结构的一个示例的功能框图。本实施方式的电子设备300被构成为包括振荡模块310、CPU(Central Processing Unit,中央处理单元)320、操作部330、ROM(Read Only Memory,只读存储器)340、RAM(Random Access Memory,随机存取存储器)350、通信部360、显示部370。并且,本实施方式的电子设备也可以设为省略或变更了图18的结构要素(各部)的一部分或者追加了其他结构要素的结构。

[0174] 振荡模块310具备振荡电路312。振荡电路312具备未图示的SAW滤波器,并产生基于SAW滤波器的谐振频率的频率的振荡信号。

[0175] 另外,振荡模块310也可以具备位于与振荡电路312相比靠后级的倍增电路314或输出电路316。倍增电路314产生使振荡电路312所产生的振荡信号的频率倍增的振荡信号。另外,输出电路316将倍增电路314所产生的振荡信号或者振荡电路312所产生的振荡信号向CPU320进行输出。振荡电路312、倍增电路314以及输出电路316也可以分别以差分的方式进行工作。

[0176] CPU320根据存储于ROM340等中的程序而将从振荡模块310输入的振荡信号作为时钟信号而实施各种计算处理或控制处理。具体而言,CPU320实施与来自操作部330的操作信号相对应的各种处理、对通信部360进行控制以与外部装置实施数据通信的处理、发送用于使显示部370显示各种信息的显示信号的处理等。

[0177] 操作部330为通过操作按键或按钮开关等而构成的输入装置,并向CPU320输出与用户的操作相对应的操作信号。

[0178] ROM340对供CPU320实施各种计算处理或控制处理的程序或数据等进行存储。

[0179] RAM350作为CPU320的工作区域而被使用,并临时地存储从ROM340读取的程序或数据、从操作部330输入的数据、CPU320根据各种程序而执行的运算的结果等。

[0180] 通信部360实施用于使CPU320与外部装置之间的数据通信成立的各种控制。

[0181] 显示部370为通过LCD(Liquid Crystal Display,液晶显示器)等构成的显示装置,并根据从CPU320输入的显示信号而显示各种信息。在显示部370中也可以设置有作为操作部330而发挥功能的触摸面板。

[0182] 通过应用例如上述的实施方式的振荡电路100以作为振荡电路312,或者,应用例如上述的实施方式的振荡模块1以作为振荡模块310,从而能够实现可靠性较高的电子设备。

[0183] 作为这样的电子设备300,可考虑各种电子设备,例如,可列举出使用了光缆等的光传输装置等网络设备、广播设备、人造卫星或基站中所利用的通信设备、GPS(Global Positioning System,全球定位系统)模块、个人计算机(例如,便携式个人计算机、膝上型个人计算机、平板型个人计算机)、智能手机或移动电话机等移动体终端、数码照相机、喷墨式喷出装置(例如,喷墨打印机),路由器或开关等存储区域网络设备、局域网设备、移动体终端基站用设备、电视机、摄像机、录像机、汽车导航装置、实时时钟装置、寻呼机、电子记事本(也包含附带通信功能的产品)、电子辞典、计算器、电子游戏机、游戏用控制器、文字处理器、工作站、可视电话、防盗用视频监视器、电子双筒望远镜、POS(Point of Sale:销售点)

终端、医疗设备(例如电子体温计、血压计、血糖仪、心电图计测装置、超声波诊断装置、电子内窥镜)、鱼群探测器、各种测量设备、计量仪器类(例如,车辆、飞机、船舶的计量仪器类)、飞行模拟器、头戴式显示器、运动轨迹、运动跟踪器、运动控制器、PDR (Pedestrian Dead Reckoning, 步行者航位推算) 等。

[0184] 作为本实施方式的电子设备300的一个示例, 将上述的振荡模块310作为基准信号源而使用, 例如, 可列举出作为以有线或无线的方式而与终端进行通信的终端基站用装置等而发挥功能的传播装置。通过应用例如上述的实施方式的振荡模块1以作为振荡模块310, 从而能够实现可在例如通信基站等中利用的可期待与现有技术相比频率精度较高、高性能、高可靠性的电子设备300。

[0185] 另外, 作为本实施方式的电子设备300的其他的一个示例, 也可以为如下的通信装置, 即, 通信部360接收外部时钟信号, 并且CPU320(处理部)包括基于该外部时钟信号和振荡模块310的输出信号而对振荡模块310的频率进行控制的频率控制部的通信装置。

[0186] 3. 移动体

[0187] 图19为表示本实施方式的移动体的一个示例的图(俯视图)。图19所示的移动体400被构成为包括振荡模块410, 实施发动机系统、制动系统、无钥匙进入系统等各种控制的控制器420、430、440, 蓄电池450和备用蓄电池460。并且, 本实施方式的移动体也可以设有省略了图19的结构要素(各部)的一部分或者追加了其他结构要素的结构。

[0188] 振荡模块410具备振荡电路(未图示)并产生基于SAW滤波器的谐振频率的频率的振荡信号, 其中, 所述振荡电路具备未图示的SAW滤波器。

[0189] 另外, 振荡模块410也可以具备位于与振荡电路相比靠后级的倍增电路、输出电路。倍增电路产生使振荡电路所产生的振荡信号的频率倍增后的振荡信号。另外, 输出电路输出倍增电路所产生的振荡信号或者振荡电路所产生的振荡信号。振荡电路、倍增电路以及输出电路也可以分别以差分的方式进行工作。

[0190] 振荡模块410所输出的振荡信号被供给至控制器420、430、440, 例如作为时钟信号而被使用。

[0191] 蓄电池450向振荡模块410以及控制器420、430、440供给电力。备用蓄电池460在蓄电池450的输出电压低于阈值时, 向振荡模块410以及控制器420、430、440供给电力。

[0192] 通过应用例如上述的各实施方式的振荡电路100以作为振荡模块410所具备的振荡电路, 或者应用例如上述的各实施方式的振荡模块1以作为振荡模块410, 从而能够实现可靠性较高的移动体。

[0193] 作为这样的移动体400, 可考虑各种移动体, 例如, 可列举出汽车(也包括电动汽车)、喷气机或直升机等航空器、船舶、火箭、人造卫星等。

[0194] 本发明并不限定于本实施方式, 能够在本发明的主旨的范围内实施各种的变形。

[0195] 上述的实施方式以及改变例为一个示例, 并不限定于此。例如, 还能够对各个实施方式以及各个改变例进行适当组合。

[0196] 本发明包括与实施方式中所说明的结构实质相同的结构(例如, 功能、方法以及结果相同的结构或目的以及效果相同的结构)。此外, 本发明包括对实施方式中所说明的结构的非本质部分进行替换而得到的结构。此外, 本发明包括与实施方式中所说明的结构起到相同的作用效果的结构或能够实现相同的目的的结构。此外, 本发明包括在实施方式中所

说明的结构中追加了公知技术的结构。

[0197] 符号说明

[0198] 1…振荡模块;2…SAW滤波器;2A…第一端部;2B…第二端部;2X…长边;2Y…短边;3…集成电路;3B…电极(衬垫);4…封装件;4A…封装件的第一层;4B…封装件的第二层;4C…封装件的第三层;4D…封装件的第4层;5A…导线;5B…导线;6A…电极;6B…电极;7…粘合剂;10…移相电路;11…线圈;12…线圈;13…可变电容元件;20…差分放大器;21…电阻;22…电阻;23…NMOS晶体管;24…NMOS晶体管;25…恒定电流源;26…NMOS晶体管;27…NMOS晶体管;28…电阻;29…电阻;32…电容器;34…电容器;40…差分放大器;41…电阻;42…电阻;43…NMOS晶体管;44…NMOS晶体管;45…恒定电流源;52…电容器;54…电容器;60…倍增电路;61…电阻;62…电阻;63…NMOS晶体管;64…NMOS晶体管;65…NMOS晶体管;66…NMOS晶体管;67…NMOS晶体管;68…NMOS晶体管;69…恒定电流源;70…高通滤波器;71…电阻;72…电容器;73…电容器;74…线圈;75…电容器;76…电容器;77…电阻;80…输出电路;81…差分放大器;82…NPN晶体管;83…NPN晶体管;100…振荡电路;200…压电基板;201…第一IDT;202…第二IDT;203…第一反射器;204…第二反射器;205…第一配线;206…第二配线;207…第三配线;208…第四配线;300…电子设备;310…振荡模块;312…振荡电路;314…倍增电路;316…输出电路;320…CPU;330…操作部;340…ROM;350…RAM;360…通信部;370…显示部;400…移动体;410…振荡模块;420…控制器;430…控制器;440…控制器;450…蓄电池;460…备用蓄电池;IP1…第一输入端口;IP2…第二输入端口;OP1…第一输出端口;OP2…第二输出端口;IP20…输入端子;IP40…输入端子;IP60…输入端子;IP70…输入端子;IP80…输入端子;IN20…输入端子;IN40…输入端子;IN60…输入端子;IN70…输入端子;IN80…输入端子;OP20…输出端子;OP40…输出端子;OP60…输出端子;OP70…输出端子;OP80…输出端子;ON20…输出端子;ON40…输出端子;ON60…输出端子;ON70…输出端子;ON80…输出端子;O1…线圈11的中心;O2…线圈12的中心;P…O1和O2的中点;L…连接O1和O2的线段;VL…穿过中点P并与线段L正交的假想直线(距O1和O2距离相等的直线);I1…在线圈11中流通的电流;I2…在线圈12中流通的电流;T1…输入端子;T2…输入端子;T3…输出端子;T4…输出端子;T5…输出端子;T6…输出端子;T7…电源端子;T8…接地端子。

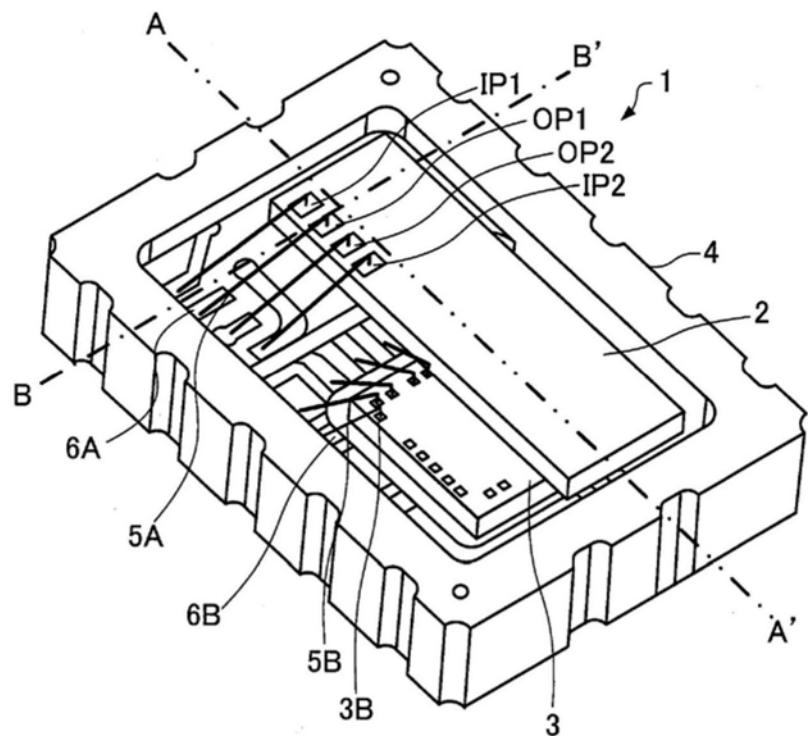


图1

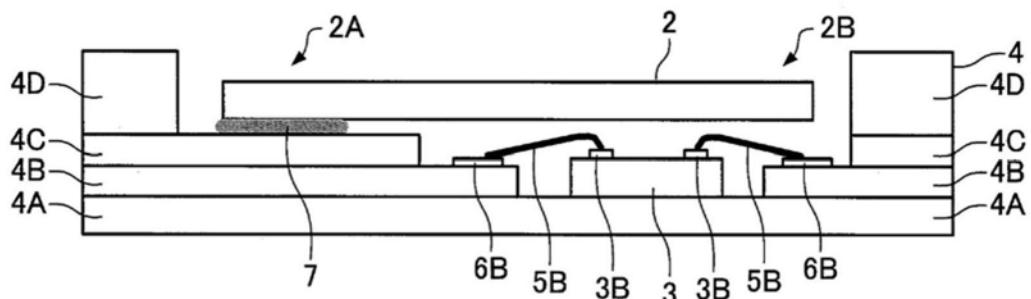


图2

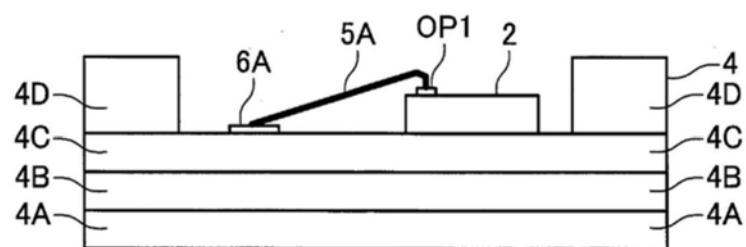


图3

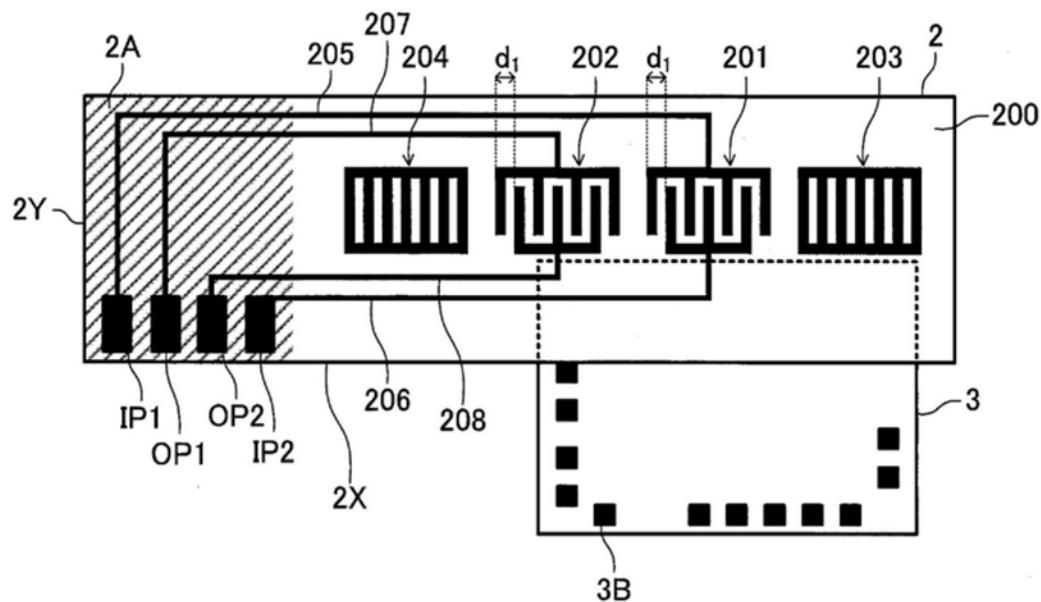


图4

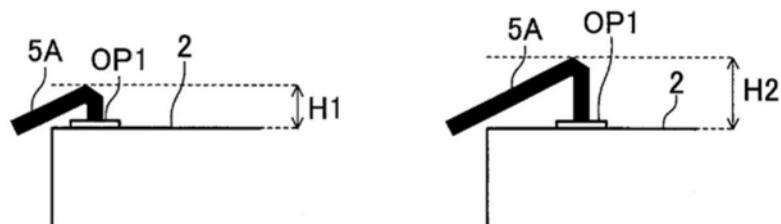


图5

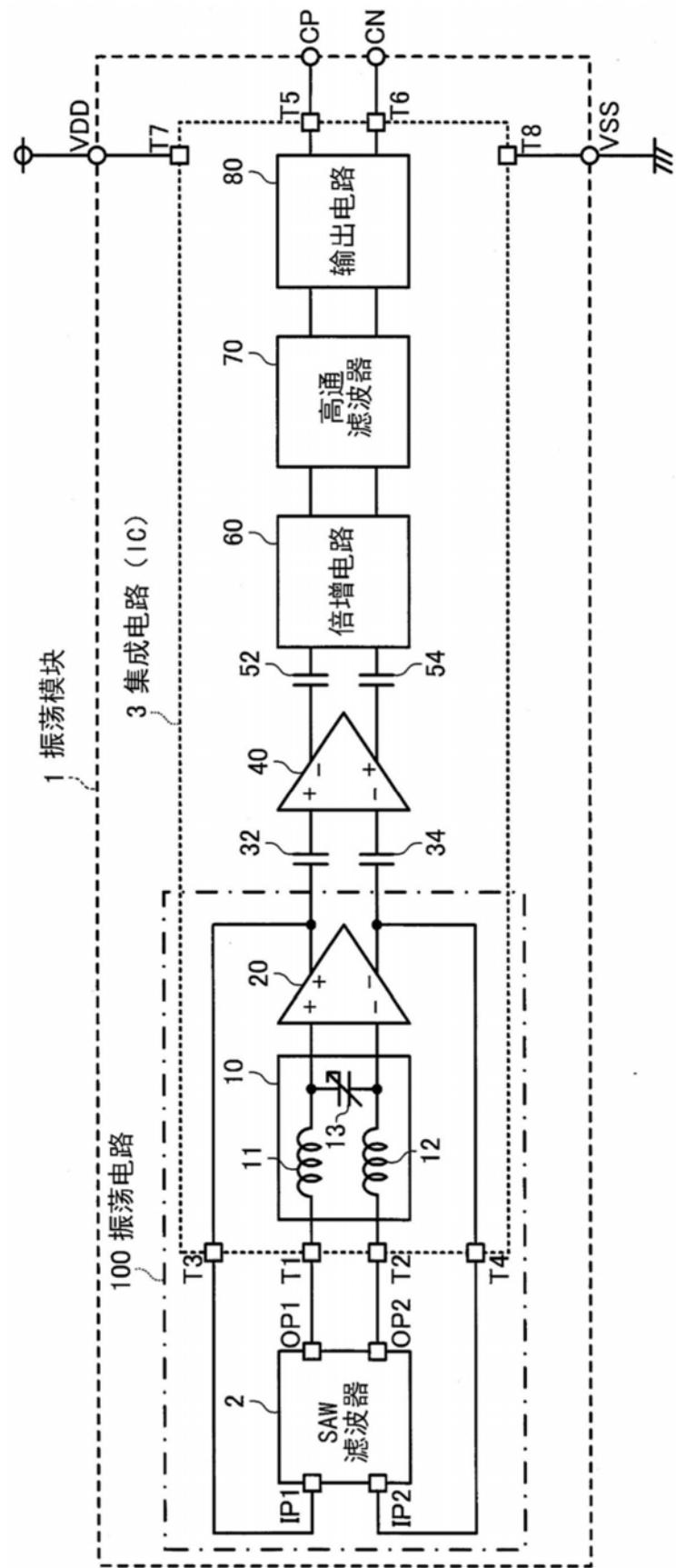


图6

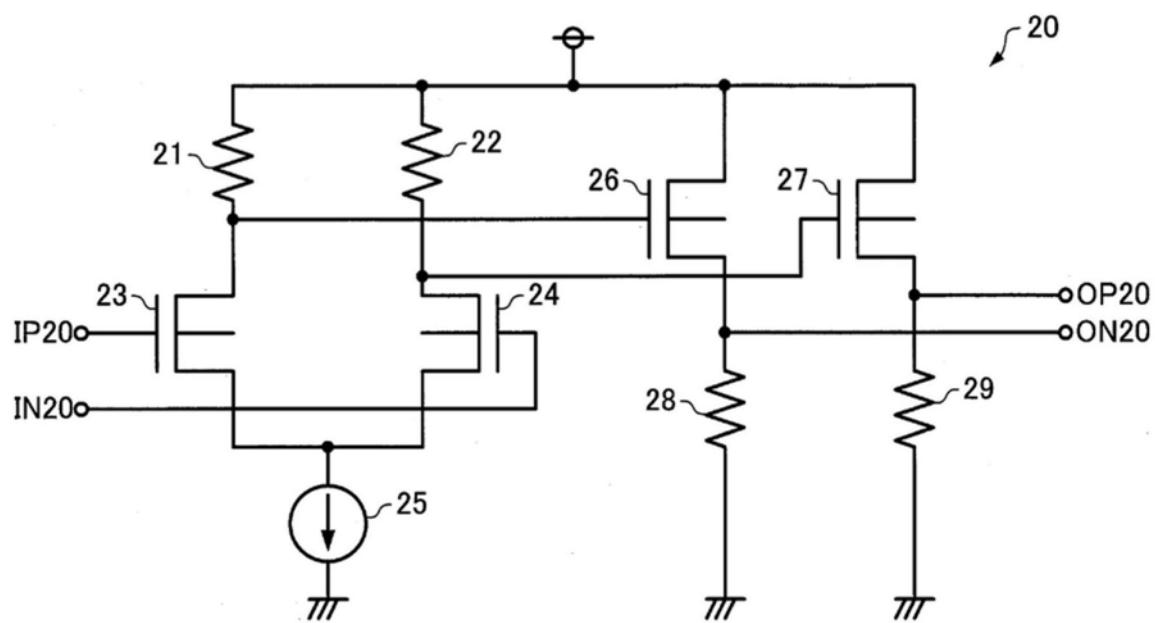


图7

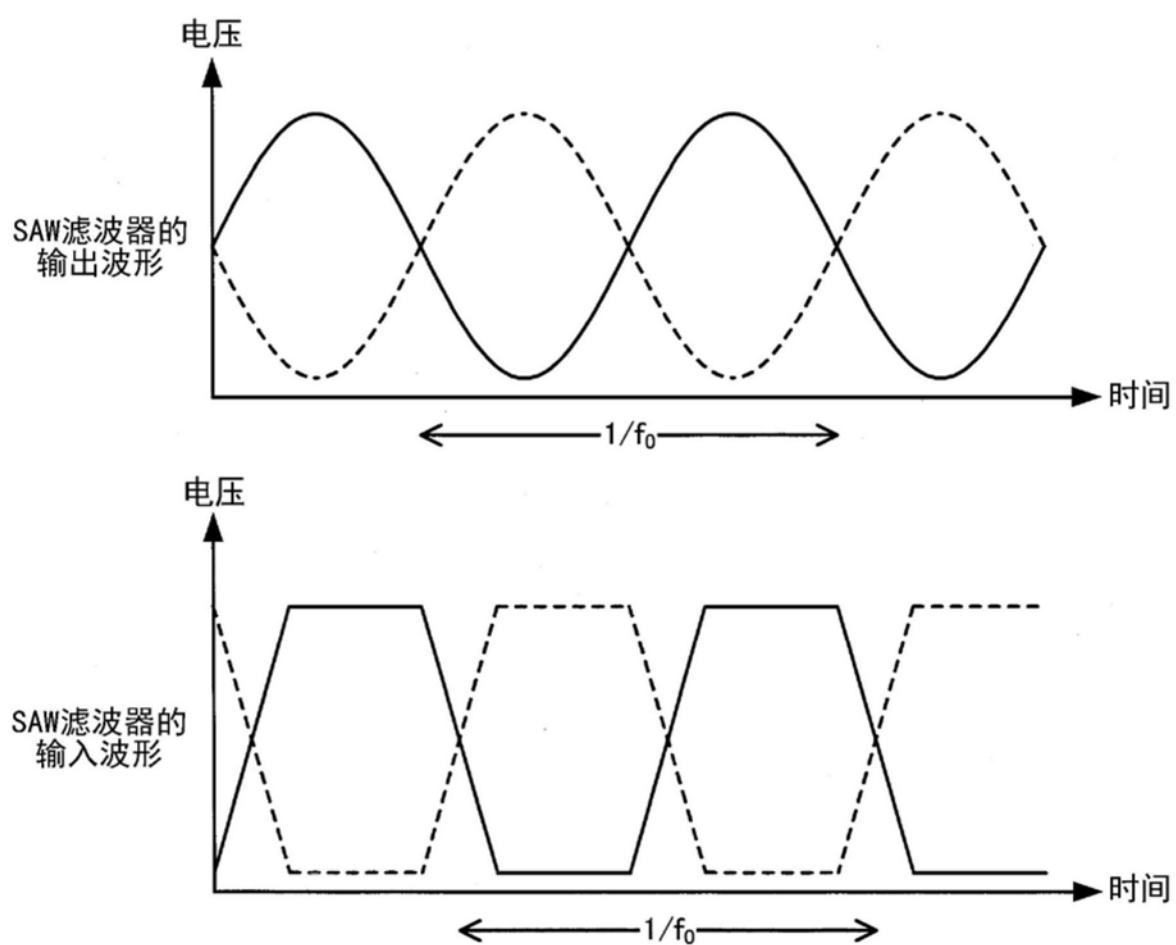


图8

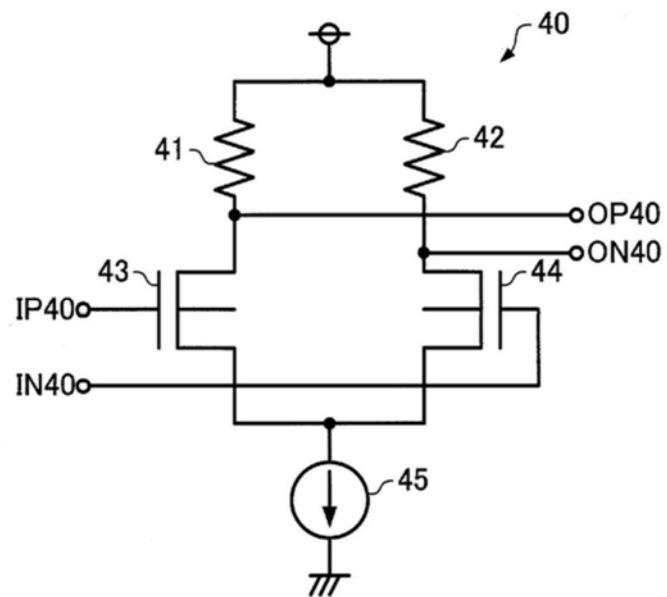


图9

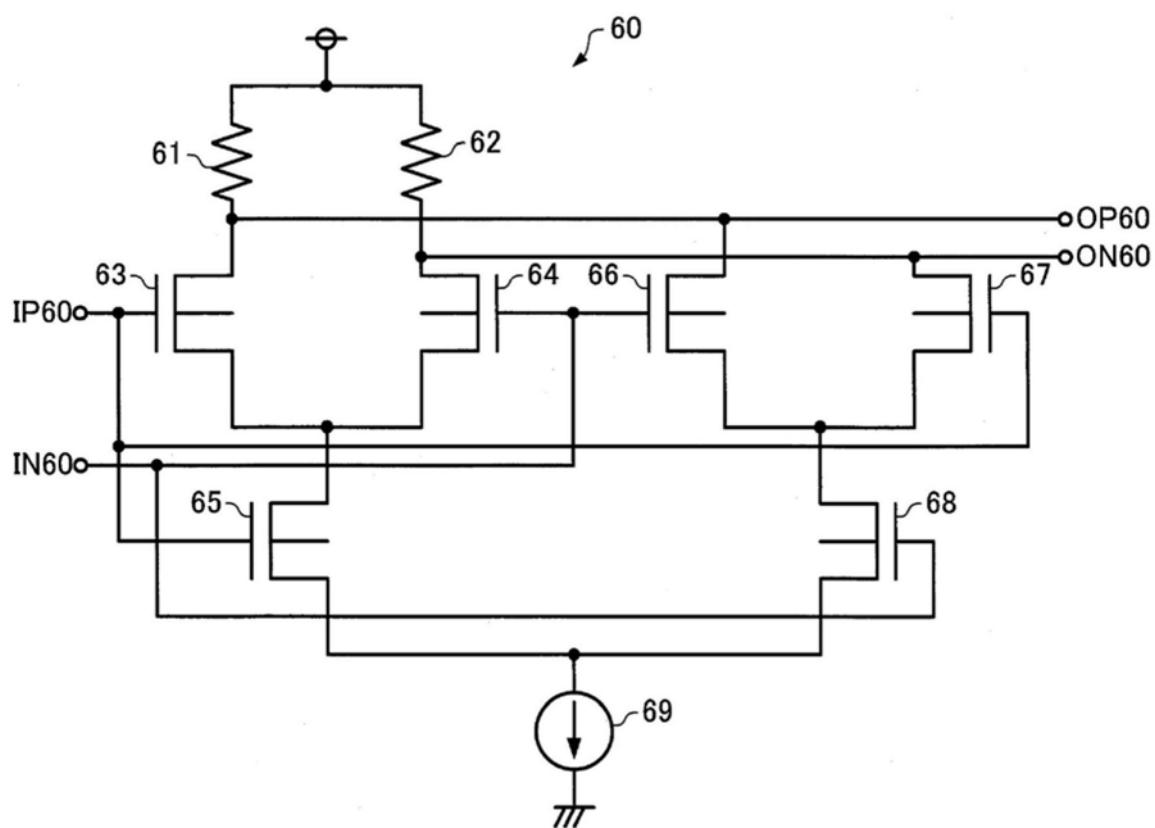


图10

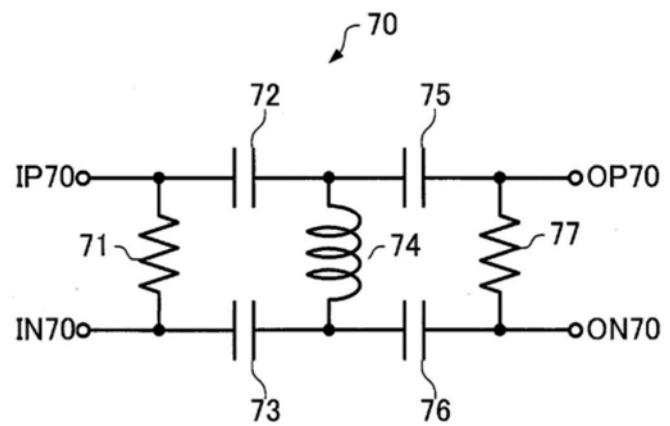


图11

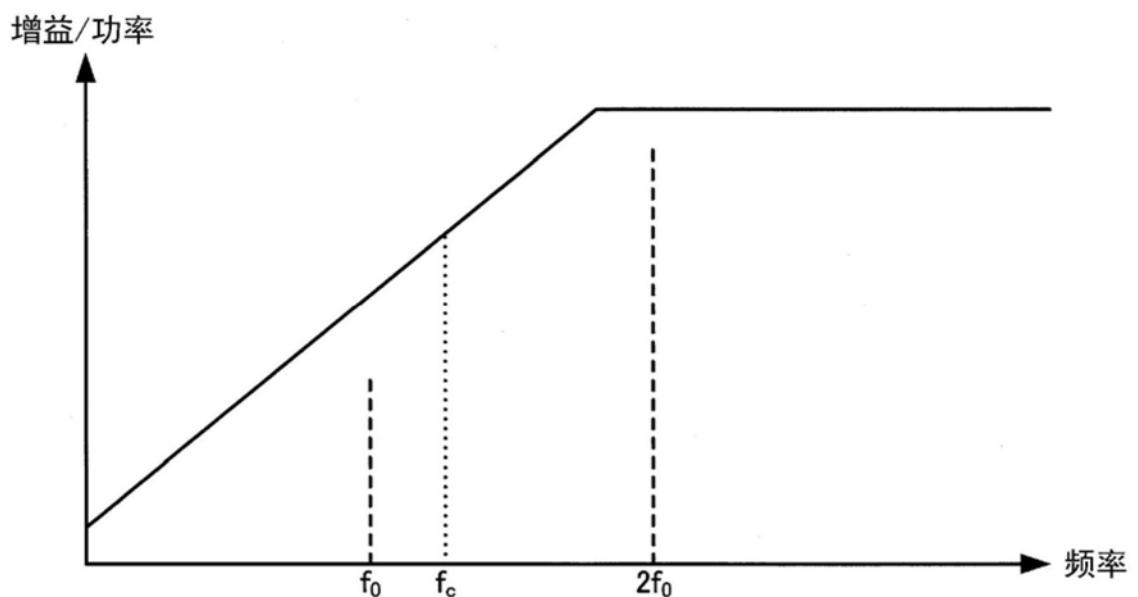


图12

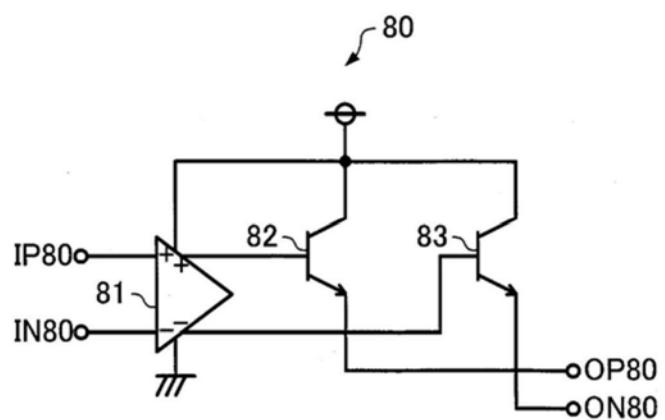


图13

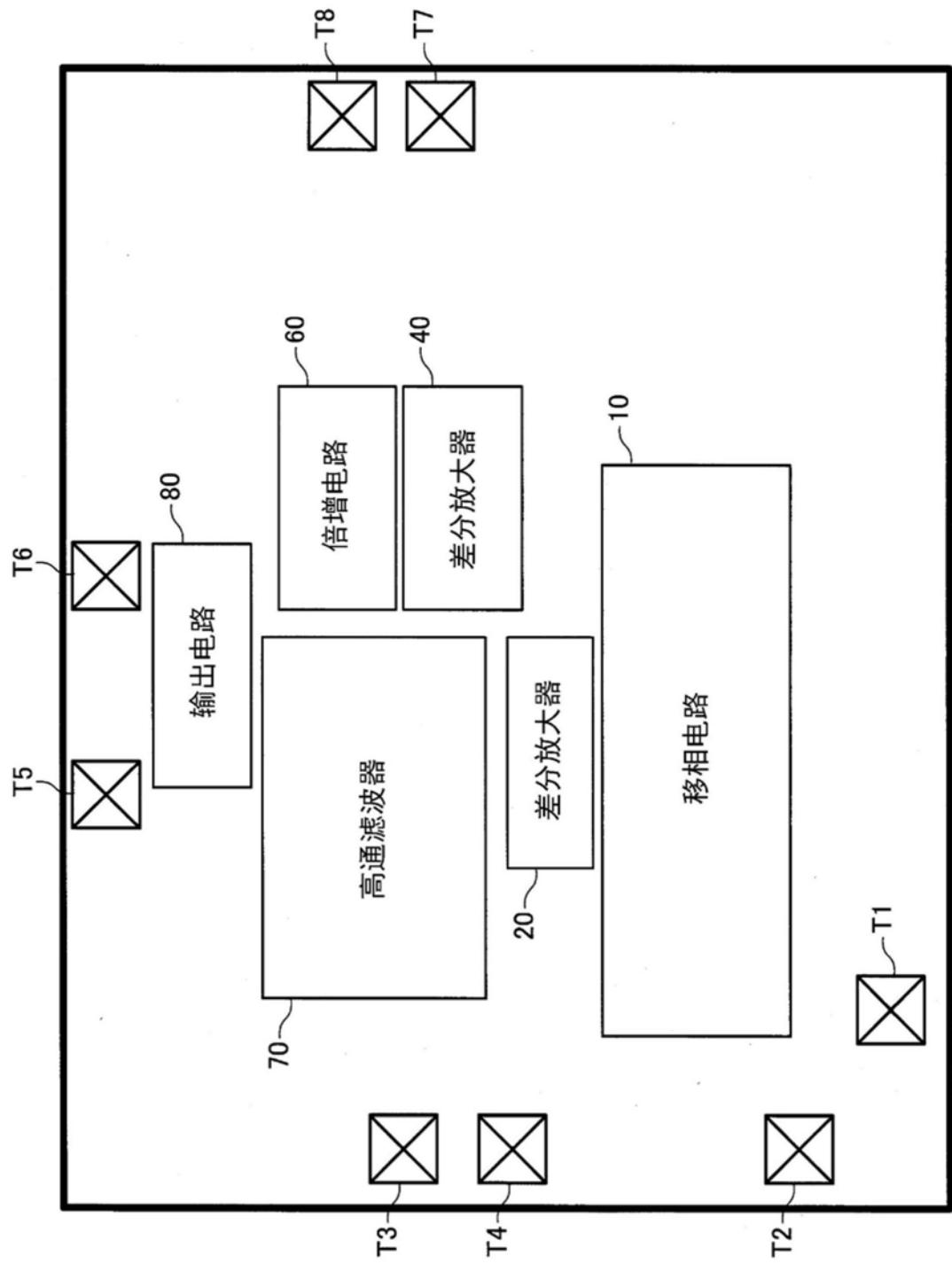


图14

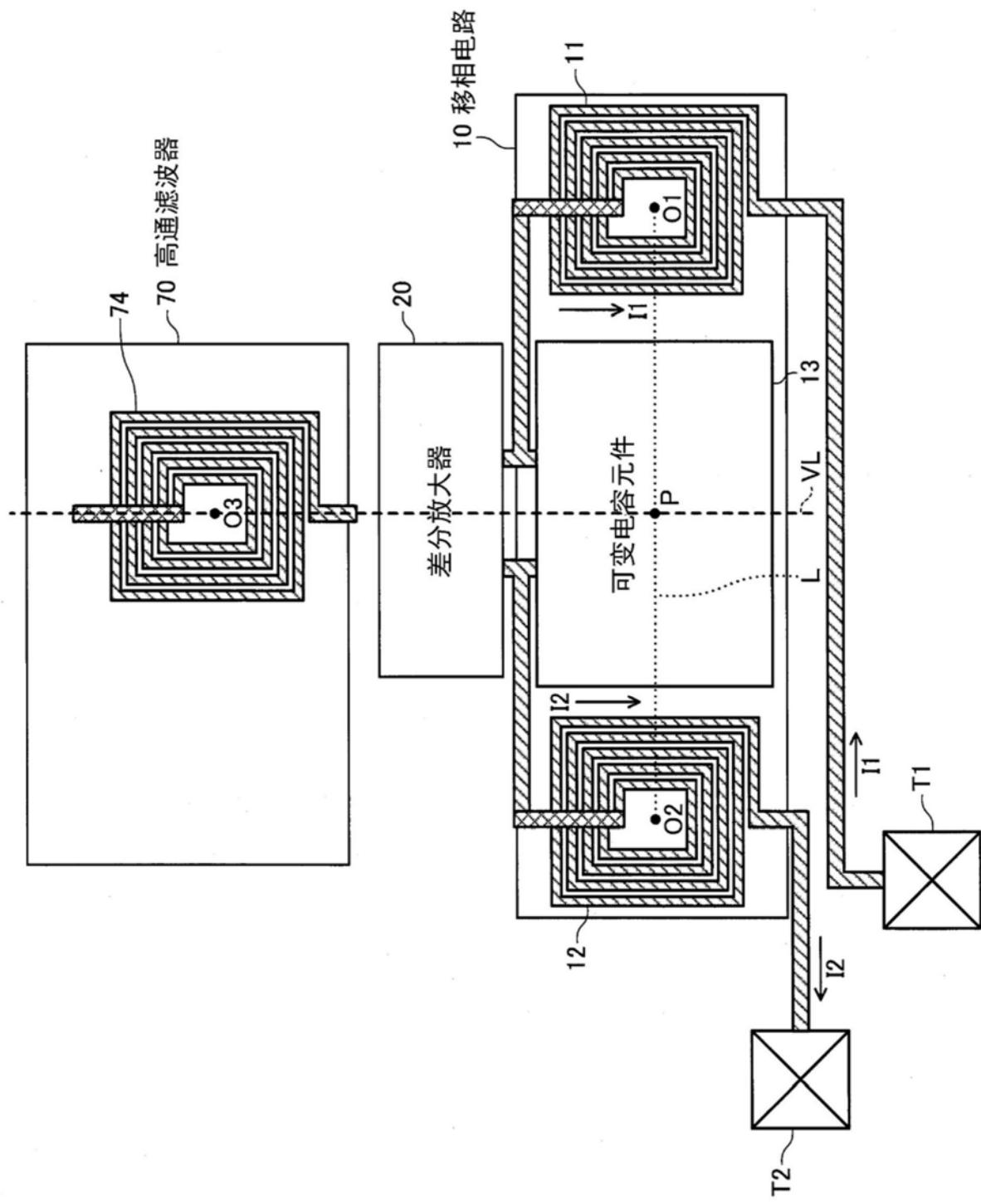


图15

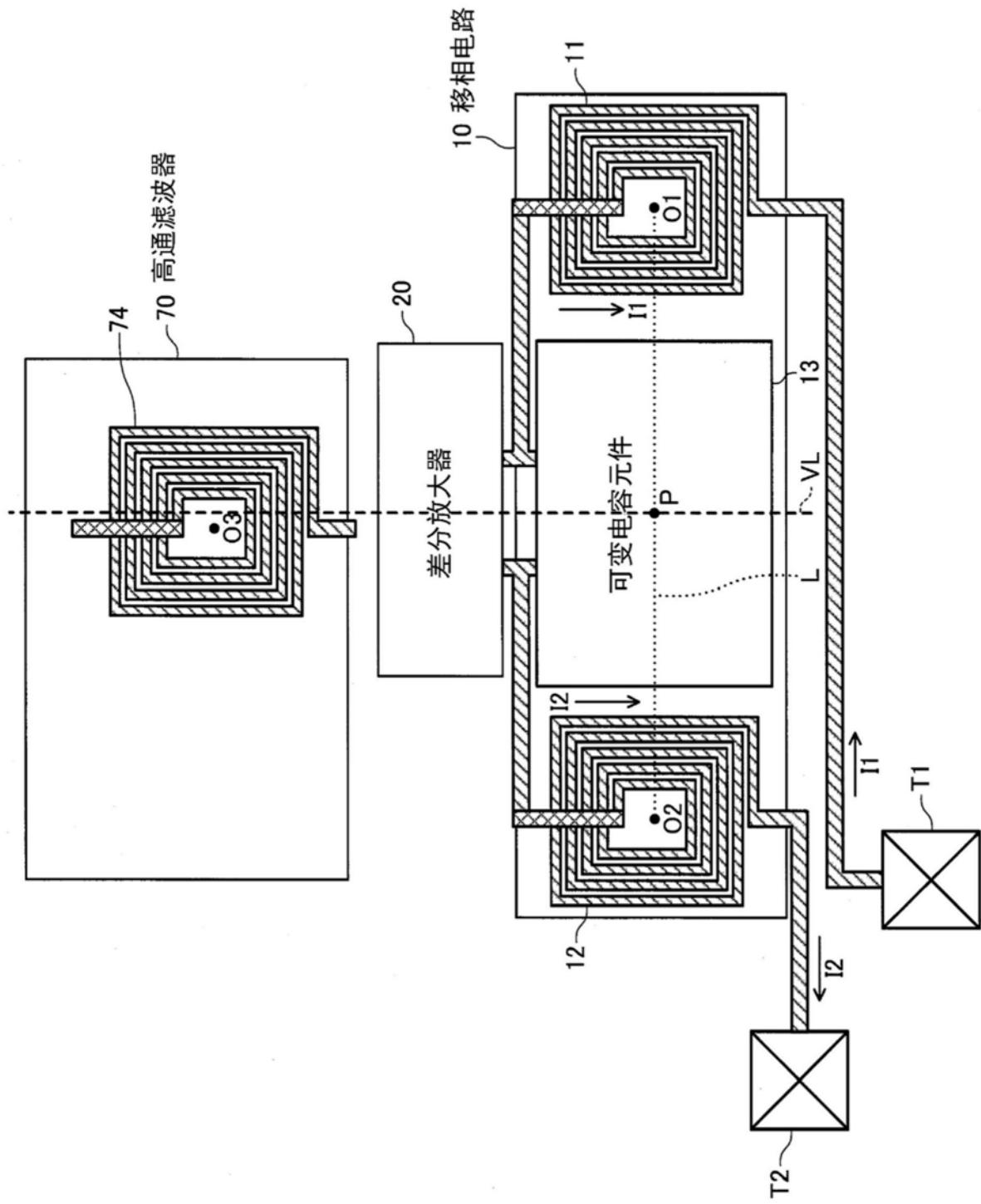


图16

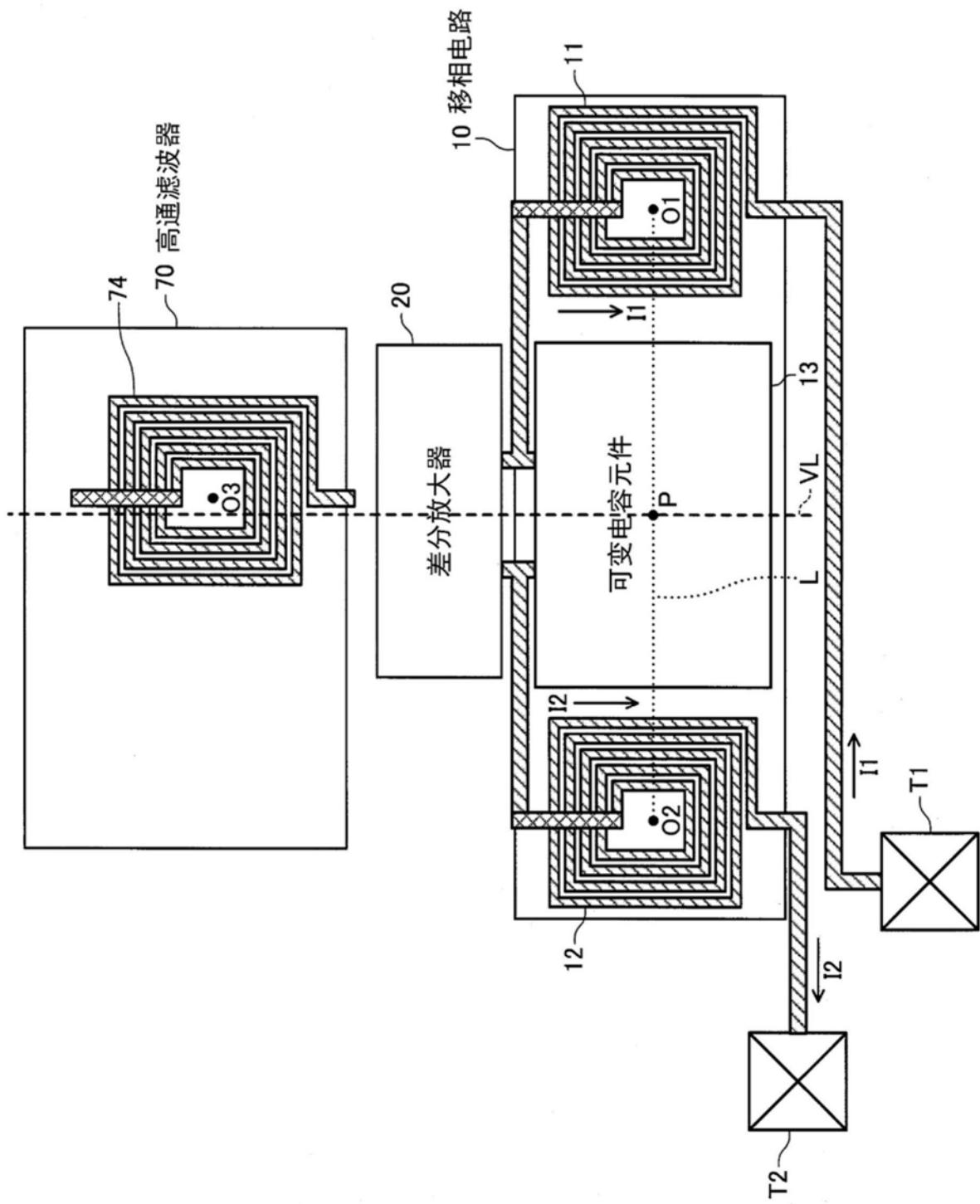


图17

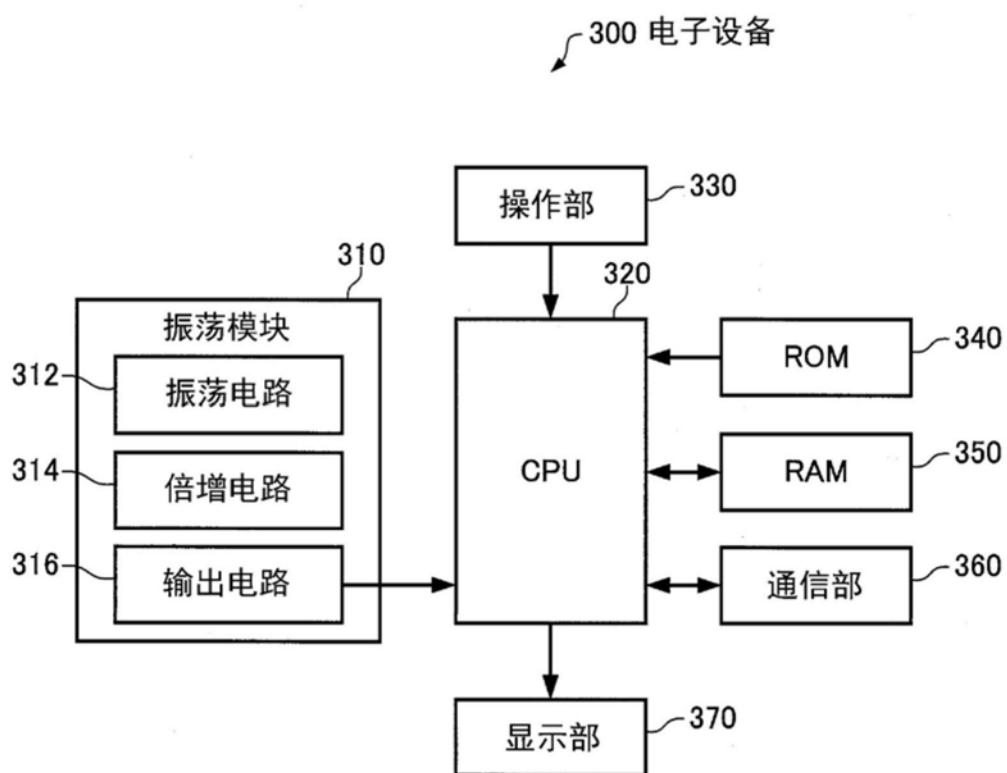


图18

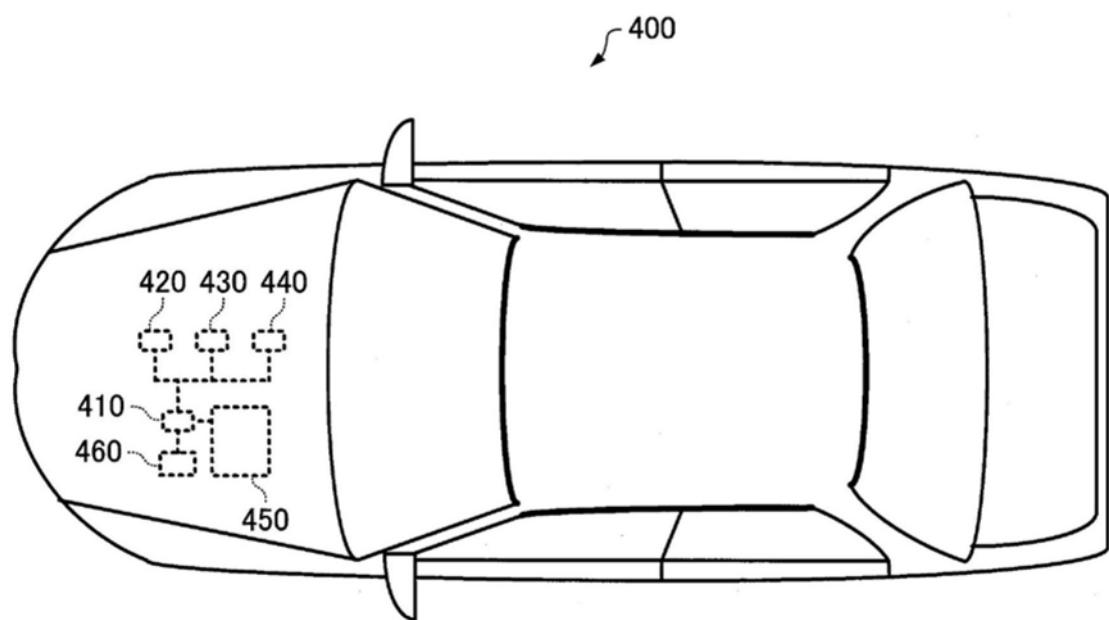


图19