(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2023 年 5 月 25 日 (25.05.2023)

WIPO | PCT

(10) 国际公布号
WO 2023/087201 A1

(51) 国际专利分类号:
H01L 21/336 (2006.01) *H01L 27/108* (2006.01)

(21) 国际申请号: PCT/CN2021/131423

(22) 国际申请日: 2021 年 11 月 18 日 (18.11.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(72) 发明人: 徐向明 (XU, Xiangming); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 简中祥 (JIAN, Zhongxiang); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 王小洪 (WANG, Xiaohong); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(74) 代理人: 北京中博世达专利商标代理有限公司 (BEIJING ZBSD PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区交大东路31号11号楼8层, Beijing 100044 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) **Title:** SEMICONDUCTOR STRUCTURE AND PREPARATION METHOD THEREFOR, AND RADIO FREQUENCY CIRCUIT AND COMMUNICATION DEVICE

(54) **发明名称**: 半导体结构及其制备方法、射频电路、通信装置

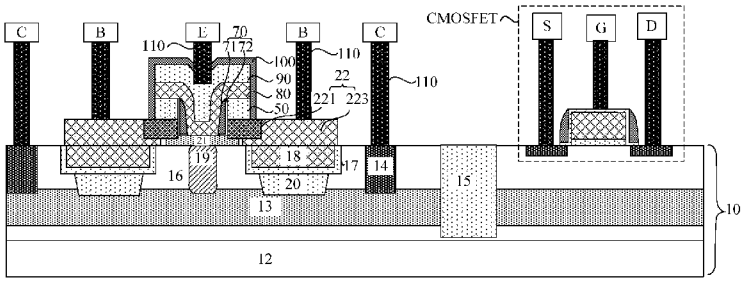


图 10

(57) **Abstract:** Embodiments of the present application relate to the technical field of semiconductors, and provide a semiconductor structure and a preparation method therefor, and a radio frequency circuit and a communication device, for use in preparing a high-performance semiconductor structure. The semiconductor structure may be, for example, an HBT device, and the semiconductor structure comprises: a substrate, and an intrinsic base region, an outer base region, and a transmitting region provided on the substrate. The substrate comprises a collector region, a first isolation structure and an auxiliary outer base region which are buried in the substrate; the collector region is provided below the intrinsic base region; the auxiliary outer base region is provided below the outer base region; the first isolation structure wraps the side surface and the bottom surface of the auxiliary outer base region and makes contact with the side surface and the bottom surface of the auxiliary outer base region; and the thickness of the portion of the first isolation structure located on the side of the auxiliary outer base region close to the collector region is equal.

(57) **摘要**: 本申请实施例提供一种半导体结构及其制备方法、射频电路、通信装置，涉及半导体技术领域，用于制备得到高性能半导体结构。半导体结构例如可以是HBT器件，半导体结构包括：衬底和设置在衬底上的本征基区、外基区以及发射区。其中，衬底，包括埋藏于衬底内的集电区、第一隔离结构以及辅助外基区；衬底包括埋藏于衬底内的集电区、第一隔离结构以及辅助外基区；集电区设置在本征基区的下方；辅助外基区设置在外基区下方；第一隔离结构包裹辅助外基区的侧面和底面，与辅助外基区的侧面和底面接触；第一隔离结构位于辅助外基区靠近集电区一侧的部分的厚度相等。

WO 2023/087201 A1

[见续页]

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) **指定国**(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

半导体结构及其制备方法、射频电路、通信装置

技术领域

本申请涉及半导体技术领域，尤其涉及一种半导体结构及其制备方法、射频电路、通信装置。

背景技术

由于现代通信对高频带下高性能、低噪声和低成本的射频（Radio Frequency，RF）组件的需求，更高、更宽的频段的半导体结构发挥了越来越重要的作用。具有良好的热导率、良好的衬底机械性能、较好的线性度、更高集成度的半导体结构成为未来发展的趋势。

然而，如何采用简单的工艺完成半导体结构的加工，从而降低工艺成本，成为当下面临的难题。同时，提高器件的最高振荡频率也至关重要。

发明内容

本申请实施例提供一种半导体结构及其制备方法、射频电路、通信装置，用于制备得到高性能半导体结构。

为达到上述目的，本申请采用如下技术方案：

本申请实施例的第一方面，提供一种半导体结构，半导体结构例如可以理解为是异质结双极晶体管 HBT，或者是将互补金属氧化物半导体 CMOS 和 HBT 集成在一起的结构。半导体结构包括：衬底和设置在衬底上的本征基区、外基区以及发射区。其中，衬底包括埋藏于衬底内的集电区、第一隔离结构以及辅助外基区；集电区设置在本征基区的下方，例如集电区与本征基区在衬底的表面接触；辅助外基区设置在外基区下方，例如辅助外基区与外基区在衬底的表面接触；第一隔离结构包裹辅助外基区的侧面和底面，例如第一隔离结构与辅助外基区的侧面和底面接触；第一隔离结构位于辅助外基区靠近集电区一侧的部分的厚度相等。

本申请实施例提供的半导体结构，其衬底中包括第一隔离结构，第一隔离结构位于辅助外基区靠近集电区一侧（集电区和辅助外基区之间）的部分的厚度相等。那么，根据寄生电容的公式 $C=\varepsilon S/d$ 可知（ε 为介电常数，S 为极板正对面积，d 为极板间的距离），在集电区两侧的第一隔离结构的材料（影响 ε）和辅助外基区与集电区的正对面积（影响 S）固定的情况下，第一隔离结构位于辅助外基区靠近集电区一侧的部分的厚度（影响 d）相等，可提高中心线两侧的寄生集电结电容的对称性。从而可实现中心线两边均分射频电流，使器件性能（如最高振荡频率）得到最优。另外，本征基区和外基区均设置在衬底的表面，集电区设置在衬底的内部，不存在抬高的外延集电区，因此，在已知的衬底表面直接形成本征基区和外基区，二者是否接触是通过自身的制备工艺直接可控的。与衬底表面设置外延集电区，然后在外延集电区上设置本征基区相比。本申请实施例直接在衬底表面设置本征基区和外基区，不会因为抬高的外延集电区的厚度等参数而影响本征基区和外基区的接触，可提高本征基区和外基区

的接触良率，从而提高半导体结构的良率。再者，由于无需考虑集电区厚度对本征基区和外基区接触效果的影响。因此，可降低对制作集电区时工艺精度的要求，降低工艺难度。且集电区是掺杂得到的，少了一步外延工艺（制备集电区），节省加工成本。此外，通过在衬底中预埋辅助外基区，辅助外基区与外基区接触后，相当于实现了外基区的增厚，从而可以降低外基区的电阻。

在一种可能的实现方式中，第一隔离结构各处的厚度相等。第一隔离结构各处的厚度相等，可以通过成膜并图案化的方式形成。在不考虑工艺误差的情况下，最终形成的第一隔离结构各处的膜厚相等。即使因为工艺因素，可能会出现几纳米的偏差。也就是说，最终位于辅助外基区靠近集电区一侧的部分的厚度最多可能会出现几纳米的偏差。但是不会像采用光刻和刻蚀工艺那样，最终位于辅助外基区靠近集电区一侧的部分的厚度会有几十纳米的偏差。因此，通过将第一隔离结构各处的膜厚设置为相等，可采用简单且精度高的工艺制备第一隔离结构，以确保中心线两侧的寄生集电结电容的对称性。

在一种可能的实现方式中，衬底还包括第二隔离结构；第二隔离结构位于第一隔离结构下方，与第一隔离结构接触。通过在第一隔离结构下方设置第二隔离结构，可改变辅助外基区与埋层集电区之间的介电常数，从而可降低集电区和外基区的寄生电容，提升器件性能。

在一种可能的实现方式中，第一隔离结构在衬底上的投影覆盖第二隔离结构在衬底上的投影。由于第一隔离结构和第二隔离结构均是通过在凹槽中填充介质材料来形成的。通过使第一隔离结构覆盖第二隔离结构，也就是说，用于放置第二隔离结构的凹槽小于用于放置第一隔离结构的凹槽。那么先形成小凹槽，再形成大凹槽，工艺难度低，易于实现。

在一种可能的实现方式中，外基区包括桥接区和有效外基区；桥接区与本征基区和有效外基区分别接触，桥接区的材料包括准单晶硅，有效外基区的材料包括多晶硅。这样一来，有效外基区与桥接区接触，桥接区与本征基区接触，从而实现外基区与本征基区接触。由于桥接区材料为准单晶硅，其掺杂离子的激活率大于有效外基区（材料为多晶硅）掺杂离子的激活率。因此，通过桥接区实现有效外基区与本征基区的接触，可减小外基区与本征基区的接触电阻。

在一种可能的实现方式中，桥接区与本征基区和/或有效外基区搭接。以搭接的方式实现桥接区与本征基区和有效外基区接触，可降低对工艺精度的要求，减小工艺难度。

在一种可能的实现方式中，半导体结构还包括辅助层；辅助层设置在外基区与发射区之间，发射区通过辅助层上的开口与本征基区接触。通过在半导体结构中设置辅助层，可以通过辅助层对外基区和发射区进行隔离。

在一种可能的实现方式中，半导体结构还包括内侧墙；内侧墙设置在外基区与发射区之间。通过在半导体结构中设置内侧墙，可以通过内侧墙对外基区和发射区进行隔离。

在一种可能的实现方式中，半导体结构还包括外侧墙；外侧墙包裹发射区的侧面，用于保护发射区。外侧墙在半导体结构制备过程中可以对发射区起到保护作用，避免

其他外延步骤对发射区产生影响。

在一种可能的实现方式中，半导体结构还包括盖帽层；盖帽层设置在发射区上，用于保护发射区。盖帽层在半导体结构制备过程中可以对发射区起到保护作用，避免其他外延步骤对发射区产生影响。

在一种可能的实现方式中，半导体结构还包括设置在衬底上的发射极、基极以及集电极；发射极与发射区接触，基极与外基区接触，集电极与集电区接触。

在一种可能的实现方式中，衬底还包括引出区和埋层集电区，引出区和第一隔离结构位于埋层集电区的上方，引出区位于第一隔离结构远离集电区一侧；引出区和集电区分别与埋层集电区接触；集电极通过与引出区接触连接孔和集电区接触；发射极通过穿过盖帽层且与发射区接触的连接孔，和发射区接触；基极通过与外基区接触的连接孔和外基区接触。

在一种可能的实现方式中，衬底还包括第三隔离结构，第三隔离结构设置在第一隔离结构的外侧；半导体结构还包括互补金属氧化物半导体场效应晶体管，互补金属氧化物半导体场效应晶体管设置在衬底上，且位于第三隔离结构远离第一隔离结构一侧。这样一来，半导体结构为 CMOS+SiGe HBT 器件，可将 CMOS 和 SiGe HBT 集成在同一半导体结构上，可兼得二者的优势。

本申请实施例的第二方面，提供一种射频电路，包括包含第一方面任一项的半导体结构的晶体管电路。

本申请实施例提供的射频电路，包括第一方面任一项的半导体结构，其有益效果与上述半导体结构的有益效果相同，此处不再赘述。

本申请实施例的第三方面，提供一种通信装置，包括处理器和第二方面的射频电路，处理器用于向射频电路传输信号。

本申请实施例提供的通信装置，所包括的射频电路包含第一方面任一项的半导体结构，其有益效果与上述半导体结构的有益效果相同，此处不再赘述。

本申请实施例的第四方面，提供一种半导体结构的制备方法，包括：在包括有源区的基底上形成凹槽，凹槽位于待形成的外基区的下方；在形成有凹槽的基底上依次形成隔离膜和辅助外基区膜，对隔离膜和辅助外基区膜图案化，形成位于凹槽内的第一隔离结构和辅助外基区；第一隔离结构包裹辅助外基区的侧面和底面；在基底的表面形成依次层叠设置的第一牺牲膜、第二牺牲膜以及辅助膜，并形成贯穿辅助膜和第二牺牲膜的发射区窗口；在基底内形成集电区，以形成半导体结构的衬底；集电区位于发射区窗口下方；在第一牺牲膜上形成与发射区窗口连通的开口；并在开口内形成本征基区；本征基区与集电区在衬底的表面接触；在辅助膜上形成发射区膜，并对发射区膜和辅助膜进行图案化，形成发射区和辅助层；发射区通过发射区窗口与本征基区接触；去除第一牺牲膜和第二牺牲膜，在对应位置处形成外基区；外基区与辅助外基区在衬底的表面接触，外基区还与本征基区接触。

本申请实施例提供的半导体结构的制备方法，先在基底上形成凹槽，然后在凹槽内形成隔离膜，通过对隔离膜进行图案化，以制备得到第一隔离结构。这样一来，在不考虑工艺误差的情况下，最终形成的第一隔离结构各处的膜厚相等，从而保证第一隔离结构位于辅助外基区靠近集电区一侧的部分的厚度相等。即使因为工艺因素，第

一隔离结构位于辅助外基区靠近集电区一侧的部分的厚度可能会出现几纳米的偏差。但是不会像采用光刻和刻蚀工艺那样，最终第一隔离结构位于辅助外基区靠近集电区一侧的部分的厚度会有几十纳米的偏差。因此，本申请实施例中可以确保第一隔离结构位于辅助外基区靠近集电区一侧的部分的厚度相等。那么，根据寄生电容的公式 C= ε S/d 可知（ ε 为介电常数，S 为极板正对面积，d 为极板间的距离），在集电区两侧的第一隔离结构的材料（影响 ε ）和辅助外基区与集电区的正对面积（影响 S）固定的情况下，第一隔离结构位于辅助外基区靠近集电区一侧的部分的厚度（影响 d）相等，可提高中心线两侧的寄生集电结电容的对称性。从而可实现中心线两边均分射频电流，使得半导体结构的最高振荡频率最优。而且，本申请实施例中，每层膜层的制备，采用常规技术即可实现。集电区 19 的形成，也是通过自对准结构限定位置，然后在衬底中进行离子注入来实现的。

在一种可能的实现方式中，在包括有源区的基底上形成凹槽，包括：在有源区形成凹槽。通过在待形成的外基区的下方的有源区直接形成凹槽，可以无需再在该位置处形成浅沟槽隔离区。

在一种可能的实现方式中，在包括有源区的基底上形成凹槽，包括：在基底上形成有源区和浅沟槽隔离区；浅沟槽隔离区位于外基区的下方；去除部分浅沟槽隔离区以及所述浅沟槽隔离区外围的部分有源区，形成凹槽，位于所述凹槽下方未被去除的浅沟槽隔离区作为半导体结构的第二隔离结构。先在待形成的外基区的下方形成浅沟槽隔离区，然后去除部分浅沟槽隔离区和有源区作为凹槽，未被去除的浅沟槽隔离区作为第二隔离结构。这样制备得到的半导体结构包括第二隔离结构，第二隔离结构的设置可改变辅助外基区与埋层集电区之间的介电常数，从而可降低集电区和外基区的寄生电容，提升器件性能。而且，形成凹槽时，确保将靠近基底表面的部分浅沟槽隔离区全部去除，以确保凹槽外围为有源区，不再包括浅沟槽隔离区。可避免残余的浅沟槽隔离区影响寄生集电结电容的对称性。

在一种可能的实现方式中，去除第二牺牲膜和第一牺牲膜，在对应位置处形成外基区，包括：去除第二牺牲膜，并在辅助层下方形成桥接区；桥接区与本征基区接触；去除第一牺牲膜，在对应位置处形成有效外基区，有效外基区与桥接区接触。这样一来，有效外基区与桥接区接触，桥接区与本征基区接触，从而实现外基区与本征基区接触。由于桥接区材料为准单晶硅，其掺杂离子的激活率大于有效外基区（材料为多晶硅）掺杂离子的激活率。因此，通过桥接区实现有效外基区与本征基区的接触，可减小外基区与本征基区的接触电阻。

在一种可能的实现方式中，制备方法还包括：在基底上形成第三隔离结构，第三隔离结构位于第一隔离结构的外侧；在衬底上形成互补金属氧化物半导体场效应晶体管，互补金属氧化物半导体场效应晶体管位于第三隔离结构远离第一隔离结构一侧。这样一来，可将 CMOS 和 SiGe HBT 集成在同一半导体结构上，可兼得二者的优势。

附图说明

图 1A 为本申请实施例提供的一种半导体结构的制备过程示意图；

图 1B 为本申请实施例提供的另一种半导体结构的制备过程示意图；

图 2 为本申请实施例提供的一种半导体结构的制备流程图；

图 3A-图 3N 为本申请实施例提供的又一种半导体结构的制备过程示意图；

图 4A 为本申请实施例提供的一种半导体结构的结构示意图；

图 4B 为本申请实施例提供的一种衬底的俯视图；

图 4C 为本申请实施例提供的一种衬底的俯视图；

图 5 为本申请实施例提供的另一种半导体结构的结构示意图；

图 6 为本申请实施例提供的又一种半导体结构的结构示意图；

图 7 为本申请实施例提供的又一种半导体结构的结构示意图；

图 8 为本申请实施例提供的又一种半导体结构的结构示意图；

图 9A-图 9D 为本申请实施例提供的一种半导体结构的部分制备过程示意图；

图 10 为本申请实施例提供的又一种半导体结构的结构示意图。

附图标记：

10-衬底；11-基底；12-硅底；13-埋层集电区；14-引出区；15-第三隔离结构；16-有源区；17-第一隔离结构；18-辅助外基区；19-集电区；20-第二隔离结构；201-浅沟槽隔离区；21-本征基区；22-外基区；221-桥接区；222-外基区膜；223-有效外基区；31-第一牺牲膜；32-第一开口；41-第二牺牲膜；42-第二开口；50-辅助层；51-辅助膜；52-第三开口；60-第一内侧墙；61-第一介质膜；62-第二介质膜；63-第二内墙体；64-第一内墙体；70-第二内侧墙；71-第三内墙体；72-第四内墙体；80-发射区；81-发射区膜；90-盖帽层；91-盖帽膜；100-外侧墙；101-第三介质膜；102 第四介质膜；103-第一外墙体；104-第二外墙体；110-连接孔。

具体实施方式

下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行描述，显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。

以下，本申请实施例中，术语“第一”、“第二”等仅用于描述方便，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”等的特征可以明示或者隐含地包括一个或者更多个该特征。在本申请的描述中，除非另有说明，“多个”的含义是两个或两个以上。

本申请实施例中，“上”、“下”、“左”以及“右不限于相对附图中的部件示意置放的方位来定义的，应当理解到，这些方向性术语可以是相对的概念，它们用于相对于的描述和澄清，其可以根据附图中部件附图所放置的方位的变化而相应地发生变化。

在本申请实施例中，除非上下文另有要求，否则，在整个说明书和权利要求书中，术语“包括”被解释为开放、包含的意思，即为“包含，但不限于”。在说明书的描述中，术语“一个实施例”、“一些实施例”、“示例性实施例”、“示例性地”或“一些示例”等旨在表明与该实施例或示例相关的特定特征、结构、材料或特性包括在本公开的至少一个实施例或示例中。上述术语的示意性表示不一定是指同一实施例或示例。此外，所述的特定特征、结构、材料或特点可以以任何适当方式包括在任何一个或多个实施例或示例中。

在描述一些实施例时，可能使用了“耦接”和“连接”及其衍伸的表达。例如，描述一些实施例时可能使用了术语“连接”以表明两个或两个以上部件彼此间有直接物理接触或电接触。又如，描述一些实施例时可能使用了术语“耦接”以表明两个或

两个以上部件有直接物理接触或电接触。然而，术语“耦接”也可能指两个或两个以上部件彼此间并无直接接触，但仍彼此协作或相互作用。这里所公开的实施例并不必然限制于本文内容。

在本申请实施例中，“和/或”，仅仅是一种描述关联对象的关联关系，表示可以存在三种关系，例如，A 和/或 B，可以表示：单独存在 A，同时存在 A 和 B，单独存在 B 这三种情况。另外，本文中字符“/”，一般表示前后关联对象是一种“或”的关系。

本申请实施例中参照作为理想化示例性附图的剖视图和/或平面图和/或等效电路图描述了示例性实施方式。在附图中，为了清楚，放大了层和区域的厚度。因此，可设想到由于例如制造技术和/或公差引起的相对于附图的形状的变动。因此，示例性实施方式不应解释为局限于本文示出的区域的形状，而是包括因例如制造而引起的形状偏差。例如，示为矩形的蚀刻区域通常将具有弯曲的特征。因此，附图中所示的区域本质上是示意性的，且它们的形状并非旨在示出设备的区域的实际形状，并且并非旨在限制示例性实施方式的范围。

传统的硅基互补金属氧化物半导体（complementary metal oxide semiconductor，CMOS）工艺成本低，且通过先进的工艺节点，CMOS 器件可以达到较高的频率响应，适合高频应用。但是同样频率响应的器件，CMOS 器件击穿电压小，而硅锗异质结双极晶体管（SiGe heterojunction bipolar transistor，SiGe HBT）则拥有较高的击穿电压，适合较高输出功率应用。同时 SiGe HBT 相比 CMOS 器件具有更高的跨导，按照最新的半导体模拟工具（Technology Computer Aided Design，TCAD）仿真预测，SiGe HBT 器件电流增益截止频率极限为 1THz，功率增益截止频率极限为 2THz，使其很长一段时间内能满足高频高速的应用需求。而 GaAs（砷化镓）、InP（磷化铟）等 III-V 族材料的电子与空穴迁移率比硅高得多，具有极佳的高频特性，同时因其禁带宽度高，具有相比于 SiGe HBT 更高的击穿电压，同样适合用于高频，高功率应用。但是III-V 族材料存在着造价高、环保成本高、热传导性差，机械性能差等缺点。

将 CMOS 和 SiGe HBT 集成在同一芯片上（CMOS+SiGe，SiGeBiCMOS），SiGe HBT 高频、高速、高增益、低噪声等优势适合模拟电路设计，而 CMOS 低功耗优势适合数字逻辑电路，两者的整合满足数模混合电路设计要求，使得 SiGeBiCMOS 相比于III-V 族材料具有成本低，高集成度优点。

随着 5G 通信逐渐普及，SiGeBiCMOS 在光电高速传输、微波高频、雷达、影像和传感领域应用中发挥越来越重要的作用，SiGe HBT 可用于制作光电跨阻放大器、驱动器、时钟数据恢复（clock data recovery，CDR）、微波低噪声放大器、混频器、功率放大器等不同的射频电路。

然而，如何采用相对简单的工艺实现更高频率响应的 SiGe HBT 器件，成为当下 SiGe 工艺工程师持续追求的目标。

在一些实施例中，如图 1A 所示，提供一种半导体结构的制备方法，先限定发射区窗口；然后在衬底 10 上采用选择性外延（selective epitaxy growth，SEG）工艺，在发射区窗口内形成集电区；然后在集电区上采用选择性外延工艺，在发射区窗口内形成本征基区以及发射区膜；然后进行后续发射区和外基区等结构的制备。如图 1A 所

示，通过上述制备方法制备得到的半导体结构，集电区、本征基区和发射区均设置在衬底上方。

采用上述方法制备半导体结构，采用将集电区、本征基区和发射区生长于同一发射区窗口内的全自对准工艺，制备得到的半导体结构具有自对准结构的优点。但是，由于其集电区采用的也是选择性外延工艺，导致制备成本增加。而且，在外延形成集电区的过程中，集电区的高度控制决定本征基区与外基区的相对位置。如图 1A 所示，本征基区和外基区是通过桥接区接触的，若集电区高度不合适，会导致设置在集电区上的本征基区与桥接区接触太少或者接触不上，从而影响本征基区与外基区的连接电阻。也就是说，集电区的高度，决定本征基区与桥接区的相对位置，直接影响本征基区和外基区的连接电阻，从而影响器件的性能。这就导致制备半导体结构的过程中，对工艺精度的要求较高。若工艺精度达不到，制备出的半导体结构的性能会受到很大的影响。

基于此，如图 1B 所示，本申请实施例还提供一种半导体结构的制备方法，先形成浅沟槽隔离（shallow trench isolation，STI）区；然后通过光刻和蚀刻工艺，在待形成外基区区域下方的 STI 区内形成凹槽；然后在凹槽内形成辅助外基区；然后形成发射区窗口；然后利用发射区窗口作为自对准结构，采用掺杂工艺形成埋藏于衬底内的集电区；然后在衬底上形成本征基区、桥接区、外基区和发射区。如图 1B 所示，通过上述制备方法制备得到的半导体结构，本征基区和外基区均设置在衬底的表面，集电区设置在衬底的内部，不存在位于衬底表面的抬高外延集电区。

因此，在已知的衬底表面直接形成本征基区和外基区，二者是否接触是通过自身的制备工艺直接可控的。与衬底表面设置外延集电区，然后在外延集电区上设置本征基区相比。直接在衬底表面设置本征基区，不会因为抬高的集电区的厚度等参数而影响本征基区和外基区的接触，可提高本征基区和外基区的接触良率，从而提高半导体结构的良率。另外，由于无需考虑集电区厚度对本征基区和外基区接触效果的影响，因此，可降低对制作集电区时工艺精度的要求，降低工艺难度。且集电区是掺杂得到的，少了一步外延工艺（制备集电区），节省加工成本。

但是，由于上述采用光刻工艺和刻蚀工艺在 STI 区内形成凹槽时，会出现因对位偏差，导致凹槽远离衬底边缘一侧保留的 STI 的厚度不一致。也就是说，图 1B 中 h1 和 h2 的大小不一致。这样一来，沿集电区中心线进行划分，集电区和左侧辅助外基区之间的距离与集电区与右侧辅助外基区之间的距离不相等。导致中心线两侧寄生集电结电容不对称，起不到两边均分射频电流的作用，影响器件有效集电结电容，从而影响器件的最高振荡频率。

基于此，本申请实施例还提供一种半导体结构的制备方法，如图 2 所示，包括：

S10、如图 3A 所示，形成基底 11。

在一些实施例中，关于基底 11 的形成方法，如图 3A 所示，包括：

S11、在硅底 12 上形成外延层，对外延层进行离子注入，形成埋层集电区 13 和引出区（sinker）14。

其中，引出区 14 位于待形成的第一隔离结构的外侧，埋层集电区 13 位于引出区 14 的下方，与引出区 14 连接。

埋层集电区 13 可以在形成外延层之前植入，然后通过高温扩散到外延层。也可以是形成外延层之后，进行离子注入得到。上述形成埋层集电区 13 的顺序仅为一种示意，不做任何限定。

当然，在形成埋层集电区 13 和引出区 14 之前，可以形成屏蔽氧化层（screen oxide）。这样一来，屏蔽氧化层可保护硅底 12 和外延层的晶格不被破坏。在形成埋层集电区 13 和引出区 14 之后，可以去除屏蔽氧化层，再进行后续步骤。

硅底 12 上也可以不形成外延层，那么埋层集电区 13 和引出区 14 位于硅底 12 中。本申请实施例中以在硅底 12 上形成外延层为例进行示意。

S12、在外延层上形成二氧化硅（SiO2）膜和氮化硅（Si3N4）膜。

其中，示例的，SiO2 膜和 Si3N4 膜覆盖外延层。

S13、从 Si3N4 膜的表面形成伸入外延层的第三隔离槽。

例如，通过光刻和干法蚀刻形成第三隔离槽。当然，也可以是其他工艺。

其中，第三隔离槽位于引出区 14 远离待形成集电区的一侧。根据需要，第三隔离槽可以穿透埋层集电区 13，也可以不穿透埋层集电区 13。第三隔离槽的形状可以是如图 3A 所示的矩形，也可以是倒梯形，或者其他形状，本申请实施例对此不做限定。

S14、氧化和修复第三隔离槽的内表面，形成二氧化硅界面。

其中，二氧化硅界面覆盖第三隔离槽槽底和槽壁的内表面。

S15、在第三隔离槽内填充电介质材料，形成填充层。

其中，电介质材料例如是 SiO2 或其它场效氧化物。电介质材料可以覆盖 Si3N4 膜，也可以不覆盖 Si3N4 膜，但必须填满第三隔离槽。图 3A 中以电介质材料覆盖 Si3N4 为例进行示意。

S16、对填充层进行处理，形成第三隔离结构 15。

例如，可以利用化学机械抛光（chemical mechanical polishing，CMP）工艺，对填充层进行研磨，停留在 Si3N4 膜层。

S17、去除剩余的 Si3N4 膜。

例如，可以采用湿法刻蚀去除 Si3N4 膜。

S18、去除剩余的 SiO2 膜，形成基底 11。

这样一来，外延层中填充有电介质材料的区域为第三隔离结构 15，在基底 11 上不包括其他结构的情况下，埋层集电区 13、引出区 14 以及第三隔离结构 15 以外的其余区域为基底 11 的有源区 16。

其中，第三隔离结构 15 可以为浅沟槽隔离结构（例如未贯穿埋层集电区 13），在这种情况下，第三隔离结构 15 的材料例如可以为 SiO2。第三隔离结构 15 也可以为深沟槽隔离结构（例如贯穿埋层集电区 13），在这种情况下，第三隔离结构 15 的材料例如可以为 SiO2+多晶硅。当然，若没有形成第三隔离结构 15 的需要，基底 11 上也可以不形成第三隔离结构 15。根据需要合理设置即可。

基于此，如图 3A 所示，基底 11 包括硅底 12 和设置在硅底 12 上的外延层，外延层中划分有第三隔离结构 15、有源区 16、埋层集电区 13 以及引出区 14，引出区 14 位于埋层集电区 13 的上方，引出区 14 与埋层集电区 13 接触。

当然，基底 11 的制备过程不限于包括上述步骤，还可以包括其他步骤，或者去除

上述某些步骤。图 3A 所示的制备基底 11 的过程仅为一种示意，不做任何限定。

S20、如图 3B 所示，在包括有源区 16 的基底 11 上形成凹槽。

在一些实施例中，如图 3B 所示，在基底 11 的有源区 16 形成凹槽。其中，凹槽位于待形成的外基区的下方。

例如，通过光刻和干法蚀刻在有源区 16 内形成凹槽。

S30、如图 3C 所示，形成第一隔离结构 17 和辅助外基区 18。

在一些实施例中，如图 3C 所示，步骤 S30 包括:

S31、如图 3C 所示，在形成有凹槽的基底 11 上依次形成隔离膜 171 和辅助外基区膜 181。

例如，可以采用化学气相沉积（chemical vapor deposition，CVD）工艺隔离膜 171。隔离膜 171 可以理解为介质层，隔离膜 171 的材料可以为含硅氧化物。例如，隔离膜 171 的材料为 SiO2、氮氧化硅或富氧二氧化硅等。

例如，可以通过外延工艺或者化学气相沉积（chemical vapor deposition，CVD）工艺形成辅助外基区膜 181。辅助外基区膜 181 的材料可以是多晶硅或多晶硅硅化物等。

在一些实施例中，还可以在形成辅助外基区膜 181 后，对辅助外基区膜 181 进行掺杂。可以对辅助外基区膜 181 进行原位掺杂，也可以是先形成辅助外基区膜 181 后用离子注入实现掺杂。

S32、如图 3C 所示，对隔离膜 171 和辅助外基区膜 181 图案化，形成第一隔离结构 17 和辅助外基区 18。

在一些实施例中，辅助外基区 18 的表面高于基底 11 的表面。

例如，可以采用 CMP 工艺，对辅助外基区膜 181 进行研磨，去除位于凹槽外的辅助外基区膜 181。然后可以用湿法刻蚀，也可以用干法刻蚀去除基底 11 表面多余的隔离膜 171。

在另一些实施例中，如图 3C 所示，辅助外基区 18 的表面与基底 11 的表面平齐。

例如，可以利用 CMP 工艺对基底 11 进行研磨，实现第一隔离结构 17 和辅助外基区 18 的表面与基底 11 的表面平齐。视觉效果上等效于第一隔离结构 17 埋藏于基底 11 内，辅助外基区 18 埋藏于第一隔离结构 17 内。

当然，第一隔离结构 17 和辅助外基区 18 的表面与基底 11 的表面平齐可以包括绝对平齐和近似平齐。

基于此，如图 3C 所示，形成的第一隔离结构 17 和辅助外基区 18 位于凹槽内，辅助外基区 18 设置在待形成的外基区 22 下方，且第一隔离结构 17 包裹辅助外基区 18 的侧面和底面。例如，第一隔离结构 17 与辅助外基区 18 的侧面和底面接触。当然，根据需要，第一隔离结构 17 与辅助外基区 18 的侧面和/或底面之间也可以设置其他结构。

需要强调的是，通过上述描述可知，第一隔离结构 17 通过隔离膜 171 制备得到。而在形成隔离膜 171 时，隔离膜 171 各处的厚度相等或者近似相等。当然，工艺误差范围内的高度差（例如隔离膜 171 厚度 ± 10%），均属于本申请实施例的保护范围。因此，最终形成的第一隔离结构 17 各处的厚度相等或者近似相等。其中，隔离膜 171

的厚度例如可以是 1nm~100nm。例如，隔离膜 171 的厚度为 10nm、20nm、30nm、40nm、50nm、60nm、70nm、80nm、90nm。

其中，第一隔离结构 17 的厚度，可以理解为，第一隔离结构 17 靠近辅助外基区 18 的表面到背离辅助外基区 18 的表面的尺寸。或者理解为隔离膜 171 的厚度。

S40、如图 3D 所示，形成发射区窗口。

在一些实施例中，形成发射区窗口的方式，包括:

S41、如图 3D 所示，在基底 11 的表面上形成依次层叠设置的第一牺牲膜 31、第二牺牲膜 41 以及辅助膜 51。

其中，第一牺牲膜 31 和辅助膜 51 的材料相同，第一牺牲膜 31 和第二牺牲膜 41 的材料不同。

例如，第一牺牲膜 31、第二牺牲膜 41 以及辅助膜 51 的材料例如均可以为硅化物。

示例的，第一牺牲膜 31 和辅助膜 51 的材料为含硅氧化物。例如，第一牺牲膜 31 和辅助膜 51 的材料为 SiO2、氮氧化硅或富氧二氧化硅等。

示例的，第二牺牲膜 41 的材料为含硅氮化物。例如，第二牺牲膜 41 的材料为 Si3N4。

形成第一牺牲膜 31、第二牺牲膜 41 以及辅助膜 51 的方式，例如可以采用化学气相沉积（chemical vapor deposition，CVD）工艺形成第一牺牲膜 31、第二牺牲膜 41 以及辅助膜 51。

S42、如图 3D 所示，在辅助膜 51 上形成第三开口 52，在第二牺牲膜 41 上形成第二开口 42，以形成贯穿辅助膜 51 和第二牺牲膜 41 的发射区窗口。

例如，可以通过光刻和刻蚀工艺在辅助膜 51 上形成第三开口 52。可以通过光刻和刻蚀工艺在第二牺牲膜 41 上形成第二开口 42。

其中，形成第三开口 52 和第二开口 42 可以是分两次工艺完成，也可以是在同一次工艺中完成，本申请实施例对此不做限定。

如图 3D 所示，形成的第二开口 42 和第三开口 52 连通作为发射区窗口，发射区窗口底部还保留有第一牺牲膜 31，未直接与基底 11 连通。

在一些实施例中，如图 3D 所示，第二开口 42 和第三开口 52 正对设置，且大小相同。或者理解为，第二开口 42 在基底 11 上的正投影和第三开口 52 在基底 11 上的正投影重合。

S50、如图 3E 所示，形成第一内侧墙 60。

其中，形成的第一内侧墙 60 绕第二牺牲膜 41 朝向第二开口 42(或者发射区窗口) 的表面一圈设置。

在一些实施例中，如图 3E 所示，形成的第一内侧墙 60 还延伸至辅助膜 51 朝向第三开口 52 的表面上。

在一些实施例中，如图 3E 所示，形成第一内侧墙 60 的方式，包括:

S51、在辅助膜 51 的表面形成第一介质膜 61，第一介质膜 61 在发射区窗口处形成凹槽 U。

其中，第一介质膜 61 的材料可以是介质材料，第一介质膜 61 的材料例如为硅化物。示例的，第一介质膜 61 的材料为 SiO2、Si3N4、氮氧化硅或富氧二氧化硅等。

在一些实施例中，第一介质膜 61 的材料与第二牺牲膜 41 的材料不同。例如，第

一介质膜 61 的材料为 SiO2，第二牺牲膜 41 的材料为 Si3N4。

形成第一介质膜 61 的方式，例如可以采用 CVD 工艺形成第一介质膜 61。

S52、在第一介质膜 61 上形成第二介质膜 62。

形成第二介质膜 62 的方式，例如可以采用 CVD 工艺形成第二介质膜 62。

其中，第二介质膜 62 的材料可以是介质材料，第二介质膜 62 的材料例如为硅化物。示例的，第二介质膜 62 的材料为 SiO2、Si3N4、氮氧化硅或富氧二氧化硅等。

在一些实施例中，第一介质膜 61 的材料和第二介质膜 62 的材料不同。例如，第一介质膜 61 的材料为 SiO2，第二介质膜 62 的材料为 Si3N4。

也就是说，在一些实施例中，第二牺牲膜 41 的材料为 Si3N4，第一介质膜 61 的材料为 SiO2，第二介质膜 62 的材料为 Si3N4。

这样一来，有第一介质膜 61 对第二牺牲膜 41 的侧面进行阻隔，可以避免在对第二介质膜 62 进行图案化时，对第二牺牲膜 41 进行损坏。

S53、对第二介质膜 62 进行图案化，形成第二内墙体 63，第二内墙体 63 覆盖凹槽 U 的侧面。

例如，可以采用干法刻蚀工艺，对第二介质膜 62 进行图案化，形成第二内墙体 63。

S54、去除第一介质膜 61 的未被第二内墙体 63 覆盖的部分，形成第一内墙体 64。

例如，可以采用干法刻蚀工艺，对第一介质膜 61 进行图案化，形成第一内墙体 64。

基于此，如图 3E 所示，半导体结构的第一内侧墙 60 包括第一内墙体 64 和第二内墙体 63。第一内侧墙 60 露出第一牺牲膜 31。

当然，也可以不执行上述步骤 S44，在后续形成集电区 18 时，使第一介质膜 61 和第一牺牲膜 31 共同作为屏蔽氧化层。

S60、如图 3F 所示，形成集电区 19，集电区 19 位于发射区窗口下方。

如图 3F 所示，执行步骤 S60 后，在基底 11 内形成集电区 19，半导体结构的衬底 10 制备完成。制备得到的衬底 10 包括埋藏于衬底 10 内的第一隔离结构 17、辅助外基区 18 以及集电区 19。

以发射区窗口作为自对准窗口，以第一牺牲膜 31 作为屏蔽氧化层（screen oxide），采用离子注入工艺，选择性注入（selected implanted）形成集电区（collector）19。这样一来，屏蔽氧化层可保护基底 11 的晶格不被破坏，而且制备得到的集电区 19 与发射区窗口正对效果好。后续在发射区窗口形成发射区后，发射区与集电区 19 的对准效果好。

S70、如图 3G 所示，在第一牺牲膜 31 上形成第一开口 32，第一开口 32 与发射区窗口连通。

例如，利用湿法刻蚀去除位于第二开口 42 下方的第一牺牲膜 31，形成第一开口 32。因湿法刻蚀是各向同性，若第一内墙体 64 的材料与第一牺牲膜 31 的材料相同（例如均为 SiO2）的情况下，在形成第一开口 32 的过程中，位于第二内墙体 63 下方的第一内墙体 64 也会被去除。

应当明白的是，通过控制刻蚀时间，可以控制对第一牺牲膜 31 的刻蚀量。也就是

说，通过控制刻蚀时间，可以控制第一开口 32 的大小。

在一些实施例中，为了提高后续制备出的外基区和本征基区的接触效果，如图 3G 所示，发射区窗口的轮廓落在第一开口 32 的轮廓内。或者理解为，发射区窗口在衬底 10 上的正投影落在第一开口 32 在衬底 10 上的正投影内。也就是说，第一开口 32 比发射区窗口大，第二牺牲膜 41 下方具有空洞。

S80、如图 3H 所示，在第一开口 32 内形成本征基区 21。

例如，可以采用选择性外延工艺，在衬底 10 的表面选择性外延生长本征基区 21。本征基区 21 的材料，例如可以包括 SiGe（硅锗）、SiGe:C（硅锗碳）合金等。

其中，如图 3H 所示，在第二牺牲膜 41 下方具有空洞的情况下，本征基区 21 填满上述空洞。

其中，本征基区 21 与集电区 19 在衬底 10 的表面接触。

S90、如图 3I 所示，去除第一内侧墙 60，形成第二内侧墙 70。

形成第二内侧墙 70 的方法，可以与上述形成第一内侧墙 60 的方法相同，可参考上述关于步骤 S50 的描述，此处不再赘述。

在一些实施例中，如图 3I 中的（a）图所示，形成的第二内侧墙 70 包括第三内墙体 71 和第四内墙体 72。第三内墙体 71 绕第二牺牲膜 41 朝向第二开口 42 的表面和辅助膜 51 朝向第三开口 52 的表面一圈设置，且第三内墙体 71 为 L 状。第四内墙体 72 设置在第三内墙体 71 上，未直接与本征基区 21 接触。

示例的，第三内墙体 71 的材料与上述第一内墙体 64 的材料相同，例如第三内墙体 71 的材料为 SiO2。第四内墙体 72 的材料与上述第二内墙体 63 的材料相同，例如第四内墙体 72 的材料为 Si3N4。

在另一些实施例中，如图 3I 中的（b）图所示，形成的第二内侧墙 70 包括第三内墙体 71。也就是说，在采用与步骤 S50 相同的工艺制备得到第三内墙体 71 和第四内墙体 72 后，还包括去除第四内墙体 72 的步骤。

第二内侧墙 70 仅包括单层内墙体的情况下，发射区窗口的开口较大，最终形成的发射区的面积大，电阻小。

由于形成第一内侧墙 60 后，执行了步骤 S70，而离子注入形成集电区 19 时，会有离子注入第一内侧墙 60 内，从而影响后续形成的外基区和发射区之间的隔离效果。因此，去除第一内侧墙 60，重新形成第二内侧墙 70 后，可解决上述问题，提高外基区和发射区之间的隔离效果。此外，在形成第一开口 32 的过程中，会同步去掉第一内墙体 64 与第一牺牲膜 31 接触的部分，也就是说，第一内墙体 64 的截面为条状。这就导致第一内墙体 64 在该区域无法起到隔离作用。而重新形成的第二内墙体 70，其所包括的第三内墙体 71 为 L 状，覆盖范围广，可提高外基区和发射区之间的隔离效果。

S100、对本征基区 21 进行表面清洗。

例如，可以采用湿法刻蚀，对本征基区 21 进行表面清洗，去除本征基区 21 表面被氧化后所产生的本征氧化层。

由于形成本征基区 21 后，还执行了步骤 S90，这就导致本征基区 21 的暴露面容易被氧化产生 SiO2，而影响后续形成的发射区与本征基区 21 的电性接触效果，导致发射区电阻较高。对本征基区 21 进行表面清洗，可去除本征基区 21 表面的 SiO2，从

而提高后续形成的发射区与本征基区 21 的电性接触效果，并有利于发射区外延出单晶材质，可有效降低发射区电阻。

S110、如图 3J 所示，在发射区窗口处形成与本征基区 21 接触的发射区膜 81，并对发射区膜 81 和辅助膜 51 进行图案化，形成发射区 80 和辅助层 50。

其中，发射区 80 的材料，例如可以是掺杂的外延单晶硅或者多晶硅，还可以对发射区 80 进行原位掺杂，以提高掺杂浓度。

在一些实施例中，半导体结构不包括盖帽层，或者盖帽层不和发射区 80 同步形成。那么，形成发射区 80 包括:

形成发射区膜 81，发射区膜 81 覆盖辅助膜 51 和第二内侧墙 70。然后对发射区膜 81 进行图案化，形成发射区 80。

其中，可以是在对发射区膜 81 进行图案化时，同步对辅助膜 51 进行图案化（去除辅助膜 51 的未被发射区 80 覆盖的部分）。也就是说，同步形成发射区 80 和辅助层 50。

例如，可以是采用光刻和干法刻蚀工艺，对辅助膜 51 进行图案化，形成辅助层 50。

在另一些实施例中，如图 3J 所示，发射区 80 和盖帽层 90 同步形成。那么，形成发射区 80 和辅助层 50 包括:

S111、在辅助膜 51 上形成发射区膜 81。

例如，可以采用外延生长工艺，形成发射区膜 81。发射区膜 81 的材料，例如可以为掺杂的外延单晶硅或者多晶硅。

其中，发射区膜 81 可以覆盖辅助膜 51，也可以不覆盖辅助膜 51，发射区膜 81 通过发射区窗口与本征基区 21 接触即可。

S112、在发射区膜 81 上形成盖帽膜 91。

其中，盖帽膜 91 的材料可以是介质材料，盖帽膜 91 的材料例如为硅化物。示例的，盖帽膜 91 的材料为氧化硅、氮化硅、氮氧化硅或富氧二氧化硅等。

例如，可以采用 CVD 工艺形成盖帽膜 91，盖帽膜 91 覆盖发射区膜 81。

S113、对第二牺牲膜 41 远离衬底 10 一侧的膜（例如，辅助膜 51、发射区膜 81 以及盖帽膜 91）进行图案化，形成辅助层 50、发射区 80 以及盖帽层 90。

例如，通过光刻和刻蚀工艺，对辅助膜 51、发射区膜 81 以及盖帽膜 91 进行图案化，露出第二牺牲膜 41。

其中，对辅助膜 51、发射区膜 81 以及盖帽膜 91 的图案化，可以是分多次工艺完成的，也可以是同一次工艺中完成的。对辅助膜 51、发射区膜 81 以及盖帽膜 91 图案化后保留的结构的具体图案不做限定，根据需要合理设置即可。

对辅助膜 51、发射区膜 81 以及盖帽膜 91 图案化后形成的辅助层 50 位于发射区 80 和外基区 22 之间，发射区 80 通过辅助层 50 上的开口与本征基区 21 接触，盖帽层 90 覆盖发射区 80 的顶面。

S120、如图 3K 所示，形成第一外墙体 103 和第二外墙体 104。

其中，第一外墙体 103 设置在第二外墙体 104 与发射区 80 之间，第一外墙体 103 和第二外墙体 104 至少包裹发射区 80 的侧面。

在一些实施例中，如图 3K 所示，第一外墙体 103 和第二外墙体 104 包裹辅助层 50、发射区 80 以及盖帽层 90 的侧面和盖帽层 90 的顶面。

如图 3K 所示，在一些实施例中，形成第一外墙体 103 和第二外墙体 104 的方法包括:

S121、在形成有盖帽层 90 的衬底 10 上形成第三介质膜 101。

形成第三介质膜 101 的方式，例如可以采用 CVD 工艺形成第三介质膜 101。

其中，第三介质膜 101 的材料可以是介质材料，第三介质膜 101 的材料例如为硅化物。示例的，第三介质膜 101 的材料为 SiO2、Si3N4、氮氧化硅或富氧二氧化硅等。

在一些实施例中，第三介质膜 101 的材料与第一牺牲膜 31 的材料不同。例如，第三介质膜 101 的材料为 Si3N4，第一牺牲膜 31 的材料为 SiO2。

这样一来，在后续去除第一牺牲膜 31 时，不会去除到由第三介质膜 101 形成的第一外侧墙 103，以确保外侧墙对发射区 21 起到保护作用。

S122、在第三介质膜 101 上形成第四介质膜 102。

形成第四介质膜 102 的方式，例如可以采用 CVD 工艺形成第四介质膜 102。

其中，第四介质膜 102 的材料可以是介质材料，第四介质膜 102 的材料例如为硅化物。示例的，第四介质膜 102 的材料为 SiO2、Si3N4、氮氧化硅或富氧二氧化硅等。

在一些实施例中，第四介质膜 102 的材料与第二牺牲膜 41 的材料不同。例如，第四介质膜 102 的材料为 SiO2，第二牺牲膜 41 的材料为 Si3N4。

这样一来，在后续去除第二牺牲膜 41 时，不会去除掉第四介质膜 102 形成的第二外侧墙 104，以对发射区 21 起到保护作用。

S123、对第三介质膜 101 和第四介质膜 102 进行图案化，形成第一外墙体 103 和第二外墙体 104。

例如，可以采用刻蚀工艺，第三介质膜 101 和第四介质膜 102 进行图案化，形成第一外墙体 103 和第二外墙体 104。

其中，对第三介质膜 101 和第四介质膜 102 进行图案化的过程，可以是在同一次工艺中完成的，也可以是在多次工艺中分别完成的。

S130、如图 3L 所示，去除第一牺牲膜 31 和第二牺牲膜 41，在对应位置处形成外基区 22。

在一些实施例中，如图 3L 所示，形成外基区 22 的方法包括:

S131、去除第二牺牲膜 41。

例如，可以采用刻蚀工艺去除第二牺牲膜 41。将本征基区 21 的两端暴露出来，作为形成桥接区 221 的晶种。

S132、在辅助层 50 下方形成桥接区 221。

例如，可以采用选择性外延工艺，形成桥接区 221。

其中，本申请实施例对桥接区 221 的大小不做限定，桥接区 221 与本征基区 21 接触即可。图 3K 中示意的桥接区 221 的结构仅为一种示意，不做任何限定。

桥接区 221 的材料，例如可以包括重掺杂的单晶硅，还可以包括少量的多晶硅。

S133、去除第一牺牲膜 31。

例如，可以采用刻蚀工艺去除第一牺牲膜 31。露出衬底 10 的表面，露出辅助外

基区 18。第一牺牲膜 31 可以全部被去除，也可以如图 3K 所示，保留一部分未被去除，根据需要合理设置即可。

其中，在第二外墙体 104 的材料与第一牺牲膜 31 的材料相同的情况下，去除第一牺牲膜 31 的同时，会去除第二外墙体 104。保留下来的第一外墙体 103 作为半导体结构的外侧墙 100，外侧墙 100 用于保护发射区 80。

S134、在第一牺牲膜 31 对应位置处形成外基区膜 222。

例如，可以采用选择性外延工艺，在原来第一牺牲膜 31 对应位置处形成外基区膜 222。也就是说，在衬底 10 的表面上形成外基区膜 222，外基区膜 222 直接与辅助外基区 18 接触。

其中，外基区膜 222 的厚度可以与第一牺牲膜 31 的厚度相同，外基区膜 222 的厚度也可以大于第一牺牲膜 31 的厚度。

外基区膜 222 的材料，例如可以多晶硅或多晶硅硅化物等。在一些实施例中，还可以对外基区膜 222 进行原位掺杂。

其中，形成的外基区膜 222 可以和本征基区 21 接触，也可以不和本征基区 21 接触。也就是说，通过外基区膜 222 形成的有效外基区 223，可以和本征基区 21 接触，也可以不和本征基区 21 接触。

S135、对外基区膜 222 进行图案化，形成有效外基区 223。

例如，可以采用光刻和刻蚀工艺，对外基区膜 222 进行图案化。

在另一些实施例中，形成外基区 22 的方法包括：辅助外基区 18 作为外基区膜 222 的种子层，在辅助外基区 18 上直接外延生长外基区 22。在引出区 14 上覆盖一层介质保护层，可以确保外基区 22 外延只在辅助外基区 18 上生长，而直接获得 S135 的结构，从而可以省去外基区光刻和蚀刻等图案化步骤。

基于此，如图 3L 所示，通过上述方法形成的外基区 22 包括有效外基区 223 和桥接区 221，有效外基区 223 与桥接区 221 接触，桥接区 221 与本征基区 21 接触，从而实现外基区 22 与本征基区 21 接触。由于桥接区 221 材料为准单晶硅，其掺杂离子的激活率大于有效外基区 223（材料为多晶硅）掺杂离子的激活率。因此，通过桥接区 221 实现有效外基区 223 与本征基区 21 的接触，可减小外基区 22 与本征基区 21 的接触电阻。

另外，在衬底 10 内还设置有辅助外基区 18 的情况下，如图 3L 所示，有效外基区 223 在衬底 10 的表面与辅助外基区 18 接触。有效外基区 223 与辅助外基区 18 接触，相当于增加了有效外基区 223 的厚度，可以作为外基区 22 抬高，减小外基区 22 电阻。

在另一些实施例中，如图 3M 所示，形成外基区 22 的方法包括：

S131′、去除第二牺牲膜 41。

S132′、去除第一牺牲膜 31。

当然，去除第二牺牲膜 41 和去除第一牺牲膜 31 的过程，可以是在同一次工艺中完成的，也可以是在不同工艺中完成的。

S133′、在第一牺牲膜 31 和第二牺牲膜 41 对应位置处形成外基区膜 222。

S134′、对外基区膜 222 进行图案化，形成外基区 22。

如图 3M 所示，形成的外基区 22 直接与本征基区 21 搭接，且外基区 22 在衬底 10

的表面与辅助外基区 18 接触，可以作为外基区 22 抬高，减小外基区 22 电阻。

S140、对半导体结构进行热处理。

对图 3L 或图 3M 所得到的结构进行热处理（例如退火），调节发射区 80、本征基区 21、外基区 22 以及集电区 19 中的掺杂分布，以激活掺杂离子。

S150、如图 3N 所示，通过连接孔（contact）110 从发射区 80 引出发射极（emitter electrode，E）、从外基区 22 引出基极（base electrode，B）以及从集电区 19 引出集电极（collector electrode，C）。

其中，发射极 E 通过设置在发射区 80 表面的连接孔 110 与发射区 80 接触。基极 B 通过设置在外基区 22 表面的连接孔 110 与外基区 22 接触。引出区 14 通过埋层集电区 13 与集电区 19 接触，集电极 C 通过设置在引出区 14 表面的连接孔 110 与引出区 14 接触，从而实现集电极 C 与集电区 19 接触。

需要说明的是，本申请实施例提供的半导体结构的制备方法，并不限定为由上述步骤构成，可以根据需要增加其他步骤或减少上述部分步骤。另外，上述制备方法中的步骤顺序仅为一种示意，可以根据需要调整变换。

基于此，如图 3N 所示，本申请实施例提供一种半导体结构，半导体结构包括衬底 10 和设置在衬底 10 上的本征基区 21、外基区 22、辅助层 50、发射区 80、盖帽层 90、外侧墙 100、发射极 E、基极 B 以及集电极 C。

衬底 10 包括埋层集电区 13、引出区 14、第三隔离结构 15、有源区 16、第一隔离结构 17、辅助外基区 18 以及集电区 19。

集电区 13 埋藏于衬底 10 内，集电区 13 的表面与衬底 10 的表面平齐。集电区 13 设置在本征基区 21 的下方，例如，集电区 13 位于本征基区 21 下方的有源区 16 内。

引出区 14 位于第一隔离结构 17 远离集电区 19 一侧，引出区 14 和第一隔离结构 17 位于埋层集电区 13 的上方，引出区 14 和集电区 19 分别与埋层集电区 13 接触。

第三隔离结构 15 位于引出区 14 远离集电区 14 一侧，第三隔离结构 15 可以为浅沟槽隔离结构，也可以为深沟槽隔离结构，根据需要合理设置即可。当然，若没有形成第三隔离结构 15 的需要，衬底 10 上也可以不形成第三隔离结构 15。

其中，第三隔离结构 15 的材料，例如可以是 SiO2+多晶硅。

辅助外基区 18 设置在外基区 22 的下方，辅助外基区 18 的表面作为衬底 10 的表面的一部分。或者理解为，第一隔离结构 17 内具有凹槽（例如可以是由第一隔离结构 17 围成的凹槽），辅助外基区 18 位于凹槽内。从视觉效果上来看，相当于第一隔离结构 17 和辅助外基区 18 均埋藏于衬底 10 内。

第一隔离结构 17 包裹辅助外基区 18 的侧面和底面，第一隔离结构 17 埋藏于衬底 10 内，第一隔离结构 17 的部分表面作为衬底 10 表面的一部分。或者理解为，衬底 10 内具有凹槽，第一隔离结构 17 位于凹槽内。

其中，第一隔离结构 17 至少位于集电区 19 和辅助外基区 18 之间的部分（位于辅助外基区 18 靠近集电区 19 一侧的部分）的厚度相等。

也就是图 3N 所示的半导体结构的截面图中，第一隔离结构 17 中至少位于集电区 19 与左侧辅助外基区 18 之间的部分的厚度 h1 和位于集电区 19 与右侧辅助外基区 18 之间的部分的厚度 h2 相等。

在一些实施例中，如图 3N 所示，第一隔离结构 17 各部分的厚度相等。

在另一些实施例中，如图 4A 所示，第一隔离结构 17 位于集电区 19 和辅助外基区 18 之间的部分的厚度相等。第一隔离结构 17 的其余部分，可以与位于集电区 19 和辅助外基区 18 之间的部分的厚度相等，也可以与位于集电区 19 和辅助外基区 18 之间的部分的厚度不相等。

其中，第一隔离结构 17 的材料，例如可以是 SiO2 或者 SiO2+Si3N4。

在一些实施例中，辅助外基区 18 设置在外基区 22 的下方，但如图 4B 所示，并未环绕集电区 19 一圈设置。

也就是说，外基区 22 设置在本征基区 21 外围，例如环绕本征基区 21 设置。但是，辅助外基区 18 并未环绕集电区 19 一圈设置，只在外基区 22 的部分区域的下方设置辅助外基区 18。例如，在集电区 19 相对的两侧设置辅助外基区 18。

在另一些实施例中，辅助外基区 18 设置在外基区 22 的下方，且如图 4C 所示，辅助外基区 18 环绕集电区 19 设置。本申请实施例对辅助外基区 18 的图案不做限定，图 4B 和图 4C 仅为一种示意，不做任何限定。

集电区 19 埋藏于衬底 10 内，集电区 18 的表面与衬底 10 的表面平齐。或者理解为，集电区 18 的表面作为衬底 10 的表面的一部分。集电区 18 位于本征基区 21 下方，与发射区开窗正对。

本征基区 21 设置在衬底 10 的表面，与集电区 19 在衬底 10 的表面接触，构成集电结（C-B）。本征基区 21 的材料，例如可以为 SiGe 或者 SiGe:C。

外基区 22 设置在衬底 10 的表面，与辅助外基区 18 在衬底 10 的表面接触。外基区 22 位于本征基区 21 的外围，与本征基区 21 接触。外基区 22 的材料，例如可以为多晶硅。

采用上述不同的方法，制备得到的外基区 22 的结构不同。

在一些实施例中，在制备半导体结构的过程中，执行步骤 S131-步骤 S135 来形成外基区 22。

如图 4A 所示，外基区 22 包括桥接区 221 和有效外基区 223，桥接区 221 与本征基区 21 和有效外基区 223 分别接触。

其中，桥接区 221 材料可以为准单晶硅，有效外基区 223 的材料可以为多晶硅。桥接区 221 掺杂离子的激活率大于有效外基区 223 掺杂离子的激活率。

在一些实施例中，图 4A 所示，桥接区 221 与本征基区 21 搭接，桥接区 221 与有效外基区 223 搭接。

在另一些实施例中，桥接区 221 设置在本征基区 21 上，桥接区 221 与有效外基区 223 拼接。

根据桥接区 221 结构的不同，桥接区 221 与本征基区 21 和有效外基区 223 的接触方式也不同。上述仅为一种示意，不做任何限定。

另外，如图 4A 所示，有效外基区 223 与本征基区 21 可以不接触。当然，有效外基区 223 与本征基区 21 也可以接触。

在另一些实施例中，在制备半导体结构的过程中，执行步骤 S131′-步骤 S134′来形成外基区 22。

如图 5 所示，外基区 22 不包括桥接区，外基区 22 各部分的材料相同。

辅助层 50，具有开口，辅助层 50 设置在外基区 22 上。其中，辅助层 50 上的开口可以理解为是上述制备过程中辅助膜 51 上的第三开口 52。辅助层 50 的材料，例如可以为 SiO2。

发射区 80 设置在辅助层 50 上，通过辅助层 50 上的开口与本征基区 21 接触，构成发射结（E-B）。发射区 80 的材料，例如可以为掺杂的外延单晶硅或者多晶硅。

内侧墙，设置在外基区 22 与发射区 80 之间，还可以延伸至辅助层 50 与发射区 80 之间，用于隔离外基区 22 和发射区 80。

在一些实施例中，半导体结构制备过程中执行上述步骤 S90。那么，半导体结构中的内侧墙可以是上述第二内侧墙 70。

当然，第二内侧墙 70 可以包括第三内墙体 71 和第四内墙体 72。第二内墙体 70 也可以仅包括第三内墙体 71。无论哪种情况，内侧墙包括形状为 L 状的部分（第三内墙体 71）。第三内墙体 71 的材料例如可以为 SiO2，第四内墙体 72 的材料例如可以为 Si3N4。

在另一些实施例中，半导体结构制备过程中不执行上述步骤 S90。那么，半导体结构中的内侧墙可以是上述第一内侧墙 60。

当然，第一内侧墙 60 可以包括第一内墙体 64 和第二内墙体 63。第一内侧墙 60 也可以仅包括第一内墙体 64。第一内墙体 64 的材料例如可以为 SiO2，第二内墙体 63 的材料例如可以为 Si3N4。

盖帽层 90 覆盖发射区 80 远离衬底 10 的表面，用于保护发射区 80。盖帽层 90 的材料例如可以为 SiO2。

外侧墙 100 至少包裹发射区 80 的侧面，用于保护发射区 80。其中，外侧墙 100 可以上述制备过程中的第一外墙体 103。外侧墙 100 的材料例如可以为 Si3N4。

集电极 C 通过与引出区 14 接触的连接孔 110 经引出区 14、埋层集电区 13 和集电区 19 接触。连接孔 110 可以直接设置在引出区 14 的表面，连接孔 110 与引出区 14 之间也可以设置有金属硅化物层，以实现连接孔 110 与引出区 14 的接触。

发射极 E 通过穿过盖帽层 90，且与发射区 80 接触的连接孔 110，和发射区 80 接触。连接孔 110 可以直接设置在发射区 80 的表面，连接孔 110 与发射区 80 之间也可以设置有金属硅化物层，以实现连接孔 110 与发射区 80 的接触。

基极 B 通过与外基区 22 接触的连接孔 110 和外基区 22 接触。连接孔 110 可以直接设置在外基区 22 的表面，连接孔 110 与外基区 22 之间也可以设置有金属硅化物层，以实现连接孔 110 与外基区 22 的接触。

应当明白的是，在发射区 80、外基区 22 以及引出区 14 上覆盖有介质层的情况下，连接孔 110 必然穿过介质层。

以 NPN 型的 HBT 器件为例，发射极 E 用于发射电子，基极 B 用于控制电子（使流向集电极 C 的电流受基极 B 输入信号的控制），集电极 C 用于收集电子。

需要说明的是，上述半导体结构中的 SiGe HBT 晶体管可以为 NPN 型晶体管（本征基区 21 是 P 区，也就是 P 型半导体；发射区 80 和集电区 19 都是 N 区，也就是 N 型半导体）或 PNP 型晶体管（本征基区 21 是 N 区，也就是 N 型半导体；发射区 80

和集电区 19 都是 P 区，也就是 P 型半导体）。

另外，本申请实施例示意图中示意的发射极 E、基极 B、以及集电极 C 的结构、位置、数量仅为一种示意。发射极 E、基极 B、以及集电极 C 可以各只有一个，基极 B 和集电极 C 也可以是在发射极 E 的左右两侧各有一个。

其中，上述关于半导体结构中各膜层的材料举例仅为一种示意，不做任何限定。

以 NPN 型的 HBT 器件为例，对本申请实施例提供的 SiGe HBT 器件的工作原理进行说明：向发射结上施加电源，发射结正偏，发射区 80 的多数载流子(自由电子）不断地越过发射结进入本征基区 21，形成发射极电流。电子进入本征基区 21 后，先在靠近发射结的附近密集，渐渐形成电子浓度差，在浓度差的作用下，促使电子流在本征基区 21 中向集电结扩散，被集电结电场拉入集电区 19 形成集电极电流。也有很小一部分电子（因为本征基区 21 很薄）与本征基区 21 的空穴复合，扩散的电子流与复合电子流之比例决定了三极管的放大能力。由于集电结外加反向电压很大，这个反向电压产生的电场力将阻止集电区 19 电子向本征基区 21 扩散，同时将扩散到集电结附近的电子拉入集电区 19 从而形成集电极主电流。另外集电区 19 的少数载流子（空穴）也会产生漂移运动，流向本征基区 21 形成反向饱和电流。

本申请实施例提供的半导体结构的制备方法，先在基底 11 上形成凹槽，然后在凹槽内形成隔离膜 171，通过对隔离膜 171 进行图案化，以制备得到第一隔离结构 17。这样一来，在不考虑工艺误差的情况下，最终形成的第一隔离结构 17 各处的膜厚相等。即使因为工艺因素，可能会出现几纳米的偏差。但是不会像采用光刻和刻蚀工艺那样，最终第一隔离结构 17 位于集电区 19 和辅助外基区 18 之间的部分（第一隔离结构 17 位于辅助外基区 18 靠近集电区 19 一侧的部分）的厚度会有几十纳米的偏差。因此，本申请实施例中可以确保第一隔离结构 17 位于集电区 19 和辅助外基区 18 之间的部分的厚度（截面图图 4A 中的 h1 和 h2）相等。那么，根据寄生电容的公式 $C=\varepsilon S/d$ 可知（ε 为介电常数，S 为极板正对面积，d 为极板间的距离），在集电区 19 两侧的第一隔离结构 17 的材料（影响 ε）和辅助外基区 18 与集电区 19 的正对面积（影响 S）固定的情况下，第一隔离结构 17 位于集电区 19 和辅助外基区 18 之间的部分的厚度（影响 d）相等，可提高中心线两侧的寄生集电结电容的对称性。从而可实现中心线两边均分电流，使器件性能（如最高振荡频率）得到最优。而且，本申请实施例中，每层膜层的制备，采用常规技术即可实现。集电区 19 的形成，也是通过自对准结构限定位置，然后在衬底 10 中进行离子注入来实现的。

另外，本征基区 21 和外基区 22 均设置在衬底 10 的表面，集电区 19 设置在衬底 10 的内部，不存在抬高的外延集电区，因此，在已知的衬底 10 表面直接形成本征基区 21 和外基区 22，二者是否接触是通过自身的制备工艺直接可控的。与衬底 10 表面设置外延集电区，然后在外延集电区上设置本征基区相比。本申请实施例直接在衬底 10 表面设置本征基区 21 和外基区 22，不会因为抬高的外延集电区的厚度等参数而影响本征基区 21 和外基区 22 的接触，可提高本征基区 21 和外基区 22 的接触良率，从而提高半导体结构的良率。再者，由于无需考虑集电区 19 厚度对本征基区 21 和外基区 22 接触效果的影响。因此，可降低对制作集电区 19 时工艺精度的要求，降低工艺难度。且集电区 19 是掺杂得到的，少了一步外延工艺（制备集电区 19），节省加工

成本。此外，通过在衬底 10 中预埋辅助外基区 18，辅助外基区 18 与外基区 22 接触后，相当于实现了外基区 22 的增厚，从而可以降低外基区 22 的电阻。

在一些实施例中，半导体结构还包括互补金属氧化物半导体场效应晶体管（complementary metal oxide semiconductor field-effect transistor，CMOSFET）。

如图 2 所示，半导体结构的制备方法还包括:

S160、如图 6 所示，在基底 11 上形成 CMOSFET。

其中，在基底 11 上形成 CMOSFET 的步骤可以在步骤 S10 之前执行，也可以在步骤 S150 之后执行。

如图 6 所示，SiGe HBT 结构和 CMOSFET 结构之间通过衬底 10 中的第三隔离结构 15 隔离。在这种情况下，第三隔离结构 15 为深沟槽隔离结构。

另外，本申请实施例对 CMOSFET 的结构不做限定，图 6 中的 CMOSFET 仅为一种示意。CMOSFET 可以为 NMOS 晶体管或 PMOS 晶体管。

这样一来，半导体结构的制备方法制备得到的半导体结构为 CMOS+SiGe HBT 器件，可将 CMOS 和 SiGe HBT 集成在同一半导体结构上，可兼得二者的优势。

示例二

示例二与示例一的不同之处主要在于:衬底 10 中包括第一隔离结构 17 的基础上，还包括第二隔离结构 20。

如图 7 所示，半导体结构包括衬底 10 和设置在衬底 10 上的本征基区 21、外基区 22、辅助层 50、发射区 80、盖帽层 90、外侧墙 100、发射极 E、基极 B 以及集电极 C。

其中，本征基区 21、外基区 22、辅助层 50、发射区 80、盖帽层 90、外侧墙 100、发射极 E、基极 B 以及集电极 C 与示例一中相同，可参考示例一中的相关描述，此处不再赘述。

如图 7 所示，衬底 10 包括埋层集电区 13、引出区 14、第三隔离结构 15、有源区 16、第一隔离结构 17、辅助外基区 18、集电区 19 以及第二隔离结构 20。

埋层集电区 13、引出区 14、第三隔离结构 15、有源区 16、第一隔离结构 17、辅助外基区 18 以及集电区 19 与示例一中相同，可参考示例一中的相关描述，此处不再赘述。

如图 7 所示，第二隔离结构 20 位于第一隔离结构 17 下方（远离辅助外基区 18 一侧），第二隔离结构 20 与第一隔离结构 17 接触。

在一些实施例中，如图 8 所示，第一隔离结构 17 在衬底 10 上的投影覆盖第二隔离结构 20 在衬底 10 上的投影。

也就是说，沿垂直于衬底 10 的方向，第一隔离结构 17 覆盖第二隔离结构 20。

示例的，第二隔离结构 20 的最大横截面积小于辅助外基区 18 的横截面积。或者理解为，辅助外基区 18 在衬底 10 上的投影覆盖第二隔离结构 20 在衬底 10 上的正投影。

由于第一隔离结构 17 和第二隔离结构 20 均是通过在凹槽中填充介质材料来形成的。通过使第一隔离结构 17 覆盖第二隔离结构 20，也就是说，用于放置第二隔离结构 20 的凹槽小于用于放置第一隔离结构 17 的凹槽。那么先形成小凹槽，再形成大凹槽，工艺难度低，易于实现。

在一些实施例中，第二隔离结构20的材料与第一隔离结构17的材料的材料相同。例如，第二隔离结构20的材料为SiO2。

通过上述描述可知，本示例提供的半导体结构与示例一提供的半导体结构的衬底10不同，二者的制备方法也略有不同。

基于此，本申请实施例还提供一种半导体结构的制备方法，包括：

S10、形成基底11。

在一些实施例中，关于基底11的形成方法，包括：

S11、如图9A所示，在硅底12上形成外延层，对外延层进行离子注入，形成埋层集电区13和引出区14。

S12、在外延层上形成二氧化硅（SiO2）膜和氮化硅（Si3N4）膜。

S13、在外延层上形成第三隔离槽。

S14、氧化和修复第三隔离槽的表面，形成二氧化硅界面。

S15、在第三隔离槽内填充电介质材料，形成填充层。

S16、对填充层进行处理，形成第三隔离结构15。

例如，第三隔离结构15为深沟槽隔离结构。

S17′、如图9B所示，在外延层上形成和第二隔离槽。

需要说明的是，如图9B所示，在外延层上形成第二隔离槽时，外延层上应形成有SiO2膜和Si3N4膜。

其中，该SiO2膜和Si3N4膜，可以是形成第三隔离结构15后（执行完步骤S16），将外延层上的SiO2膜和Si3N4膜去除，然后重新形成SiO2膜和Si3N4膜。这样可以确保SiO2膜和Si3N4膜表面的平整性，从而提高工艺精度。

该SiO2膜和Si3N4膜，也可以是形成第三隔离结构15后（执行完步骤S16），将外延层上的Si3N4膜去除，然后重新形成Si3N4膜以得到上述SiO2膜和Si3N4膜。这样可以确保Si3N4膜表面的平整性，从而提高工艺精度。

该SiO2膜和Si3N4膜，还可以是形成第三隔离结构15后（执行完步骤S16），不去除外延层上的SiO2膜和Si3N4膜，直接作为该步骤中需要的SiO2膜和Si3N4膜。也就是说，直接将步骤S12中形成的SiO2膜和Si3N4膜作为该步骤中需要的SiO2膜和Si3N4膜。

S18′、氧化和修复第二隔离槽的表面。

S19′、在第二隔离槽内填充电介质材料，形成填充层。

S19-1′、对填充层进行处理，形成浅沟槽隔离区201。

S19-2′、去除Si3N4膜。

S19-3′、去除SiO2膜，形成基底11。

需要说明的是，上述形成第三隔离结构15（步骤S11-S16）与形成浅沟槽隔离区201（步骤S17′-S19-3′）没有先后顺序之分，可以是先形成第三隔离结构15，也可以是先形成浅沟槽隔离区201。

S20′、如图9C所示，在基底11的浅沟槽隔离区201处形成凹槽。

去除部分所述浅沟槽隔离区以及所述浅沟槽隔离区外围的部分所述有源区，形成所述凹槽，位于所述凹槽下方未被去除的所述浅沟槽隔离区作为所述半导体结构的第

二隔离结构。

其中，凹槽槽底的面积大于浅沟槽隔离区 201 的最大横截面积，以使得形成凹槽位置处的浅沟槽隔离区 201 被完全刻蚀，并刻蚀一部分有源区 16。也就是说，凹槽的外围直接是有源区 16。

也就是说，本示例中用于容纳第一隔离结构 17 的凹槽，并不位于浅沟槽隔离区 201 内。而是对浅沟槽隔离区 201 进行图案化，将远离埋层集电区 13 的部分浅沟槽隔离区 201 直接去除，并去除该部分浅沟槽隔离区 201 外围的部分有源区 16，形成凹槽，位于凹槽下方的，未被去除的浅沟槽隔离区 201 作为半导体结构的第二隔离结构 20。

S30′ 、如图 9D 所示，形成第一隔离结构 17 和辅助外基区 18。

第一隔离结构 17 位于第二隔离结构 20 上方，与第二隔离结构 20 接触。

S40~S160，与示例一中相同，可参考上述相关描述。在一些实施例中，在不执行 S160 的情况下，制备得到的半导体结构如图 8 所示。在一些实施例中，在执行 S160 的情况下，制备得到的半导体结构如图 10 所示。

通过在第一隔离结构 17 下方设置第二隔离结构 20，可改变辅助外基区 18 与埋层集电区 13 之间的介电常数，从而可降低集电区 19 和外基区的寄生电容，提升器件性能。

本申请实施例提供的制备方法制备得到的半导体结构，应用于晶体管电路中后，可以直接采用封装体对晶体管电路进行封装，形成封装器件（例如芯片）。也可以和其他芯片共同封装，形成封装器件。本申请实施例对此不作限定。

基于此，在一些实施例中，可将包括上述任一种半导体结构的晶体管电路应用于射频电路中。

射频电路例如可以是功率放大器（power amplifier，PA）、可变增益放大器（variable gain amplifier，VGA）、低噪声放大器（low noise amplifier，LNA）、跨阻放大器（trans-impedance amplifier，TIA）、驱动器（driver）、混频器、时钟数据恢复（clock data recovery，CDR）电路等。

当然，本申请实施例对包括上述半导体结构的射频电路的应用范围不做任何限定，射频电路例如可以应用于微波系统、光电系统、雷达、无线通信模块、路由器、终端、网络设备等通信装置中。通信装置还包括处理器，处理器用于射频电路传输信号。处理器例如可以是中央处理器（central processing unit，CPU）。

以上所述，仅为本申请的具体实施方式，但本申请的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1. 一种半导体结构，其特征在于，包括：

衬底，包括埋藏于所述衬底内的集电区、第一隔离结构以及辅助外基区；

本征基区，设置在所述衬底的表面；

外基区，设置在所述衬底的表面；所述外基区位于所述本征基区的外围，与所述本征基区接触；

发射区，设置在所述本征基区远离所述衬底一侧，与所述本征基区接触；

所述集电区设置在所述本征基区的下方，与所述本征基区在所述衬底的表面接触；所述辅助外基区设置在所述外基区下方，与所述外基区在所述衬底的表面接触；所述第一隔离结构包裹所述辅助外基区的侧面和底面，所述第一隔离结构位于所述辅助外基区靠近所述集电区一侧的部分的厚度相等。

2. 根据权利要求 1 所述的半导体结构，其特征在于，所述第一隔离结构各处的厚度相等。

3. 根据权利要求 1 或 2 所述的半导体结构，其特征在于，所述衬底还包括第二隔离结构；

所述第二隔离结构位于所述第一隔离结构下方，与所述第一隔离结构接触。

4. 根据权利要求 3 所述的半导体结构，其特征在于，所述第一隔离结构在所述衬底上的投影覆盖所述第二隔离结构在所述衬底上的投影。

5. 根据权利要求 1-4 任一项所述的半导体结构，其特征在于，所述外基区包括桥接区和有效外基区；

所述桥接区与所述本征基区和所述有效外基区分别接触，所述桥接区的材料包括准单晶硅，所述有效外基区的材料包括多晶硅。

6. 根据权利要求 5 所述的半导体结构，其特征在于，所述桥接区与所述本征基区和/或所述有效外基区搭接。

7. 根据权利要求 1-6 任一项所述的半导体结构，其特征在于，所述半导体结构还包括辅助层；

所述辅助层设置在所述外基区与所述发射区之间，所述发射区通过所述辅助层上的开口与所述本征基区接触。

8. 根据权利要求 1-7 任一项所述的半导体结构，其特征在于，所述半导体结构还包括内侧墙；

所述内侧墙设置在所述外基区与所述发射区之间。

9. 根据权利要求 1-8 任一项所述的半导体结构，其特征在于，所述半导体结构还包括设置在所述衬底上的发射极、基极以及集电极；

所述发射极与所述发射区接触，所述基极与所述外基区接触，所述集电极与所述集电区接触。

10. 根据权利要求 9 所述的半导体结构，其特征在于，所述衬底还包括引出区和埋层集电区，所述引出区和所述第一隔离结构位于所述埋层集电区的上方，所述引出区位于所述第一隔离结构远离所述集电区一侧；所述引出区和所述集电区分别与所述埋层集电区接触；

所述集电极通过与所述引出区接触连接孔和所述集电区接触；

所述发射极通过穿过盖帽层且与所述发射区接触的连接孔，和所述发射区接触；

所述基极通过与所述外基区接触的连接孔和所述外基区接触。

11. 根据权利要求 1-10 任一项所述的半导体结构，其特征在于，所述衬底还包括第三隔离结构，所述第三隔离结构设置在所述第一隔离结构的外侧；

所述半导体结构还包括互补金属氧化物半导体场效应晶体管，所述互补金属氧化物半导体场效应晶体管设置在所述衬底上，且位于所述第三隔离结构远离所述第一隔离结构一侧。

12. 一种射频电路，其特征在于，包括包含权利要求 1-11 任一项所述的半导体结构的晶体管电路。

13. 一种通信装置，其特征在于，包括处理器和如权利要求 12 所述的射频电路，所述处理器用于向所述射频电路传输信号。

14. 一种半导体结构的制备方法，其特征在于，包括：

在包括有源区的基底上形成凹槽，所述凹槽位于待形成的外基区的下方；

在形成有凹槽的基底上依次形成隔离膜和辅助外基区膜，对所述隔离膜和所述辅助外基区膜图案化，形成位于所述凹槽内的第一隔离结构和辅助外基区；所述第一隔离结构包裹所述辅助外基区的侧面和底面；

在所述基底的表面形成依次层叠设置的第一牺牲膜、第二牺牲膜以及辅助膜，并形成贯穿所述辅助膜和所述第二牺牲膜的发射区窗口；

在所述基底内形成集电区，以形成所述半导体结构的衬底；所述集电区位于所述发射区窗口下方；

在所述第一牺牲膜上形成与所述发射区窗口连通的开口；并在所述开口内形成本征基区；所述本征基区与所述集电区在所述衬底的表面接触；

在所述辅助膜上形成发射区膜，并对所述发射区膜和所述辅助膜进行图案化，形成发射区和辅助层；所述发射区通过所述发射区窗口与所述本征基区接触；

去除所述第一牺牲膜和所述第二牺牲膜，在对应位置处形成外基区；所述外基区与所述辅助外基区在所述衬底的表面接触，所述外基区还与所述本征基区接触。

15. 根据权利要求 14 所述的半导体结构的制备方法，其特征在于，在包括有源区的基底上形成凹槽，包括：

在所述有源区形成所述凹槽。

16. 根据权利要求 14 所述的半导体结构的制备方法，其特征在于，在包括有源区的基底上形成凹槽，包括：

在基底上形成有源区和浅沟槽隔离区；所述浅沟槽隔离区位于所述外基区的下方；

去除部分所述浅沟槽隔离区以及所述浅沟槽隔离区外围的部分所述有源区，形成所述凹槽，位于所述凹槽下方未被去除的所述浅沟槽隔离区作为所述半导体结构的第二隔离结构。

17. 根据权利要求 14-16 任一项所述的半导体结构的制备方法，其特征在于，所述制备方法还包括：

在所述基底上形成第三隔离结构，所述第三隔离结构位于所述第一隔离结构的外

侧；在所述衬底上形成互补金属氧化物半导体场效应晶体管，所述互补金属氧化物半导体场效应晶体管位于所述第三隔离结构远离所述第一隔离结构一侧。

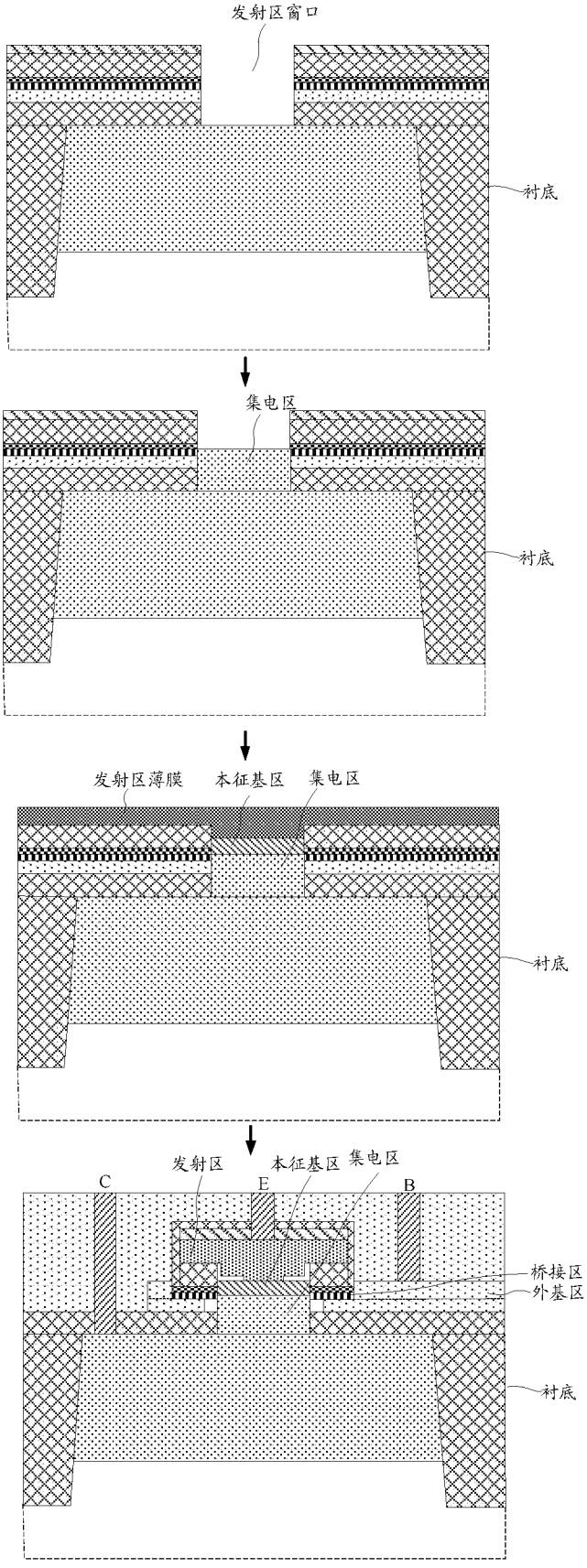


图 1A

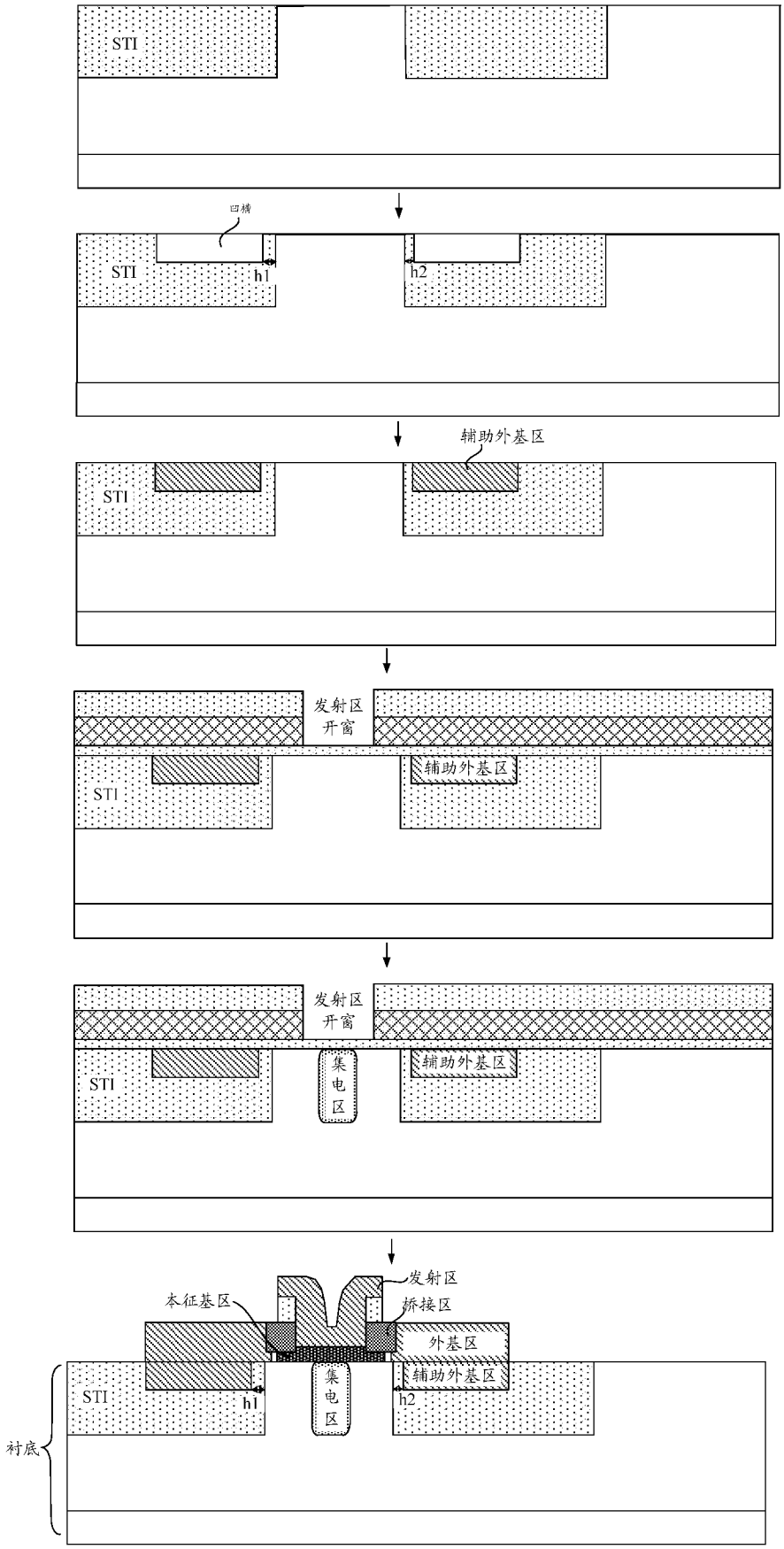

STI
凹槽
STI
h1
h2
辅助外基区
STI
发射区
开窗
辅助外基区
STI
发射区
开窗
集电区
辅助外基区
STI
发射区
本征基区
桥接区
外基区
集电区
辅助外基区
STI
h1
h2
衬底

图 1B

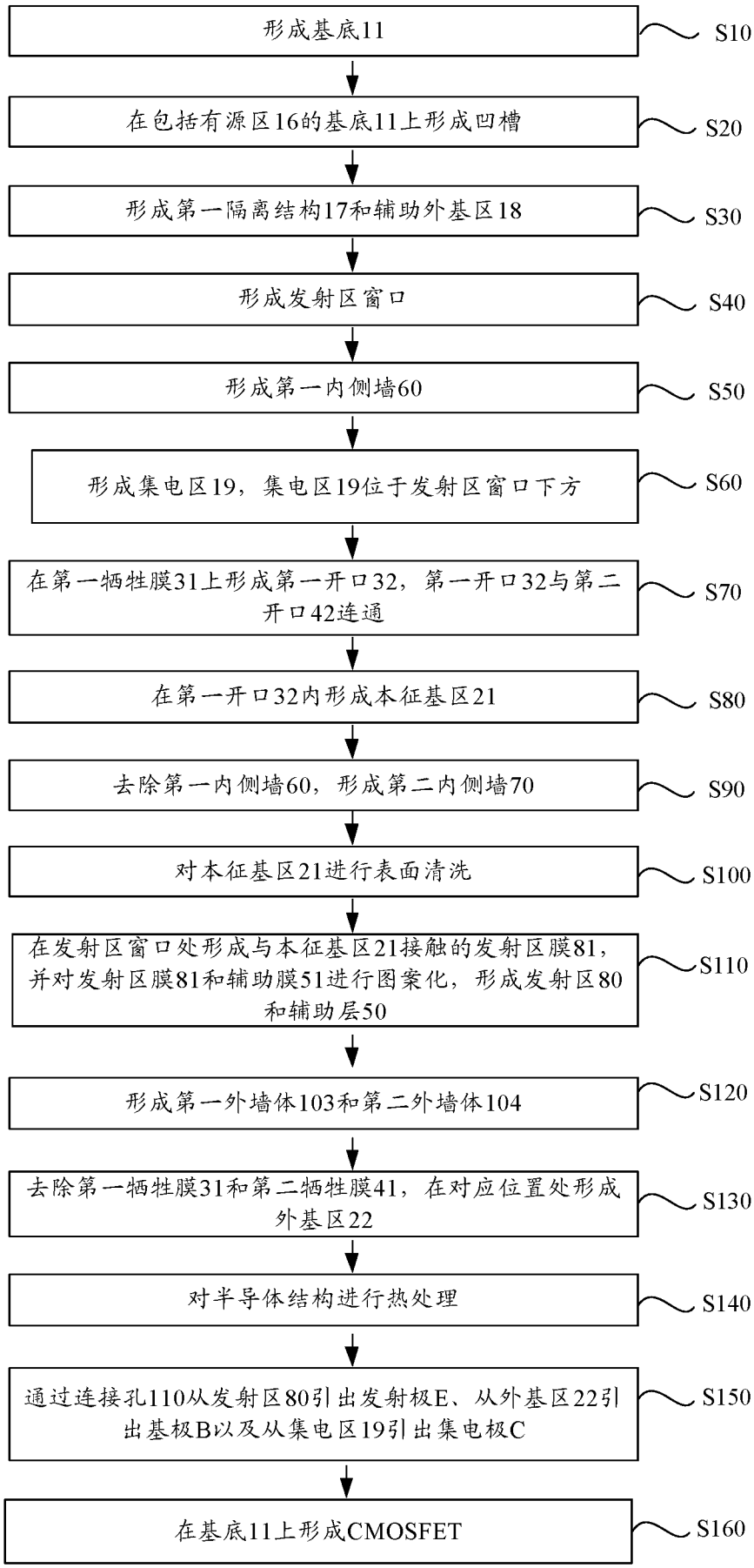

形成基底11
S10
在包括有源区16的基底11上形成凹槽
S20
形成第一隔离结构17和辅助外基区18
S30
形成发射区窗口
S40
形成第一内侧墙60
S50
形成集电区19，集电区19位于发射区窗口下方
S60
在第一牺牲膜31上形成第一开口32，第一开口32与第二开口42连通
S70
在第一开口32内形成本征基区21
S80
去除第一内侧墙60，形成第二内侧墙70
S90
对本征基区21进行表面清洗
S100
在发射区窗口处形成与本征基区21接触的发射区膜81，并对发射区膜81和辅助膜51进行图案化，形成发射区80和辅助层50
S110
形成第一外墙体103和第二外墙体104
S120
去除第一牺牲膜31和第二牺牲膜41，在对应位置处形成外基区22
S130
对半导体结构进行热处理
S140
通过连接孔110从发射区80引出发射极E、从外基区22引出基极B以及从集电区19引出集电极C
S150
在基底11上形成CMOSFET
S160

图 2

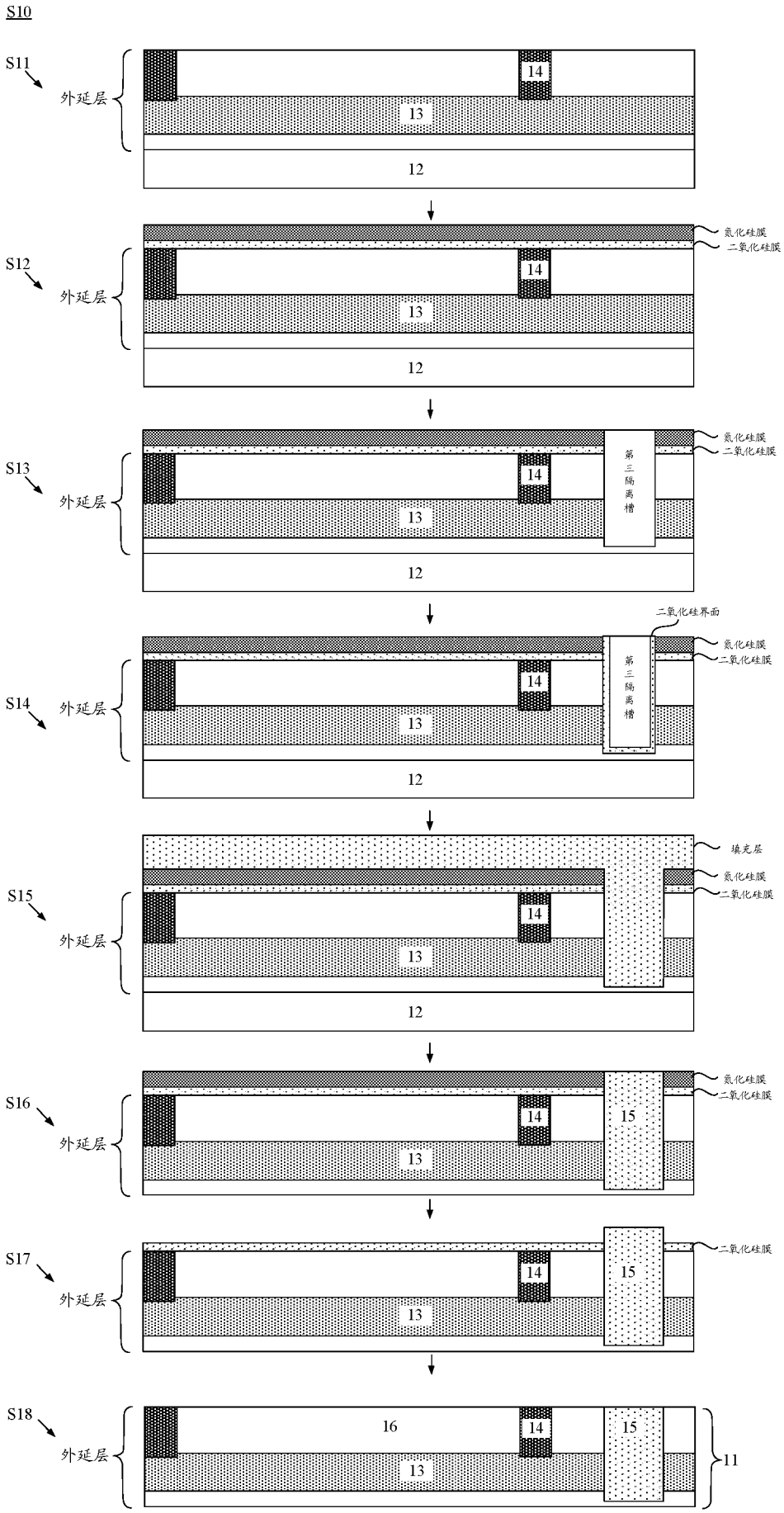

S10
S11
外延层
14
13
12
S12
氮化硅膜
二氧化硅膜
S13
第三隔离槽
S14
二氧化硅界面
S15
填充层
S16
15
S17
S18
16
11

图 3A

S20

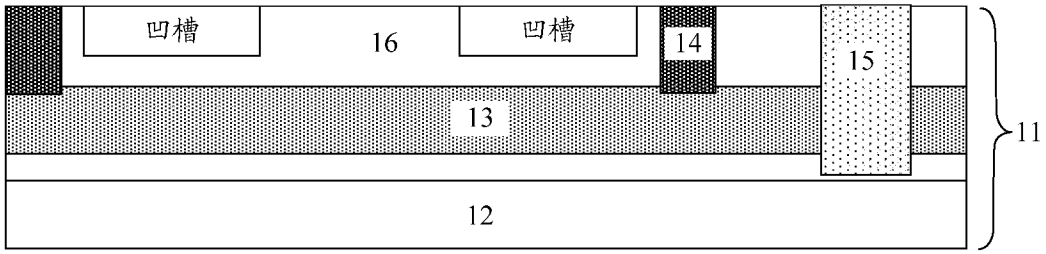


图 3B

S30

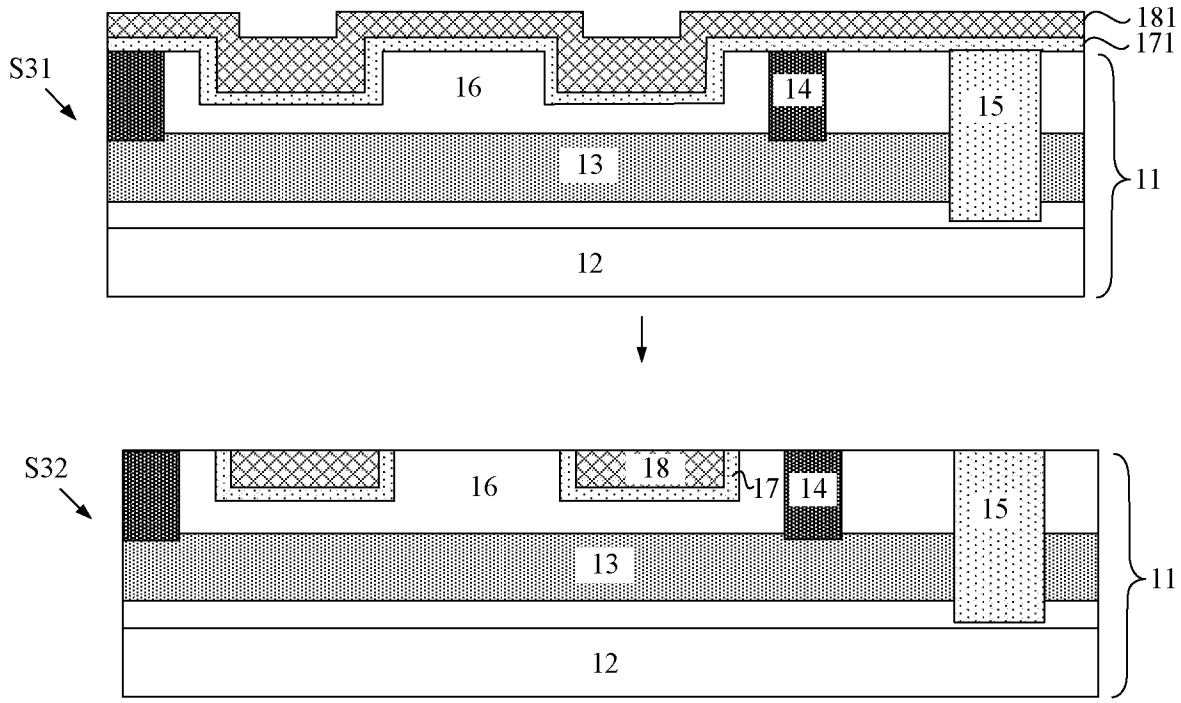


图 3C

S40

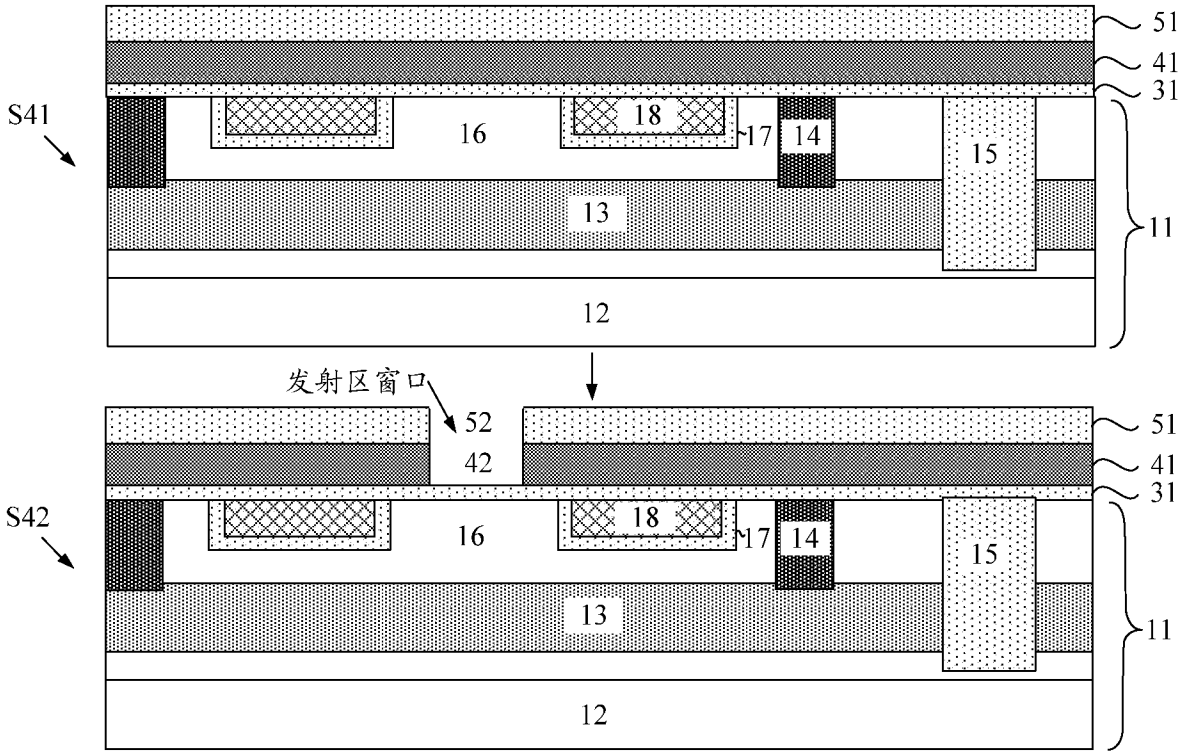

S41
51
41
31
16
18
17
14
15
13
11
12
发射区窗口
52
42
S42
51
41
31
16
18
17
14
15
13
11
12

图 3D

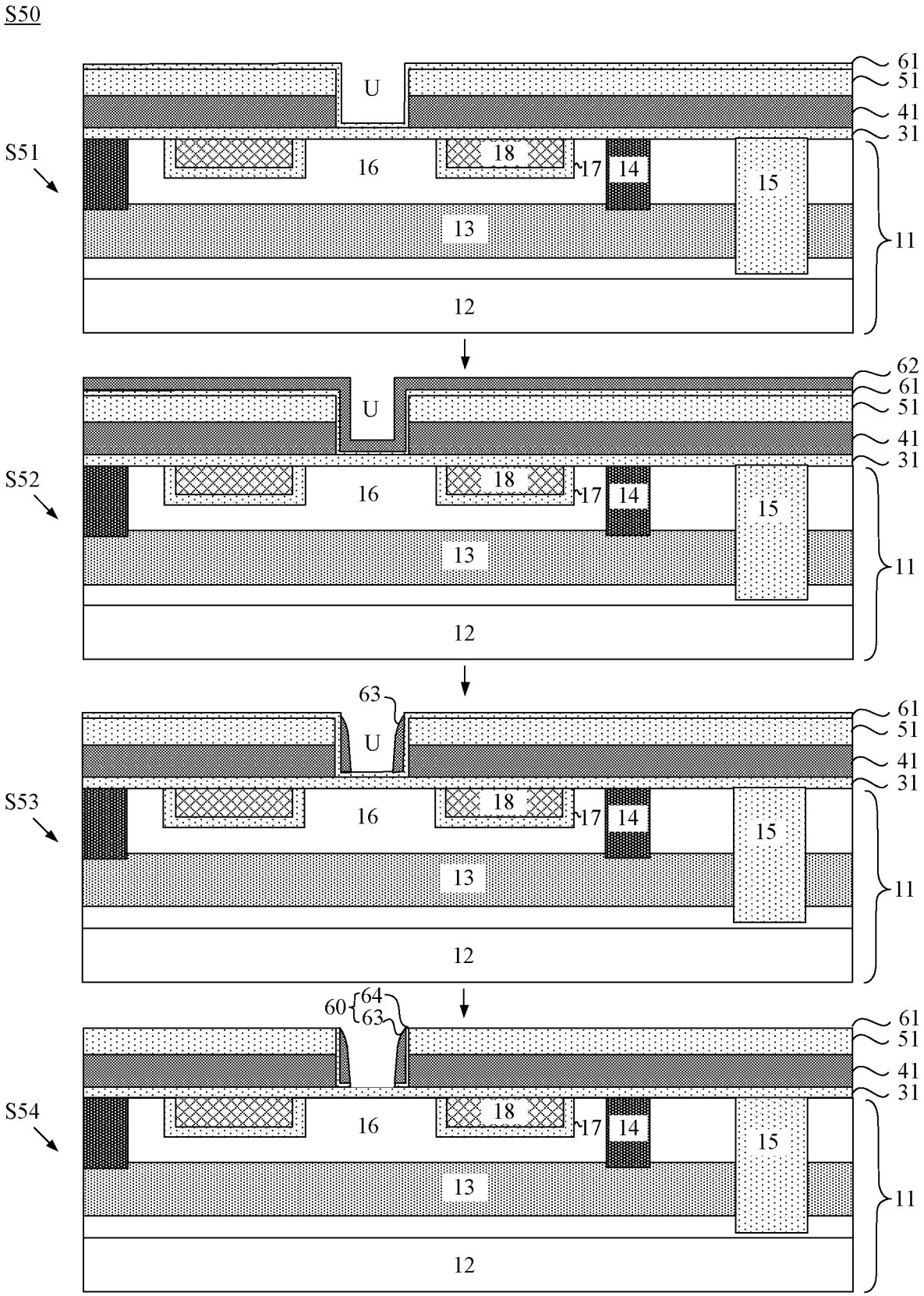


图 3E

S60

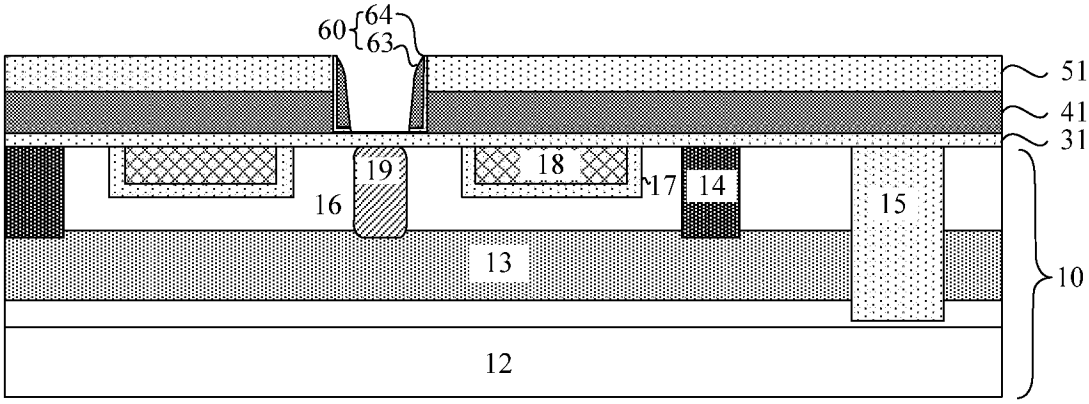


图 3F

S70

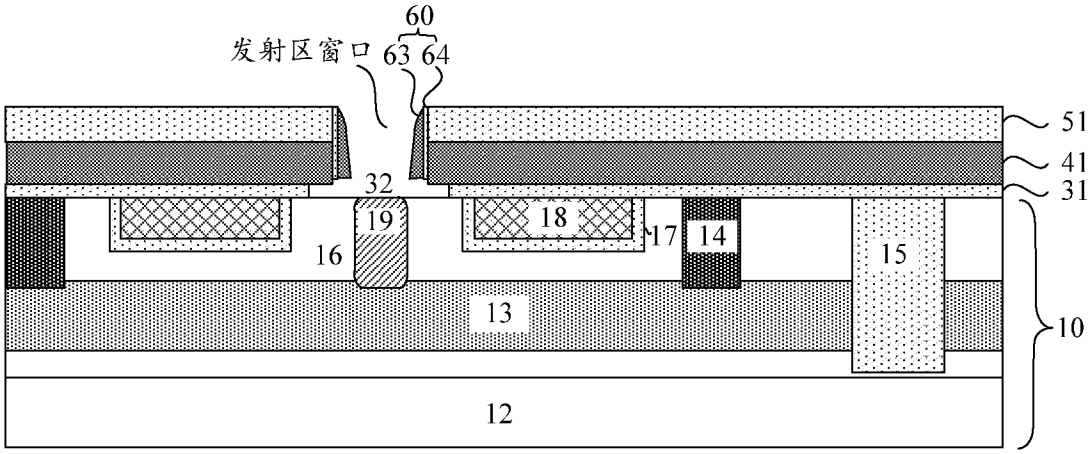


图 3G

S80

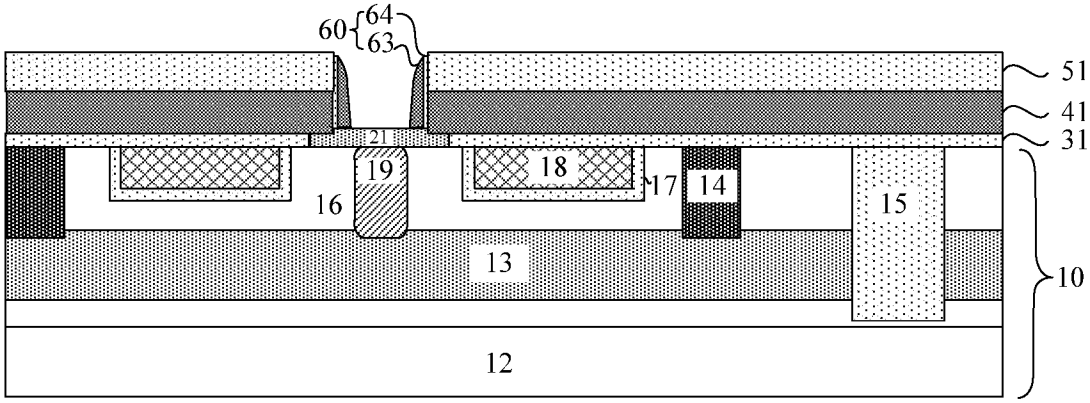


图 3H

S90

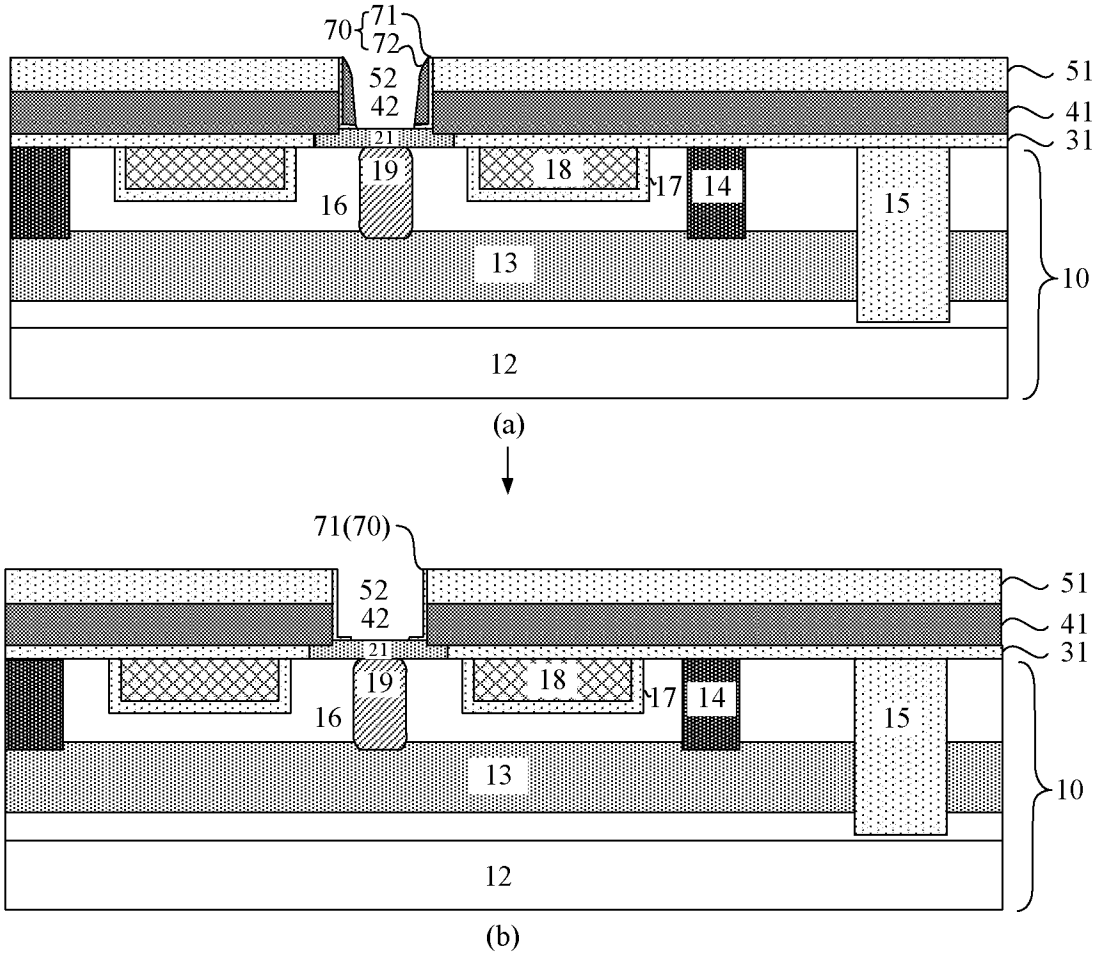

70
71
72
52
42
21
19
18
17
14
16
15
13
12
51
41
31
10
(a)
71(70)
52
42
21
19
18
17
14
16
15
13
12
51
41
31
10
(b)

图 3I

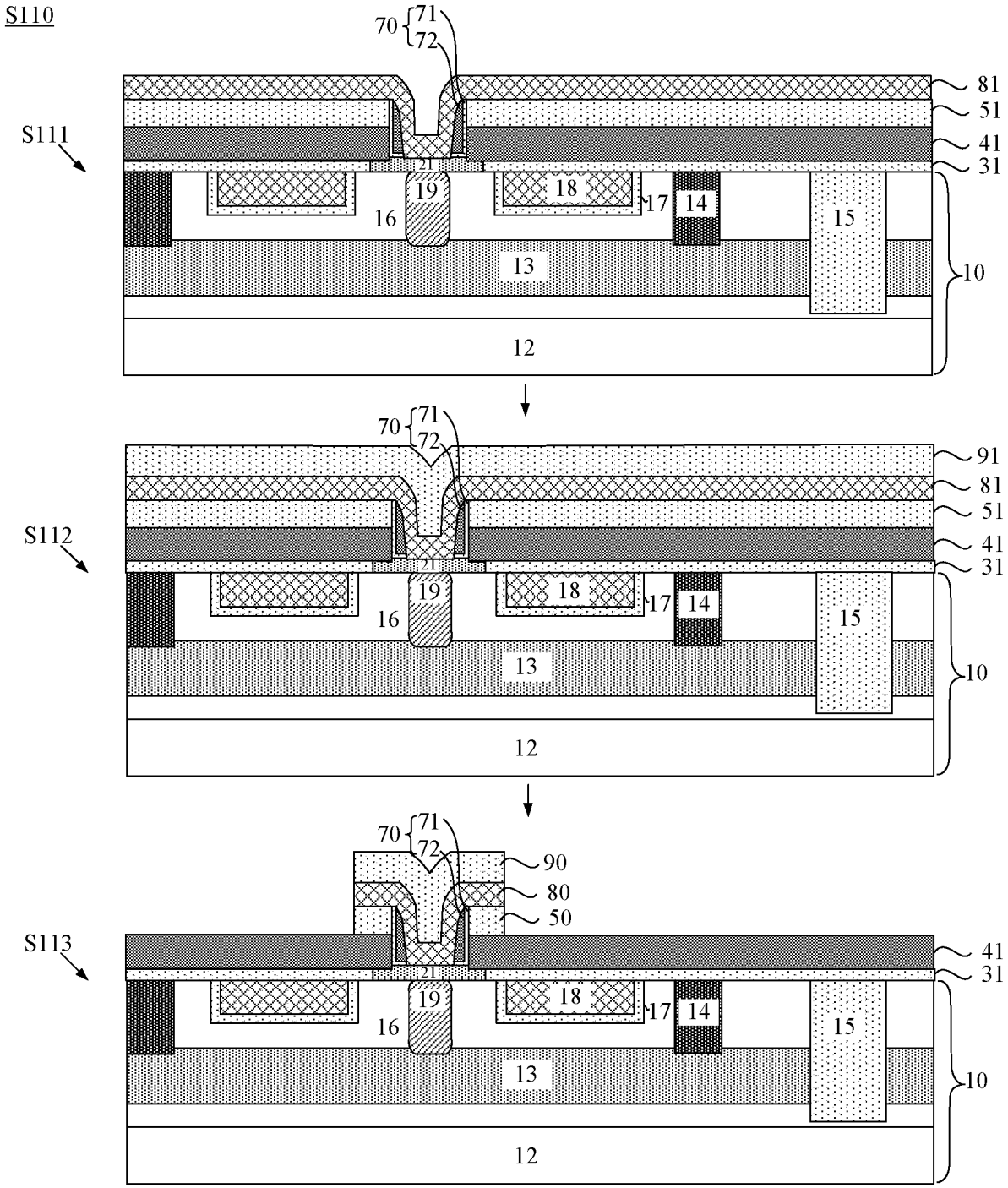

S110
S111
S112
S113
70
71
72
81
51
41
31
21
19
18
17
14
16
15
13
10
12
91
90
80
50

图 3J

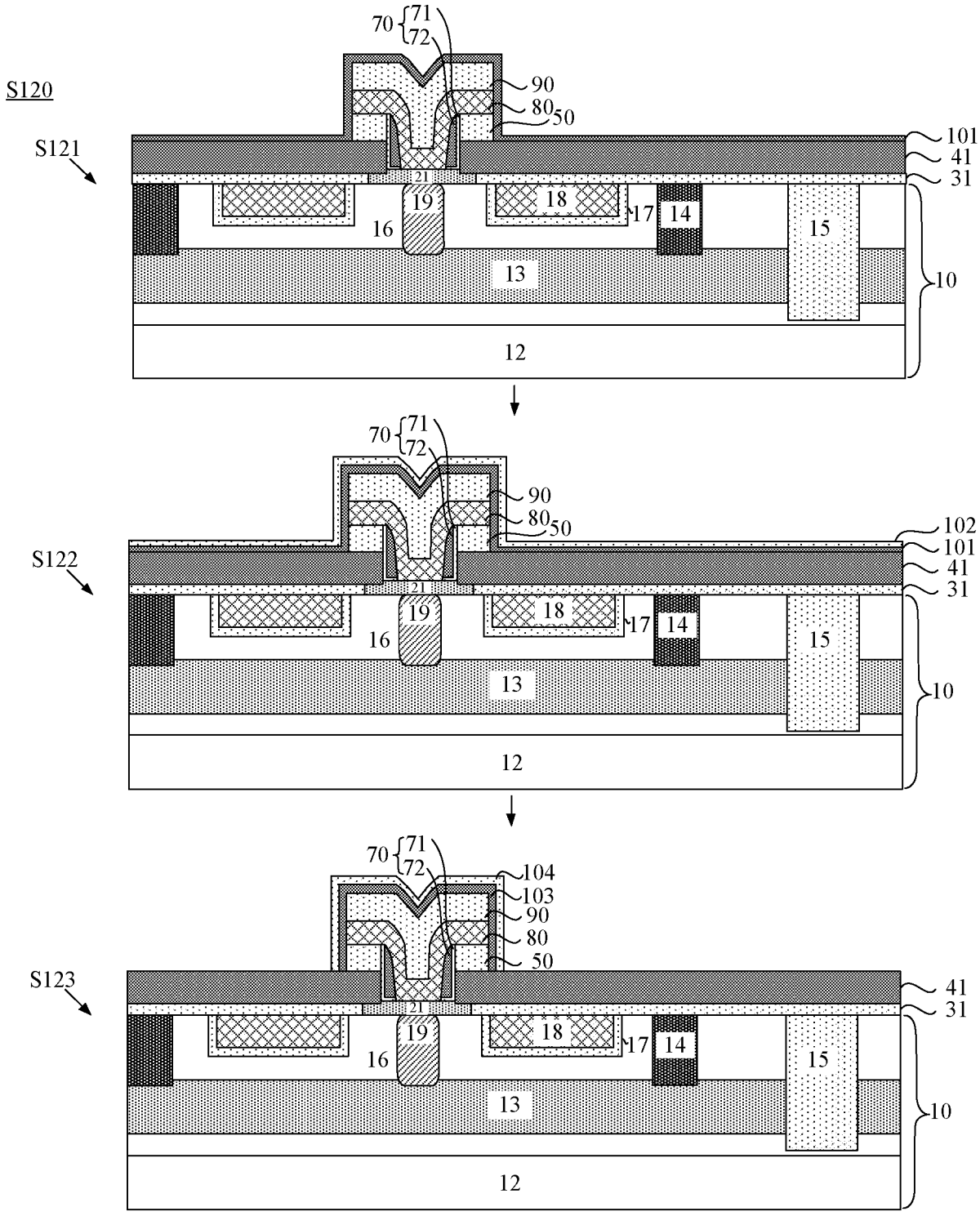

S120
S121
S122
S123
70
71
72
90
80
50
101
41
31
21
19
18
17
14
16
15
13
10
12
102
104
103

图 3K

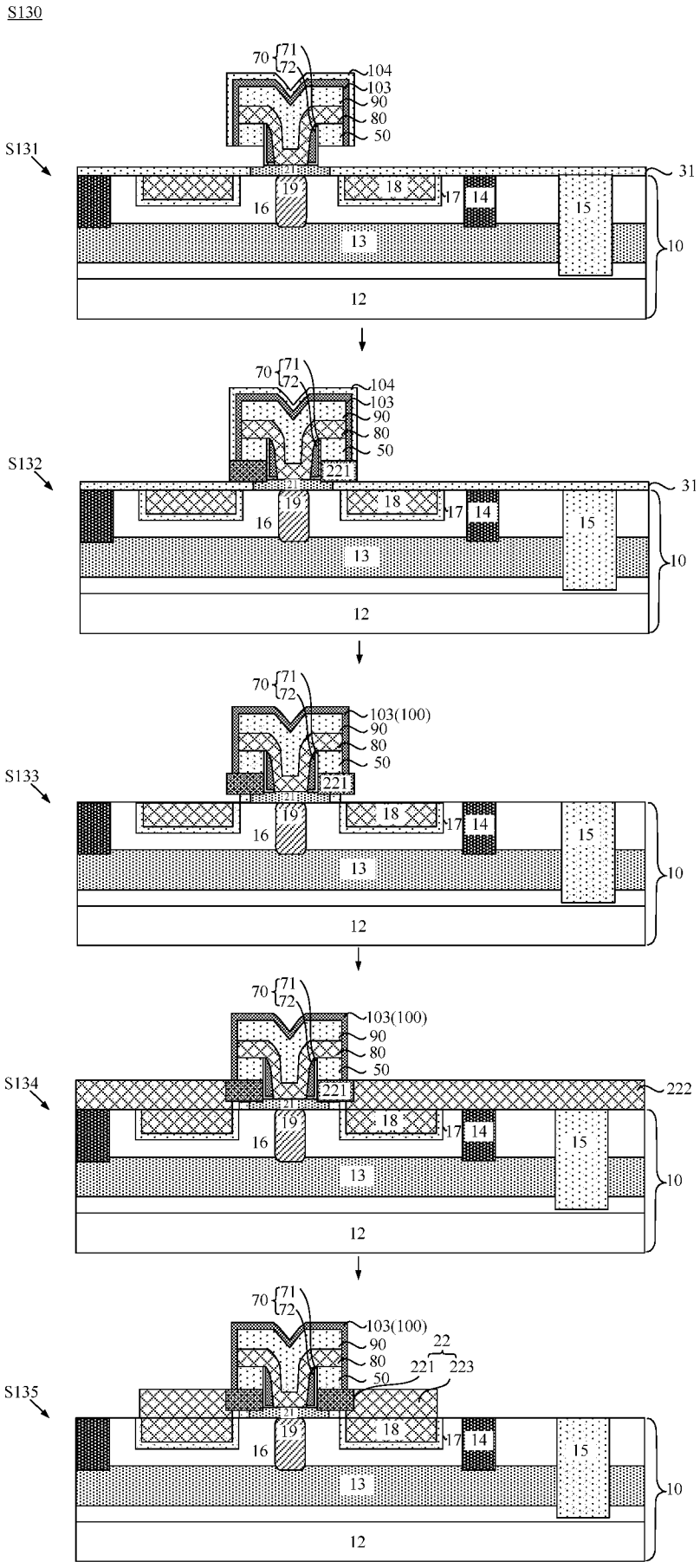

S130
S131
S132
S133
S134
S135
70
71
72
104
103
90
80
50
31
19
18
17
14
15
16
13
10
12
221
103(100)
222
22
223

图 3L

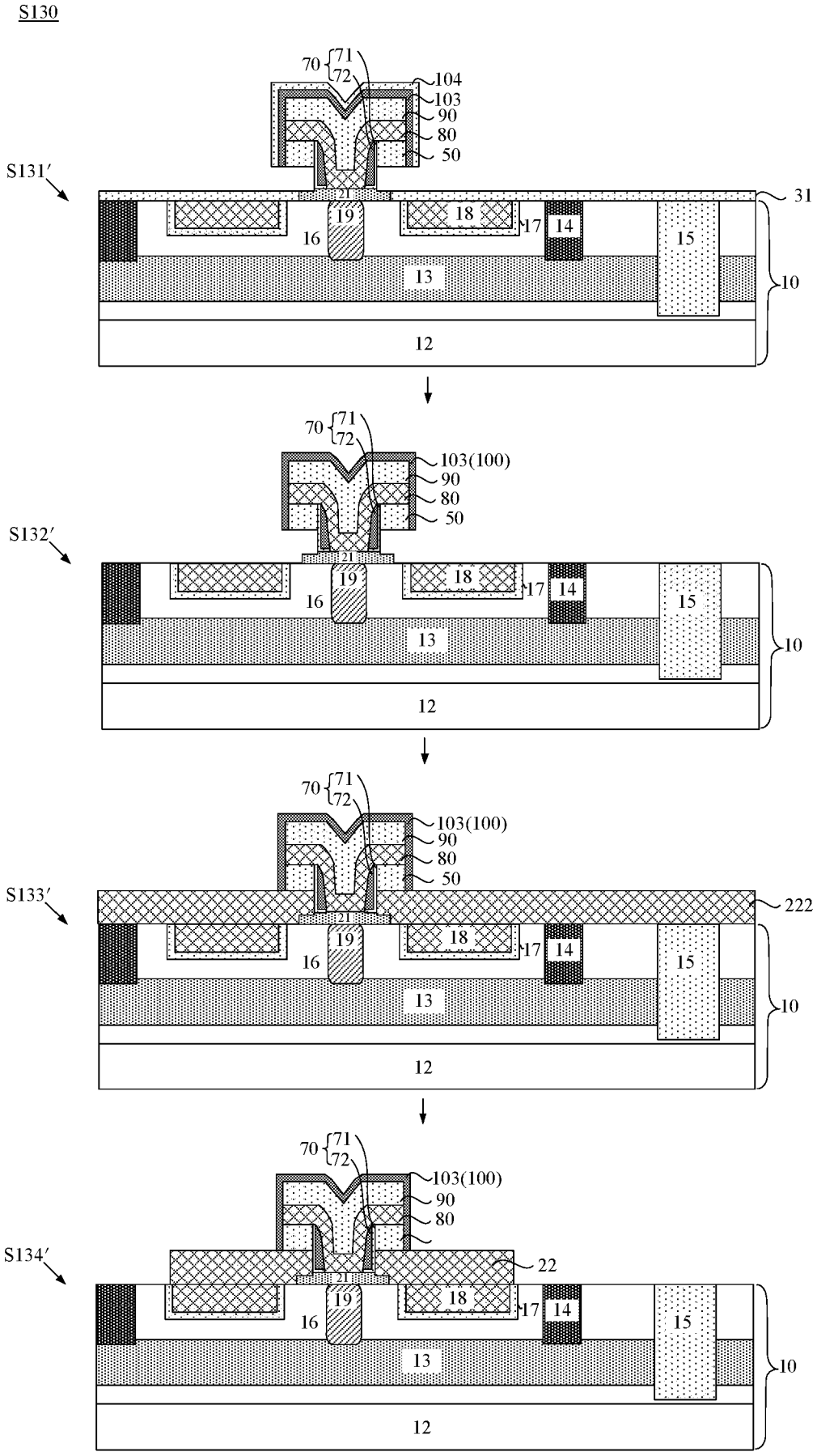

S130
S131′
S132′
S133′
S134′
70
71
72
104
103
90
80
50
31
21
19
18
17
14
16
15
13
10
12
103(100)
222
22

图 3M

S150

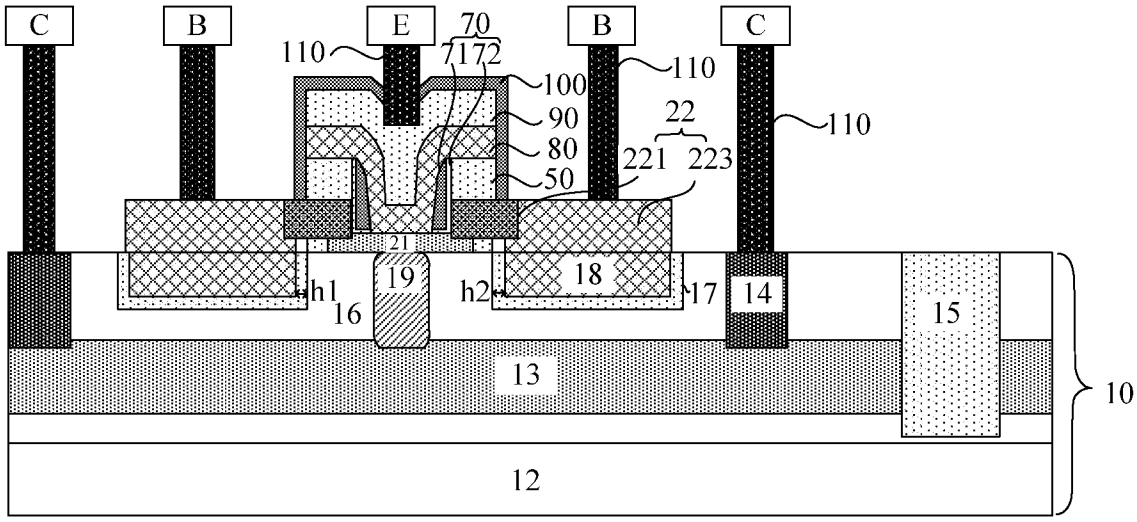

C
B
E
70
B
C
110
7172
110
100
110
90
22
80
221
223
50
21
19
18
h1
h2
17
14
16
15
13
10
12

图 3N

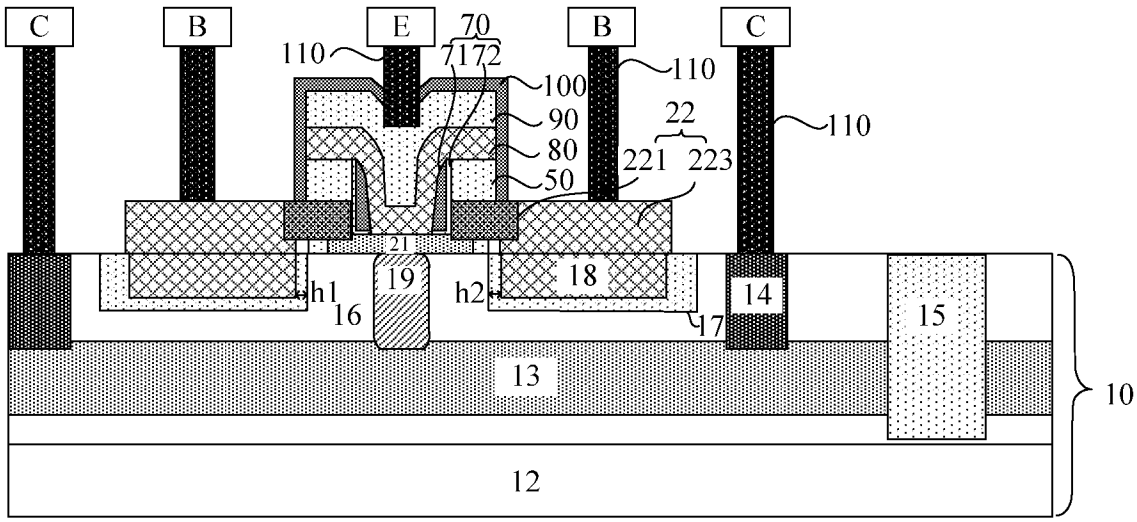

C
B
E
70
B
C
110
7172
110
100
110
90
22
80
221
223
50
21
19
18
h1
h2
17
14
16
15
13
10
12

图 4A

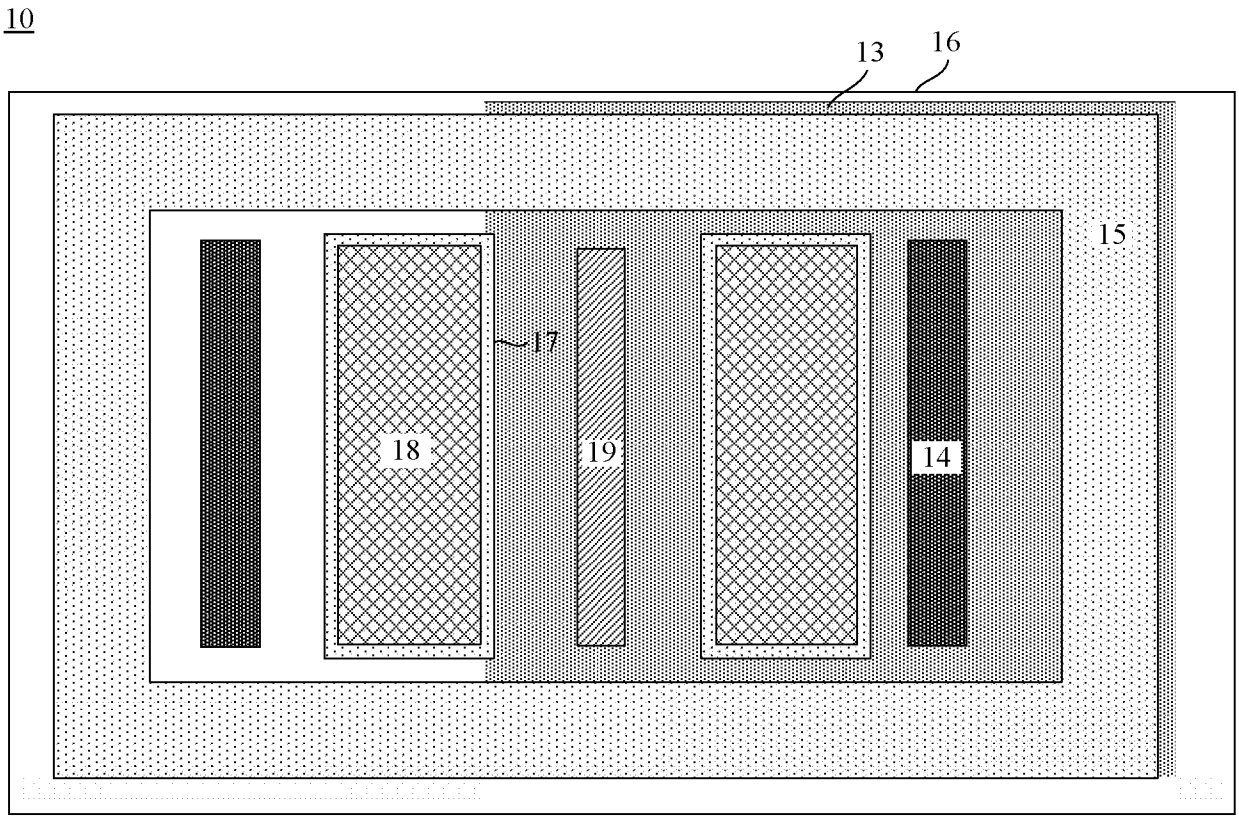


图 4B

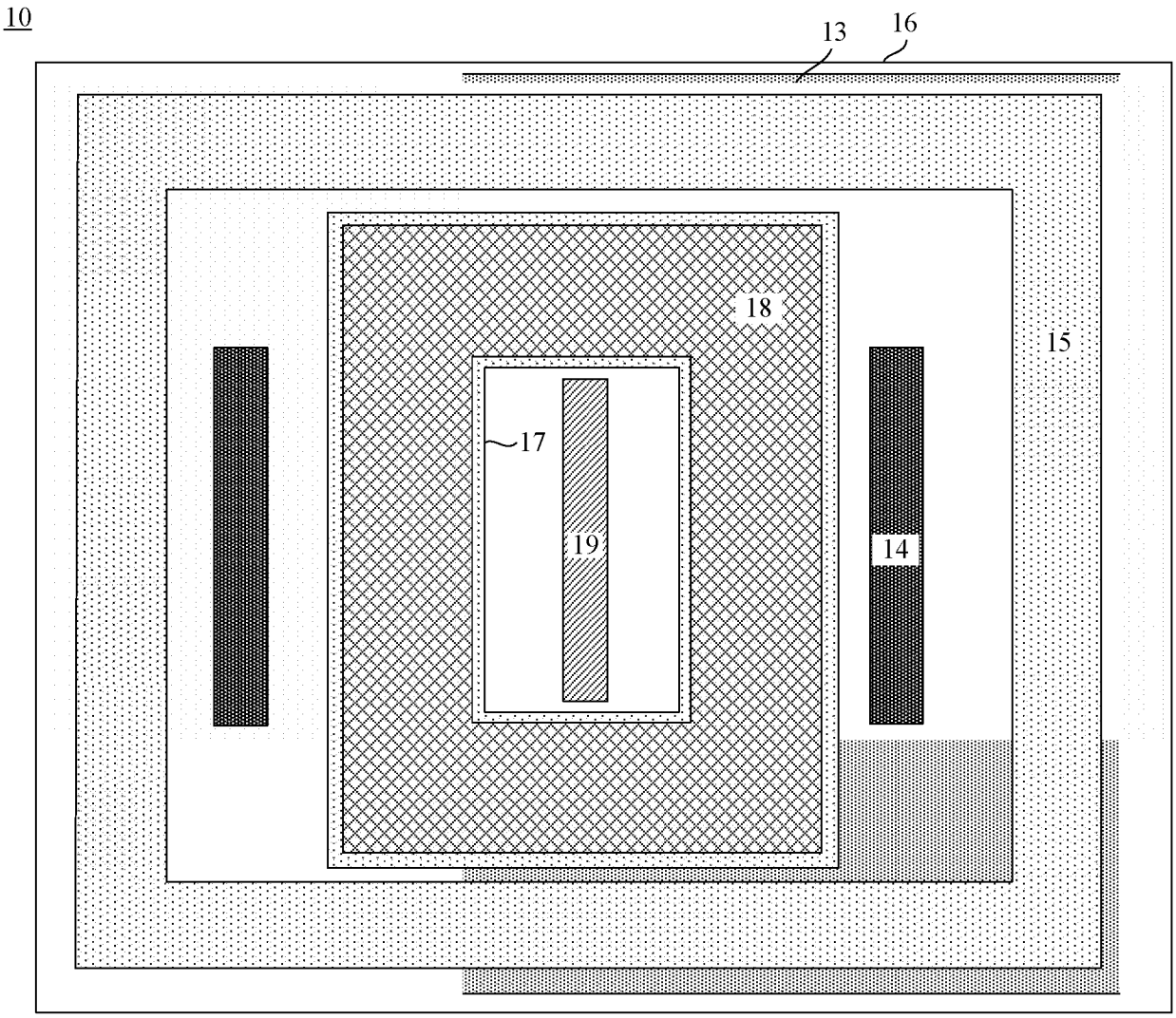

10
13
16
18
15
17
19
14

图 4C

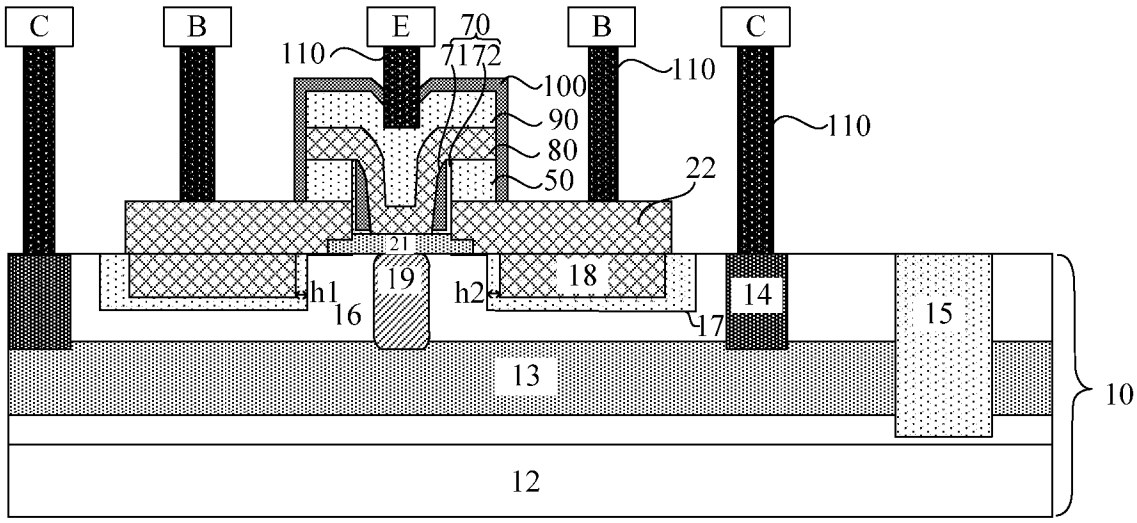

C
B
E
70
B
C
110
71
72
110
100
110
90
80
50
22
21
19
18
h1
h2
16
17
14
15
13
10
12

图 5

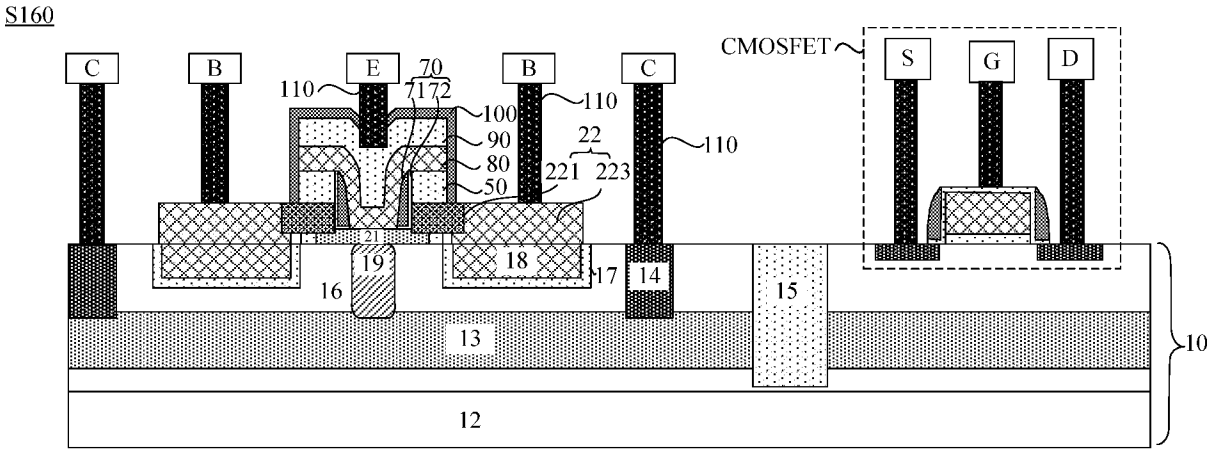

S160
C
B
E
70
7172
B
C
110
110
100
90
80
50
22
221
223
110
CMOSFET
S
G
D
21
19
18
17
14
16
15
13
10
12

图 6

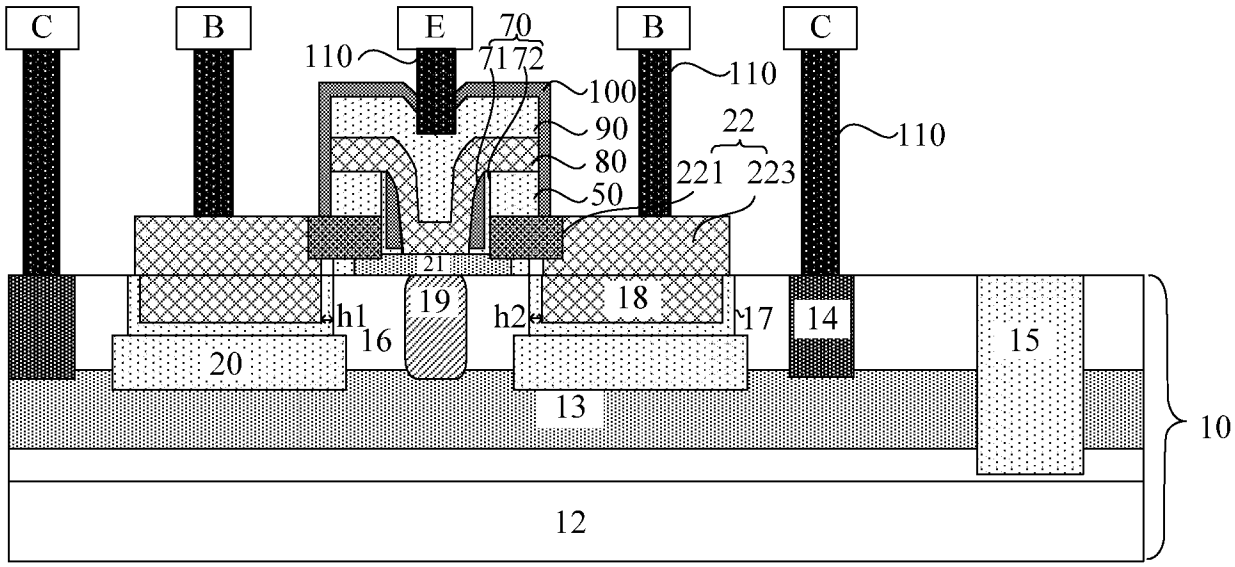

C
B
E
70
7172
B
C
110
110
100
90
80
50
22
221
223
110
21
h1
19
h2
18
17
14
16
15
20
13
10
12

图 7

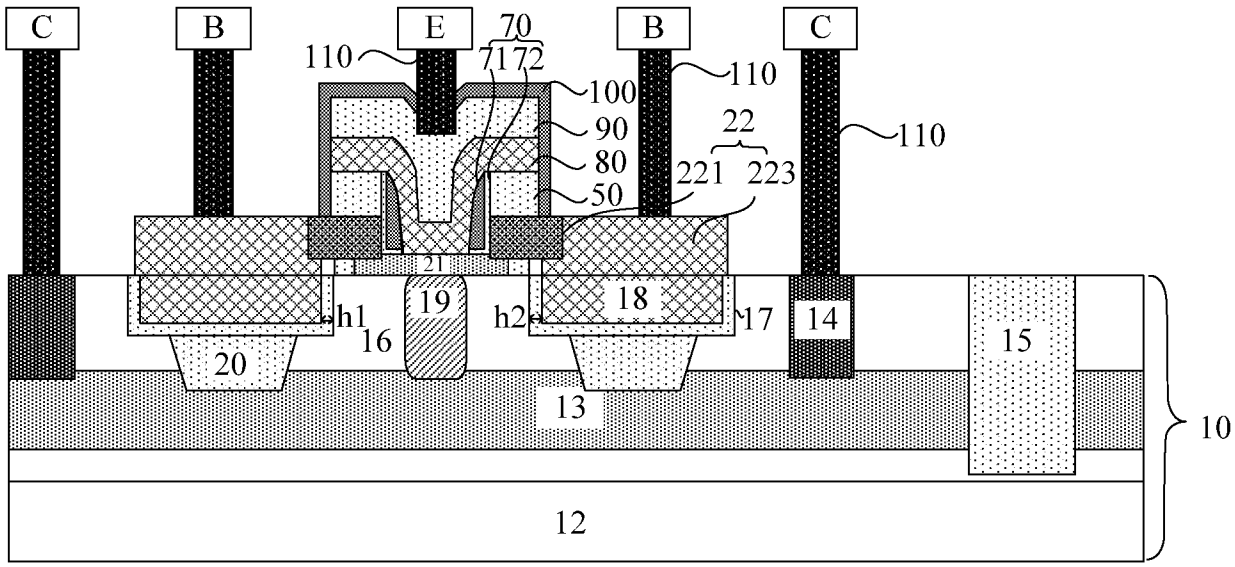

C
B
E
70
7172
B
C
110
110
100
90
80
50
22
221
223
110
21
h1
19
h2
18
17
14
16
15
20
13
10
12

图 8

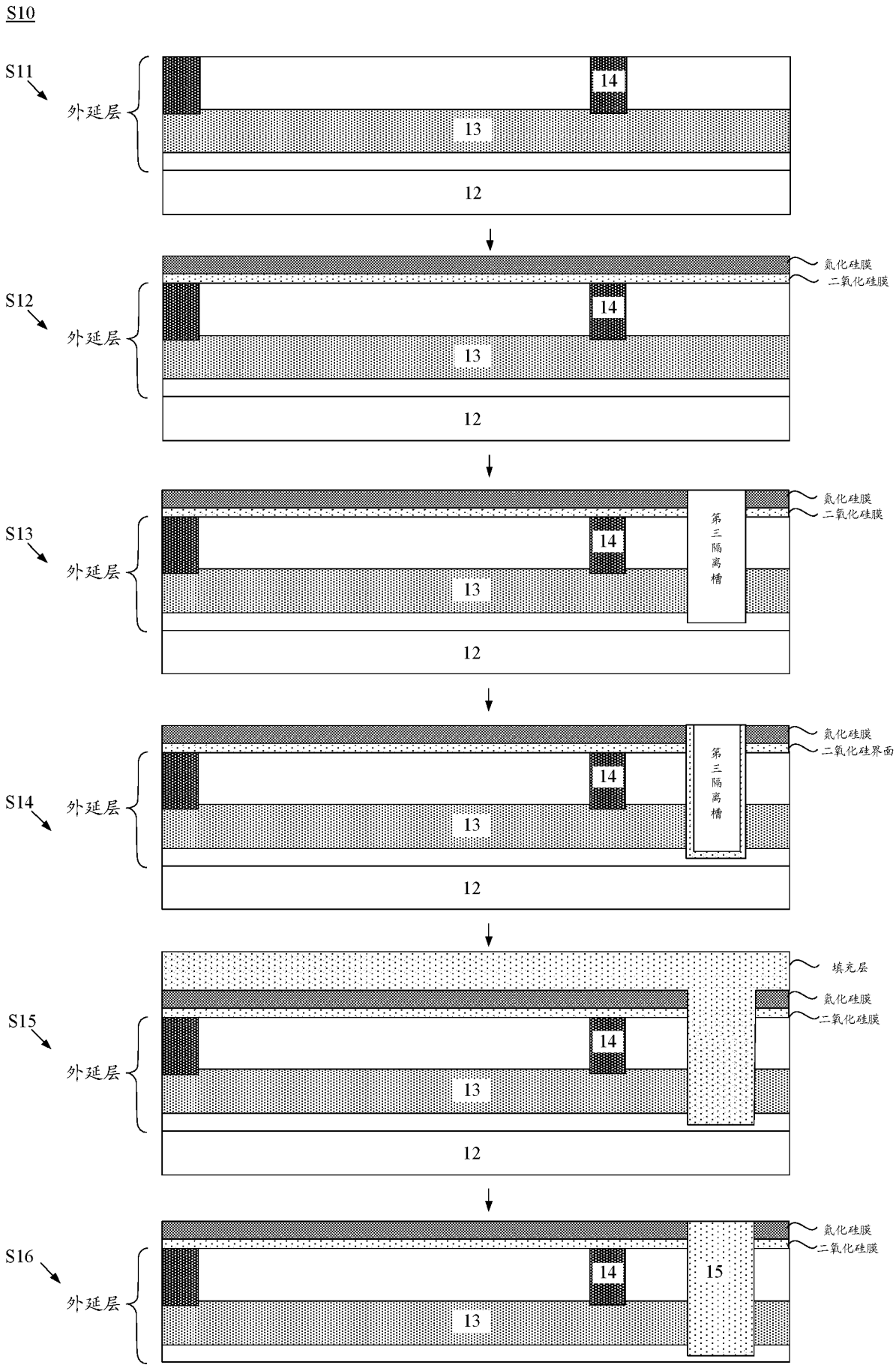

S10
S11
外延层
14
13
12
S12
氮化硅膜
二氧化硅膜
S13
第三隔离槽
S14
二氧化硅界面
S15
填充层
S16
15

图 9A

S10续

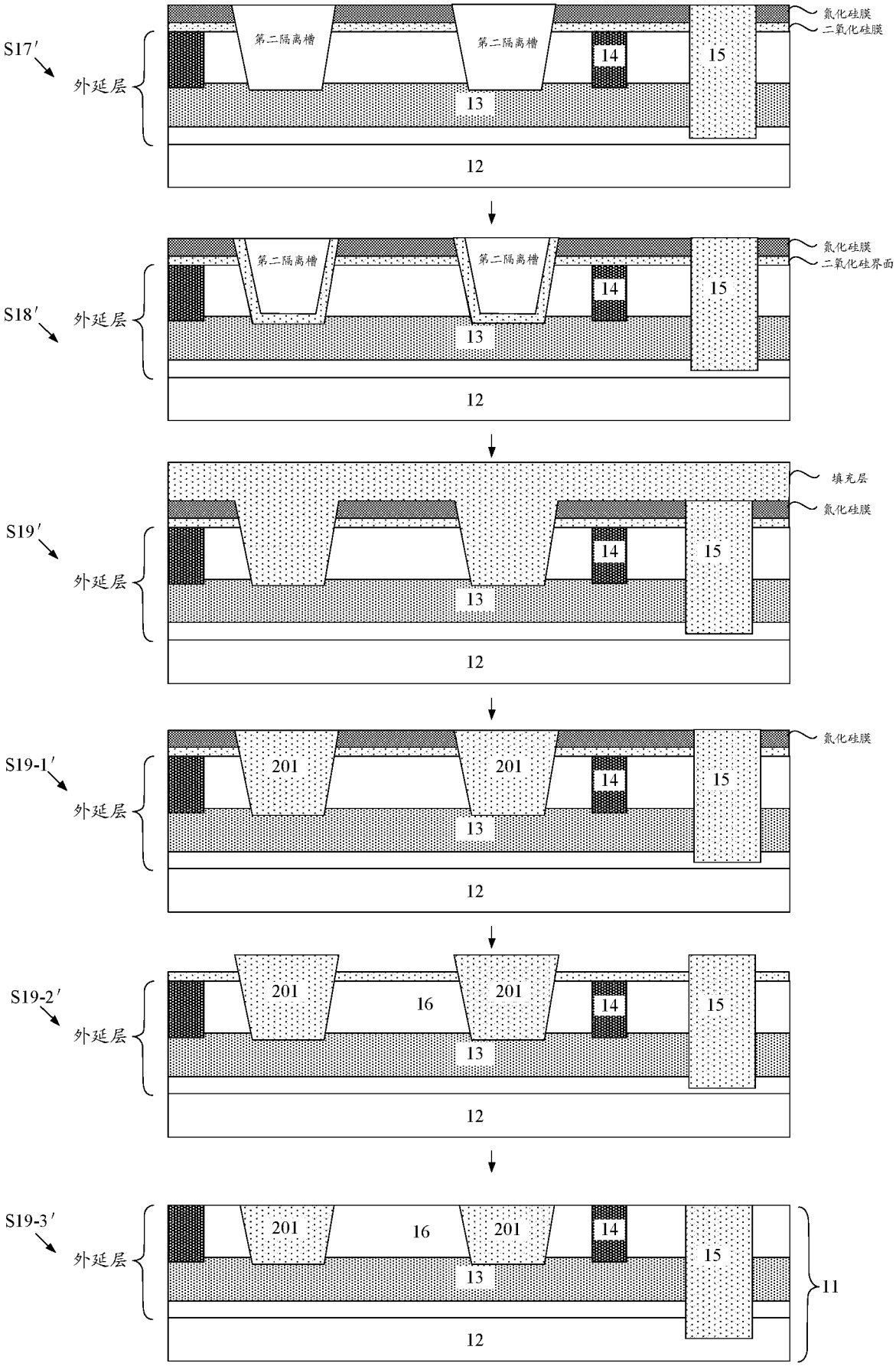

S17′
外延层
第二隔离槽
第二隔离槽
14
15
13
12
氮化硅膜
二氧化硅膜
S18′
外延层
第二隔离槽
第二隔离槽
14
15
13
12
氮化硅膜
二氧化硅界面
S19′
外延层
14
15
13
12
填充层
氮化硅膜
S19-1′
外延层
201
201
14
15
13
12
氮化硅膜
S19-2′
外延层
201
16
201
14
15
13
12
S19-3′
外延层
201
16
201
14
15
13
12
11

图 9B

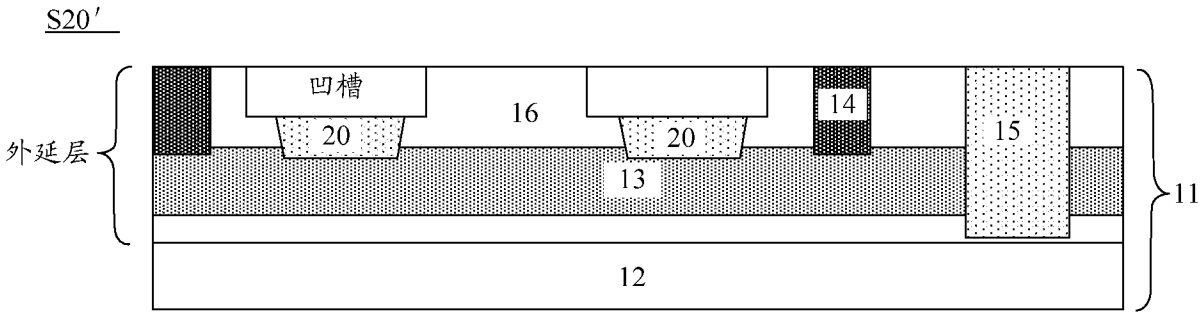

S20′
外延层
凹槽
16
20
20
14
15
13
11
12

图 9C

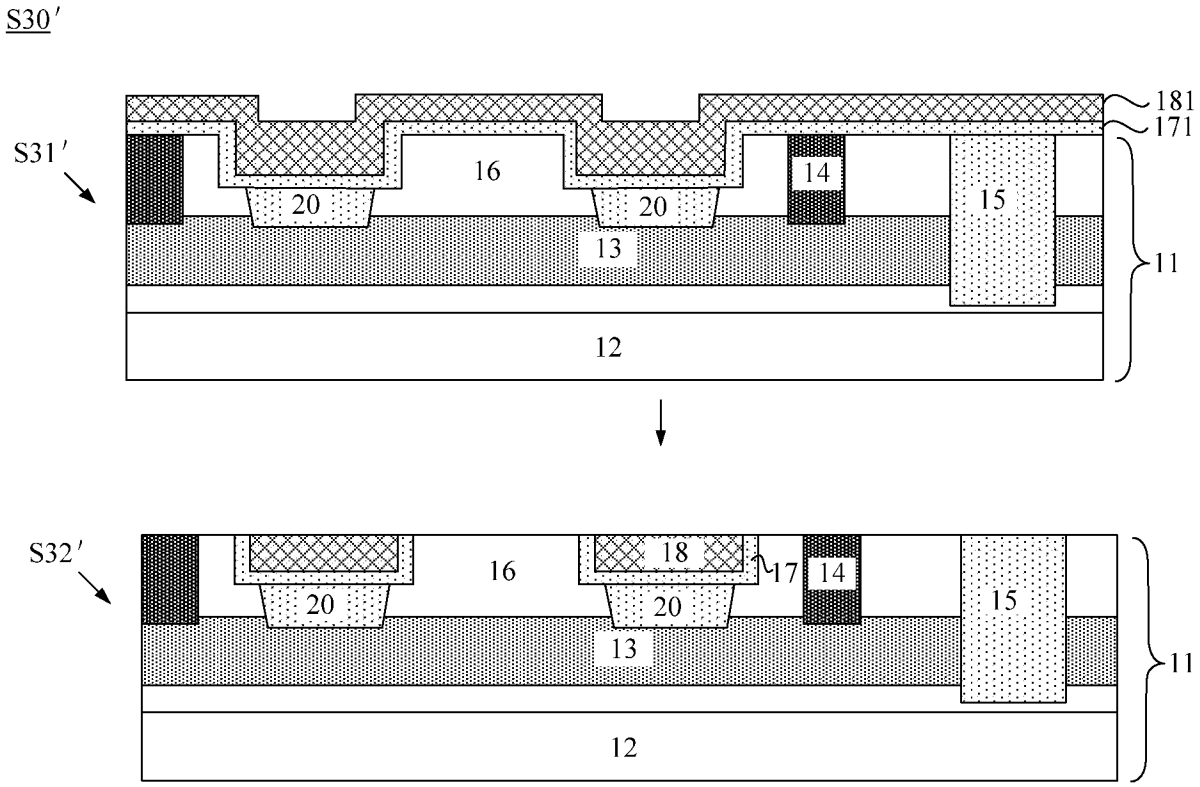

S30′
S31′
181
171
16
20
20
14
15
13
11
12
S32′
18
17
16
20
20
14
15
13
11
12

图 9D

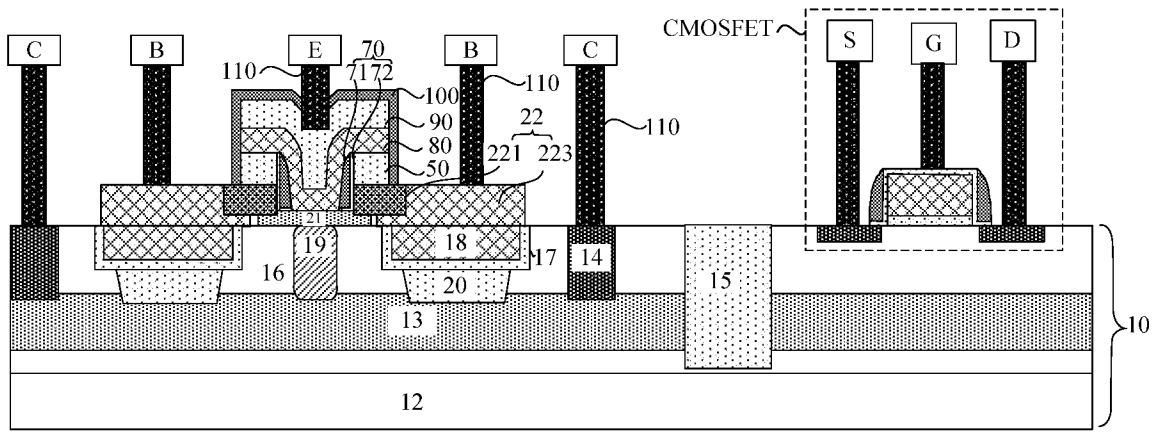

C
B
E
B
C
CMOSFET
S
G
D
110
70
7172
100
90
80
50
110
22
221
223
110
21
19
16
18
17
14
15
20
13
10
12

图 10

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2021/131423

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336(2006.01)i; H01L 27/108(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 隔离, 厚度, 相同, 相等, 半导体, 集电区, 发射区, isolation, thickness, same, equal, semiconductor, collector, emission, area

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 112885771 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 01 June 2021 (2021-06-01) description, paragraphs [0036]-[0066]	1-17
A	TW 201332060 A (REXCHIP ELECTRONICS CORP.) 01 August 2013 (2013-08-01) entire document	1-17
A	US 2017256558 A1 (ZHANG, Gang et al.) 07 September 2017 (2017-09-07) entire document	1-17
A	CN 109216454 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (BEIJING) CORP. et al.) 15 January 2019 (2019-01-15) entire document	1-17
A	US 6657248 B1 (HITACHI, LTD.) 02 December 2003 (2003-12-02) entire document	1-17
A	CN 111223779 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (BEIJING) CORP. et al.) 02 June 2020 (2020-06-02) entire document	1-17
A	US 2005224862 A1 (KABUSHIKI KAISHA TOSHIBA) 13 October 2005 (2005-10-13) entire document	1-17

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18 July 2022	**16 August 2022**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration (ISA/CN)** **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2021/131423

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	112885771	A	01 June 2021	None			
TW	201332060	A	01 August 2013	None			
US	2017256558	A1	07 September 2017	US	2018090509	A1	29 March 2018
				KR	20170103076	A	13 September 2017
CN	109216454	A	15 January 2019	None			
US	6657248	B1	02 December 2003	TW	429404	B	11 April 2001
				JP	2000138372	A	16 May 2000
				KR	20000035126	A	26 June 2000
CN	111223779	A	02 June 2020	None			
US	2005224862	A1	13 October 2005	JP	2005302872	A	27 October 2005

国际检索报告

国际申请号
PCT/CN2021/131423

A. 主题的分类

H01L 21/336(2006.01)i; H01L 27/108(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNPAT, CNKI, WPI, EPODOC：隔离，厚度，相同，相等，半导体，集电区，发射区，isolation, thickness, same, equal, semiconductor, collector, emission, area

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 112885771 A (长鑫存储技术有限公司) 2021年6月1日 (2021-06-01) 说明书第[0036]-[0066]段	1-17
A	TW 201332060 A (瑞晶电子股份有限公司) 2013年8月1日 (2013-08-01) 全文	1-17
A	US 2017256558 A1 (ZHANG, Gang等) 2017年9月7日 (2017-09-07) 全文	1-17
A	CN 109216454 A (中芯国际集成电路制造北京有限公司 等) 2019年1月15日 (2019-01-15) 全文	1-17
A	US 6657248 B1 (HITACHI, LTD.) 2003年12月2日 (2003-12-02) 全文	1-17
A	CN 111223779 A (中芯国际集成电路制造上海有限公司 等) 2020年6月2日 (2020-06-02) 全文	1-17
A	US 2005224862 A1 (KABUSHIKI KAISHA TOSHIBA) 2005年10月13日 (2005-10-13) 全文	1-17

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2022年7月18日	2022年8月16日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 张千 电话号码 86-(10)-53961316

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2021/131423

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	112885771	A	2021年6月1日	无			
TW	201332060	A	2013年8月1日	无			
US	2017256558	A1	2017年9月7日	US	2018090509	A1	2018年3月29日
				KR	20170103076	A	2017年9月13日
CN	109216454	A	2019年1月15日	无			
US	6657248	B1	2003年12月2日	TW	429404	B	2001年4月11日
				JP	2000138372	A	2000年5月16日
				KR	20000035126	A	2000年6月26日
CN	111223779	A	2020年6月2日	无			
US	2005224862	A1	2005年10月13日	JP	2005302872	A	2005年10月27日