

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6148580号
(P6148580)

(45) 発行日 平成29年6月14日 (2017.6.14)

(24) 登録日 平成29年5月26日 (2017.5.26)

(51) Int.Cl.

F I

HO 4 N 5/365 (2011.01)
 HO 4 N 5/374 (2011.01)
 HO 4 N 5/378 (2011.01)
 HO 1 L 27/146 (2006.01)

HO 4 N 5/335 6 5 0
 HO 4 N 5/335 7 4 0
 HO 4 N 5/335 7 8 0
 HO 1 L 27/14 A

請求項の数 12 (全 13 頁)

(21) 出願番号 特願2013-182475 (P2013-182475)
 (22) 出願日 平成25年9月3日 (2013.9.3)
 (65) 公開番号 特開2015-50706 (P2015-50706A)
 (43) 公開日 平成27年3月16日 (2015.3.16)
 審査請求日 平成28年6月20日 (2016.6.20)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100076428
 弁理士 大塚 康徳
 (74) 代理人 100112508
 弁理士 高柳 司郎
 (74) 代理人 100115071
 弁理士 大塚 康弘
 (74) 代理人 100116894
 弁理士 木村 秀二
 (74) 代理人 100130409
 弁理士 下山 治
 (74) 代理人 100134175
 弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 撮像装置及びカメラ

(57) 【特許請求の範囲】

【請求項 1】

半導体領域に複数の画素が配列された画素アレイと、
 基準電圧を受けるためのパッド部と、
それぞれが前記画素アレイの行方向および列方向のうち的一方である第1方向に沿って延在し、前記画素アレイの上に前記画素アレイの行方向および列方向のうちの他方である第2方向に沿って並ぶ複数の第1電源配線パターンと、

前記画素アレイの外側の領域の上に配され、前記第2方向に沿って延在し、前記複数の第1電源配線パターンと前記パッド部とを電氣的に接続する第2電源配線パターンと、
 前記複数の第1電源配線パターンと前記半導体領域とを電氣的に接続する複数のコンタクトと、を備え、

前記第2電源配線パターンの前記第2方向における抵抗値は、前記複数の第1電源配線パターンのそれぞれの前記第1方向における抵抗値よりも小さい、
 ことを特徴とする撮像装置。

【請求項 2】

前記画素アレイの外側に配されたオプティカルブラック画素部をさらに備え、
 前記第2電源配線パターンの少なくとも一部である第1部分は、前記オプティカルブラック画素部の上に配されている、

ことを特徴とする請求項1に記載の撮像装置。

【請求項 3】

10

20

前記第 1 部分は、入射する光を遮光する遮光部として機能する、
ことを特徴とする請求項 2 に記載の撮像装置。

【請求項 4】

前記画素アレイから信号を読み出す信号読出部をさらに備え、
前記第 2 電源配線パターンの少なくとも一部である第 2 部分は、前記信号読出部の上に配されている、

ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の撮像装置。

【請求項 5】

前記画素アレイを駆動する駆動部をさらに備え、
前記第 2 電源配線パターンの少なくとも一部である第 3 部分は、前記駆動部の上に配されている、

ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の撮像装置。

【請求項 6】

前記パッド部は複数のパッドを含み、前記複数のパッドは、前記第 2 方向に沿って配され、前記第 2 電源配線パターンに電氣的に接続されている、

ことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の撮像装置。

【請求項 7】

前記第 1 方向に沿って配され、前記画素アレイから信号を読み出すための複数の信号線をさらに備え、

前記複数の第 1 電源配線パターンのそれぞれは、前記複数の信号線のうちの互いに隣接する 2 つの信号線の間に配されている、

ことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の撮像装置。

【請求項 8】

前記第 2 電源配線パターンは、互いに平行に配された複数のラインパターンを含む、

ことを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の撮像装置。

【請求項 9】

前記複数のラインパターンは、前記第 1 方向に沿って配された他のラインパターンを用いて互いに接続されている、

ことを特徴とする請求項 8 に記載の撮像装置。

【請求項 10】

前記第 1 電源配線パターンの前記第 1 方向における抵抗値は、前記第 1 電源配線パターンの前記第 1 方向に沿った全長に対しての抵抗値であり、

前記第 2 電源配線パターンの前記第 2 方向における抵抗値は、前記第 1 電源配線パターンの前記第 2 方向に沿った全長に対しての抵抗値である、

ことを特徴とする請求項 1 乃至請求項 9 のいずれか一項に記載の撮像装置。

【請求項 11】

半導体領域に複数の画素が配列された画素アレイと、

基準電圧を受けるためのパッド部と、

それぞれが前記画素アレイの行方向および列方向のうち的一方である第 1 方向に沿って延在し、前記画素アレイの上に前記画素アレイの行方向および列方向のうちの他方である第 2 方向に沿って並ぶ複数の第 1 電源配線パターンと、

前記画素アレイの外側の領域の上に配され、前記第 2 方向に沿って延在し、前記複数の第 1 電源配線パターンと前記パッド部とを電氣的に接続する第 2 電源配線パターンと、

前記複数の第 1 電源配線パターンと前記半導体領域とを電氣的に接続する複数のコンタクトと、を備え、

前記複数の第 1 電源配線パターンと前記第 2 電源配線パターンとは、同じ材料で構成され、かつ、同じ配線層に配されており、

前記第 2 電源配線パターンの幅は、前記複数の第 1 電源配線パターンのそれぞれの幅よりも大きい、

ことを特徴とする撮像装置。

10

20

30

40

50

【請求項 1 2】

請求項 1 乃至 1 1 のいずれか 1 項に記載の撮像装置と、
前記撮像装置の前記画素アレイからの画像信号について、前記第 1 方向に対応する方向で生じうるシェーディングの補正を行う補正部と、を具備する、
ことを特徴とするカメラ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像装置及びカメラに関する。

【背景技術】

10

【0002】

撮像装置は、基板に設けられた画素アレイを備える。基板の電位分布が不均一な場合にはシェーディングが生じうるため、画像データについてシェーディング補正処理が為さる。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2 0 0 1 - 2 3 0 4 0 0 号公報

【発明の概要】

【発明が解決しようとする課題】

20

【0004】

特許文献 1 には、基板上のウエルの電位分布を均一化するため、当該ウエルに電位を与えるためのコンタクトが画素領域内の各画素に（又は周期的に）配置された構造が開示されている。特許文献 1 の構造によると、当該電位分布に起因するシェーディングが低減される。

【0005】

しかしながら、上述の電位分布を均一化するためには相当数の上記コンタクトを配置する必要がある、このことは、光電変換部の面積を小さくする原因となる。

【0006】

本発明の目的は、コンタクトの数量を低減しつつシェーディング補正処理を容易化するのに有利な技術を提供することにある。

30

【課題を解決するための手段】

【0007】

本発明の 1 つの側面は、撮像装置に係り、前記撮像装置は、半導体領域に複数の画素が配列された画素アレイと、基準電圧を受けるためのパッド部と、それぞれが前記画素アレイの行方向および列方向のうち的一方である第 1 方向に沿って延在し、前記画素アレイの上に前記画素アレイの行方向および列方向のうち他方である第 2 方向に沿って並ぶ複数の第 1 電源配線パターンと、前記画素アレイの外側の領域の上に配され、前記第 2 方向に沿って延在し、前記複数の第 1 電源配線パターンと前記パッド部とを電気的に接続する第 2 電源配線パターンと、前記複数の第 1 電源配線パターンと前記半導体領域とを電気的に接続する複数のコンタクトと、を備え、前記第 2 電源配線パターンの前記第 2 方向における抵抗値は、前記複数の第 1 電源配線パターンのそれぞれの前記第 1 方向における抵抗値よりも小さい。

40

【発明の効果】

【0008】

本発明によれば、コンタクトの数量を低減しつつシェーディング補正処理を容易化するのに有利である。

【図面の簡単な説明】

【0009】

【図 1】撮像装置の構成例を説明する模式図。

50

【図 2】撮像装置の断面構造の例を説明する模式図。

【図 3】画素の回路構成例を説明する図。

【図 4】電源配線パターンの抵抗成分について説明する図。

【図 5】電源配線パターンの抵抗成分について説明する図。

【図 6】撮像装置の他の構成例を説明する模式図。

【図 7】撮像装置の他の構成例を説明する模式図。

【図 8】撮像装置の他の構成例を説明する模式図。

【図 9】撮像システムの構成例を説明する図。

【発明を実施するための形態】

【0010】

10

(第 1 実施形態)

図 1 ~ 図 5 を参照しながら、第 1 実施形態の撮像装置 I 1 を説明する。撮像装置 I 1 は、図 1 に例示されるように、画素アレイ P A と、ボンディングパッド 103 と、複数の第 1 電源配線パターン 105 と、第 2 電源配線パターン 104 と、複数のコンタクト 106 とを備える。

【0011】

画素アレイ P A は、複数の画素 101 が配列されて構成されうる。複数の画素 101 は、例えば半導体基板に設けられたウエル 102 (例えば P 型の半導体領域) 上に、複数の行および複数の列を形成するように設けられる。ここでは、説明を容易にするため、6 行 × 8 列の画素アレイ P A を図示している。

20

【0012】

ボンディングパッド 103 は、基準電圧を受けるためのパッド部であり、ここでは、画素アレイ P A に対して上側および下側のそれぞれに 1 つずつ (計 2 つ) 設けられている。複数の電源配線パターン 105 は、画素アレイ P A の上方に、a 方向 (第 1 方向) に沿って配されている。ここでは、a 方向を、例えば画素アレイ P A の列方向として述べる。また、電源配線パターン 104 は、画素アレイ P A の外側の領域の上方に、b 方向 (第 2 方向) に沿って配されている。ここでは、b 方向を、例えば画素アレイ P A の行方向として述べる。電源配線パターン 104 は、各電源配線パターン 105 とボンディングパッド 103 とを電氣的に接続する。また、複数のコンタクト 106 は、各電源配線パターン 105 とウエル 102 とを電氣的に接続する。なお、ここでは、便宜的に、電源配線パターン 104 と電源配線パターン 105 とを区別して説明しているが、これらの電源配線パターン 104 及び 105 は、一体に形成されてもよい。例えば、電源配線パターン 104 と電源配線パターン 105 とは、互いに同じ配線層に配されてもよく、その場合、電源配線パターン 104 と電源配線パターン 105 とは同じ導電材料で構成される。

30

【0013】

以上のような構成により、ボンディングパッド 103 を介して外部から入力された基準電圧 (例えば 0 [V]) がウエル 102 に供給される。

【0014】

図 2 は、撮像装置 I 1 のうちの画素アレイ P A の部分の断面構造を示す模式図である。例えば N 型の半導体基板 201 の上部に P 型のウエル 102 が設けられており、基板 201 の表面には酸化膜 203 が形成されている。ウエル 102 には光電変換部 202 (N 型の半導体領域) が各画素 101 に対応して形成されており、各光電変換部 202 は素子分離部 204 によって区画されている。また、ここでは図示していないが、光電変換部 202 から電荷を読み出して画素信号として出力するための各トランジスタがウエル 102 に設けられている。

40

【0015】

基板 201 の上方には、基準電圧を供給するための電源配線パターン 105 が配されており、コンタクト 106 が電源配線パターン 105 とウエル 102 とを電氣的に接続している。これによってウエル 102 に電位が与えられる。

【0016】

50

電源配線パターン１０４および１０５には、例えば銅やアルミニウムなどの金属材料が用いられうる。シリコン等の半導体で構成されるウエル１０２は、電源配線パターン１０４および１０５に比べて、抵抗率が 10^2 倍以上大きい。そのため、画素アレイＰＡの上方に複数の電源配線パターン１０５を配置し、ウエル１０２には、コンタクト１０６を用いて、ウエル１０２上のいくつかの位置で基準電圧が供給されるとよい。

【００１７】

図３は、単位画素１０１の回路構成例を示している。画素１０１は、前述の光電変換部２０２（例えばフォトダイオード）、転送トランジスタ３０３、フローティングディフュージョン３０２、リセットトランジスタ３０４、ソースフォロワトランジスタ３０５及び選択トランジスタ３０６を含みうる。転送トランジスタ３０３のゲート端子には、制御信号Ｐｔｘが与えられる。制御信号Ｐｔｘが活性化されると、光電変換部２０２において受光によって発生し蓄積された電荷が、転送トランジスタ３０３によって、フローティングディフュージョン３０２に転送される。ソースフォロワトランジスタ３０５のソース電位は、フローティングディフュージョン３０２に転送された電荷量の変動に応じて変化する。選択トランジスタ３０６のゲート端子には、制御信号Ｐｓｅｌが与えられる。制御信号Ｐｓｅｌが活性化されると、選択トランジスタ３０６は、ソースフォロワトランジスタ３０５のソース電位に応じた出力Ｖｏｕｔを、画素信号を読み出すための列信号線に出力しうる。なお、リセットトランジスタ３０４のゲート端子には、制御信号Ｐｒｅｓが与えられる。制御信号Ｐｒｅｓが活性化されると、リセットトランジスタ３０４はフローティングディフュージョン３０２の電位をリセットしうる。ここでは、各トランジスタ３０３～３０４にＮＭＯＳトランジスタを用いており、各トランジスタ３０３～３０４のバックゲート端子には基準電圧Ｖｗｅｌｌ（例えば０〔Ｖ〕）が供給される。

【００１８】

撮像装置Ｉ１は、画素アレイＰＡを駆動する駆動部（不図示）と、画素アレイＰＡの各画素１０１から出力された画素信号を読み出す信号読出部（不図示）とを備えうる。駆動部は、ｂ方向（行方向）に配された制御線を介して上述の各制御信号を各画素１０１に出力し、行単位で画素アレイＰＡを駆動する。信号読出部は、各画素１０１から出力された画素信号を列ごとに読み出し、読み出された画素信号を順に撮像装置Ｉ１の外部に出力する。

【００１９】

ところで、各画素１０１から画素信号を読み出す読出動作を行う際には、ウエル１０２において電位変動が生じうる。当該電位変動は、画素１０１を駆動することによって、より具体的には、例えば光電変換部２０２からの電荷転送や、各トランジスタが駆動されることによる容量カップリングによって生じうる。この電位変動によって生じた不均一な電位分布は、画素信号を用いて得られる画像においてシェーディングをもたらすため、電位分布は均一化されることが望ましい。

【００２０】

上述の電位変動が収束するのに要する収束時間は、ウエル容量を含む容量値Ｃと電源配線パターンの抵抗値Ｒとの時定数に従う。参考例として、単位画素サイズ $6\mu\text{m} \times 6\mu\text{m}$ 、２４００万画素（６０００行×４０００列）のＣＭＯＳイメージセンサの場合について考える。例えば、電源配線パターンの配線抵抗値を $R_{EX} = 12\text{[k]}$ とし、電源配線パターンの本数を $k = 100$ とし、単位画素が有する容量を $C_{EX} = 5\text{[fF]}$ とし、同時に駆動される画素の数 $m = 6000$ 個（１行分）とする。このとき、電源配線パターンの１本あたりの負荷は、 $R_{EX} \times C_{EX} \times m / k = 3.6\text{[nsec]}$ となる。即ち、収束時間を小さくするためには、電源配線パターンの数量ｋを大きくし、電源配線パターンの配線抵抗値 R_{EX} を小さくするとよく、これによって電位分布を均一化することができる。

【００２１】

しかしながら、ウエル１０２の全域にわたって電位分布を均一化するため、例えば、電源配線パターンの数量ｋを大きくするためには相当数のコンタクト１０６を配置する必要

がある。その結果、画素アレイ P A の面積が増大してしまい、又は、光電変換部 2 0 2 の面積を確保することが困難になってしまう。

【 0 0 2 2 】

以下では、図 4 および図 5 を参照しながら、ウエル 1 0 2 に基準電圧を供給するための電源配線パターン 1 0 4 および 1 0 5 の配線抵抗について述べる。図 4 は、図 1 の電源配線パターン 1 0 4 および 1 0 5 に、コンタクト 1 0 6₁ とボンディングパッド 1 0 3 との間の配線抵抗を示したものである。コンタクト 1 0 6₁ は、コンタクト 1 0 6 のうち、画素アレイ P A における第 1 行と第 2 行との間、かつ、第 1 列と第 2 列との間に配されたものを示しており、ここでは便宜上、コンタクト 1 0 6₁ の位置を $wct(1.5, 1.5)$ で表す。例えば、画素アレイ P A における第 5 行と第 6 行との間、かつ、第 7 列と第 8 列との間に配されたコンタクト 1 0 6 の位置は、 $wct(5.5, 7.5)$ と表される。

10

【 0 0 2 3 】

コンタクト 1 0 6₁ と、一方のボンディングパッド 1 0 3 との間の配線抵抗 R_1 は、 $R_1 = R_{1a} + R_{1b} + R_{pad1}$ と表せる。 R_{1a} は、電源配線パターン 1 0 5 の a 方向における抵抗成分を示す。 R_{1b} は、電源配線パターン 1 0 4 の b 方向における抵抗成分を示す。 R_{pad1} は、電源配線パターン 1 0 4 - ボンディングパッド 1 0 3 間の抵抗成分を示す。なお、各抵抗成分は、(配線パターンのシート抵抗 [Ω/\square]) \times (配線パターンの長さ L) / (配線パターンの幅 W) で算出される。

【 0 0 2 4 】

ここで、電源配線パターン 1 0 4 (全長) の b 方向における抵抗値を R_{b_total} とし、電源配線パターン 1 0 5 (全長) の a 方向における抵抗値を R_{a_total} とする。この場合、 $R_{1a} = R_{a_total} \times$ (電源配線パターン 1 0 5 の、コンタクト 1 0 6₁ から電源配線パターン 1 0 4 までの部分の長さ) / (電源配線パターン 1 0 5 の全長) と表せる。また、 $R_{1b} = R_{b_total} \times$ (電源配線パターン 1 0 4 の、コンタクト 1 0 6₁ に接続された電源配線パターン 1 0 5 からボンディングパッド 1 0 3 までの部分の長さ) / (電源配線パターン 1 0 4 の全長) と表せる。

20

【 0 0 2 5 】

同様に、コンタクト 1 0 6₁ と、他方のボンディングパッド 1 0 3 との間の配線抵抗 R_2 は、 $R_2 = R_{2a} + R_{2b} + R_{pad2}$ と表せる。位置 $wct(1.5, 1.5)$ のコンタクト 1 0 6₁ についての電源配線パターン 1 0 4 および 1 0 5 の合成抵抗値 $R_{(1.5, 1.5)}$ は、 $R_{(1.5, 1.5)} = R_1 + R_2$ と表せる。

30

【 0 0 2 6 】

図 5 は、上述のようにして算出した、位置 $wct(1.5, 1.5) \sim wct(5.5, 7.5)$ の各コンタクト 1 0 6_n についての電源配線パターンの合成抵抗値 R を示した表である。ここでは、説明を容易にするため、 $R_{pad1} = R_{pad2} = 0$ [Ω] とした。また、例えば、シート抵抗 0.1 [Ω/\square] とし、電源配線パターン 1 0 4 および 1 0 5 の全長を 2.4 mm とし、電源配線パターン 1 0 4 の幅を 2 μ m とし、電源配線パターン 1 0 5 の幅を 0.2 μ m とした。即ち、 $R_{a_total} = 12$ [Ω] とし、 $R_{b_total} = 1.2$ [Ω] とした。図 5 は、例えば、位置 $wct(3.5, 1.5)$ のコンタクト 1 0 6 についての電源配線パターンの合成抵抗値 R が、 3.73 [k Ω] であることを示している。

40

【 0 0 2 7 】

図 5 は、比較の対象とするコンタクト 1 0 6 の組み合わせによって、合成抵抗値 R の最大値と最小値との差が大きく変わることを示している。図 5 によると、画素アレイ P A 内の全てのコンタクト 1 0 6 を対象とした場合、合成抵抗値 R の最大値と最小値との差は、 1.27 k Ω である。a 方向に並ぶ一群のコンタクト 1 0 6 (即ち、b 方向の位置を示す座標が同じである一群のコンタクト 1 0 6) を対象とすると、合成抵抗値 R の最大値と最小値との差は、 1.12 k Ω である。b 方向に並ぶ一群のコンタクト 1 0 6 (即ち、a 方向の位置を示す座標が同じである一群のコンタクト 1 0 6) を対象とすると、合成抵抗値 R の最大値 - 最小値との差は、高々、 0.20 k Ω である。このような合成抵抗値 R の差

50

は、各位置 wct 間で、前述の電位変動が収束するのに要する収束時間に差をもたらさうる。

【0028】

例えば、上記図5に例示される合成抵抗値 R の算出結果によると、 b 方向における合成抵抗値 R の最大値と最小値との差は $0.20k$ であり、 a 方向と比較して $1/6 \sim 1/5$ 倍程度である。即ち、電源配線パターン104の b 方向における抵抗値は、各電源配線パターン105の a 方向における抵抗値よりも小さい。その結果、 b 方向においては収束時間の差が a 方向に対して小さく、シェーディングの影響が小さいといえる。

【0029】

以上の構成によると、電源配線パターン104の b 方向における抵抗値が、各電源配線パターン105の a 方向における抵抗値よりも小さい。電源配線パターン104および105は、電源配線パターン104の b 方向における抵抗値が、複数の電源配線パターン105の a 方向における合成抵抗値よりも小さくなるように設けられてもよい。この構成によると、ウエル102の b 方向の電位分布が均一化される。その結果、撮像装置I1により取得される画像のシェーディングは、 b 方向においては抑制され、 a 方向において主に生じうる。よって、撮像装置I1からの画像信号に対しては、 a 方向についてのシェーディング補正が為されればよい。当該シェーディング補正は、 a 方向について考慮すればよい。また、 a 方向および b 方向の両方について考慮する場合に比べて処理負担が低減され、有利である。また、上記構成によると、ウエル102に電位を与えるためのコンタクト106の数量を低減することができ、各画素101にコンタクトを設ける場合に比べて画素アレイPAを小面積で形成することができる。同様の理由により、各画素101の光電変換部202の面積を確保することも可能である。よって、本実施形態によると、コンタクトの数量を低減しつつシェーディング補正処理を容易化するのに有利である。なお、電源配線パターン104と電源配線パターン105とを同じ材料で形成する場合には、電源配線パターン104の幅を、電源配線パターン105の幅より大きくするとよい。この構成によると、電源配線パターン104の b 方向における抵抗値が、各電源配線パターン105の a 方向における抵抗値よりも小さくなる。よって、電源配線パターン104と電源配線パターン105とが同じ材料で形成され、電源配線パターン104の幅を、電源配線パターン105の幅より大きくすることで、コンタクトの数量を低減しつつシェーディング補正処理を容易化することが可能である。

【0030】

また、以上では、計2つのボンディングパッド103を配置した構造を例示したが、本発明はこの構成に限られるものではない。即ち、上述のシェーディングが一方向について抑制されればよく、画素アレイPAに対して上側および下側の一方に1つのボンディングパッド103を配置した構成でもよい。

【0031】

(第2実施形態)

図6を参照しながら、第2実施形態の撮像装置I2を説明する。前述の第1実施形態では、4本の電源配線パターン105が2画素ごとに配された構成を例示したが、本発明はこの構成に限られるものではなく、各電源配線パターン105の電圧供給の負荷が等しくなるように構成されればよい。

【0032】

図6は、2つの電源配線パターン105を設けた場合の構成を例示している。2つの電源配線パターン105の距離が、例えば画素 m 列分に相当する距離の場合には、その一方と画素アレイPAの一方の端との距離と、その他方と画素アレイPAの他方の端との距離と、をそれぞれ画素 $m/2$ 列分に相当する距離にすればよい。これにより、例えば、各画素101からの画素信号の読み出しが行単位で為された場合には、各電源配線パターン105は、 m 個の画素101が駆動されたことによるウエル102の電位変動を補うようにウエル102に電圧供給を行う。即ち、各電源配線パターン105の電圧供給の負荷は互いに等しいといえる。なお、本実施形態では $m = 4$ であるが、この数は、画素アレイPA

の列の数や電源配線パターン 105 の本数に応じて適宜、変更されうる。

【0033】

上記構成によると、各電源配線パターン 105 が、その電圧供給の負荷が等しくなるように設けられ、これにより、b 方向のシェーディングが抑制されうる。よって、上記構成によっても、第 1 実施形態と同様の効果が得られる。

【0034】

(第 3 実施形態)

図 7 を参照しながら、第 3 実施形態の撮像装置 I 3 を説明する。本実施形態は、画素アレイ PA の外側にオプティカルブラック画素部 OB が設けられている点で第 1 実施形態と異なる。電源配線パターン 104 は、オプティカルブラック画素部 OB の上方に配置されている。これにより、オプティカルブラック画素部 OB の各画素 101_{OB} への入射光が遮断され、各画素 101_{OB} からはノイズ成分に相当するダーク信号が得られる。

10

【0035】

電源配線パターン 104 は、少なくとも一部がオプティカルブラック画素部 OB の上方に配されていればよい。例えば、電源配線パターン 104 の一部がオプティカルブラック画素部 OB の直上に位置するように、電源配線パターン 104 の幅 (a 方向の幅) を第 1 実施形態よりも大きくしてもよい。これにより、電源配線パターン 104 の b 方向における電圧降下が低減され、即ち、電源配線パターン 104 の b 方向における各位置での電圧が略等しくなる。

【0036】

20

よって、上記構成によっても、第 1 実施形態と同様の効果が得られ、さらに、電源配線パターン 104 をオプティカルブラック画素部 OB の各画素 101_{OB} の上方に配置することにより、電源配線パターン 104 を遮光部として兼用することも可能である。

【0037】

なお、ここでは、画素アレイ PA の外側にオプティカルブラック画素部 OB が設けられた構成を例示したが、別の観点では、画素アレイが有効画素領域とオプティカルブラック領域とを有するとも言える。この場合、電源配線パターン 104 は、有効画素領域の外側の領域の上方に配置しており、かつ、オプティカルブラック領域の上方に位置していると考えればよい。

【0038】

30

(第 4 実施形態)

図 8 を参照しながら、第 4 実施形態の撮像装置 I 4 を説明する。前述の各実施形態では、基準電圧を受けるためのパッド部として、対向する 2 辺のそれぞれにボンディングパッド 103 が 1 つずつ設けられた構成を例示したが、本発明はこの構成に限られるものではない。例えば、本実施形態のように、対向する 2 辺のそれぞれに複数のボンディングパッド 103 が設けられてもよい。複数のボンディングパッド 103 のそれぞれは、b 方向に沿って配されており、電源配線パターン 104 に電気的に接続されている。この構成によると、電源配線パターン 104 の b 方向における電圧降下が低減され、即ち、電源配線パターン 104 の b 方向における各位置での電圧が略等しくなる。

【0039】

40

よって、上記構成によっても、第 1 実施形態と同様の効果が得られ、さらに、複数のパッドを b 方向に沿って配置することによって b 方向のシェーディングがより抑制される。なお、本実施形態では、対向する 2 辺のそれぞれに 3 つ (計 6 つ) のボンディングパッド 103 が配置された構成を例示したが、ボンディングパッド 103 の数量はこれに限定されるものではない。

【0040】

以上の 4 つの実施形態を述べたが、本発明はこれらに限られるものではなく、目的、状態、用途及び機能その他の仕様に依りて、適宜、変更が可能であり、他の実施形態によっても為されうる。例えば、以上の各実施形態では、各画素を形成する各トランジスタに NMOS トランジスタを用いた構成を例示したが、PMOS トランジスタを用いてもよい。

50

また、以上の各実施形態では、各光電変換部で発生して蓄積された電荷のうち電子を読み出す構成を例示したが、ホールを読み出してよい。

【0041】

また、電源配線パターン104は、電源配線パターン105よりも幅が大きいものを図示したが、これらの抵抗値が前述の関係を有していればよく、例えば、電源配線パターン104は、互いに平行に配された複数のラインパターンで構成されてもよい。この場合、各ラインパターンの幅は、電源配線パターン105よりも小さくてもよい。各ラインパターンは、同じ配線層に設けられてもよいし、互いに異なる配線層に設けられてもよい。また、これらのラインパターンは、当該ラインパターンと交差する方向に延在する他のラインパターンを用いて互いに電氣的に接続されるとよい。

10

【0042】

また、上記各実施形態のように電源配線パターン104を行方向に沿って配置し、各電源配線パターン105を列方向に沿って配置する場合には、電源配線パターン104は、前述の信号読出部の上方に配されてもよい。この構成によると、必要な基準電圧を当該信号読出部に供給するのにも有利である。信号読出部に接続された信号読出用の列信号線は、互いに隣接する電源配線パターン105間に配されるとよく、これによって、互いに隣接する列信号線間のクロストークを防ぐことも可能である。一方、電源配線パターン104を列方向に沿って配置し、各電源配線パターン105を行方向に沿って配置する場合には、電源配線パターン104は、前述の駆動部の上方に配されてもよく、必要な基準電圧を当該駆動部に供給すればよい。駆動部からの制御信号を供給する制御線は、互いに隣接する電源配線パターン105間に配されてもよく、これによって、互いに隣接する制御線間のクロストークを防ぐことも可能である。

20

【0043】

(撮像システム)

以上では、カメラ等に代表される撮像システムに含まれる撮像装置について述べた。撮像システムの概念には、撮影を主目的とする装置のみならず、撮影機能を補助的に備える装置(例えば、パーソナルコンピュータ、携帯端末)も含まれる。撮像システムは、上記の実施形態として例示された本発明に係る撮像装置と、この撮像装置から出力される信号を処理する処理部とを含みうる。この処理部は、例えば、A/D変換器、および、このA/D変換器から出力されるデジタルデータを処理するプロセッサを含みうる。

30

【0044】

図9を参照しながら、撮像システムSYSの構成例を述べる。撮像システムSYSは、レンズ部801と、レンズ駆動部802と、メカニカルシャッター803と、シャッター駆動部804と、撮像装置805と、信号処理部806と、タイミング発生部807と、メモリ部808と、制御部809とを具備する。また、撮像システムSYSは、インターフェース部810と、記録媒体811と、外部インターフェース部812と、測光部813と、を具備する。

【0045】

レンズ部801は、被写体の光学像を撮像装置805に結像させ、レンズ駆動部802によってズーム制御、フォーカス制御、絞り制御などの制御が為される。メカニカルシャッター803は、シャッター駆動部804によって駆動される。撮像装置805は、レンズ部801により結像された被写体の画像信号を取得する。撮像装置805には本発明が適用され、例えば第1実施形態で述べた撮像装置I1が用いられうる。信号処理部806は、例えば補正部を含み、撮像装置805により得られた画像信号についての各種補正処理(上述のシェーディング補正を含む)を行って画像データを取得する。また、信号処理部806は、画像データの圧縮処理を行うことも可能である。タイミング発生部807は、クロック信号等の各種タイミング信号を発生して、撮像装置805や信号処理部806に出力する。メモリ部808には、画像データその他の情報が一時的に格納される。制御部809は、各種演算処理を行い、また、撮像システムSYS全体の制御を行う。

40

【0046】

50

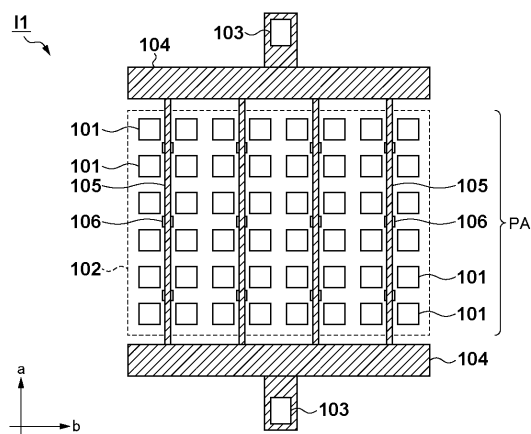
インターフェース部 810 は、記録媒体 811 は、との間でデータ通信を行い、例えば、画像データの格納処理や読み出しを行う。記録媒体 811 は、半導体メモリ等の着脱可能なメモリ手段であり、インターフェース部 810 を介して、画像データの格納や、又は格納された画像データの読み出しがなされる。画像データは、外部インターフェース部 812 を介して、不図示の表示部に出力される。測光部 813 は、被写体の輝度を測定するための測光を行う。

【 0 0 4 7 】

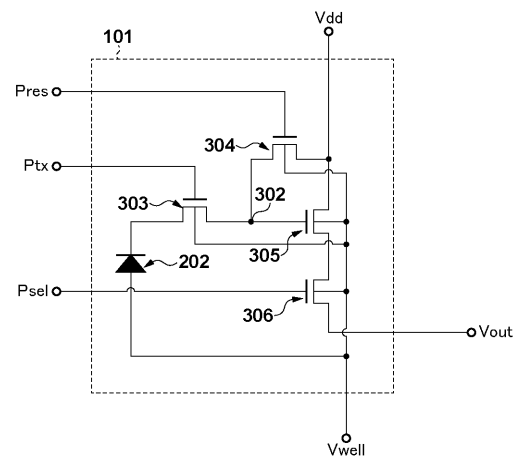
各電源電圧が撮像システムＳＹＳに供給されて撮像システムＳＹＳが動作可能な状態になった後、例えばリリースボタン（不図示）が押されたことに応答して、制御部８０９は、撮像装置８０５からの信号に基づいて被写体との距離を算出する。その後、レンズ駆動部８０２は、焦点が被写体に合うようにレンズ部８０１を駆動する。なお、ここでは、撮像装置８０５からの信号によって被写体との距離を算出する場合を例示したが、測距用のユニットを個別に設けて当該距離を算出してもよい。その後、撮像システムＳＹＳは撮影動作を開始する。撮影動作が終了すると、撮像装置８０５からの画像信号は信号処理部８０６によって信号処理が為され、それにより得られた画像データがメモリ部８０８に格納される。メモリ部８０８に格納された画像データは、制御部８０９によりインターフェース部８１０を介して記録媒体８１１に保存されうる。また、当該画像データは、外部インターフェース８１２を介して、ディスプレイ等の表示部に出力されてもよいし、パーソナルコンピュータ等の端末に出力されてもよい。

10

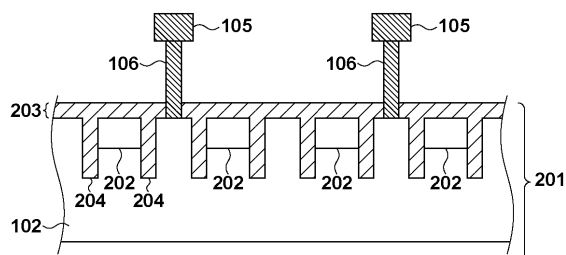
【圖 1】



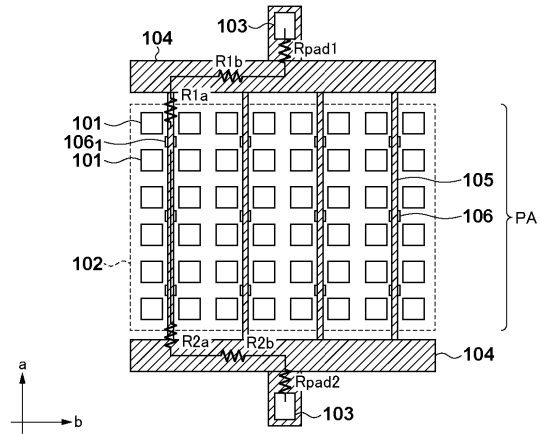
【圖 3】



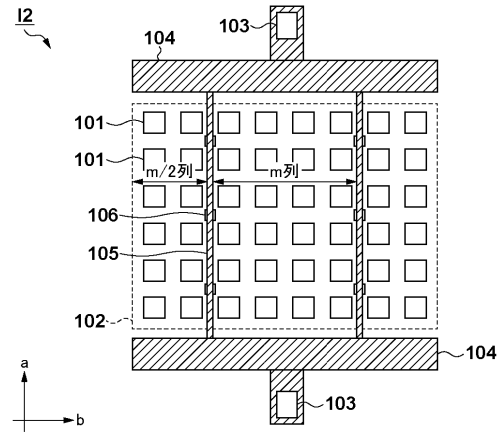
【图 2】



【 図 4 】



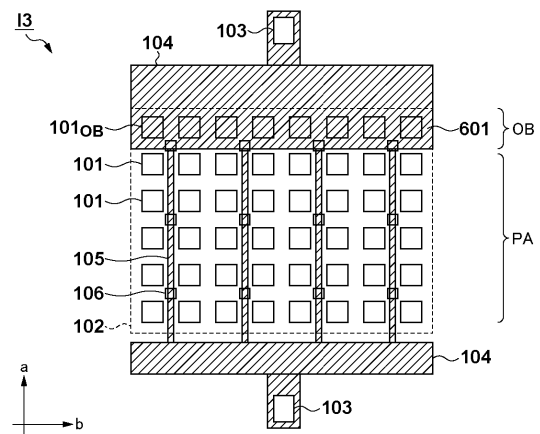
【 図 6 】



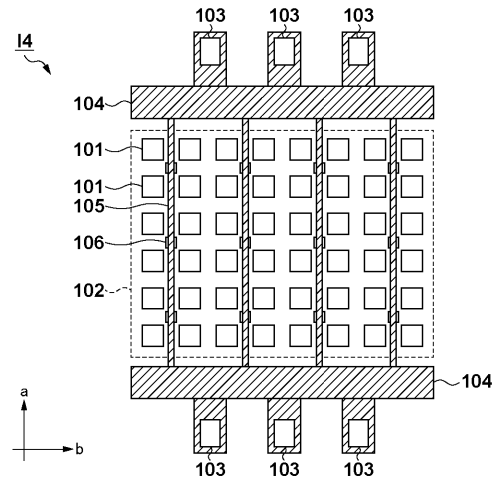
【圖 5】

R(a, b)		b方向				最大値と 最小値 との差
		1.5	3.5	5.5	7.5	
a方向	1.5	2.65kΩ	2.46kΩ	2.46kΩ	2.65kΩ	0.20kΩ
	3.5	3.73kΩ	3.58kΩ	3.58kΩ	3.73kΩ	0.15kΩ
	5.5	2.65kΩ	2.46kΩ	2.46kΩ	2.65kΩ	0.20kΩ
最大値と 最小値との差		1.07kΩ	1.12kΩ	1.12kΩ	1.07kΩ	1.27kΩ

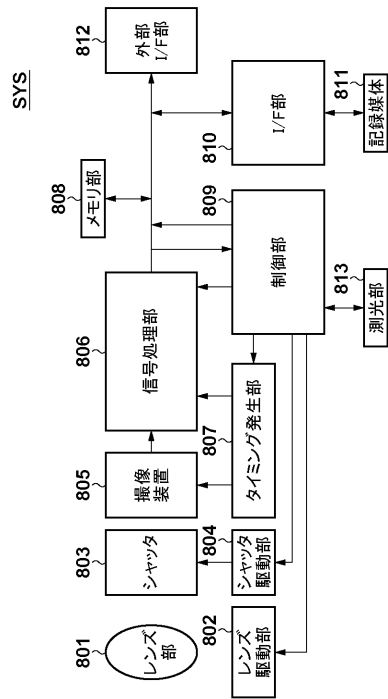
【圖 7】



【 図 8 】



【図 9】



フロントページの続き

(72)発明者 乾 文洋
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 鈴木 明

(56)参考文献 特開2001-230400(JP,A)
特開2010-212635(JP,A)
特開2004-153678(JP,A)
特開2008-054246(JP,A)

(58)調査した分野(Int.Cl., DB名)
H04N 5/30 - 5/378
H01L 27/14 - 27/148