



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2018년11월22일  
 (11) 등록번호 10-1920709  
 (24) 등록일자 2018년11월15일

(51) 국제특허분류(Int. Cl.)  
 H01L 29/786 (2006.01) G02F 1/136 (2006.01)  
 (21) 출원번호 10-2010-0074404  
 (22) 출원일자 2010년07월30일  
 심사청구일자 2015년03월12일  
 (65) 공개번호 10-2012-0021454  
 (43) 공개일자 2012년03월09일  
 (56) 선행기술조사문헌  
 JP2007123861 A\*  
 KR1020080052107 A\*  
 KR1020090050971 A\*  
 KR1020100027377 A\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 삼성전자주식회사  
 경기도 수원시 영통구 삼성로 129 (매탄동)  
 (72) 발명자  
 박경배  
 서울특별시 강남구 영동대로 640, 현대아이파크아파트 사우스윙 3602호 (삼성동)  
 김현석  
 경기도 화성시 동탄반석로 42 606동 2802호 (반송동, 나루마을한화우림아파트)  
 (뒷면에 계속)  
 (74) 대리인  
 리앤목특허법인

전체 청구항 수 : 총 11 항

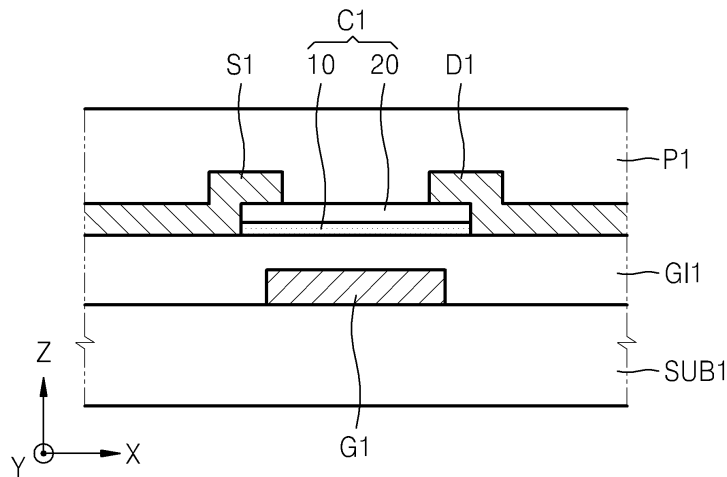
심사관 : 최혜미

(54) 발명의 명칭 **트랜지스터와 그 제조방법 및 트랜지스터를 포함하는 전자소자**

**(57) 요약**

트랜지스터와 그 제조방법 및 트랜지스터를 포함하는 전자소자에 대해 개시되어 있다. 개시된 트랜지스터는 다층 구조를 갖는 산화물 채널층을 포함할 수 있다. 상기 채널층은 게이트절연층 측으로부터 순차로 배열되는 제1층 및 제2층을 포함할 수 있다. 상기 제1층은 도전체(conductor)일 수 있고, 상기 제2층은 상기 제1층보다 전기전도도가 낮은 반도체(semiconductor)일 수 있다. 상기 제1층은 게이트 전압 조건에 따라 공핍 영역(depletion region)이 될 수 있다.

**대표도 - 도1**



(72) 발명자

**류명관**

경기도 용인시 수지구 신봉2로 26, LG신봉자이1차  
아파트 124동 1002호 (신봉동)

**이상윤**

서울특별시 서초구 서초중앙로 200, 13동 707호 (서초동, 삼풍아파트)

**이광희**

경기도 수원시 영통구 영통로90번길 4-27 115동  
1802호 (망포동, 늘푸른벽산아파트)

**김태상**

서울특별시 송파구 양산로4길 8, 404동 607호 (거여동, 거여4단지아파트)

**김억수**

경기도 성남시 분당구 수내로 74, 105동 504호 (수내동, 양지마을)

**손경석**

서울특별시 성동구 돌레11길 1 101동 405호 (성수동2가, 강변현대아파트)

**맹완주**

경기도 용인시 기흥구 삼성2로 97, 기숙사 A동 419호 (농서동, 삼성종합기술원)

**박준석**

경기도 성남시 분당구 중앙공원로 17, 시범단지 317-2002 (서현동, 한양아파트)

**명세서**

**청구범위**

**청구항 1**

산화물로 형성된 채널층;

상기 채널층의 양단에 각각 접촉된 소오스 및 드레인;

상기 채널층에 대응하는 게이트; 및

상기 채널층과 상기 게이트 사이에 구비된 게이트절연층;을 포함하고,

상기 채널층은 상기 게이트절연층 측으로부터 순차로 배열되는 제1층 및 제2층을 구비하고,

상기 제1층은 게이트 전압 조건에 따라 공핍(depletion) 될 수 있는 도전체(conductor)이고, 상기 제1층의 상태는 상기 게이트 전압 조건에 따라 도전성 상태와 절연성의 공핍 상태 사이에서 변화되고, 상기 제2층은 상기 도전성 상태의 상기 제1층보다 낮은 전기전도도를 가지며,

상기 제1층 및 상기 제2층은 HfInZnO를 포함하고,

상기 제1층은 상기 도전성 상태에서  $10^3$  S/cm 이상의 전기전도도를 갖고, 상기 제1층은 상기 도전성 상태에서 10 Ωcm 보다 작은 전기저항을 갖고,

상기 게이트에 음(-)의 전압이 인가됨에 따라, 상기 제1층의 캐리어가 상기 제2층으로 이동하면서 상기 제1층은 상기 절연성의 공핍 상태가 되는 트랜지스터로서, 상기 트랜지스터의 오프-커런트(OFF current)는  $10^{-13}$  A 보다 작고, 상기 트랜지스터의 이동도는  $18 \text{ cm}^2/\text{Vs}$  보다 큰 특징을 갖는 트랜지스터.

**청구항 2**

제 1 항에 있어서,

상기 제1층의 산소 공공(oxygen vacancy) 농도는 상기 제2층의 산소 공공 농도보다 높은 트랜지스터.

**청구항 3**

삭제

**청구항 4**

제 1 항에 있어서,

상기 제2층의 전기전도도는  $10^{-8}$  S/cm 이상  $10^3$  S/cm 미만인 트랜지스터.

**청구항 5**

제 1 항에 있어서,

상기 제1층의 캐리어 농도는  $10^{18}/\text{cm}^3$  이상  $10^{21}/\text{cm}^3$  이하인 트랜지스터.

**청구항 6**

제 1 항 또는 제 5 항에 있어서,

상기 제2층의 캐리어 농도는  $10^{13}/\text{cm}^3$  이상  $10^{18}/\text{cm}^3$  미만인 트랜지스터.

**청구항 7**

제 1 항에 있어서,

상기 제1층은 5~50nm 의 두께를 갖는 트랜지스터.

**청구항 8**

삭제

**청구항 9**

제 1 항에 있어서,

상기 제1층 및 제2층의 금속 원소 농도는 서로 동일한 트랜지스터.

**청구항 10**

삭제

**청구항 11**

제 1 항에 있어서,

상기 게이트는 상기 채널층 아래에 구비된 트랜지스터.

**청구항 12**

제 11 항에 있어서,

상기 채널층 상에 구비된 식각정지층을 더 포함하는 트랜지스터.

**청구항 13**

제 1 항에 있어서,

상기 게이트는 상기 채널층 위에 구비된 트랜지스터.

**청구항 14**

청구항 1에 기재된 트랜지스터를 포함하는 평판표시장치.

**청구항 15**

삭제

**청구항 16**

삭제

**청구항 17**

삭제

**청구항 18**

삭제

**청구항 19**

삭제

**청구항 20**

삭제

**청구항 21**

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

**발명의 설명**

**기술 분야**

[0001] 트랜지스터와 그 제조방법 및 트랜지스터를 포함하는 전자소자에 관한 것이다.

**배경 기술**

[0002] 트랜지스터는 전자 기기 분야에서 스위칭소자(switching device)나 구동소자(driving device)로 널리 사용되고 있다. 특히, 박막 트랜지스터(thin film transistor)는 유리 기판이나 플라스틱 기판 상에 제조할 수 있기 때문에, 액정표시장치 또는 유기발광표시장치 등과 같은 평판표시장치 분야에서 유용하게 사용된다.

[0003] 현재 상용화되어 있는 대부분의 평판표시장치는 비정질실리콘으로 이루어진 채널층을 갖는 박막 트랜지스터(이하, 비정질실리콘 박막 트랜지스터) 또는 다결정실리콘층으로 이루어진 채널층으로 갖는 박막 트랜지스터(이하, 다결정실리콘 박막 트랜지스터)를 사용한다.

[0004] 비정질실리콘 박막 트랜지스터의 경우, 전하 이동도가 0.5 cm<sup>2</sup>/Vs 내외로 낮기 때문에, 평판표시장치의 동작 속도를 높이는 데 어려움이 있다. 또한 비정질실리콘은 광학적 밴드갭(optical band gap)이 ~1.8 eV 정도로서 가시광선 조사에 의한 누설 전류(leakage current) 유발 및 땀글링 본드(dangling bond)(즉, 결합되어 있지 않은 화학 결합 손) 증가에 따른 특성 열화 등의 문제가 있다.

[0005] 한편, 다결정실리콘 박막 트랜지스터의 경우, 결정화 공정, 불순물 주입(임플란트) 공정 및 활성화 공정 등이 요구되기 때문에 비정질실리콘 박막 트랜지스터에 비해 제조 공정이 복잡하고 제조 단가가 높다. 또한 다결정실리콘층의 결정립 크기는 불균일하기 때문에, 다결정실리콘층을 대면적 표시장치의 채널층으로 적용할 경우, 화면 품질이 떨어지는 문제가 발생한다.

[0006] 이에, 비정질실리콘 박막 트랜지스터 및 다결정실리콘 박막 트랜지스터의 문제를 해결하고, 대형화/저가격화 및 고성능/고신뢰성을 만족시킬 수 있는 새로운 박막 트랜지스터에 대한 요구가 증가하고 있고, 이에 대한 연구가 진행되고 있다. 그 일환으로 산화물층을 채널층으로 갖는 트랜지스터(산화물 박막 트랜지스터)에 대한 연구가 이루어지고 있다.

**발명의 내용**

**해결하려는 과제**

[0007] 고성능 및 고신뢰성을 갖는 트랜지스터를 제공한다.

[0008] 상기 트랜지스터의 제조방법을 제공한다.

[0009] 상기 트랜지스터를 포함하는 전자소자를 제공한다.

**과제의 해결 수단**

[0010] 본 발명의 일 측면(aspect)에 따르면, 산화물로 형성된 채널층; 상기 채널층의 양단에 각각 접촉된 소오스 및 드레인; 상기 채널층에 대응하는 게이트; 및 상기 채널층과 상기 게이트 사이에 구비된 게이트절연층;을 포함하고, 상기 채널층은 상기 게이트절연층 측으로부터 순차로 배열되는 제1층 및 제2층을 구비하고, 상기 제1층은 게이트 전압 조건에 따라 공핍(depletion) 될 수 있는 도전체(conductor)이고, 상기 제2층은 상기 제1층보다 낮

은 전기전도도를 갖는 트랜지스터가 제공된다.

- [0011] 상기 제1층의 산소 공공(oxygen vacancy) 농도는 상기 제2층의 산소 공공 농도보다 높을 수 있다.
- [0012] 상기 제1층의 전기전도도는  $10^3$  S/cm 이상일 수 있다.
- [0013] 상기 제2층의 전기전도도는  $10^{-8}$  S/cm 이상  $10^3$  S/cm 미만일 수 있다.
- [0014] 상기 제1층의 캐리어 농도는  $10^{18}$ /cm<sup>3</sup> 이상  $10^{21}$ /cm<sup>3</sup> 이하일 수 있다.
- [0015] 상기 제2층의 캐리어 농도는  $10^{13}$ /cm<sup>3</sup> 이상  $10^{18}$ /cm<sup>3</sup> 미만일 수 있다.
- [0016] 상기 제1층은 5~50nm 의 두께를 가질 수 있다.
- [0017] 상기 제2층은 10~1000nm 의 두께를 가질 수 있다.
- [0018] 상기 제1층 및 제2층의 금속 원소 성분은 서로 동일할 수 있다.
- [0019] 상기 제1층 및 제2층의 금속 원소 농도는 서로 동일하거나 유사할 수 있다.
- [0020] 상기 채널층의 산화물은 ZnO 계열 또는 InO 계열 산화물일 수 있다.
- [0021] 상기 게이트는 상기 채널층 아래에 구비될 수 있다. 이 경우, 상기 채널층 상에 식각정지층이 더 구비될 수 있다.
- [0022] 상기 게이트는 상기 채널층 위에 구비될 수 있다.
- [0023] 본 발명의 다른 측면에 따르면, 전술한 트랜지스터를 포함하는 평판표시장치가 제공된다.
- [0024] 본 발명의 다른 측면에 따르면, 게이트를 형성하는 단계; 상기 게이트에 대응하는 것으로 산화물을 포함하는 채널층을 형성하는 단계; 상기 게이트와 상기 채널층 사이에 게이트절연층을 형성하는 단계; 및 상기 채널층 양단에 접촉된 소오스 및 드레인을 형성하는 단계를 포함하는 트랜지스터의 제조방법에 있어서, 상기 채널층을 형성하는 단계는 상기 게이트절연층의 일면 상에 순차로 구비되는 제1층 및 제2층을 형성하는 단계를 포함하되, 상기 제1층은 게이트 전압 조건에 따라 공핍(depletion) 될 수 있는 도전체(conductor)로 형성하고, 상기 제2층은 상기 제1층보다 낮은 전기전도도를 갖도록 형성하는 트랜지스터의 제조방법이 제공된다.
- [0025] 상기 제1층은 제1 산소 분압에서 형성하고, 상기 제2층은 상기 제1 산소 분압보다 큰 제2 산소 분압에서 형성할 수 있다.
- [0026] 상기 채널층 형성시 O<sub>2</sub> 및 Ar 을 포함하는 반응 가스를 사용할 수 있다. 이 경우, 상기 제1층은 Ar에 대한 O<sub>2</sub>의 유량비(O<sub>2</sub>/Ar)가 0 보다 크고 0.1 보다 작은 조건으로 형성할 수 있고, 상기 제2층은 Ar에 대한 O<sub>2</sub>의 유량비(O<sub>2</sub>/Ar)가 0.1 보다 크거나 같은 조건으로 형성할 수 있다.
- [0027] 상기 제1층 및 제2층은 인-시츄(in-situ)로 형성할 수 있다.
- [0028] 상기 제1층의 산소 공공(oxygen vacancy) 농도는 상기 제2층의 산소 공공 농도보다 높을 수 있다.
- [0029] 상기 제1층의 전기전도도는  $10^3$  S/cm 이상일 수 있다.
- [0030] 상기 제2층의 전기전도도는  $10^{-8}$  S/cm 이상  $10^3$  S/cm 미만일 수 있다.
- [0031] 상기 제1층은 5~50nm 의 두께로 형성할 수 있다.
- [0032] 상기 제2층은 10~1000nm 의 두께로 형성할 수 있다.
- [0033] 상기 채널층은 ZnO 계열 또는 InO 계열 산화물로 형성할 수 있다.
- [0034] 상기 트랜지스터는 바텀(bottom) 게이트 구조 또는 탑(top) 게이트 구조로 형성할 수 있다.

**발명의 효과**

- [0035] 고성능 및 고신뢰성을 갖는 트랜지스터와 이를 포함하는 평판표시장치를 구현할 수 있다. 상기 트랜지스터를 비

교적 간단한 방법으로 용이하게 제조할 수 있다.

**도면의 간단한 설명**

- [0036] 도 1 내지 도 5는 본 발명의 실시예에 따른 트랜지스터의 단면도이다.
- 도 6a 내지 도 6d는 본 발명의 실시예에 따른 트랜지스터의 제조방법을 보여주는 단면도이다.
- 도 7a 내지 도 7d는 본 발명의 다른 실시예에 따른 트랜지스터의 제조방법을 보여주는 단면도이다.
- 도 8은 본 발명의 실시예에 따른 트랜지스터의 제조방법에서 O<sub>2</sub>/Ar 유량비에 따른 산화물층의 전기적 특성 변화를 보여주는 그래프이다.
- 도 9는 본 발명의 실시예에 따른 트랜지스터의 제조방법으로 형성한 채널층의 깊이에 따른 산소 농도의 변화를 보여주는 그래프이다.
- 도 10 내지 도 12는 본 발명의 실시예 및 비교예에 따른 트랜지스터의 게이트전압(V<sub>GS</sub>)-드레인전류(I<sub>DS</sub>) 특성을 보여주는 그래프이다.
- 도 13 및 도 14는 본 발명의 실시예에 따른 트랜지스터의 광조사에 의한 게이트전압(V<sub>GS</sub>)-드레인전류(I<sub>DS</sub>) 특성의 변화를 보여주는 그래프이다.

\* 도면의 주요 부분에 대한 부호설명 \*

- 10, 10', 11, 11' : 제1층                      20, 20', 22, 22' : 제2층
- C1, C1', C2, C2' : 채널층                D1, D1', D2, D2' : 드레인전극
- G1, G2 : 게이트                            GI1, GI2 : 게이트절연층
- P1, P2 : 보호층                            S1, S1', S2, S2' : 소오스전극
- SUB1, SUB2 : 기판

**발명을 실시하기 위한 구체적인 내용**

- [0037] 이하, 본 발명의 실시예에 따른 트랜지스터, 트랜지스터의 제조방법 및 트랜지스터를 포함하는 전자소자를 첨부된 도면을 참조하여 상세하게 설명한다. 첨부된 도면에 도시된 층이나 영역들의 폭 및 두께는 명세서의 명확성을 위해 다소 과장되게 도시된 것이다. 상세한 설명 전체에 걸쳐 동일한 참조번호는 동일한 구성요소를 나타낸다.
- [0038] 도 1은 본 발명의 실시예에 따른 트랜지스터를 보여준다. 본 실시예의 트랜지스터는 게이트(G1)가 채널층(C1) 아래에 구비되는 바텀(bottom) 게이트 구조의 박막 트랜지스터이다.
- [0039] 도 1을 참조하면, 기판(SUB1) 상에 게이트(G1)가 형성될 수 있다. 기판(SUB1)은 플라스틱 기판일 수 있지만, 그 밖의 다른 기판, 예컨대, 유리 기판이나 실리콘 기판 등 통상의 반도체소자 공정에서 사용되는 다양한 기판 중 어느 하나일 수 있다. 게이트(G1)는 일반적인 전극 물질(금속, 도전성 산화물 등)로 형성될 수 있다. 기판(SUB1) 상에 게이트(G1)를 덮는 게이트절연층(GI1)이 형성될 수 있다. 게이트절연층(GI1)은 실리콘 산화물층 또는 실리콘 질화물층을 포함할 수 있으나, 그 밖의 다른 물질층, 예컨대, 실리콘 질화물층보다 유전상수가 큰 고 유전물질층을 포함할 수도 있다. 게이트절연층(GI1)은 단층 또는 다층 구조를 가질 수 있다.
- [0040] 게이트절연층(GI1) 상에 채널층(C1)이 구비될 수 있다. 채널층(C1)은 게이트(G1) 위쪽에 위치할 수 있다. 채널층(C1)의 X축 방향 폭은 게이트(G1)의 X축 방향 폭보다 다소 클 수 있다. 채널층(C1)은 산화물로 형성될 수 있고, 다층 구조를 가질 수 있다. 예컨대, 채널층(C1)은 순차 적층된 제1산화물층(이하, 제1층)(10) 및 제2산화물층(이하, 제2층)(20)을 구비한 이중층 구조를 가질 수 있다. 제1층(10)이 제2층(20)보다 상대적으로 게이트(G1)에 가까이 배치되어 있다. 다시 말해, 게이트절연층(GI1)과 제2층(20) 사이에 제1층(10)이 개재(interpose)되어 있다. 그러므로 제1층(10)은 게이트절연층(GI1)에 접촉될 수 있고, 제2층(20)은 게이트절연층(GI1)에서 이격될 수 있다. 제1층(10)의 두께는, 예컨대, 5~50nm 정도일 수 있고, 제2층(20)의 두께는, 예컨대, 10~1000nm 정도일 수 있다. 제1층(10) 및 제2층(20)에 대해서는 추후에 보다 상세히 설명한다.
- [0041] 게이트절연층(GI1) 상에 채널층(C1)의 양단에 각각 접촉되는 소오스전극(S1) 및 드레인전극(D1)이 구비될 수 있

다. 소오스전극(S1) 및 드레인전극(D1)은 단일층 또는 다중층일 수 있다. 소오스전극(S1) 및 드레인전극(D1)은 게이트(G1)과 동일한 물질층일 수 있으나, 다른 물질층일 수도 있다. 게이트절연층(GI1) 상에 채널층(C1), 소오스전극(S1) 및 드레인전극(D1)을 덮는 보호층(passivation layer)(P1)이 형성될 수 있다. 보호층(P1)은 실리콘 산화물층, 실리콘 질화물층 또는 유기층이거나, 이들 중 적어도 두 개 이상이 적층된 구조를 가질 수 있다. 게이트(G1), 게이트절연층(GI1), 소오스전극(S1) 및 드레인전극(D1)의 두께는 각각 50~300nm, 50~400nm, 10~200nm 및 10~200nm 정도일 수 있다.

[0042] 이하에서는 채널층(C1)에 대해 보다 상세히 설명한다.

[0043] 채널층(C1)의 제1층(10)과 제2층(20)은 전기적 특성이 서로 다른 층일 수 있다. 제1층(10)은  $10^3$  S/cm 이상의 전기전도도를 갖는 도전체일 수 있다. 제1층(10)은 게이트(G1)에 인가되는 전압 조건(즉, 게이트 전압 조건)에 따라 공핍 영역(depletion region)이 될 수 있다. 제2층(20)은 제1층(10)보다 낮은 전기전도도를 갖는 반도체일 수 있다. 예컨대, 제2층(20)의 전기전도도는  $10^{-8}$  S/cm 이상  $10^3$  S/cm 미만일 수 있다. 제1층(10)과 제2층(20)의 전기전도도는 캐리어 농도와 관련될 수 있다. 제1층(10)의 캐리어 농도는  $10^{18}/\text{cm}^3$  이상  $10^{21}/\text{cm}^3$  이하일 수 있고, 제2층(20)의 캐리어 농도는  $10^{13}/\text{cm}^3$  이상  $10^{18}/\text{cm}^3$  미만일 수 있다. 제1층(10)의 전기 저항은 10  $\Omega\text{cm}$  이하일 수 있고, 제2층(20)의 전기 저항은 10  $\Omega\text{cm}$  보다 클 수 있다. 제1층(10)과 제2층(20)의 산소 공공(oxygen vacancy) 농도는 서로 다를 수 있다. 제1층(10)의 산소 공공(oxygen vacancy) 농도는 제2층(20)의 그것보다 높을 수 있다. 산소 공공이 많다는 것은 산소 이온은 적다는 것을 의미할 수 있다. 그러므로 제1층(10)의 산소 이온 농도는 제2층(20)의 산소 이온 농도보다 낮을 수 있다.

[0044] 제1층(10)이 도전체라는 것은 제1층(10)에 어떤 외부 요인이 작용하지 않을 때, 제1층(10) 자체로 고유하게 도전성을 띠는 것을 의미한다. 그러나 제1층(10)에 소정의 외부 요인이 작용할 때, 제1층(10)은 도전성을 잃고 절연체와 유사한 특성을 가질 수 있다. 만약, 게이트(G1)에 소정의 음(-)의 전압이 인가되면, 제1층(10)의 캐리어(예컨대, 전자)가 제2층(20)으로 넘어가면서 제1층(10)은 공핍 영역(depletion region)이 될 수 있다. 그러므로 게이트(G1)에 소정의 음(-)의 전압이 인가되는 오프(OFF) 상태에서 제1층(10)은 절연 특성을 가질 수 있다. 하지만 온(ON) 상태에서 제1층(10)은 도전 특성을 가지므로, 소오스전극(S1)과 드레인전극(D1) 사이의 전류는 대부분 제1층(10)을 통해 흐를 수 있다. 이와 같이, 도전체의 특성을 갖는 제1층(10)은 외부 요인에 의해 절연체의 특성을 가질 수 있으므로, 온(ON)/오프(OFF) 스위칭을 위한 트랜지스터의 채널로 기능을 할 수 있다. 제1층(10)이 과도하게 두꺼울 경우, 게이트(G1)에 음(-)의 전압이 인가되더라도 제1층(10)에 공핍 영역이 형성되기 어려울 수 있다. 즉, 제1층(10)이 과도하게 두꺼울 경우, 제1층(10)에 절연 특성을 부여하기 어려울 수 있다. 그러므로 제1층(10)은 비교적 얇은 두께, 예컨대, 5~50nm 정도의 두께로 형성될 수 있다. 한편, 제2층(20)은 10~1000nm 정도의 두께로 형성될 수 있다.

[0045] 제1층(10)과 제2층(20)은 동일 계열의 산화물(금속 산화물)로 형성될 수 있다. 이때, 제1층(10)과 제2층(20)의 금속 성분(metal composition)은 동일할 수 있다. 또한 제1층(10)과 제2층(20)의 금속 원소 농도는 서로 동일하거나 유사할 수 있다. 제1층(10)과 제2층(20)을 동일 계열의 산화물로 형성하되, 산소 공공 농도(또는 산소 이온 농도), 캐리어 농도 등을 달리하여 이들의 전기적 특성을 제어할 수 있다. 이와 같이, 제1층(10)과 제2층(20)을 동일 계열의 산화물로 형성하는 경우, 하나의 스퍼터 타겟(sputter target)을 사용해서 제1층(10)과 제2층(20)을 인-시츄(in-situ)로 형성할 수 있으므로, 제조공정이 단순화될 수 있다.

[0046] 예를 들어, 제1층(10) 및 제2층(20)은 ZnO 계열 또는 InO 계열의 산화물을 포함할 수 있다. 제1층(10) 및 제2층(20)이 ZnO 계열의 산화물을 포함하는 경우, In, Ga 및 Al과 같은 13족 원소, Sn 및 Si와 같은 14족 원소, Zr, Hf 및 Ti와 같은 4족 원소(전이금속), Mg와 같은 2족 원소, Y 및 La과 같은 3족 원소(전이금속), Cu와 같은 11족 원소(전이금속), 그리고, Ta, Cr 등 그 밖의 전이금속으로 구성된 그룹에서 선택된 적어도 하나의 원소를 더 포함할 수 있다. 구체적인 예로, 제1층(10) 및 제2층(20)은 GaInZnO, HfInZnO, ZrInZnO, MgInZnO, LaInZnO, AlInZnO, SiInZnO, CuInZnO 등과 같은 InZnO(즉, IZO) 계열 산화물 또는 GaZnSnO, HfZnSnO, ZrZnSnO, MgZnSnO, LaZnSnO, AlZnSnO, SiZnSnO, CuZnSnO 등과 같은 ZnSnO(즉, ZTO) 계열 산화물을 포함하거나, ZnO 또는 InO 를 포함할 수 있다.

[0047] 이와 같이, 채널층(C1)을 전기적 특성이 서로 다른 복수의 산화물층(10, 20)으로 구성함으로써, 트랜지스터의 동작 특성 및 신뢰성을 개선할 수 있다. 이에 대해서는 추후에 보다 상세히 설명한다.

[0048] 도 1에서는 채널층(C1)의 상면 양단에 소오스전극(S1) 및 드레인전극(D1)이 접촉되어 있지만, 이들의 위치 관계



는 달라질 수 있다. 그 예가 도 2에 도시되어 있다.

- [0049] 도 2를 참조하면, 게이트절연층(GI1) 상에 서로 이격된 소오스전극(S1') 및 드레인전극(D1')이 구비될 수 있다. 소오스전극(S1')과 드레인전극(D1') 사이의 게이트절연층(GI1) 상에 두 전극(S1', D1')에 접촉된 채널층(C1')이 구비될 수 있다. 그러므로 소오스전극(S1') 및 드레인전극(D1')은 채널층(C1')의 하면 양단에 접촉될 수 있다. 채널층(C1')은 제1층(10') 및 제2층(20')이 적층된 구조를 가질 수 있다. 제1층(10') 및 제2층(20')은 각각 도 1의 제1층(10) 및 제2층(20)과 동일한 물질로 구성될 수 있다. 채널층(C1')과 소오스전극(S1') 및 드레인전극(D1') 사이의 위치 관계를 제외하면, 도 2의 구조는 도 1과 동일할 수 있다.
- [0050] 본 발명의 다른 실시예에 따르면, 도 1의 트랜지스터는 채널층(C1) 상에 식각정지층(etch stop layer)을 더 구비할 수 있다. 그 예가 도 3에 도시되어 있다.
- [0051] 도 3을 참조하면, 채널층(C1) 상에 식각정지층(ES1)이 더 구비될 수 있다. 식각정지층(ES1)의 X축 방향(도 1의 좌표 참조) 폭은 채널층(C1)보다 작을 수 있다. 채널층(C1)의 양단은 식각정지층(ES1)으로 커버되지 않을 수 있다. 소오스전극(S1)은 식각정지층(ES1)과 채널층(C1)의 일단을 덮을 수 있고, 드레인전극(D1)은 식각정지층(ES1)과 채널층(C1)의 타단을 덮을 수 있다. 식각정지층(ES1)은 소오스전극(S1) 및 드레인전극(D1)을 형성하기 위한 식각 공정에서, 상기 식각에 의해 채널층(C1)이 손상되는 것을 방지하는 역할을 할 수 있다. 식각정지층(ES1)은, 예를 들어, 실리콘 산화물, 실리콘 질화물 또는 유기절연물 등을 포함할 수 있다. 식각정지층(ES1)의 사용 여부는 채널층(C1)의 물질과 소오스전극(S1) 및 드레인전극(D1)의 물질에 따라 결정될 수 있다. 식각정지층(ES1)을 구비하는 것을 제외하면, 도 3의 구조는 도 1과 동일할 수 있다.
- [0052] 도 4는 본 발명의 다른 실시예에 따른 트랜지스터를 보여준다. 본 실시예에 따른 트랜지스터는 게이트(G2)가 채널층(C2) 위에 구비되는 탑(top) 게이트 구조의 박막 트랜지스터이다.
- [0053] 도 4를 참조하면, 기판(SUB2) 상에 채널층(C2)이 구비되어 있다. 채널층(C2)은 도 1의 채널층(C1)이 위·아래로 뒤집힌 구조를 가질 수 있다. 즉, 도 2의 채널층(C2)은 기판(SUB2) 상에 도 1의 제2층(20)과 등가한 제2층(22)과 도 1의 제1층(10)과 등가한 제1층(11)이 순차로 구비된 구조를 가질 수 있다. 제1층(11)은 도전체일 수 있고, 제2층(22)은 반도체일 수 있다. 기판(SUB2) 상에 채널층(C2)의 양단에 각각 접촉되도록 소오스전극(S2) 및 드레인전극(D2)이 형성되어 있다. 기판(SUB2) 상에 채널층(C2), 소오스전극(S2) 및 드레인전극(D2)을 덮는 게이트절연층(GI2)이 형성되어 있다. 게이트절연층(GI2) 상에 게이트(G2)가 형성되어 있다. 게이트(G2)는 채널층(C2) 위에 위치한다. 게이트절연층(GI2) 상에 게이트(G2)를 덮는 보호층(P2)이 형성되어 있다.
- [0054] 도 4의 기판(SUB2), 제1층(11), 제2층(22), 소오스전극(S2), 드레인전극(D2), 게이트절연층(GI2), 게이트(G2) 및 보호층(P2) 각각의 물질 및 두께는 도 1의 기판(SUB1), 제1층(10), 제2층(20), 소오스전극(S1), 드레인전극(D1), 게이트절연층(GI1), 게이트(G1) 및 보호층(P1) 각각의 그것들과 동일할 수 있다. 또한, 도 4에서 제1층(11) 및 제2층(22)의 역할은 도 1의 제1층(10) 및 제2층(20)의 역할과 동일할 수 있다.
- [0055] 도 4에서 채널층(C2)과 소오스전극(S2) 및 드레인전극(D2)의 위치 관계는 도 5와 같이 달라질 수 있다.
- [0056] 도 5를 참조하면, 기판(SUB2) 상에 서로 이격된 소오스전극(S2') 및 드레인전극(D2')이 구비될 수 있다. 소오스전극(S2')과 드레인전극(D2') 사이의 기판(SUB2) 상에 두 전극(S2', D2')에 접촉된 채널층(C2')이 구비될 수 있다. 그러므로 소오스전극(S2') 및 드레인전극(D2')은 채널층(C2')의 하면 양단에 접촉될 수 있다. 채널층(C2')은 제2층(22') 및 제1층(11')이 적층된 구조를 가질 수 있다. 제1층(11') 및 제2층(22')은 각각 도 4의 제1층(11) 및 제2층(22)과 동일한 물질로 구성될 수 있다. 그러므로 제1층(11')은 도전체일 수 있고, 제2층(22')은 반도체일 수 있다. 채널층(C2')과 소오스전극(S2') 및 드레인전극(D2') 사이의 위치 관계를 제외하면, 도 5의 구조는 도 4와 동일할 수 있다.
- [0057] 도 6a 내지 도 6d는 본 발명의 실시예에 따른 트랜지스터의 제조방법을 보여준다. 본 실시예는 바텀(bottom) 게이트 구조의 박막 트랜지스터의 제조방법이다. 도 1과 도 6a 내지 도 6d에서 동일한 참조번호는 동일한 구성요소를 나타낸다.
- [0058] 도 6a를 참조하면, 기판(SUB1) 상에 게이트(G1)를 형성하고, 게이트(G1)를 덮는 게이트절연층(GI1)을 형성할 수 있다. 게이트절연층(GI1)은 실리콘 산화물 또는 실리콘 질화물로 형성하거나, 그 밖의 다른 물질, 예컨대, 실리콘 질화물보다 유전상수가 큰 고유전물질로 형성할 수도 있다. 게이트절연층(GI1)은 단층 또는 다층 구조로 형성할 수 있다.
- [0059] 도 6b를 참조하면, 게이트절연층(GI1) 상에 다층 구조를 갖는 채널용 산화물 박막을 형성할 수 있다. 예컨대,

제1산화물층(이하, 제1층)(10)과 제2산화물층(이하, 제2층)(20)을 순차로 형성할 수 있다. 제1층(10) 및 제2층(20)은 스퍼터링(sputtering) 법 또는 증발(evaporation) 법과 같은 물리 기상 증착(physical vapor deposition)(이하, PVD) 방법으로 증착할 수 있다. 제1층(10) 및 제2층(20)은 동일 계열의 산화물(금속 산화물)로 형성할 수 있다. 이때, 제1층(10)과 제2층(20)의 금속 성분(metal composition)은 동일할 수 있다. 또한 제1층(10)과 제2층(20)의 금속 원소 농도는 서로 동일하거나 유사할 수 있다. 예를 들어, 제1층(10) 및 제2층(20)은 ZnO 계열 또는 InO 계열의 산화물로 형성할 수 있다. 제1층(10) 및 제2층(20)을 ZnO 계열의 산화물로 형성하는 경우, 상기 ZnO 계열의 산화물은 In, Ga 및 Al과 같은 13족 원소, Sn 및 Si와 같은 14족 원소, Zr, Hf 및 Ti와 같은 4족 원소(전이금속), Mg와 같은 2족 원소, Y 및 La와 같은 3족 원소(전이금속), Cu와 같은 11족 원소(전이금속), 그리고, Ta, Cr 등 그 밖의 전이금속으로 구성된 그룹에서 선택된 적어도 하나의 원소를 더 포함할 수 있다. 구체적인 예로, 제1층(10) 및 제2층(20)은 GaInZnO, HfInZnO, ZrInZnO, MgInZnO, LaInZnO, AlInZnO, SiInZnO, CuInZnO 등과 같은 InZnO(즉, IZO) 계열 산화물 또는 GaZnSnO, HfZnSnO, ZrZnSnO, MgZnSnO, LaZnSnO, AlZnSnO, SiZnSnO, CuZnSnO 등과 같은 ZnSnO(즉, ZTO) 계열 산화물로 형성하거나, ZnO 또는 InO 로 형성할 수 있다.

[0060] 제1층(10) 및 제2층(20)을 동일 계열의 산화물로 형성하는 경우, 이들은 서로 다른 산소 분압에서 형성할 수 있다. 제1층(10)은 제1 산소 분압에서 형성하고, 제2층(20)은 상기 제1 산소 분압보다 큰 제2 산소 분압에서 형성할 수 있다. 제1층(10) 및 제2층(20) 형성시 O<sub>2</sub> 및 Ar 을 포함하는 반응 가스를 사용할 수 있는데, 이때, O<sub>2</sub> 가스와 Ar 가스의 유량비를 변화시켜 산소 분압을 조절할 수 있다. 제1층(10)은 Ar에 대한 O<sub>2</sub>의 유량비(O<sub>2</sub>/Ar)가 0보다 크고 0.1 보다 작은 조건으로 형성할 수 있고, 제2층(20)은 Ar에 대한 O<sub>2</sub>의 유량비(O<sub>2</sub>/Ar)가 0.1 보다 크거나 같은 조건으로 형성할 수 있다. 이와 같이, 제1층(10) 및 제2층(20)을 서로 다른 산소 분압에서 형성함으로써 제1층(10) 및 제2층(20)의 전기적 특성을 다르게 만들 수 있다. 위 방법에 따르면, 제1층(10)은 10<sup>3</sup> S/cm 이상의 전기전도도를 갖는 도전체로 형성할 수 있다. 제2층(20)은 제1층(10)보다 낮은 전기전도도를 갖는 반도체로 형성할 수 있다. 예컨대, 제2층(20)의 전기전도도는 10<sup>-8</sup> S/cm 이상 10<sup>3</sup> S/cm 미만일 수 있다. 제1층(10)의 캐리어 농도는 10<sup>18</sup>/cm<sup>3</sup> 이상 10<sup>21</sup>/cm<sup>3</sup> 이하일 수 있고, 제2층(20)의 캐리어 농도는 10<sup>13</sup>/cm<sup>3</sup> 이상 10<sup>18</sup>/cm<sup>3</sup> 미만일 수 있다. 제1층(10)의 전기 저항은 10 Ωcm 이하일 수 있고, 제2층(20)의 전기 저항은 10 Ωcm 보다 클 수 있다. 제1층(10)과 제2층(20)의 산소 공공(oxygen vacancy) 농도는 서로 다를 수 있다. 제1층(10)의 산소 공공(oxygen vacancy) 농도는 제2층(20)의 그것보다 높을 수 있다. 제1층(10)의 산소 이온 농도는 제2층(20)의 산소 이온 농도보다 낮을 수 있다. 제1층(10)은 5~50nm 정도의 두께로 형성할 수 있고, 제2층(20)은 10~1000nm 정도의 두께로 형성할 수 있다.

[0061] 제1층(10)과 제2층(20)을 동일 계열의 산화물로 형성하는 경우, 제1층(10)과 제2층(20)을 하나의 스퍼터 타겟(sputter target)을 사용해서 공정 조건만 달리하여 인-시츄(in-situ)로 형성할 수 있으므로, 제조공정이 단순화될 수 있다. 따라서 본 실시예에 따른 제조방법은 트랜지스터의 양산 및 대면적화에 유리할 수 있다. 여기서는, 공정 조건 중 산소 분압을 달리하면서 제1층(10) 및 제2층(20)을 형성하는 방법에 대해 설명하였지만, 산소 분압 이외에도 챔버의 압력이나 소오스 파워(power) 등을 변화시키면서 물성이 다른 제1층(10) 및 제2층(20)을 형성할 수도 있다. 산소 분압의 변화와 더불어 혹은 산소 분압을 고정한 상태에서, 챔버의 압력 및/또는 소오스 파워(power) 등을 변화시키면서 제1층(10) 및 제2층(20)을 형성할 수 있다. 또한 이상에서는 제1층(10) 및 제2층(20)을 동일 계열 산화물로 형성하는 경우에 대해 설명하였지만, 경우에 따라서는, 제1층(10) 및 제2층(20)을 서로 다른 계열의 산화물로 형성할 수도 있다.

[0062] 제1층(10) 및 제2층(20)을 패터닝하여, 도 6c에 도시된 바와 같이, 채널층(C1)을 형성할 수 있다. 패터닝된 제1층(10)은 도 1의 제1층(10)과 동일할 수 있고, 패터닝된 제2층(20)은 도 1의 제2층(20)과 동일할 수 있다.

[0063] 도 6d를 참조하면, 게이트절연층(GI1) 상에 채널층(C1)의 양단에 각각 접촉하고 채널층(C1)의 상부면 일부를 노출시키는 소오스전극(S1) 및 드레인전극(D1)을 형성할 수 있다. 소오스전극(S1) 및 드레인전극(D1)은 단일층 또는 다중층으로 형성할 수 있다. 필요에 따라, 소오스전극(S1) 및 드레인전극(D1)으로 커버되지 않은 채널층(C1)의 노출부를 산소를 포함하는 플라즈마로 처리할 수 있다. 다음, 기판(SUB1) 상에 채널층(C1)의 상기 노출된 부분과, 소오스전극(S1) 및 드레인전극(D1)을 덮는 보호층(P1)을 형성할 수 있다. 보호층(P1)은 실리콘 산화물층, 실리콘 질화물층 또는 유기층이거나, 이들 중 적어도 두 개 이상이 적층된 구조를 가질 수 있다. 이와 같은 방법으로 형성된 트랜지스터는 소정 온도에서 어닐링(annealing) 할 수 있다.

[0064] 전술한 도 6a 내지 도 6d의 제조방법을 변형하면, 도 2 및 도 3의 구조를 얻을 수 있다. 도 6a 내지 도 6d를 참

조하여 설명한 방법에 기초하여 도 2 및 도 3의 구조를 제조하는 방법은 당업자가 잘 알 수 있는바, 이에 대한 상세할 설명은 생략한다.

- [0065] 도 7a 내지 도 7d는 본 발명의 다른 실시예에 따른 트랜지스터의 제조방법을 보여준다. 본 실시예는 탑(top) 게이트 구조의 박막 트랜지스터의 제조방법이다. 도 4와 도 7a 내지 도 7d에서 동일한 참조번호는 동일한 구성요소를 나타낸다.
- [0066] 도 7a를 참조하면, 기판(SUB2) 상에 다층 구조를 갖는 채널용 산화물 박막을 형성할 수 있다. 예컨대, 제2산화물층(제2층)(22)과 제1산화물층(제1층)(11)을 순차로 형성할 수 있다. 제1층(11) 및 제2층(22)은 각각 도 6b의 제1층(10) 및 제2층(20)과 동일한 층일 수 있다. 따라서, 제1층(11) 및 제2층(22)의 물질, 형성방법 및 두께 등은 도 6b의 제1층(10) 및 제2층(20)의 그것과 동일할 수 있다.
- [0067] 제1층(11) 및 제2층(22)을 패터닝하여, 도 7b에 도시된 바와 같은 채널층(C2)을 형성할 수 있다. 채널층(C2)은 도 6c의 채널층(C1)의 역구조(inversed structure)를 갖는다고 할 수 있다.
- [0068] 도 7c를 참조하면, 기판(SUB2) 상에 채널층(C2)의 양단에 각각 접촉된 소오스전극(S2) 및 드레인전극(D2)을 형성할 수 있다. 필요에 따라, 소오스전극(S2) 및 드레인전극(D2)으로 커버되지 않은 채널층(C2)의 노출부를 산소를 포함하는 플라즈마로 처리할 수 있다. 기판(SUB2) 상에 채널층(C2)의 상기 노출된 부분과 소오스전극(S2) 및 드레인전극(D2)을 덮는 게이트절연층(GI2)을 형성할 수 있다. 게이트절연층(GI2)은 도 6a의 게이트절연층(GI1)과 동일한 물질로, 그와 동일한 구조 또는 역구조(inversed structure)로 형성할 수 있다.
- [0069] 도 7d를 참조하면, 게이트절연층(GI2) 상에 게이트(G2)를 형성할 수 있다. 게이트(G2)는 채널층(C2) 위에 위치하도록 형성할 수 있다. 게이트절연층(GI2) 상에 게이트(G2)를 덮도록 보호층(P2)을 형성할 수 있다. 보호층(P2)은 도 6d의 보호층(P1)과 동일한 물질 및 동일한 적층 구조로 형성할 수 있다. 이와 같은 방법으로 형성된 트랜지스터는 소정 온도에서 어닐링할 수 있다.
- [0070] 전술한 도 7a 내지 도 7d의 제조방법을 변형하면, 도 5의 구조를 얻을 수 있다. 도 7a 내지 도 7d를 참조하여 설명한 방법에 기초하여 도 5의 구조를 제조하는 방법은 당업자가 잘 알 수 있는바, 이에 대한 상세할 설명은 생략한다.
- [0071] 도 8은 본 발명의 실시예에 따른 트랜지스터의 제조방법에서 채널용 산화물층 증착시 O<sub>2</sub>/Ar 유량비에 따른 산화물층의 전기적 특성 변화를 보여주는 그래프이다. 여기서 산화물층은 HfInZnO 이었다.
- [0072] 도 8을 참조하면, O<sub>2</sub>/Ar 유량비가 증가함에 따라 산화물층의 캐리어 농도는 감소하고, 전기 저항은 증가하는 것을 알 수 있다. O<sub>2</sub>/Ar 유량비가 약 0.1 보다 작을 때 도전체 특성을 갖는 산화물층이 형성되고, O<sub>2</sub>/Ar 유량비가 약 0.1 이상일 때 반도체 특성을 갖는 산화물층이 형성된다. 그러므로 도 6b 및 도 7a에서 제1층(10, 11)은 O<sub>2</sub>/Ar 유량비가 0 보다 크고 0.1 보다 작은 조건으로 형성할 수 있고, 제2층(20, 22)은 O<sub>2</sub>/Ar 유량비가 0.1 보다 크거나 같은 조건으로 형성할 수 있다.
- [0073] 도 9는 본 발명의 실시예에 따른 트랜지스터의 제조방법으로 형성한 채널층의 깊이에 따른 산소 농도의 변화를 보여주는 그래프이다. 여기서 채널층의 물질은 HfInZnO 이었다. 도 9에서 A영역은 반도체 영역, 즉, 도 1의 제2층(20)에 대응될 수 있고, B영역은 도전체 영역, 즉, 도 1의 제1층(10)에 대응될 수 있다. 도 9에서 X축은 취득 시간(acquisition time)(s)을 나타낸다. 취득 시간(acquisition time)이 길수록 측정 깊이가 깊어진다.
- [0074] 도 9를 참조하면, 반도체 영역인 A영역보다 도전체 영역인 B영역의 산소 농도가 다소 낮은 것을 알 수 있다. 이러한 산소 농도의 차이는 A영역(도 1의 제2층(20))과 B영역(도 1의 제1층(10))의 전기적 특성 차이를 유발하는 여러 요인 중 하나일 수 있다.
- [0075] 도 10 내지 도 12는 본 발명의 실시예 및 비교예에 따른 트랜지스터의 게이트전압(V<sub>GS</sub>)-드레인전류(I<sub>DS</sub>) 특성을 보여주는 그래프이다. 여기서, 본 발명의 실시예에 따른 트랜지스터는 이중층 채널을 포함하는 도 3의 구조를 갖는다. 상기 비교예에 따른 트랜지스터는 단일층 채널을 포함하고, 그 외의 구성은 도 3과 동일하였다. 상기 실시예 및 비교예에서 채널층의 물질은 모두 HfInZnO 이었다. 상기 실시예 및 비교예에서 사용된 채널층의 특성(캐리어 농도), 두께 및 형성 조건(O<sub>2</sub>/Ar 유량비)을 정리하면 아래의 표 1과 같다.

표 1

구 분		캐리어 농도(/cm <sup>3</sup> )	두께(nm)	O <sub>2</sub> /Ar 유량비
비교예 (단일층 채널)	A	10 <sup>19</sup>	40	0.01
	B	10 <sup>14</sup>	40	1
	C	10 <sup>15</sup>	40	5
실시예 (이중층 채널)	A / B	10 <sup>19</sup> / 10 <sup>14</sup>	10 / 30	0.01 / 1
	A / C	10 <sup>19</sup> / 10 <sup>15</sup>	10 / 30	0.01 / 5

- [0077] 도 10를 참조하면, A 채널을 포함하는 비교예의 경우, 채널층 전체가 도전체이므로 스위칭 특성이 나타나지 않는 것을 알 수 있다.
- [0078] 도 11을 참조하면, A/B 채널을 포함하는 실시예의 경우, B 채널을 포함하는 비교예보다 높은 온-커런트(ON current) 및 낮은 오프-커런트(OFF current)를 갖는 것을 알 수 있다. 이는 A/B 채널을 포함하는 실시예에 따른 트랜지스터가 B 채널을 포함하는 비교예에 따른 트랜지스터보다 높은 이동도(mobility) 및 높은 온/오프 전류비를 갖는 것을 의미한다.
- [0079] 도 12를 참조하면, A/C 채널을 포함하는 실시예의 경우, C 채널을 포함하는 비교예보다 높은 온-커런트(ON current) 및 낮은 오프-커런트(OFF current)를 갖는 것을 알 수 있다. 이는 도 11의 결과와 유사하다.
- [0080] 도 10 내지 도 12의 결과는 아래의 표 2와 같이 정리할 수 있다.

표 2

구 분		이동도(cm <sup>2</sup> /Vs)	문턱전압(V)
비교예 (단일층 채널)	A	(conductor)	
	B	6.57	-0.27
	C	4.47	-1.79
실시예 (이중층 채널)	A / B	21.18	-2.90
	A / C	18.48	-3.11

- [0082] 위와 같이, 본 발명의 실시예에 따르면, 우수한 동작 특성(높은 이동도 및 높은 온/오프 전류비)을 갖는 산화물 박막 트랜지스터를 구현할 수 있다. 이러한 동작 특성의 개선 중 이동도의 증가는 도전 특성을 갖는 제1층(10)에 의한 것이라 여겨진다.
- [0083] 도 13 및 도 14는 본 발명의 실시예에 따른 트랜지스터의 광조사에 의한 게이트전압(V<sub>GS</sub>)-드레인전류(I<sub>DS</sub>) 특성의 변화를 보여주는 그래프이다. 상기 실시예에 따른 트랜지스터의 채널층은 표 1의 두 가지 실시예와 동일하였다. 이러한 실시예에 따른 트랜지스터에 120 lux 정도의 광을 조사하고, 동시에 게이트, 드레인전극 및 소오스전극에 각각 -20V, 10V 및 0V의 전압을 인가하면서, 시간 경과에 따른 각 트랜지스터의 특성 변화를 측정하였다.
- [0084] 도 13 및 도 14를 참조하면, 광조사에 의한 트랜지스터의 특성 변화가 적은 것을 알 수 있다. 도 13에서 ΔV<sub>1nA</sub>는 1.11V 정도이고, 도 14에서 ΔV<sub>1nA</sub>는 0.18V 정도였다. "ΔV<sub>1nA</sub>"는 광조사 전과 후의 'V<sub>1nA</sub>'의 차이, 즉, [V<sub>1nA</sub>(후)-V<sub>1nA</sub>(전)]이다. 여기서, 'V<sub>1nA</sub>'는 소오스/드레인전극간 1nA의 전류가 흐르게 하는 게이트전압을 나타낸다. "ΔV<sub>1nA</sub>"의 절대값이 클수록 광조사에 의한 트랜지스터의 특성 변화가 크다는 것이다. 도 13 및 도 14의 결과는 본 발명의 실시예에 따른 트랜지스터의 광신뢰성이 우수하다는 것을 보여준다. 특히, 도 14의 경우, ΔV<sub>1nA</sub>가 거의 0에 가까웠다. 일반적으로 산화물층을 채널층으로 포함하는 트랜지스터의 경우, 산화물이 광에 민감하기 때문에 광조사에 의해 특성 변화가 큰 문제가 있다. 하지만 본 발명의 실시예에서는 전기적 특성이 서로 다른 복수의 산화물층을 채널층으로 사용함으로써, 일반적인 산화물 트랜지스터의 신뢰성 저하 문제를 개선할 수 있다.
- [0085] 이와 같이, 본 발명의 실시예에 따르면, 높은 이동도 및 온/오프 전류비를 가지면서 광에 의한 특성 변화가 억

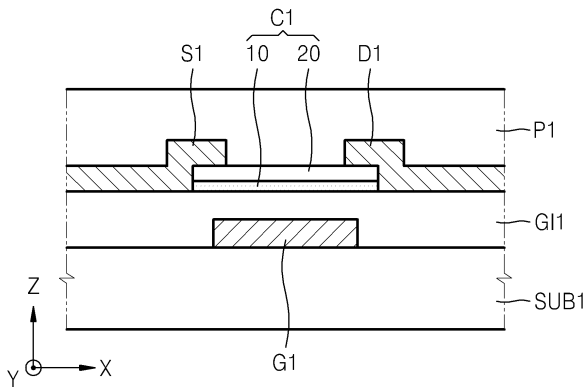
제된 고성능/고신뢰성의 산화물 박막 트랜지스터를 구현할 수 있다.

[0086] 본 발명의 실시예에 따른 트랜지스터는 액정표시장치 및 유기발광표시장치 등과 같은 평판표시장치에 스위칭소자 또는 구동소자로 적용될 수 있다. 앞서 설명한 바와 같이, 본 발명의 실시예에 따른 트랜지스터는 광에 의한 특성 변화가 적고 우수한 동작 특성을 갖기 때문에, 이를 평판표시장치에 적용하면, 평판표시장치의 신뢰성 및 성능을 향상시킬 수 있다. 액정표시장치 및 유기발광표시장치 등의 구조는 잘 알려진바, 이들에 대한 자세한 설명은 생략한다. 본 발명의 실시예에 따른 트랜지스터는 평판표시장치뿐 아니라, 메모리소자 및 논리소자 등 다른 전자소자 분야에 다양한 용도로 적용될 수 있다.

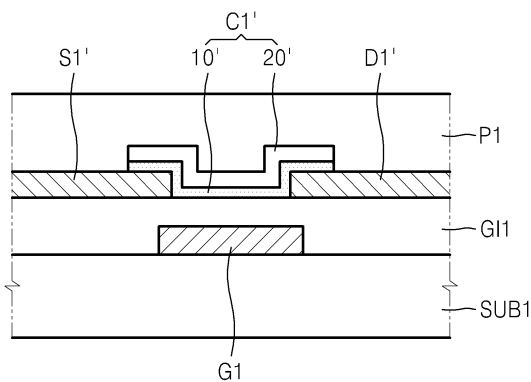
[0087] 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 구체적인 실시예의 예시로서 해석되어야 한다. 예를 들어, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면, 도 1 내지 도 5의 트랜지스터의 구성요소 및 구조는 각각 다양화 및 변형될 수 있음을 알 수 있을 것이다. 구체적인 예로, 채널층(C1, C1', C2, C2')은 3층 이상의 다층 구조를 갖거나, 그 증착 방향(즉, 두께 방향)으로 산소 공공 농도(또는 산소 이온 농도)가 점진적으로(gradually) 변화되는 층일 수도 있다. 또한, 본 발명의 실시예에 따른 트랜지스터는 더블 게이트 구조를 가질 수 있다. 그리고 도 6a 내지 도 6d 및 도 7a 내지 도 7d의 제조방법도 다양하게 변화될 수 있다. 부가해서, 당업자라면 본 발명의 사상(idea)은 산화물 박막 트랜지스터가 아닌 그 밖의 다른 트랜지스터에 적용될 수 있음을 알 수 있을 것이다. 때문에 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

**도면**

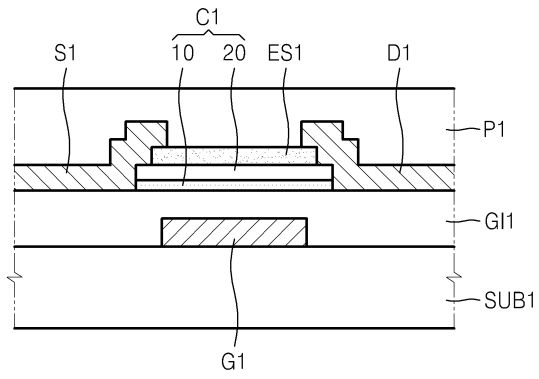
**도면1**



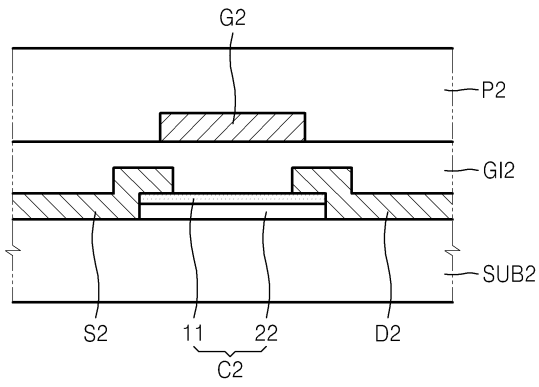
**도면2**



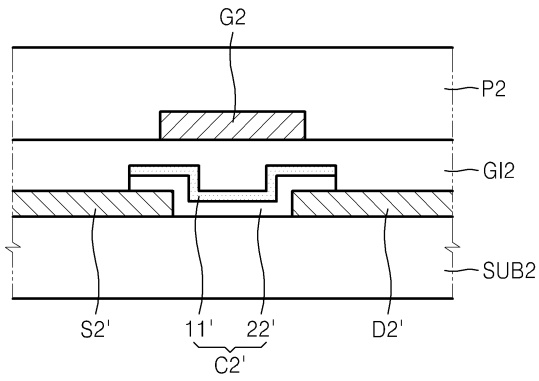
도면3



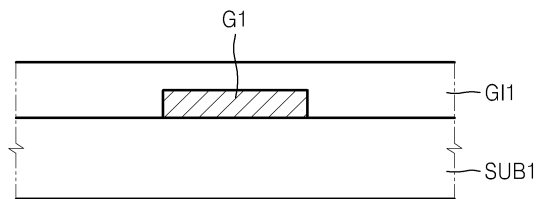
도면4



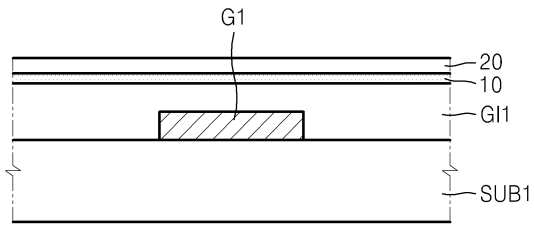
도면5



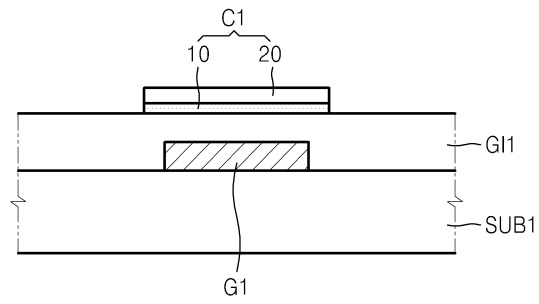
도면6a



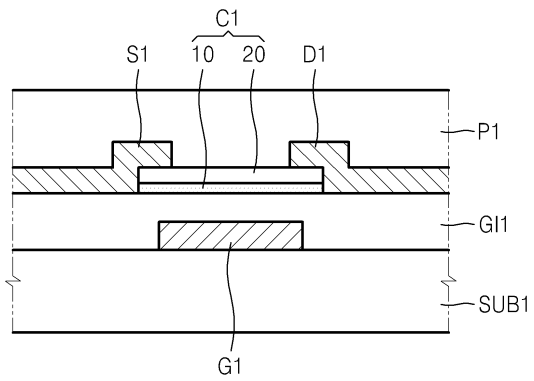
도면6b



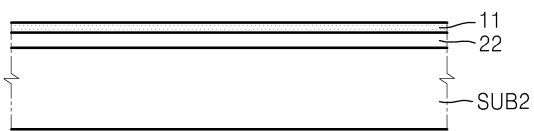
도면6c



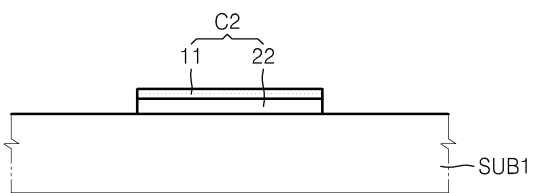
도면6d



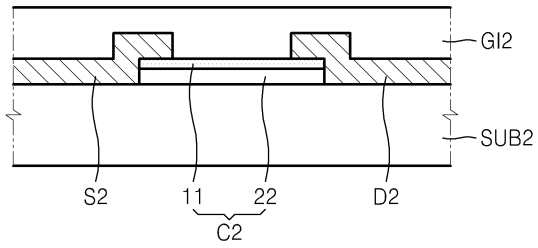
도면7a



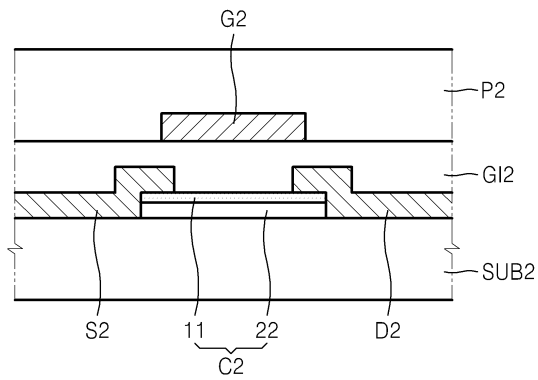
도면7b



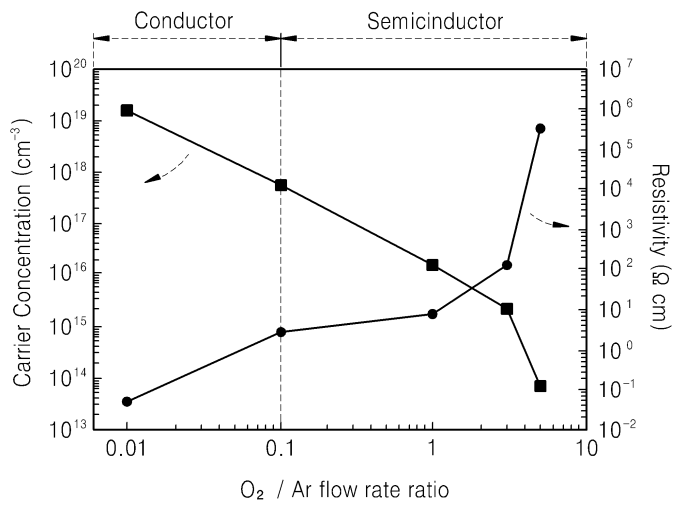
도면7c



도면7d

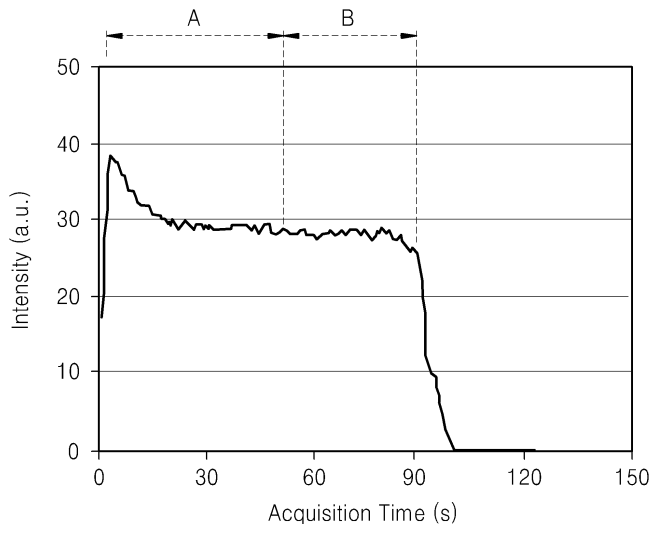


도면8

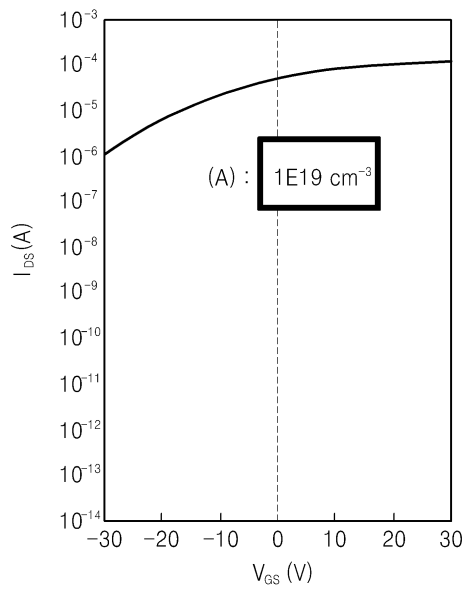




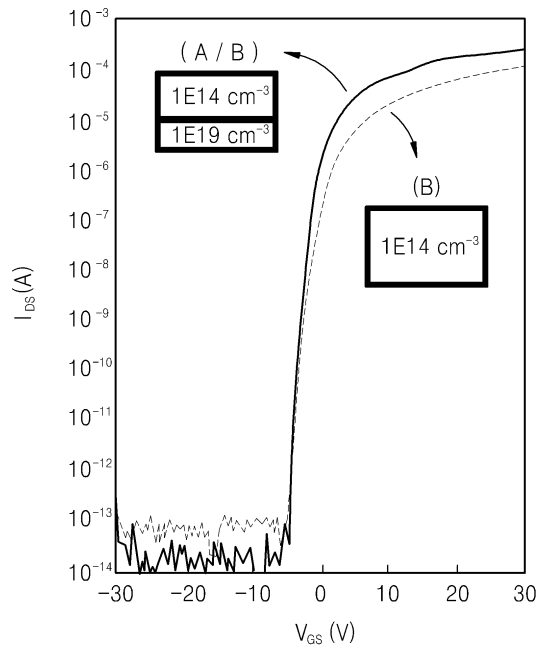
도면9



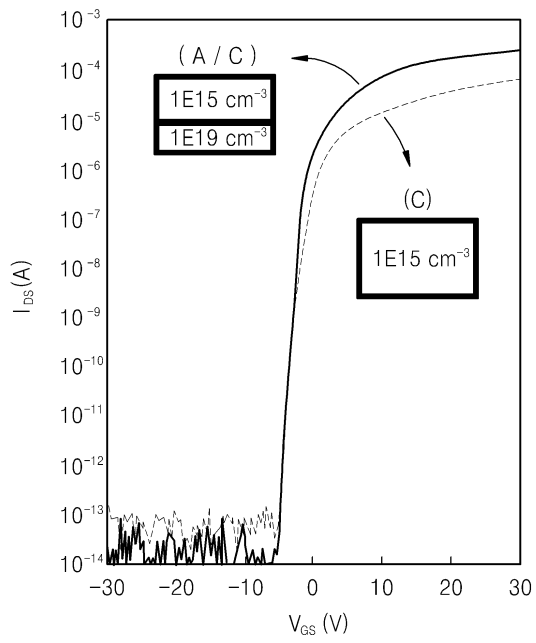
도면10



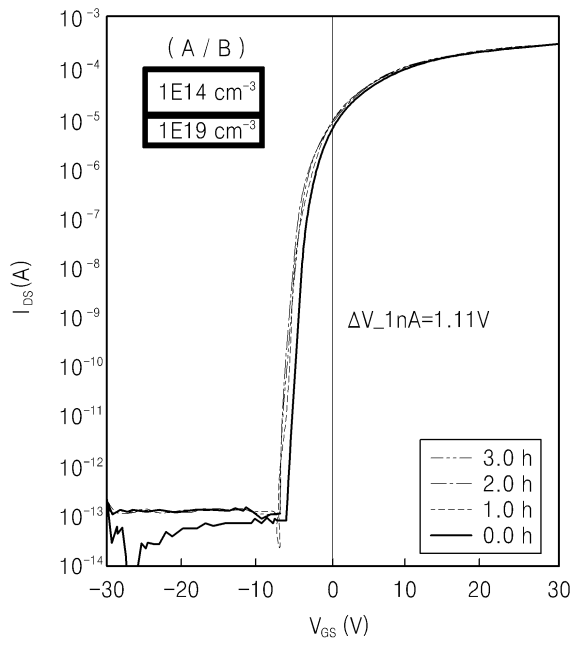
도면11



도면12



도면13



도면14

