

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



〔12〕发 明 专 利 说 明 书

专利号 ZL 200410036653.1

*H01L 27/10 (2006.01)
J01L 21/8239 (2006.01)
H01L 21/31 (2006.01)*

[45] 授权公告日 2008 年 10 月 8 日

[11] 授权公告号 CN 100424876C

[22] 申请日 2004.4.29

[21] 申请号 200410036653.1

[30] 优先权

[32] 2003. 5. 2 [33] US [31] 10/427, 962

[73] 专利权人 株式会社东芝

地址 日本东京都

共同专利权人 英芬能技术公司

[72] 发明人 糸川宽志 山川晃司 今井馨太郎
名取克晃 文范基

[56] 参考文献

US 6,351,006 B1 2002.2.26

SU6555864B1 2003.4.29

US6372598B2 2002.4.16

审查员 陶应磊

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所
代理人 朱海波

代理人 朱海波

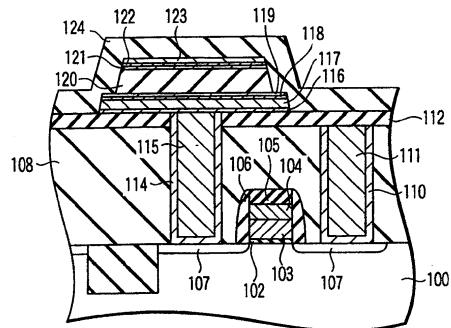
权利要求书 4 页 说明书 9 页 附图 6 页

[54] 发明名称

半导体器件

[57] 摘要

在此提供一种半导体器件，其中包括：半导体基片(100)；以及电容器，其提供在该半导体基片上并且包括底电极(116、117、118、119)、顶电极(121、122、123)和置于该底电极和顶电极之间的介电膜(120)，底电极和顶电极中的至少一个包括：选自贵金属膜和贵金属氧化物膜的导电膜(117、123)；金属氧化物膜(119、121)，其具有钙钛矿结构，提供在该介电膜和导电膜之间，由 ABO_3 所表示，并且包含作为B位置元素的第一金属元素；以及金属膜(118、122)，其提供在该导电膜和金属氧化物膜之间，并且包含作为具有钙钛矿结构的金属氧化物的B位置元素的第二金属元素，当第二金属元素形成氧化物时的吉布斯自由能减小量比在第一金属元素形成氧化物时的吉布斯自由能减小量更大。



1. 一种半导体器件，其特征在于包括：

半导体基片（100）；以及

电容器，其提供在该半导体基片之上并且包括底电极（116、117、118、119）、顶电极（121、122、123）和置于该底电极和顶电极之间的介电膜（120），

底电极包括：

选自贵金属膜和贵金属氧化物膜的导电膜（117、123）；

金属氧化物膜（119、121），其具有钙钛矿结构，提供在该介电膜和导电膜之间，由 ABO_3 表示，并且包含作为 B 位置元素的第一金属元素；以及

金属膜（118、122），其提供在该导电膜和金属氧化物膜之间，并且包含作为具有钙钛矿结构的金属氧化物的 B 位置元素的第二金属元素，

当第二金属元素形成氧化物时的吉布斯自由能减小量比在第一金属元素形成氧化物时的吉布斯自由能减小量更大。

2. 根据权利要求 1 所述的半导体器件，其特征在于该第二金属元素

选自 Ti、V、W、Zr、Cr、Mg、Hf、Mo、Mn、Ta 和 Nb。

3. 根据权利要求 1 所述的半导体器件，其特征在于该第一金属元素

选自 Ru、Co 和 Ni。

4. 根据权利要求 1 所述的半导体器件，其特征在于该金属氧化物膜

包含 Ru、Co 和 Ni 中至少之一。

5. 根据权利要求 1 所述的半导体器件，其特征在于该导电膜选自铱

膜、氧化铱膜、钌膜、氧化钌膜和铂膜。

6. 根据权利要求 1 所述的半导体器件，其特征在于该介电膜选自钙钛矿组合物膜和 Bi aurivillius 相组合物膜。

7. 根据权利要求 6 所述的半导体器件，其特征在于该介电膜为一种铁电膜。

8. 根据权利要求 1 所述的半导体器件，其特征在于该介电膜包含 Pb。

9. 根据权利要求 1 所述的半导体器件，其特征在于进一步包括提供于该半导体基片和电容器之间的中间区域，该中间区域包括连接到该底电极的插塞（115）。

10. 根据权利要求 9 所述的半导体器件，其特征在于进一步包括提供于该半导体基片上并且连接到该插塞的晶体管。

11. 根据权利要求 1 所述的半导体器件，其特征在于导电膜、金属氧化物膜和金属膜中的至少一个通过溅射处理、CVD 处理或溶胶-凝胶过程而形成。

12. 一种半导体器件，其中包括：

半导体基片（100）；以及

电容器，其提供在该半导体基片之上并且包括底电极（116、117、119a）、顶电极（121a、123）和提供在该底电极和顶电极之间的介电膜（120），

该底电极和顶电极中的至少一个包括：

选自贵金属膜和贵金属氧化物膜的导电膜（117、123）；以及

金属氧化物膜（119a、121a），其具有钙钛矿结构，提供在该介电膜和导电膜之间，由 ABO_3 表示，并且包括作为 B 位置元素的第一和第二

金属元素；

当第二金属元素形成氧化物时的吉布斯自由能减小量大于当第一金属元素形成氧化物时的吉布斯自由能减小量。

13. 根据权利要求 12 所述的半导体器件，其特征在于该第二金属元素选自 Ti、V、W、Zr、Cr、Mg、Hf、Mo、Mn、Ta 和 Nb。

14. 根据权利要求 12 所述的半导体器件，其特征在于该第一金属元素选自 Ru、Co 和 Ni。

15. 根据权利要求 12 所述的半导体器件，其特征在于该金属氧化物膜包含 Ru、Co 和 Ni 中至少之一。

16. 根据权利要求 12 所述的半导体器件，其特征在于该导电膜选自 银膜、氧化银膜、钌膜、氧化钌膜和铂膜。

17. 根据权利要求 12 所述的半导体器件，其特征在于该介电膜选自 钙钛矿组合物膜和 Bi aurivillius 相组合物膜。

18. 根据权利要求 17 所述的半导体器件，其特征在于该介电膜为一种铁电膜。

19. 根据权利要求 12 所述的半导体器件，其特征在于该介电膜包含 Pb。

20. 根据权利要求 12 所述的半导体器件，其特征在于进一步包括提供于该半导体基片和电容器之间的中间区域，该中间区域包括连接到该底电极的插塞（115）。

21. 根据权利要求 20 所述的半导体器件，其特征在于进一步包括提供于该半导体基片上并且连接到该插塞的晶体管。

22. 根据权利要求 12 所述的半导体器件，其特征在于导电膜和金属氧化物膜中的至少一个通过溅射处理、CVD 处理或溶胶-凝胶过程而形成。

半导体器件

技术领域

本发明涉及一种半导体器件，特别涉及具有电容器的半导体器件。

背景技术

在最近几年，已经开发出铁电存储器（FeRAM：铁电随机存取存储器），其中一个铁电膜被用作为电容器的介电膜。

用于铁电存储器中的典型铁电膜的例子包括 Pb (Pb_{(Zr_xTi_{1-x})O₃) 膜 (PZT 膜) 和 SrBi₂Ta₂O₉ 膜 (SBT 膜)。PZT 是一种钙钛矿 (perovskite) 组合物，并且 SBT 膜是具有伪钙钛矿结构的一个 Bi aurivillius 相组合物。}

当 PZT 膜被用作为该铁电膜时，从改进疲劳特性的观点来看，例如 SrRuO₃ 膜 (SRO 膜) 这样的导电钙钛矿金属氧化物膜被用于一个电极。例如，在日本专利申请 No. 2000-208725 和 2000-260954 中描述一种铁电电容器，其中叠层的 SRO 和 Pt 膜被用于该电极。

另一方面，在最近几年，已经开发出具有插塞上电容器 (COP) 结构的铁电存储器。由于在 COP 结构中连接到一个晶体管的插塞被置于该电容器的正下方，可以准备具有更高密度的铁电存储器，利用该 COP 结构，在制备该铁电存储器的基本操作中，在氧环境下进行热处理容易使得该插塞被氧化。因此，需要使用贵金属，例如 Ir 膜，其对电极具有良好的阻挡特性。

在此，假设 SRO 和 Ir 膜的叠层结构被用于在 COP 结构中的电极。在这种情况下，通过热处理，Ir 与包含在 SRO 膜中的 Sr 反应，并且出现 SRO 膜的结晶度显著下降的问题。结果，该电容器的特性和可靠性显著下降。该问题通常是在导电钙钛矿金属氧化物膜和贵金属膜 (或贵

金属氧化物膜)的组合中造成的。按照这种方式，

当导电钙钛矿金属氧化物膜和贵金属膜(贵金属氧化物膜)的叠层结构被用于该电容器的电极时，存在该电容器的性能和可靠性显著下降的问题。

发明内容

根据本发明一个方面在此提供一种半导体器件，其中包括：半导体基片；以及电容器，其提供在该半导体基片上并且包括底电极、顶电极和置于该底电极和顶电极之间的介电膜，底电极和顶电极中的至少一个包括：选自贵金属膜和贵金属氧化物膜的导电膜；金属氧化物膜，其具有钙钛矿结构，提供在该介电膜和导电膜之间，由 ABO_3 所表示，并且包含作为B位置元素的第一金属元素；以及金属膜，其提供在该导电膜和金属氧化物膜之间，并且包含作为具有钙钛矿结构的金属氧化物的B位置元素的第二金属元素，当第二金属元素形成氧化物时的吉布斯自由能减小量比在第一金属元素形成氧化物时的吉布斯自由能减小量更大。

根据本发明第二方面，在此提供一种半导体器件，其中包括：半导体基片；以及电容器，其提供在该半导体基片上并且包括底电极、顶电极和提供在该底电极和顶电极之间的介电膜，该底电极和顶电极中的至少一个包括：选自贵金属膜和贵金属氧化物膜的导电膜；以及金属氧化物膜，其具有钙钛矿结构，提供在该介电膜和导电膜之间，由 ABO_3 所表示，并且包括作为B位置元素的第一和第二金属元素；当第二金属元素形成氧化物时的吉布斯自由能减小量大于当第二金属元素形成氧化物时的吉布斯自由能减小量。

附图说明

图1A至1C为根据本发明第一实施例的半导体器件的制造步骤的截面视图；

图2为示出根据本发明第一实施例的对比例的泄漏电流的示意图；

图3为示出根据本发明第一实施例的对比例的面内衍射的结果的

示意图；

图 4 为示出根据本发明第一实施例的泄漏电流特性的示意图；

图 5 为示出根据本发明第一实施例的面内衍射的结果的示意图；

图 6 为示出根据本发明第一实施例的滞后特性的示意图；

图 7 为示出根据本发明第一实施例的疲劳特性的示意图；

图 8 为示出一种氧化物的生成焓 (generation enthalpy) 的示意图；

以及

图 9A 至 9C 为示出根据本发明第二实施例的半导体器件的制造步骤的截面视图。

具体实施方式

下面将参照附图描述本发明的实施例。

(第一实施例)

图 1A 至 1C 为根据本发明第一实施例的半导体器件的制造步骤的截面视图。

首先，如图 1A 所示，一个浅沟道隔离 (STI) 结构的隔离区 101 形成在一个 p 型硅基片 (半导体基片) 100 上。然后，一个 MIS 晶体管被形成如下。

首先，通过热氧化形成约具有 6nm 的厚度的氧化硅膜，作为栅绝缘膜 102。然后，掺杂有砷的 n 型多晶硅膜 103 被形成在栅绝缘膜 102 上。另外，一个 WSi_x 膜 104 和氮化硅膜 105 被形成在 n 型多晶硅膜 103 上。然后，通过通常的光刻处理和 RIE 处理而处理 n 型多晶硅膜 103、 WSi_x 膜 104 和氮化硅膜 105，以形成一个栅极。

接着，如图 1B 中所示，通过化学汽相沉积 (CVD) 处理，把氧化硅膜 108 沉积在整个表面上，并且通过 CMP 处理执行整平处理。然后，到达一个该源/漏区 107 的接触孔形成在氧化硅膜 108 中。然后，通过溅射或 CVD 处理把沉积一个钛膜。然后，通过在一个形成气体中进行热处理，而使得该钛膜被氮化，以形成 TiN 膜 110。另外，通过 CVD 处理沉积钨膜 111。然后，通过 CMP 处理除去在该接触孔之外的 TiN

膜 110 和钨膜 111，并且把 TiN 膜 110 和钨膜 111 暴露在该接触孔中。从而，形成连接到一个源/漏区 107 的插塞。然后，通过 CVD 处理把一个氮化硅膜 112 淀积在整个表面上。另外，形成到达其他源/漏区 107 的接触孔。然后，通过类似于上述方法的一种方法，在该接触孔中形成 TiN 膜 114 和钨膜 115。从而，形成连接到源/漏区 107 的插塞。

接着如图 1C 中所示，通过溅射处理顺序地淀积具有 10nm 的厚度的钛膜 116、作为贵金属膜的具有 100nm 的厚度的铱膜 117、作为金属膜的具有 2.5nm 的厚度的钛膜 118 以及作为导电钙钛矿金属氧化物膜的具有 10nm 的厚度的 SrRuO₃ 膜（SRO 膜）119。结果，通过在氧环境中进行快速热退火（RTA）使得 SRO 膜 119 结晶。然后，通过溅射处理形成作为电容器的介电膜的 Pb(Zr_xTi_{1-x})O₃ 膜（PZT 膜）120。另外，在氧环境中通过 RTA 对 PZT 膜 120 进行结晶。然后，通过溅射处理淀积作为导电钙钛矿金属氧化物膜的具有 10nm 的厚度的 SRO 膜 121。另外，在氧环境中通过 RTA 使得 SRO 膜 121 结晶。应当指出，例如在 500 °C 的温度下淀积 SRO 膜 121，从而可以容易地形成结晶度优良的 SRO 膜 121。从而，通过溅射处理顺序地淀积作为金属膜的具有 2.5nm 的厚度的钛膜 122 以及作为贵金属膜的具有 100nm 的厚度的铱膜 123。

接着，通过 CVD 处理在整个表面上淀积氧化硅膜（为示出）。另外，通过光刻处理和 RIE 处理对该氧化硅膜进行构图。从而，该构图的氧化硅膜被用作为通过 RIE 处理蚀刻铱膜 123、钛膜 122、SRO 膜 121 和 PZT 膜 120 的掩膜。另外，通过光刻和 RIE 处理对 SRO 膜 119、钛膜 118、铱膜 117 和钛膜 116 进行构图。

按照这种方式，形成一个铁电电容器，其中包括：具有钛膜 116、铱膜 117、钛膜 118 和 SRO 膜 119 的叠层结构的底电极；铁电膜（PZT 膜 120）；和具有 SRO 膜 121、钛膜 122 和铱膜 123 的叠层结构的顶电极。

然后，通过 CVD 处理把氧化硅膜 124 淀积在整个表面上。另外，在氧环境下在大约 650°C 下执行热处理，以修复在蚀刻处理中在 PZT 膜 120 中产生的损坏。在该热处理中，氧流过 PZT 膜 120，但是铱膜

117 的氧阻挡功能防止钨膜 115 被氧化。

随后的步骤（未示出）包括：形成连接到钨膜 111 的接触部分；形成驱动线和位线；以及形成金属布线，以完成包含 COP 结构的铁电存储器。

应当注意，在上述实施例中，淀积在 SRO 和铱膜之间的钛膜的结构被用于该顶电极和顶电极之间，但是还被用于底电极和顶电极之一中。例如，该结构可以被用于该底电极中，而 SRO 和铂膜的叠层结构还可以被用于顶电极中。

下面参照图 2 至 7 描述根据本发明的铁电电容器的特性增强效果。

在本实施例的一个对比例中，制备一个样本，其中 SiO_2 膜、钛膜（厚度为 10nm）、铱膜（120nm）、SRO 膜（10nm）、PZT 膜和铂膜（50nm）被顺序地形成在一个硅基片上。对于 SRO 和 PZT 膜，在通过溅射形成无定型膜之后，在氧环境中对该膜进行退火和结晶化。图 2 示出按照这种方式获得样本的泄漏电流特性。该泄漏电流特性与下文所述的本实施例的样本相比显著地下降。

另外，在该对比例中，制备一个样本，其中在硅基片上顺序地形成 SiO_2 膜、钛膜（厚度为 10nm）、铱膜（120nm）和 SRO 膜（10nm）。对于 SRO 膜，在通过溅射形成无定型膜之后，该膜被在氧环境中退火和结晶化。图 3 示出按照这种方式获得的样本的面内衍射的结果。在 $2\theta/\theta = 32$ 度附近观察 SrRuO_3 （121）的衍射峰值。另外，在 $2\theta/\theta = 28$ 度附近观察 RuO_2 （110）的衍射峰值，并且在 $2\theta/\theta = 32$ 度附近观察 RuO_2 （101）的衍射峰值。

由于 RuO_2 造成图 2 的泄漏电流特性下降。也就是说，在图 2 的样本中，在包含 RuO_2 并且具有低结晶度的 SRO 膜上形成无定型 PZT 膜，并且被结晶化。因此，Pb 在 PZT 和 SRO 膜之间的界面处以及在 PZT 的晶粒边界处与 RuO_2 发生反应，以及形成例如 $\text{Pb}_2\text{Ru}_2\text{O}_{7-x}$ 这样的导电组合物。该导电组合物形成一个泄漏路径，因此泄漏电流增加。

另一方面，在本实施例的样本中，该 SiO_2 膜、钛膜（10nm 的厚度）、铱膜（120nm）、钛膜（2.5nm）、SRO 膜（10nm）、PZT 膜和铂膜（50nm）

被顺序地形成在该硅基片上。对于 SRO 和 PZT 膜，在通过溅射形成无定型膜之后，该薄膜被在氧环境中退火和结晶化。图 4 示出按照这种方式获得的样本的泄漏电流特性。与对比例的样本相比，该泄漏电流特性显著地改进。

另外，对于本实施例，制备一个样本，其中在硅基片上顺序地形成 SiO_2 膜、钛膜（10nm 的厚度）、铝膜（120nm）、钛膜（2.5nm）、SRO 膜（10nm）。对于 SRO 膜，在通过溅射形成该无定型膜之后，在氧环境中对该膜进行退火和结晶化。图 5 示出按照这种方式获得的样本的面内衍射的结果。如图 5 所示，没有观察到在图 3 中的 RuO_2 的衍射峰值。因此，在本实施例中，获得结晶度极其优良的 SRO 膜。

图 6 示出在本实施例的样本中的滞后特性。图 7 示出在本实施例中的样本中的疲劳特性。如图 6 和 7 所示，该滞后和疲劳特性是非常令人满意的。

当按照这种方式把钛膜淀积在 SRO 和铝膜之间时，可以增强电容器的特性。该特性增强效果将在下文中详细描述。

从导电钙钛矿金属氧化物的生成自由能的从头开始的计算中，可以看出该导电钙钛矿金属氧化物（由一般公式 ABO_3 所表示）的热力稳定性与 B 位置元素 (BO_x) 的氧化物的热力稳定性成比例。另外，例如碱土元素和稀土元素这样的 A 位置元素形成极其稳定的氧化物。因此，可以认为导电钙钛矿金属氧化物的稳定性由 B 位置元素的氧化物的稳定性所决定。

图 8 示出对于各种金属元素在 25°C 下的简单氧化物的每个氧分子的生成焓 (generation enthalpy)。在图 8 中所示的数值的较大绝对值表示该氧化物的更高稳定性。也就是说，在图 8 中所示的高绝对值表示当金属元素形成氧化物时吉布斯自由能的大减小量。

从图 8 可以看出，作为 SRO 的 B 位置元素的 Ru 表示 -72.8 (kcal/mol) 以及 Ti 表示 -225.8 (kcal/mol)。也就是说，Ti 氧化物的稳定性比 Ru 氧化物的稳定性更高。如上文所述，可以看出导电钙钛矿金属氧化物的热力稳定性与 B 位置元素的氧化物成比例。因此，当包含在 SRO 中的至

少一部分 Ru 原子被 Ti 原子所代替时，SRO 的稳定性增加。

在本实施例中，钛膜被提供在 SRO 和铱膜之间。因此，认为通过热处理，包含在 SRO 膜中的一部分 Ru 被 Ti 所代替。当包含 Ti 时，SRO 膜的稳定性增加。因此，防止例如 RuO_2 这样的导电组合物产生。结果，认为该电容器的特性增强。

如上文所述，由于在本实施例中钛膜被提供在 SRO 膜和铱膜之间，该 SRO 膜的稳定性和该电容器的特性可以被增强。另外，当该结构被用于底电极时，可以通过铱膜的阻挡功能禁止钨插塞的氧化。因此，即使当使用 COP 结构时，可以获得优良特性的铁电存储器和稳定性。

(第二实施例)

图 9A 至 9C 为示出根据本发明第二实施例的半导体器件的制造步骤的截面视图。

图 9A 和 9B 的步骤基本上类似于第一实施例的图 1A 和 1B 的步骤，并且省略对它的描述。

在图 9B 的步骤之后，如图 9C 中所示，通过溅射处理顺序地沉积具有 10nm 的厚度的钛膜 116 以及作为贵金属膜的具有 100nm 的厚度的铱膜 117。然后，通过溅射处理沉积具有 10nm 的厚度作为导电钙钛矿金属氧化物膜的掺杂有钛的 SRO 膜 ($\text{Sr}(\text{Ru},\text{Ti})\text{O}_3$ 膜)。然后，在氧环境中通过 RTA 对掺杂有钛的 SRO 膜 119a 结晶。然后，通过溅射处理形成作为电容器的介电膜的 $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$ (PZT 膜) 120。另外，在氧环境中通过 RTA 对 PZT 膜 120 结晶。然后，通过溅射处理沉积具有 10nm 的厚度的作为导电钙钛矿金属氧化物膜的掺杂有钛的 SRO ($\text{Sr}(\text{Ru},\text{Ti})\text{O}_3$) 膜 121a。另外，在氧环境中通过 RTA 对掺杂有钛的 SRO 膜 121a 结晶。然后，通过溅射处理，沉积作为贵金属膜的具有 100nm 的厚度的铱膜 123。

接着，通过 CVD 处理，一个氧化硅膜 (未示出) 被沉积在整个表面上。另外，通过光刻和 RIE 处理对氧化硅膜进行构图。从而，通过 RIE 处理，被构图的氧化硅膜被用作为蚀刻铱膜 123、SRO 膜 121a 和

PZT 膜 120 的掩膜。另外，通过光刻和 RIE 处理，对 SRO 膜 119a、铱膜 117 和钛膜 116 进行构图。

按照这种方式，该铁电电容器被形成为包括：具有钛膜 116、铱膜 117 和 SRO 膜 119a 的叠层结构的底电极；铁电膜（PZT 膜 120）；以及具有 SRO 膜 121a 和铱膜 123 的叠层结构的顶电极。

然后，通过 CVD 处理在整个表面上淀积氧化硅膜 124。另外，在氧环境下在大约 650℃的温度下执行热处理，以通过蚀刻处理修复在 PZT 膜 120 中产生的损坏。在该热处理中，氧流过 PZT 膜 120，但是铱膜 117 的阻挡功能防止钨膜 115 被氧化。

随后的步骤（未示出）包括：形成连接到钨膜 111 的接触部分；形成该驱动线和位线；以及形成金属布线，以完成包含 COP 结构的铁电存储器。

应当指出，在上述实施例中，掺杂有钛的 SRO 膜和铱膜的叠层结构被用于底电极和顶电极这两者，但是还可以被用于底电极和顶电极之一。例如，该结构可以用于底电极，而不掺杂有钛的 SRO 膜和铂膜的叠层结构还可以用于顶电极。

如上文所述，在本实施例中，使用掺杂有钛的 SRO 膜和铱膜的叠层结构。因此，如第一实施例中所述，该 SRO 膜的稳定性和电容器的特性可以被增强。另外，当该叠层结构被用于底电极时，可以通过铱膜的阻挡功能阻止钨插塞的氧化。因此，即使当使用 COP 结构时，可以获得优良性能和稳定性的铁电存储器。

应当指出，上述第一和第二实施例可以被更改如下。

在第一和第二实施例中，一个 SRO 膜 (SrRuO_3 膜) 被用作为该导电钙钛矿金属氧化物膜。但是，也可以使用 $(\text{La}, \text{Sr})\text{CoO}_3$ 膜、 BaRuO_3 膜或者 LaNiO_3 膜。通常，可以使用导电钙钛矿金属氧化物膜，其中包括至少 Ru、Co 和 Ni 之一作为 B 位置元素。

另外，铱膜 (Ir 膜) 被用作为在第一和第二实施例中的贵金属膜，但是还可以使用钌膜 (Ru 膜)。另外，除了贵金属膜之外，还可以使用例如氧化铱膜 (IrO_2 膜) 或氧化钌膜 (RuO_2 膜) 这样的贵金属氧化物

膜。

另外，在第一实施例中，钛膜（Ti膜）被用作为金属膜，并且掺杂有钛（Ti）的SRO膜被用于第二实施例中，但是除了Ti之外的金属元素也可以被用作为第二金属元素。当例如SrRuO₃膜这样的导电钙钛矿金属氧化物膜的B位置元素是一种第一金属元素时，第一和第二金属元素可以满足当第二金属元素形成氧化物时的吉布斯自由能的减小量大于当第一金属元素形成氧化物时的吉布斯自由能的减小量。具体来说，作为第二金属元素，除了Ti之外，还可以使用V、W、Zr、Cr、Mg、Hf、Mo、Mn、Ta或Nb。

另外，在第一和第二实施例中，PZT膜(Pb(Zr_xTi_{1-x})O₃膜)被用作为介电膜(铁电膜)，但是还可以使用SBT膜(SrBi₂Ta₂O₉膜)。通常，可以使用钙钛矿组合物膜或者Bi aurivillius相组合物膜。另外，该介电常数膜也可以被用作为介电膜。

另外，钨插塞被用作为在第一和第二实施例中的插塞，但是还可以使用多晶硅插塞。

另外，在第一实施例中通过溅射处理形成贵金属膜、金属氧化物膜和金属膜，但是还可以通过CVD或溶胶-凝胶过程形成这些薄膜。另外，在第二实施例中通过溅射处理形成贵金属膜和金属氧化物膜，但是还可以通过CVD或溶胶-凝胶过程形成这些薄膜。

另外，在第一和第二实施例中描述的技术不但可以应用于FeRAM，而且还可以应用于DRAM。

本领域的普通技术人员容易得到其他优点和改进。因此，本发明的广义方面不限于在此示出和描述的具体细节和代表实施例。相应地，可以作出各种更改而不脱离由所附权利要求及其等价表述所定义的精神或范围。

图 1A

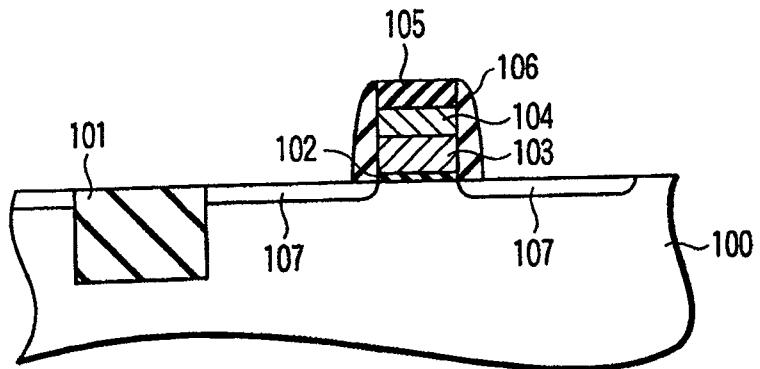


图 1B

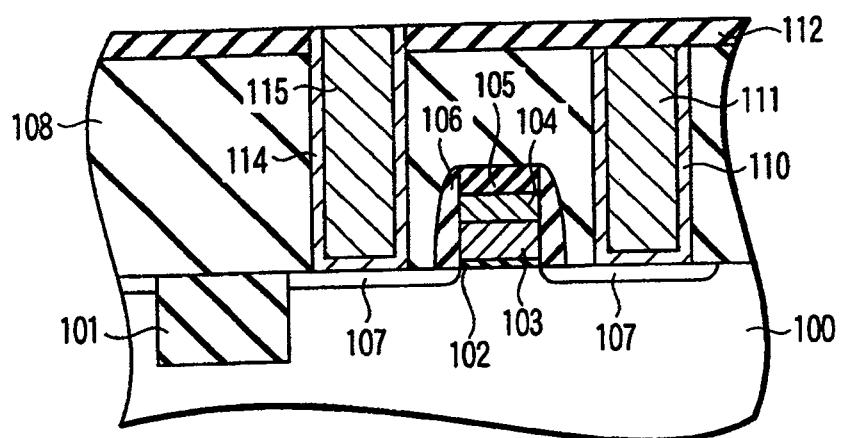
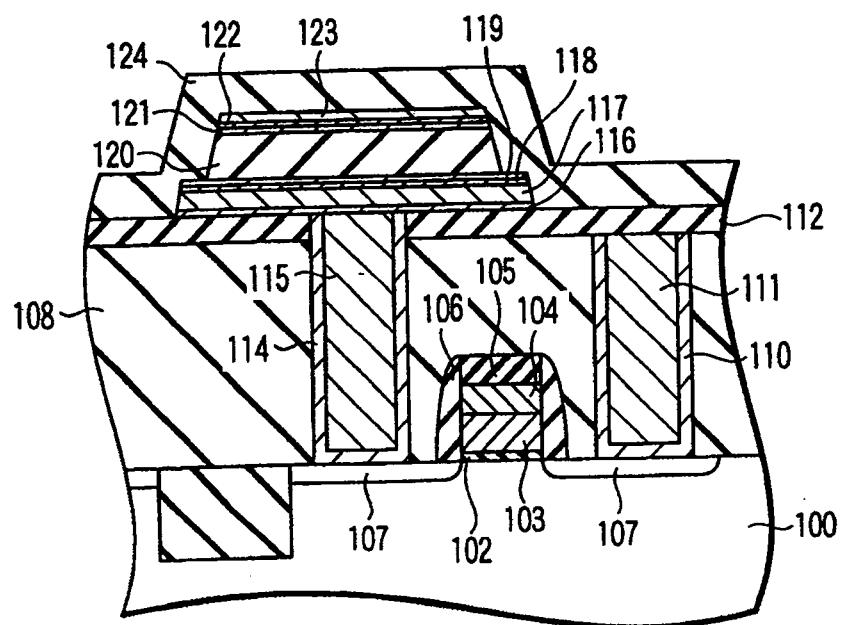


图 1C



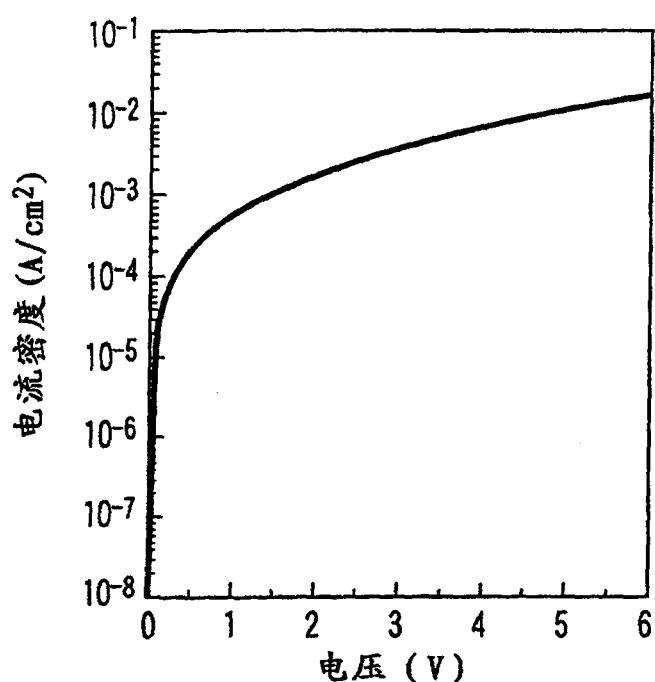


图 2

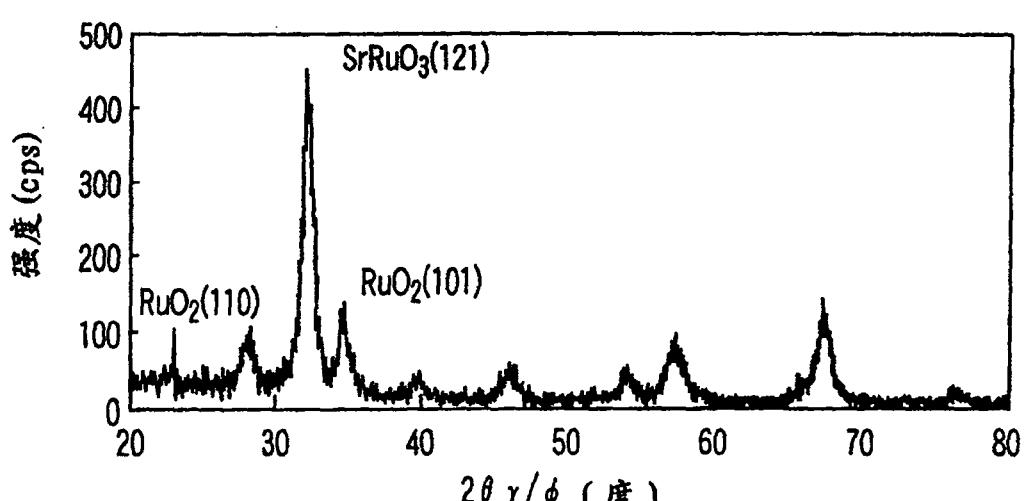


图 3

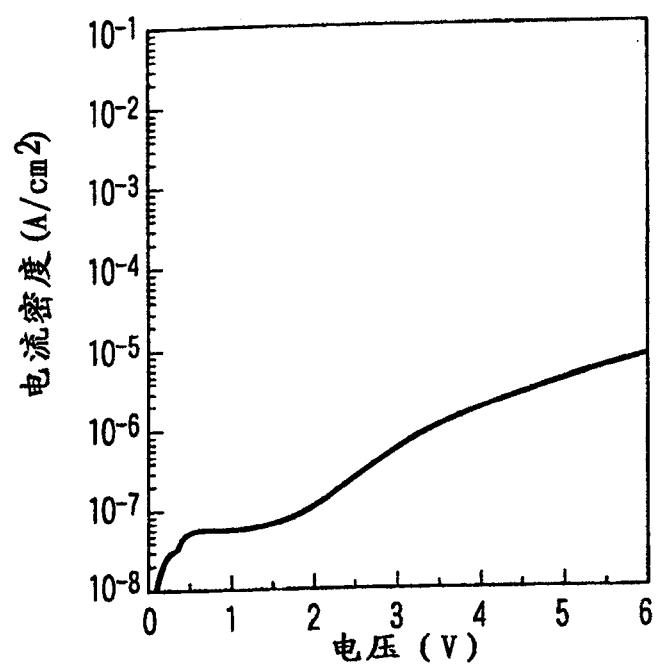


图 4

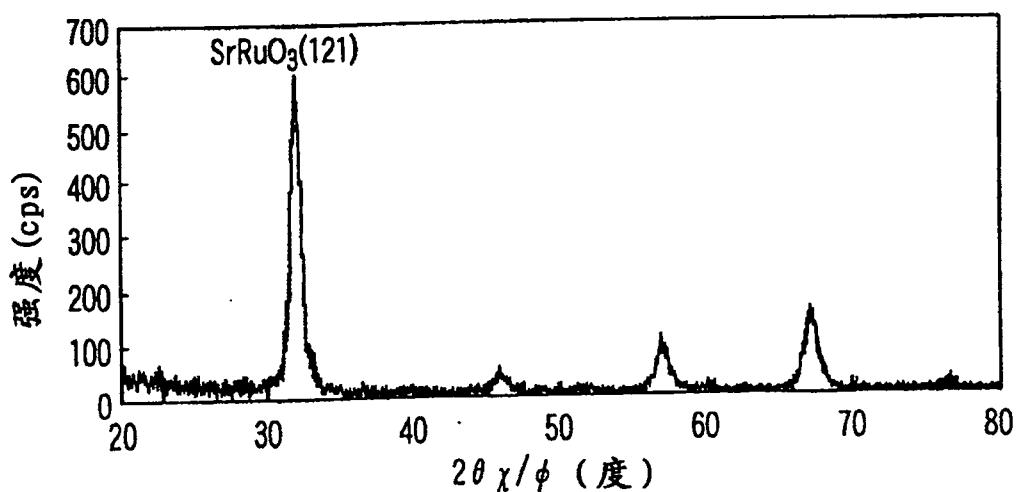


图 5

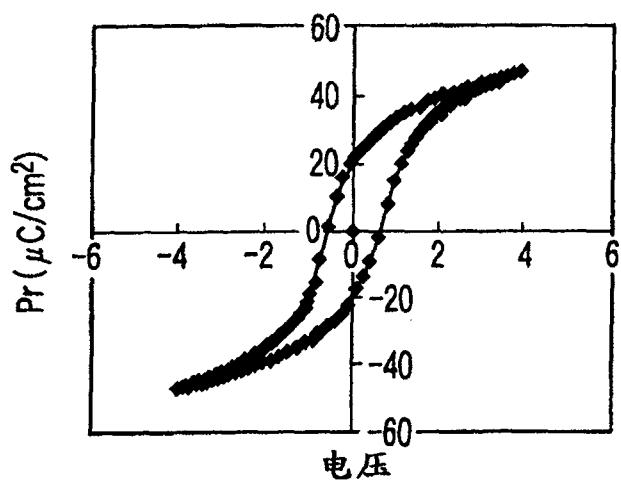


图 6

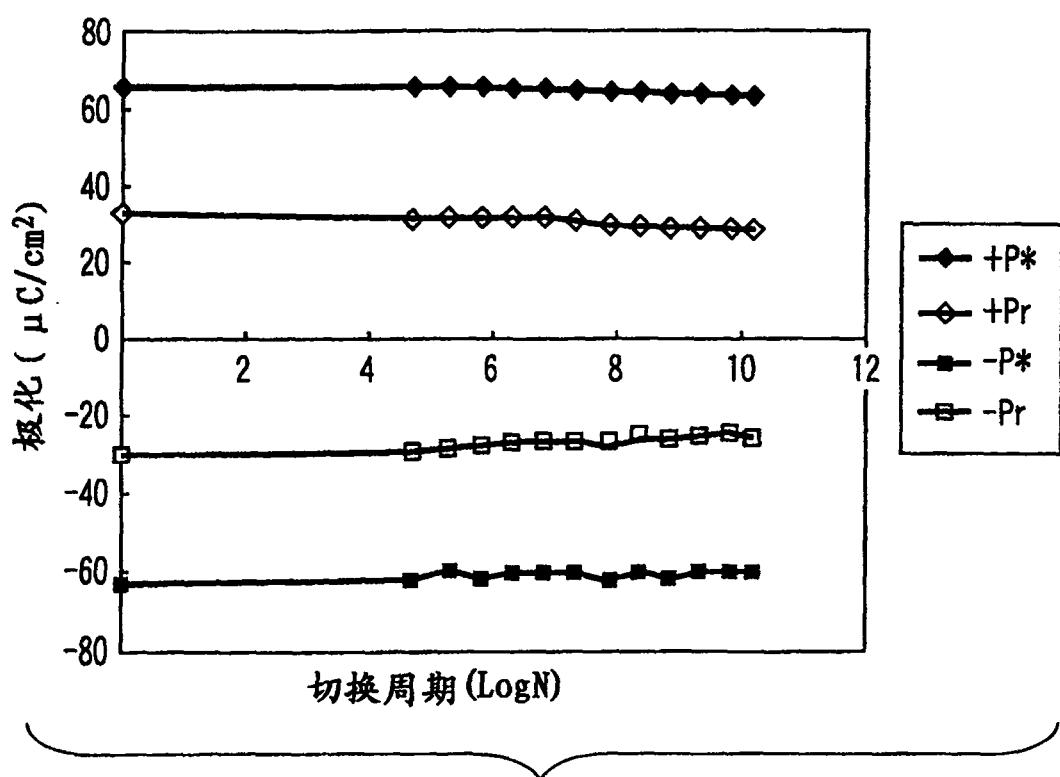


图 7

A位置元素 氧化物	-△H [kcal/mol]	B位置元素 (四价) 氧化物	-△H [kcal/mol]	B位置元素 (三价) 氧化物	-△H [kcal/mol]
La ₂ O ₃	-285.7	TiO ₂	-225.8	Ti ₂ O ₃	-242.3
SrO	-283.0	NbO ₃	-190	V ₂ O ₃	-194.2
BaO	-264.6	VO ₂	-170.5	Cr ₂ O ₃	-180.0
		MoO ₂	-140.5	Mn ₂ O ₃	-152.5
		CrO ₂	-139.2	Ni ₂ O ₃	-77.4
		Co ₃ O ₄	-106.0		
		RuO ₂	-72.8		
		IrO ₂	-57.7		

图 8

图 9A

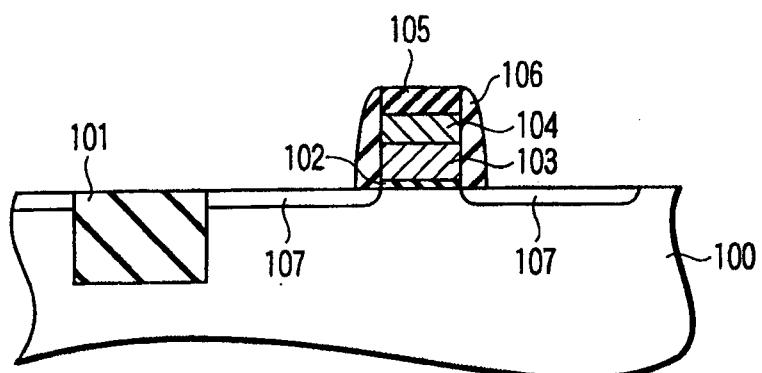


图 9B

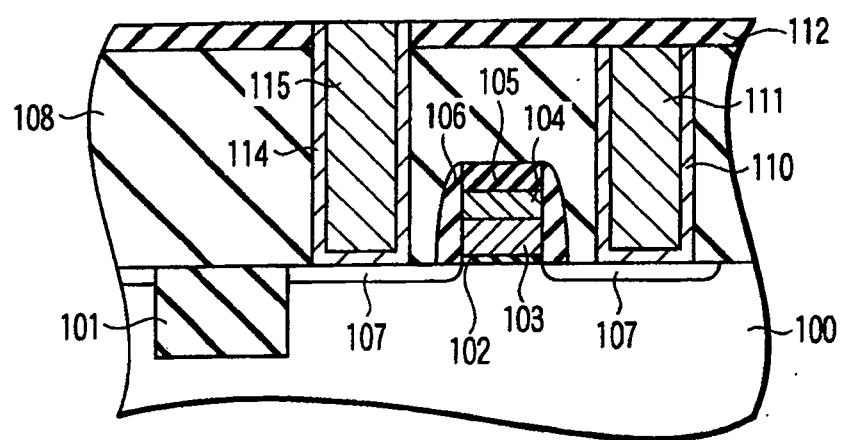


图 9C

