

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4206595号  
(P4206595)

(45) 発行日 平成21年1月14日(2009.1.14)

(24) 登録日 平成20年10月31日(2008.10.31)

(51) Int.Cl.

F 1

**H01L 29/786 (2006.01)**  
**G02F 1/1368 (2006.01)**  
**G09F 9/30 (2006.01)**  
**H01L 21/336 (2006.01)**

H01L 29/78 626B  
G02F 1/1368  
G09F 9/30 338  
H01L 29/78 616A  
H01L 29/78 612C

請求項の数 24 (全 30 頁) 最終頁に続く

(21) 出願番号

特願2000-16174 (P2000-16174)

(22) 出願日

平成12年1月25日 (2000.1.25)

(65) 公開番号

特開2000-286425 (P2000-286425A)

(43) 公開日

平成12年10月13日 (2000.10.13)

審査請求日 平成16年3月1日 (2004.3.1)

(31) 優先権主張番号 特願平11-20147

(32) 優先日 平成11年1月28日 (1999.1.28)

(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(74) 代理人 100095728

弁理士 上柳 雅善

(74) 代理人 100107261

弁理士 須澤 修

(72) 発明者 平林 幸哉

長野県諏訪市大和3丁目3番5号 セイコ  
ーエプソン株式会社内

(72) 発明者 片山 茂憲

長野県諏訪市大和3丁目3番5号 セイコ  
ーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 電気光学装置、電気光学装置の製造方法及び電子機器

## (57) 【特許請求の範囲】

## 【請求項 1】

基板上に複数の走査線と、前記複数の走査線に交差する複数のデータ線と、前記各走査線と前記各データ線に接続されたトランジスタと、前記トランジスタに接続された画素電極と蓄積容量とを有する電気光学装置であって、

前記トランジスタのチャネル領域となる半導体層の延在部は前記蓄積容量の電極となる容量線に接続されてなり、

前記延在部と容量線とは、前記延在部上に形成された第1コンタクトホールと前記容量線上に形成された第2コンタクトホールとを介して接続配線により接続されてなり、前記走査線と前記容量線とは同一層により並設されており、さらに前記走査線は、前記第1コンタクトホールを回避するように形成された回り込み部を有することを特徴とする電気光学装置。

## 【請求項 2】

前記接続配線が、前記データ線と同一の層上に形成されていることを特徴とする請求項1記載の電気光学装置。

## 【請求項 3】

前記半導体層のチャネル領域の端部における不純物濃度が、チャネル領域の他の部分の不純物濃度に比べより高くなっていることを特徴とする請求項1または請求項2に記載の電気光学装置。

## 【請求項 4】

前記走査線が、ポリシリコン層、あるいはポリシリコン層と導電性金属層の少なくとも2層からなることを特徴とする請求項1から請求項3のうちいずれか1項に記載の電気光学装置。

【請求項5】

前記基板と前記半導体層との間に遮光層を更に具備することを特徴とする請求項1から請求項4のうちいずれか1項に記載の電気光学装置。

【請求項6】

前記遮光層の厚さが、200nm～400nmであることを特徴とする請求項5に記載の電気光学装置。

【請求項7】

前記遮光層が前記容量線と電気的に接続されることを特徴とする請求項5または請求項6に記載の電気光学装置。

【請求項8】

(a) 基板上にチャネル領域と、前記チャネル領域の延在部と、蓄積容量の一方の電極となる半導体層を形成する工程と、

(b) 前記半導体層上に絶縁膜を形成する工程と、

(c) 前記絶縁膜上に走査線及び前記蓄積容量の他方の電極となる容量線を形成する工程と、

(d) 前記延在部と前記容量線とを接続する工程とを有し、

前記延在部と前記容量線とを接続する工程において、前記延在部上に形成された第1コントクトホールと、前記容量線上に形成された第2コントクトホールを介して接続配線により前記延在部と前記容量線とを接続するとともに、前記半導体層上に形成された第3コントクトホールを介して前記半導体層に接続されるようにデータ線を形成することを特徴とする電気光学装置の製造方法。

【請求項9】

前記工程(a)より前に、少なくとも前記半導体層に対応する基板上の位置に遮光層を形成する工程を更に具備することを特徴とする請求項8に記載の電気光学装置の製造方法。

【請求項10】

前記工程(a)が、前記基板上に単結晶シリコン基板を貼り合わせる工程と、前記貼り合わせられた単結晶シリコン基板から不要部分を除去して単結晶シリコンからなる半導体層を形成する工程とを具備することを特徴とする請求項8または9に記載の電気光学装置の製造方法。

【請求項11】

前記半導体層の厚さが、100～180nmであることを特徴とする請求項8から請求項10のうちいずれか1項に記載の電気光学装置の製造方法。

【請求項12】

前記工程(b)の後に、前記半導体層のうちPチャネルについては、不純物としてn型不純物を1e11～4e11/cm<sup>2</sup>だけ、前記半導体層に打ち込むことを特徴とする請求項8から請求項10のうちいずれか1項に記載の電気光学装置の製造方法。

【請求項13】

前記Pチャネルの半導体層に打ち込むn型不純物としてP(リン)を用いることを特徴とする請求項12に記載の電気光学装置の製造方法。

【請求項14】

前記工程(b)の後に、前記半導体層のうちNチャネルについては、不純物としてp型不純物を5e11～15e11/cm<sup>2</sup>だけ、前記半導体層に打ち込むことを特徴とする請求項8から請求項13のうちいずれか1項に記載の電気光学装置の製造方法。

【請求項15】

前記Nチャネルの半導体層に打ち込むp型不純物としてB(ボロン)を用いることを特徴とする請求項14に記載の電気光学装置の製造方法。

10

20

30

40

50

## 【請求項 1 6】

前記半導体層の P チャネルについてはチャネル領域の端部に対して n 型不純物をチャネル領域の全体に打ち込んだ不純物の 2 ~ 10 倍のドーズ量で打ち込む工程を具備することを特徴とする請求項 1 2 または請求項 1 3 に記載の電気光学装置の製造方法。

## 【請求項 1 7】

前記半導体層の N チャネルについてはチャネル領域の端部に対して p 型不純物をチャネル領域の全体に打ち込んだ不純物の 2 ~ 10 倍のドーズ量で打ち込む工程を具備することを特徴とする請求項 1 4 または請求項 1 5 に記載の電気光学装置の製造方法。

## 【請求項 1 8】

前記工程 (c) において、前記半導体層のうち P チャネルについては、不純物として p 型不純物を  $2 \times 10^{-3} \sim 1 \times 10^{-4} / \text{cm}^2$  だけ、前記半導体層に打ち込んで LDD 領域を形成し、さらに p 型不純物を  $5 \times 10^{-4} \sim 2 \times 10^{-5} / \text{cm}^2$  だけ、前記半導体層に打ち込んでソース・ドレイン領域を形成することを特徴とする請求項 8 から請求項 1 7 のうちいずれか 1 項に記載の電気光学装置の製造方法。 10

## 【請求項 1 9】

前記工程 (c) において、前記半導体層のうち N チャネルについては、不純物として n 型不純物を  $6 \times 10^{-2} \sim 2 \times 10^{-3} / \text{cm}^2$  だけ、前記半導体層に打ち込んで LDD 領域を形成し、さらに n 型不純物を  $1 \times 10^{-5} \sim 4 \times 10^{-6} / \text{cm}^2$  だけ、前記半導体層に打ち込んでソース・ドレイン領域を形成することを特徴とする請求項 8 から請求項 1 8 のうちいずれか 1 項に記載の電気光学装置の製造方法。 20

## 【請求項 2 0】

前記工程 (c) の後に、800 から 900 の間の温度で活性化アニール処理を行うことを特徴とする請求項 1 2 から請求項 1 9 のうちいずれか 1 項に記載の電気光学装置の製造方法。

## 【請求項 2 1】

前記工程 (d) が、前記延在部と接続される第 1 のコンタクト及び前記容量線と接続される第 2 のコンタクトホールを形成する工程と、前記第 1 のコンタクトホールと前記第 2 のコンタクトホールとを接続する接続配線を形成する工程を有することを特徴とする請求項 8 から請求項 1 9 のうちいずれか 1 項に記載の電気光学装置の製造方法。 30

## 【請求項 2 2】

前記接続配線と共にデータ線を形成することを特徴とする請求項 2 1 に記載の電気光学装置の製造方法。

## 【請求項 2 3】

前記基板の半導体層が形成された面と対向するように配置された他の基板と、これら 2 枚の基板の間に挟持され、前記半導体層に形成されたトランジスタ素子により駆動される液晶とを更に具備することを特徴とする請求項 1 から請求項 7 のうちいずれか 1 項に記載の電気光学装置。

## 【請求項 2 4】

光源と、

前記光源から出射される光が入射されて画像情報に対応した変調を施す、請求項 2 3 に記載の電気光学装置と、 40

前記電気光学装置により変調された光を投射する投射手段と  
を具備することを特徴とする電子機器。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、基板上に半導体層を形成した電気光学装置、電気光学装置の製造方法及び電子機器に関する。特に、半導体層のチャネル領域を容量線に接続した電気光学装置、電気光学装置の製造方法及び電子機器に関する。

## 【0002】

**【従来の技術】**

絶縁基体上に単結晶シリコン層からなる半導体層を形成し、その半導体層にトランジスタ素子等の半導体デバイスを形成するS O I技術は、素子の高速化や低消費電力化、高集積化等の利点を有し、電気光学装置、例えば液晶装置におけるTFTアレイのスイッチング手段に適用することが可能である。

**【0003】**

ところで、一般的なバルク半導体部品では、トランジスタ素子のチャネル領域は下地基板を通じて、該チャネル領域を所定の電位に保持することができるため、チャネル部の電位変化によって起こる寄生バイポーラ効果などによって素子の耐圧などの電気的特性を劣化させることがない。

10

**【0004】****【発明が解決しようとする課題】**

しかしながら、このような液晶装置等の電気光学装置では、例えばTFTアレイのスイッチング手段を構成するトランジスタ素子が酸化絶縁膜により完全に分離されているため、トランジスタ素子におけるチャネル領域を上記のように所定の電位に固定させることができず、該チャネル領域が電気的に浮いた状態となる。特に該トランジスタ素子を単結晶シリコン層からなる構造にすると、チャネル内を移動するキャリアの移動度が高いためにドレイン領域近傍の電界で加速されたキャリアと結晶格子との衝突によってインパクトイオン化と呼ばれる現象が起こり、例えばNチャネルTFTにおいて正孔が発生してチャネルの下部に蓄積する。このようにチャネルに電荷が蓄積すると、TFTのNPN(Nチャネル型の場合)構造が見かけ上のバイポーラ素子として動作するため、異常電流により素子のソース・ドレイン耐圧が劣化するなど電気的な特性が悪化する、という課題がある。これらのチャネル部が電気的に浮いた状態であることに起因する一連の現象を基板浮遊効果と呼ぶ。

20

**【0005】**

本発明は、かかる課題を解決するためになされたもので、絶縁膜により覆われた単結晶シリコン層からなるトランジスタ素子が基板浮遊効果によりソース・ドレイン耐圧が劣化するのを防止し、素子の電気的特性を安定・向上させることができる電気光学装置、電気光学装置の製造方法及び電子機器を提供することを目的としている。

30

**【0006】****【課題を解決するための手段】**

かかる課題を解決するため、本発明の電気光学装置は、基板上に複数の走査線と、前記複数の走査線に交差する複数のデータ線と、前記各走査線と前記各データ線に接続されたトランジスタと、前記トランジスタに接続された画素電極と蓄積容量とを有する電気光学装置であって、前記トランジスタのチャネル領域となる半導体層の延在部は前記蓄積容量の電極となる容量線に接続されてなることを特徴とする。

**【0007】**

本発明のかかる構成によれば、単結晶シリコン層からなる半導体層のチャネル領域が蓄積容量の電極となる容量線と接続されているので、該チャネル領域が容量線の電位に保持され、トランジスタ素子上に異常な電流が流れることはなくなり、素子の電気的特性が安定化する。

40

**【0008】**

本発明の電気光学装置は、前記延在部と容量線とは、前記延在部上に形成された第1コンタクトホールと前記容量線上に形成された第2コンタクトホールとを介して接続配線により接続されてなり、前記走査線と前記容量線とは同一層により並設されるとともに、前記第1コンタクトホールを回避するように形成された回り込み部を有することを特徴とする。

**【0009】**

本発明のかかる構成によれば、限られたスペースを有効に利用しながら半導体層のチャネル領域を容量線に接続することができる。また、接続配線やコンタクトホールはデータ線

50

と共に形成できるので、従来の製造プロセス上で形成することが可能となる。従って、本発明の電気光学装置は、前記接続配線が、前記データ線と同一の層上に形成されているのが好ましい。

【0010】

本発明の電気光学装置は、前記半導体層の厚さが、100～180nmであることを特徴とする。

【0011】

本発明のかかる構成によれば、半導体層の厚さが100nmより大きいことで、画素電極を半導体層のドレイン領域に接続するためのコンタクトホールを形成する際に、半導体層を突き抜けることを防止することができる。また、半導体層の厚さが180nmより小さいことで、この半導体層の膜厚に起因する素子基板の段差を必要最小限に抑えることができ、この結果液晶を配向させた際のディスクリネーションを抑制し表示画質を良好に保つことができる。

【0012】

本発明の電気光学装置は、前記半導体層のチャネル領域と前記走査線のゲート電極領域との間に、厚さ450～650nmのゲート絶縁膜が介挿されていることを特徴とする。

【0013】

本発明のかかる構成によれば、ゲート絶縁膜の厚さが450nmより大きいことで、液晶の駆動に必要な電源電圧でもゲート絶縁膜が絶縁破壊することなく駆動することができる。また、ゲート絶縁膜の厚さが650nmより小さいことで、ゲート容量を大きくして液晶表示装置の駆動に必要なTFT素子の動作速度を確保することができる。

【0014】

本発明の電気光学装置は、前記半導体層のチャネル領域の端部の不純物濃度が、チャネル領域の他の部分に比べより高くなっていることを特徴とする。

【0015】

本発明のかかる構成によれば、半導体層のチャネル領域の端部の不純物濃度が、チャネル領域の他の部分に比べより高くなっているため、この領域における見かけ上のしきい値電圧は高くなるため、半導体層のチャネル領域の端部でゲート電極からの電界が集中してもリーク電流が流れるのを防ぐことができる。

【0016】

本発明の電気光学装置は、前記走査線の厚さが、350nm～700nmであることを特徴とする。

【0017】

本発明のかかる構成によれば、走査線の厚さが350nmより大きいことで、配線抵抗を低減し、配線遅延による画素への信号書き込み速度の低下を十分に抑えることができる。また、走査線の厚さが550nmより小さいことで、この走査線の膜厚に起因する素子基板の段差を必要最小限に抑えることができ、この結果液晶を配向させた際のディスクリネーションを抑制し表示画質を良好に保つことができる。

【0018】

本発明の電気光学装置は、前記走査線がポリシリコン層、あるいはポリシリコン層と導電性金属層の少なくとも2層からなることを特徴とする。本発明のかかる構成によれば、導電性を高めることができるために、配線遅延による画素への信号書き込み速度の低下を十分に抑えることができる。特にポリシリコン層と導電性金属層からなる走査線においては導電性をさらに高めることができるために、膜厚を小さくしても配線遅延の少ない走査線を形成できると同時に、その膜厚に起因する素子基板の段差を必要最小限に抑えることができ、この結果液晶を配向させた際のディスクリネーションを抑制し表示画質を良好に保つことができる。

【0019】

本発明の電気光学装置は、前記データ線と少なくとも前記走査線との間に、厚さ800nm±200nmの層間絶縁層が介挿されていることを特徴とする。

10

20

30

40

50

**【 0 0 2 0 】**

本発明のかかる構成によれば、層間絶縁層の厚さが 600 nm より大きいことで、走査線とデータ線間の容量カップリングを極力抑え画素への信号書き込み特性が劣化するのを防ぐことができる。また、層間絶縁層の厚さが 1000 nm より小さいことで、層間膜の堆積工程におけるスループットを向上させることができる。

**【 0 0 2 1 】**

本発明の電気光学装置は、前記データ線の厚さが、350 nm ~ 700 nm であることを特徴とする。

**【 0 0 2 2 】**

本発明のかかる構成によれば、データ線の厚さが 350 nm より大きいことで、配線抵抗を低減し、配線遅延による画素への信号書き込み速度の低下を十分に抑えることができる。また、データ線の厚さが 700 nm より小さいことで、このデータ線の膜厚に起因する素子基板の段差を必要最小限に抑えることができ、この結果液晶を配向させた際のディスクリネーションを抑制し表示画質を良好に保つことができる。

10

**【 0 0 2 3 】**

本発明の電気光学装置は、前記データ線と少なくとも前記画素電極との間に、厚さ 800 nm ± 200 nm の層間絶縁層が介挿されていることを特徴とする。

**【 0 0 2 4 】**

本発明のかかる構成によれば、層間絶縁層の厚さが 600 nm より大きいことで、前記データ線と前記画素電極との間の容量カップリングを極力抑え画素への信号書き込み特性が劣化するのを防ぐことができる。また、層間絶縁層の厚さが 1000 nm より小さいことで、層間膜の堆積工程におけるスループットを向上させることができる。

20

**【 0 0 2 5 】**

本発明の電気光学装置は、前記基板と前記半導体層との間に遮光層を更に具備することを特徴とする。

**【 0 0 2 6 】**

本発明のかかる構成によれば、基板裏面からの直接入射光や、基板裏面で反射した光がトランジスタ素子形成領域に侵入して光リークが発生し、画素への信号書き込み特性が劣化するのを防ぐことができる。

30

**【 0 0 2 7 】**

本発明の電気光学装置は、前記遮光層の厚さが、200 nm ~ 400 nm であることを特徴とする。

**【 0 0 2 8 】**

本発明のかかる構成によれば、遮光層の厚さが 200 nm より大きいことで、基板裏面からの反射光による光リーク電流を画素への書き込み特性に影響を及ぼさないレベルまで抑制することができる。また、遮光層の厚さが 400 nm より小さいことで、この遮光層の膜厚に起因する素子基板の段差を必要最小限に抑えることができ、この結果液晶を配向させた際のディスクリネーションを抑制し表示画質を良好に保つことができる。

**【 0 0 2 9 】**

本発明の電気光学装置の製造方法は、(a) 基板上にチャネル領域と前記チャネル領域の延在部と蓄積容量の一方の電極となる半導体層を形成する工程と、(b) 前記半導体層上に絶縁膜を形成する工程と、(c) 前記絶縁膜上に走査線及び前記蓄積容量の他方の電極となる容量線を形成する工程と、(c) 前記延在部と前記容量線とを接続する工程とを有することを特徴とする。

40

**【 0 0 3 0 】**

本発明のかかる構成によれば、半導体層のチャネル領域と容量線と接続するように形成しているので、該チャネル領域が容量線の電位に固定され、SOI 構造に起因する基板浮遊効果によってトランジスタ素子のソース・ドレイン耐圧が劣化するなどの問題が解消され、素子の電気的特性が安定化した電気光学装置を製造することができる。

**【 0 0 3 1 】**

50

本発明の電気光学装置の製造方法は、前記延在部と前記容量線とを接続する工程において、前記延在部上に形成された第1コンタクトホールと、前記容量線上に形成された第2コンタクトホールを介して接続配線により前記延在部と前記容量線とを接続するとともに、前記半導体層上に形成された第3コンタクトホールを介して前記半導体層に接続されるようデータ線を形成することを特徴とする。

【0032】

本発明のかかる構成によれば、接続配線とデータ線とを同時に同一材料で形成することができるので、工程を増やすことなく接続配線を形成することができる。本発明の電気光学装置の製造方法は、前記工程(a)より前に、少なくとも前記半導体層に対応する基板上の位置に遮光層を形成する工程を更に具備することを特徴とする。

10

【0033】

本発明のかかる構成によれば、基板裏面からの直接入射光や、基板裏面で反射した光がトランジスタ素子形成領域に侵入して光リークが発生し、画素への信号書き込み特性が劣化するのを防止できる電気光学装置を製造することができる。

【0034】

本発明の電気光学装置の製造方法は、前記工程(a)が、前記基板上に単結晶シリコン基板を貼り合わせる工程と、前記貼り合わされた単結晶シリコン基板から不要部分を除去して単結晶シリコンからなる半導体層を形成する工程とを具備することを特徴とする。

【0035】

本発明の電気光学装置の製造方法は、前記半導体層の厚さが、100nm～180nmであることを特徴とする。

20

【0036】

本発明のかかる構成によれば、半導体層の厚さが100nmより大きいことで、画素電極を半導体層のドレイン領域に接続するためのコンタクトホールを形成する際に、半導体層を突き抜けることを防止することができる。また、半導体層の厚さが180nmより小さいことで、この半導体層の膜厚に起因する素子基板の段差を必要最小限に抑えることができ、この結果液晶を配向させた際のディスクリネーションを抑制し表示画質を良好に保つことができる。

【0037】

本発明の電気光学装置の製造方法は、前記工程(b)において、前記半導体層のうちPチャネルについては、前記不純物としてn型不純物を1e11～4e11/cm<sup>2</sup>だけ、前記半導体層に打ち込むことを特徴とする。

30

【0038】

本発明のかかる構成によれば、液晶デバイスの駆動に必要なTFT素子の重要なスイッチング特性の一つであるしきい値電圧を実用条件として最適な-1.0～-2.0Vの間で任意に制御することが可能となる。

【0039】

本発明の電気光学装置の製造方法は、前記工程(b)において、前記半導体層のうちNチャネルについては、前記不純物としてp型不純物を5e11～15e11/cm<sup>2</sup>だけ、前記半導体層に打ち込むことを特徴とする。

40

【0040】

本発明のかかる構成によれば、液晶デバイスの駆動に必要なTFT素子の重要なスイッチング特性の一つであるしきい値電圧を実用条件として最適な1.0～2.0Vの間で任意に制御することが可能となる。

【0041】

本発明の電気光学装置の製造方法は、前記工程(b)より前に、前記半導体層上にゲート絶縁膜を形成する工程を具備することを特徴とする。また、前記工程(b)の後に、前記半導体層上にゲート絶縁膜を形成する工程を具備することを特徴とする。これにより、しきい値電圧を制御することが可能となる。

【0042】

50

本発明の電気光学装置の製造方法は、前記工程 (b) の後に、前記半導体層 P チャネルについては n 型不純物を、また N チャネルについては p 型不純物をチャネル領域の端部に対してチャネル領域の全体に打ち込んだ不純物の 2 ~ 10 倍のドーズ量で打ち込む工程を具備することを特徴とする。

【 0043 】

本発明のかかる構成によれば、半導体層のチャネル領域の端部の不純物濃度が、チャネル領域の他の部分に比べより高くなっているため、この領域における見かけ上のしきい値電圧は高くなるため、半導体層のチャネル領域の端部でゲート電極からの電界が集中してもリード電流が流れるのを防ぐことができる。

【 0044 】

本発明の電気光学装置は、前記走査線の厚さが、350 nm ~ 700 nm であることを特徴とする。

【 0045 】

本発明の電気光学装置の製造方法は、前記工程 (c) において、前記半導体層のうち P チャネルについては、前記不純物として p 型不純物を  $2 \times 10^{-3} \sim 1 \times 10^{-4} / \text{cm}^2$  だけ、前記半導体層に打ち込んで LDD 領域を形成し、さらに p 型不純物を  $5 \times 10^{-4} \sim 2 \times 10^{-5} / \text{cm}^2$  だけ、前記半導体層に打ち込んでソース・ドレイン領域を形成することを特徴とする。

【 0046 】

本発明のかかる構成によれば、LDD 領域の存在によってドレイン近傍の電界強度がなだらかな分布となるため、トランジスタ素子の耐圧を液晶デバイスの駆動に必要な電源電圧 10 V 以上確保することができる。さらにソース・ドレイン領域のシート抵抗およびコンタクト抵抗を十分に低くすることができるため、トランジスタ素子の寄生抵抗による ON 電流の減少を抑えることができる。

【 0047 】

本発明の電気光学装置の製造方法は、前記工程 (c) において、前記半導体層のうち N チャネルについては、前記不純物として n 型不純物を  $6 \times 10^{-2} \sim 2.5 \times 10^{-3} / \text{cm}^2$  だけ、前記半導体層に打ち込んで LDD 領域を形成し、さらに n 型不純物を  $1 \times 10^{-5} \sim 4 \times 10^{-6} / \text{cm}^2$  だけ、前記半導体層に打ち込んでソース・ドレイン領域を形成することを特徴とする。

【 0048 】

本発明のかかる構成によれば、LDD 領域の存在によってドレイン近傍の電界強度がなだらかな分布となるため、トランジスタ素子の耐圧を液晶デバイスの駆動に必要な電源電圧 10 V 以上確保することができる。さらにソース・ドレイン領域のシート抵抗およびコンタクト抵抗を十分に低くすることができるため、トランジスタ素子の寄生抵抗による ON 電流の減少を抑えることができる。

【 0049 】

本発明の電気光学装置の製造方法は、前記工程 (c) の後に、800 から 900 の間の温度で活性化アニール処理を行う。

【 0050 】

本発明のかかる構成によれば、LDD 領域およびソース・ドレイン領域に注入された不純物を活性化できる。ここで、800 より低いと、注入された不純物を活性化することができない。また 900 より高いと、アニール処理中に不純物が横方向に著しく拡散し、トランジスタ素子の耐圧を確保するために必要な LDD 構造の不純物プロファイルを形成できない。

【 0051 】

本発明の電気光学装置の製造方法は、前記工程 (d) において、前記容量線と共に走査線を形成することを特徴とする。

【 0052 】

本発明のかかる構成によれば、製造プロセスを簡略化することができる。

10

20

30

40

50

**【 0 0 5 3 】**

本発明の電気光学装置の製造方法は、前記工程 (e) が、前記延在部と接続される第1のコンタクト及び前記容量線と接続される第2のコンタクトホールを形成する工程と、前記第1のコンタクトホールと前記第2のコンタクトホールとを接続する接続配線を形成する工程を有することを特徴とする。

**【 0 0 5 4 】**

本発明のかかる構成によれば、工程数を増やすことなく延在部と容量線とを接続することができる。

**【 0 0 5 5 】**

本発明の電気光学装置の製造方法は、前記接続配線と共にデータ線を形成することを特徴とする。 10

**【 0 0 5 6 】**

本発明のかかる構成によれば、工程数を増やすことなく接続配線を形成することができる。

**【 0 0 5 7 】**

本発明の電気光学装置は、前記基板の半導体層が形成された面と対向するように配置された他の基板と、これら2枚の基板の間に挟持され、前記半導体層に形成されたトランジスタ素子により駆動される液晶とを更に具備することを特徴とする。

**【 0 0 5 8 】**

本発明の電子機器は、光源と、前記光源から出射される光が入射されて画像情報に対応した変調を施す、上記の電気光学装置と、前記電気光学装置により変調された光を投射する投射手段とを具備することを特徴とする。 20

**【 0 0 5 9 】****【発明の実施の形態】**

以下、本発明の実施の形態を図面に基づいて説明する。

**【 0 0 6 0 】****(電気光学装置の構成)**

図1は本発明の一実施形態に係る電気光学装置としての液晶装置の画像形成領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。また、図2は、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図3は、図2のA-A'断面図であり、図4は、図2のB-B'断面図である。図5は、該液晶装置における半導体層の近傍の構造を概念的に示した斜視図である。尚、図3、図4及び図5においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。また、図2及び図5において、X方向とは走査線と平行する方向を示し、Y方向とはデータ線と平行する方向を示す。 30

**【 0 0 6 1 】**

図1において、本実施の形態による液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素は、マトリクス状に複数形成された画素電極9aと画素電極9aを制御するためのトランジスタとしてのTFT30からなり、画像信号が供給されるデータ線6aが当該TFT30のソースに電気的に接続されている。データ線6aに書き込む画像信号S1、S2、...、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしても良い。また、TFT30のゲートに走査線3aが電気的に接続されており、所定のタイミングで、走査線3aにパルス的に走査信号G1、G2、...、Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電気的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、...、Snを所定のタイミングで書き込む。画素電極9aを介して液晶に書き込まれた所定レベルの画像信号S1、S2、...、Snは、対向基板(後述する)に形成された対向電極(後述する)との間で一定期間保持される。液晶は 40

、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリー・ホワイトモードであれば、印加された電圧に応じて入射光がこの液晶部分を通過不可能とされ、ノーマリーブラックモードであれば、印加された電圧に応じて入射光がこの液晶部分を通過可能とされ、全体として液晶装置からは画像信号に応じたコントラストを持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極 9 a と対向電極との間に形成される液晶容量と並列に蓄積容量 7 0 を付加する。これにより、保持特性は更に改善され、コントラスト比の高い液晶装置が実現できる。本実施の形態では特に、このような蓄積容量 7 0 を形成するために、後述の如く走査線と同層あるいは、導電性の遮光膜を利用して低抵抗化された容量線 3 b を設けている。

10

#### 【 0 0 6 2 】

図 2 において、液晶装置の TFT アレイ基板上には、マトリクス状に複数の透明な画素電極 9 a ( 一点鎖線部 9 a ' により輪郭が示されている ) が設けられており、画素電極 9 a の縦横の境界に各々沿ってデータ線 6 a 、走査線 3 a 及び容量線 3 b が設けられている。データ線 6 a は、コンタクトホール 5 を介して単結晶シリコン層の半導体層 1 a のうち後述のソース領域に電気的接続されており、画素電極 9 a は、コンタクトホール 8 を介して半導体層 1 a のうち後述のドレイン領域に電気的接続されている。また、半導体層 1 a のうちチャネル領域 ( 後述する ) に対向するように走査線 3 a が配置されており、走査線 3 a はゲート電極として機能する。

#### 【 0 0 6 3 】

容量線 3 b は、走査線 3 a に沿ってほぼ直線状に伸びる本線部 ( 即ち、平面的に見て、走査線 3 a に沿って形成された第 1 領域 ) と、データ線 6 a と交差する箇所からデータ線 6 a に沿って前段側 ( 図中、上向き ) に突出した突出部 ( 即ち、平面的に見て、データ線 6 a に沿って延設された第 2 領域 ) とを有する。

20

#### 【 0 0 6 4 】

そして、図中右上がりの斜線で示した領域には、複数の第 1 遮光膜 1 1 a が設けられている。より具体的には、第 1 遮光膜 1 1 a は夫々、画素部において半導体層 1 a のチャネル領域を含む TFT を TFT アレイ基板の側から見て覆う位置に設けられており、更に、容量線 3 b の本線部に対向して走査線 3 a に沿って直線状に伸びる本線部と、データ線 6 a と交差する箇所からデータ線 6 a に沿って隣接する段側 ( 即ち、図中下向き ) に突出した突出部とを有する。第 1 遮光膜 1 1 a の各段 ( 画素行 ) における下向きの突出部の先端は、データ線 6 a 下において次段における容量線 3 b の上向きの突出部の先端と重ねられている。この重なった箇所には、第 1 遮光膜 1 1 a と容量線 3 b とを相互に電気的接続するコンタクトホール 1 3 が設けられている。即ち、本実施の形態では、第 1 遮光膜 1 1 a は、コンタクトホール 1 3 により前段あるいは後段の容量線 3 b に電気的接続されている。

30

#### 【 0 0 6 5 】

次に、図 3 の断面図に示すように、液晶装置は、光透過性基板の一例を構成する TFT アレイ基板 1 0 と、これに対向配置される透明な対向基板 2 0 とを備えている。TFT アレイ基板 1 0 は、例えば石英基板からなり、対向基板 2 0 は、例えばガラス基板や石英基板からなる。TFT アレイ基板 1 0 には、画素電極 9 a が設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜 1 6 が設けられている。画素電極 9 a は例えば、ITO 膜 ( インジウム・ティン・オキサイド膜 ) などの透明導電性薄膜からなる。また配向膜 1 6 は例えば、ポリイミド薄膜などの有機薄膜からなる。

40

#### 【 0 0 6 6 】

他方、対向基板 2 0 には、その全面に渡って対向電極 ( 共通電極 ) 2 1 が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜 2 2 が設けられている。対向電極 2 1 は例えば、ITO 膜などの透明導電性薄膜からなる。また配向膜 2 2 は、ポリイミド薄膜などの有機薄膜からなる。

#### 【 0 0 6 7 】

TFT アレイ基板 1 0 には、図 3 に示すように、各画素電極 9 a に隣接する位置に、各画

50

素電極 9 a をスイッチング制御する画素スイッチング用 TFT 3 0 が設けられている。

【 0 0 6 8 】

対向基板 2 0 には、更に図 3 に示すように、各画素部の開口領域以外の領域に第 2 遮光膜 2 3 が設けられている。このため、対向基板 2 0 の側から入射光が画素スイッチング用 TFT 3 0 の半導体層 1 a のチャネル領域 1 a' や L D D (Lightly Doped Drain) 領域 1 b 及び 1 c に侵入することはない。更に、第 2 遮光膜 2 3 は、コントラストの向上、色材の混色防止などの機能を有する。

【 0 0 6 9 】

このように構成され、画素電極 9 a と対向電極 2 1 とが対面するように配置された TFT アレイ基板 1 0 と対向基板 2 0 との間には、シール材（図示を省略）により囲まれた空間に液晶が封入され、液晶層 5 0 が形成される。液晶層 5 0 は、画素電極 9 a からの電界が印加されていない状態で配向膜 1 6 及び 2 2 により所定の配向状態を探る。液晶層 5 0 は、例えは一種又は数種類のネマティック液晶を混合した液晶からなる。シール材は、二つの基板 1 0 及び 2 0 をそれらの周辺で貼り合わせるため、例えは光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのグラスファイバー或いはガラスピーブ等のスペーサが混入されている。

【 0 0 7 0 】

図 3 に示すように、画素スイッチング用 TFT 3 0 に各々対向する位置において TFT アレイ基板 1 0 表面の各画素スイッチング用 TFT 3 0 に対応する位置には第 1 遮光膜 1 1 a が各々設けられている。ここで、第 1 遮光膜 1 1 a は、好ましくは不透明な高融点金属である Ti、Cr、W、Ta、Mo 及び Pd のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成される。このような材料から構成すれば、TFT アレイ基板 1 0 上の第 1 遮光膜 1 1 a の形成工程の後に行われる画素スイッチング用 TFT 3 0 の形成工程における高温処理により、第 1 遮光膜 1 1 a が破壊されたり溶融しないようになる。第 1 遮光膜 1 1 a が形成されているので、TFT アレイ基板 1 0 の側からの戻り光等が画素スイッチング用 TFT 3 0 のチャネル領域 1 a' や L D D 領域 1 b、1 c に入射する事態を未然に防ぐことができ、光電流の発生によりトランジスタ素子としての画素スイッチング用 TFT 3 0 の特性が劣化することはない。

【 0 0 7 1 】

更に、第 1 遮光膜 1 1 a と複数の画素スイッチング用 TFT 3 0 との間には、第 1 層間絶縁膜 1 2 が設けられている。第 1 層間絶縁膜 1 2 は、画素スイッチング用 TFT 3 0 を構成する半導体層 1 a を第 1 遮光膜 1 1 a から電気的絶縁するために設けられるものである。更に、第 1 層間絶縁膜 1 2 は、TFT アレイ基板 1 0 の全面に形成されることにより、画素スイッチング用 TFT 3 0 のための下地膜としての機能をも有する。即ち、TFT アレイ基板 1 0 の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用 TFT 3 0 の特性の劣化を防止する機能を有する。第 1 層間絶縁膜 1 2 は、例えは、N S G (ノンドープシリケートガラス)、P S G (リンシリケートガラス)、B S G (ボロンシリケートガラス)、B P S G (ボロンリンシリケートガラス) などの高絶縁性ガラス又は、酸化シリコン膜、窒化シリコン膜等からなる。第 1 層間絶縁膜 1 2 により、第 1 遮光膜 1 1 a が画素スイッチング用 TFT 3 0 等を汚染する事態を未然に防ぐこともできる。

【 0 0 7 2 】

本実施の形態では、ゲート絶縁膜 2 を走査線 3 a に対向する位置から延設して誘電体膜として用い、半導体膜 1 a を延設して第 1 蓄積容量電極 1 f とし、更にこれらに対向する容量線 3 b の一部を第 2 蓄積容量電極とすることにより、蓄積容量 7 0 が構成されている。より詳細には、半導体層 1 a の高濃度ドレイン領域 1 e が、データ線 6 a 及び走査線 3 a に沿って伸びる容量線 3 b 部分に絶縁膜 2 を介して対向配置されて、第 1 蓄積容量電極（半導体層）1 f とされている。特に蓄積容量 7 0 の誘電体としての絶縁膜 2 は、高温酸化により単結晶シリコン層上に形成される TFT 3 0 のゲート絶縁膜 2 に他ならないので、薄く且つ高耐圧の絶縁膜とすることができる、蓄積容量 7 0 は比較的小面積で大容量の蓄積

10

20

30

40

50

容量として構成できる。

【0073】

更に、蓄積容量70においては、図2及び図3から分かるように、第1遮光膜11aは、第2蓄積容量電極としての容量線3bの反対側において第1蓄積容量電極1fに第1層間絶縁膜12を介して第3蓄積容量電極として対向配置されることにより(図3の右側の蓄積容量70参照)、蓄積容量が更に付与されるように構成されている。即ち、本実施の形態では、第1蓄積容量電極1fを挟んで両側に蓄積容量が付与されるダブル蓄積容量構造が構築されており、蓄積容量がより増加する。よって、当該液晶装置が持つ、表示画像におけるフリッカや焼き付きを防止する機能が向上する。

【0074】

これらの結果、データ線6a下の領域及び走査線3aに沿って液晶のディスクリネーションが発生する領域(即ち、容量線3bが形成された領域)という開口領域を外れたスペースを有効に利用して、画素電極9aの蓄積容量を増やすことが出来る。

【0075】

また、第1遮光膜11a(及びこれに電気的接続された容量線3b)は定電位源に電気的接続されており、第1遮光膜11a及び容量線3bは、定電位とされる。従って、第1遮光膜11aに対向配置される画素スイッチング用TFT30に対し第1遮光膜11aの電位変動が悪影響を及ぼすことはない。また、容量線3bは、蓄積容量70の第2蓄積容量電極として良好に機能し得る。この場合、定電位源としては、当該液晶装置を駆動するための周辺回路(例えば、走査線駆動回路、データ線駆動回路等)に供給される負電源、正電源等の定電位源、接地電源、対向電極21に供給される定電位源等が挙げられる。このように周辺回路等の電源を利用して、専用の電位配線や外部入力端子を設ける必要なく、遮光膜11a及び容量線3bを定電位にできる。

【0076】

更に、図2及び図3に示したように、コンタクトホール13を介して第1遮光膜11aは、前段あるいは後段の容量線3bに電気的接続するように構成されている。従って、各第1遮光膜11aが、自段の容量線に電気的接続される場合と比較して、画素部の開口領域の縁に沿って、データ線6aに重ねて容量線3b及び第1遮光膜11aが形成される領域の他の領域に対する段差が少なくて済む。このように画素部の開口領域の縁に沿った段差が少ないと、当該段差に応じて引き起こされる液晶のディスクリネーション(配向不良)を低減できるので、画素部の開口領域を広げることが可能となる。

【0077】

また、第1遮光膜11aは、前述のように直線状に伸びる本線部から突出した突出部にコンタクトホール13が開孔されている。ここで、コンタクトホール13の開孔箇所としては、縁に近い程、ストレスが縁から発散される等の理由により、クラックが生じ難いことが判明されている。従ってこの場合、どれだけ突出部の先端に近づけてコンタクトホール13を開孔するかに応じて(好ましくは、マージンぎりぎりまで先端に近づけるかに応じて)、製造プロセス中に第1遮光膜11aにかかる応力が緩和されて、より効果的にクラックを防止し得、歩留まりを向上させることが可能となる。

【0078】

更に、図2、図4及び図5に示すように、半導体層1aのチャネル領域1a室ノは、X方向(半導体層1aのソース領域、チャネル領域及びドレイン領域と並ぶ方向をY方向とし、基板10平面上でY方向と直交する方向をX方向とする。)に向けて延在する延在部201を有する。この結果、延在部201は走査線3aと対向するように延在している。延在部201の終端部は、第2層間絶縁膜4に形成されたコンタクトホール202を介して接続配線203に接続されている。接続配線203は、一端が上記のようにコンタクトホール202を介して延在部201に接続されると共に、Y方向に向けて容量線3bの直上まで配設され、該直上よりコンタクトホール204を介して容量線3bに接続されている。これにより、半導体層1aのチャネル領域1a室へ上述した定電位源に接続された容量線3bの電位に固定され、SOI構造に起因する基板浮遊効果によってトランジスタ素子

10

20

30

40

50

のソース・ドレイン耐圧が劣化するなどの問題が解消され、素子の電気的特性を安定化させることができる。

【0079】

また、走査線3aと容量線3bは第1層間絶縁膜12と第2層間絶縁膜4との間に層上に互いに隣接するように並設され、更に延在部201が走査線3aと対向するように延在しているため、走査線3aとコンタクトホール202とが配置上干渉する。そこで、本実施形態では、特に走査線3aがコンタクトホール202を回避するように形成された回り込み部3a'を有する。

【0080】

また、容量線3bと走査線3aとは、同一のポリシリコン膜からなり、蓄積容量70の誘電体膜とTFT30のゲート絶縁膜2とは、同一の高温酸化膜からなり、第1蓄積容量電極1fと、TFT30のチャネル形成領域1a'、ソース領域1d、ドレイン領域1e、延在部201等とは、同一の半導体層1aからなり、

データ線6aと接続配線203とは同一の金属膜からなる。このため、TFTアレイ基板10上に形成される積層構造を単純化でき、更に、後述の液晶装置の製造方法において、同一の薄膜形成工程で容量線3b及び走査線3aを同時に形成でき、蓄積容量70の誘電体膜及びゲート絶縁膜2等を同時に形成できる。

【0081】

更に、第1遮光膜11aは、走査線3aに沿って夫々伸延しており、しかも、データ線6aに沿った方向に対し複数の縞状に分断されている。このため、例えば各画素部の開口領域の周りに一体的に形成された格子状の遮光膜を配設した場合と比較して、第1遮光膜11a、走査線3a及び容量線3bを形成するポリシリコン膜、データ線6aを形成する金属膜、層間絶縁膜等からなる当該液晶装置の積層構造において、各膜の物性の違いに起因した製造プロセス中の加熱冷却に伴い発生するストレスが格段に緩和される。このため、第1遮光膜11a等におけるクラックの発生防止や歩留まりの向上が図られる。

【0082】

尚、図2では、第1遮光膜11aにおける直線状の本線部分は、容量線3bの直線状の本線部分にほぼ重ねられるように形成されているが、第1遮光膜11aが、TFT30のチャネル領域を覆う位置に設けられており且つコンタクトホール13を形成可能なように容量線3bと何れかの箇所で重ねられていれば、TFTに対する遮光機能及び容量線に対する低抵抗化機能を発揮可能である。従って、例えば相隣接した走査線3aと容量線3bとの間にある走査線に沿った長手状の間隙領域や、走査線3aと若干重なる位置にまでも、当該第1遮光膜11aを設けてもよい。

【0083】

容量線3bと第1遮光膜11aとは、第1層間絶縁膜12に開孔されたコンタクトホール13を介して確実に且つ高い信頼性を持って、両者は電気的接続されているが、このようなコンタクトホール13は、画素毎に開孔されても良く、複数の画素からなる画素グループ毎に開孔されても良い。

【0084】

コンタクトホール13を画素毎に開孔した場合には、第1遮光膜11aによる容量線3bの低抵抗化を促進でき、更に、両者間における冗長構造の度合いを高められる。他方、コンタクトホール13を複数の画素からなる画素グループ毎に（例えば2画素毎に或いは3画素毎に）開孔した場合には、容量線3bや第1遮光膜11aのシート抵抗、駆動周波数、要求される仕様等を勘案しつつ、第1遮光膜11aによる容量線3bの低抵抗化及び冗長構造による利益と、多数のコンタクトホール13を開孔することによる製造工程の複雑化或いは当該液晶装置の不良化等の弊害とを適度にバランスできるので、実践上大変有利である。

【0085】

また、このような画素毎或いは画素グループ毎に設けられるコンタクトホール13は、対向基板20の側から見てデータ線6aの下に開孔されている。このため、コンタクトホー

10

20

30

40

50

ル 1 3 は、画素部の開口領域から外れており、しかも T F T 3 0 や第 1 蓄積容量電極 1 f が形成されていない第 1 層間絶縁膜 1 2 の部分に設けられているので、画素領域の有効利用を図りつつ、コンタクトホール 1 3 の形成による T F T 3 0 や他の配線等の不良化を防ぐことができる。

【 0 0 8 6 】

再び、図 3 において、画素スイッチング用 T F T 3 0 は、 L D D (Lightly Doped Drain) 構造を有しており、走査線 3 a 、該走査線 3 a からの電界によりチャネルが形成される半導体層 1 a のチャネル領域 1 a ' 走査線 3 a と半導体層 1 a とを絶縁するゲート絶縁膜 2 、データ線 6 a 、半導体層 1 a の低濃度ソース領域 (ソース側 L D D 領域) 1 b 及び低濃度ドレイン領域 (ドレイン側 L D D 領域) 1 c 、半導体層 1 a の高濃度ソース領域 1 d 並びに高濃度ドレイン領域 1 e を備えている。高濃度ドレイン領域 1 e には、複数の画素電極 9 a のうちの対応する一つが接続されている。ソース領域 1 b 及び 1 d 並びにドレイン領域 1 c 及び 1 e は後述のように、半導体層 1 a に対し、n 型又は p 型のチャネルを形成するかに応じて所定濃度の n 型用又は p 型用のドーパントをドープすることにより形成されている。n 型チャネルの T F T は、動作速度が速いという利点があり、画素のスイッチング素子である画素スイッチング用 T F T 3 0 として用いられることが多い。データ線 6 a は、A 1 等の金属膜や金属シリサイド等の合金膜などの遮光性の薄膜から構成されている。また、走査線 3 a 、ゲート絶縁膜 2 及び第 1 層間絶縁膜 1 2 の上には、高濃度ソース領域 1 d へ通じるコンタクトホール 5 及び高濃度ドレイン領域 1 e へ通じるコンタクトホール 8 が各々形成された第 2 層間絶縁膜 4 が形成されている。このソース領域 1 b へのコンタクトホール 5 を介して、データ線 6 a は高濃度ソース領域 1 d に電気的接続されている。更に、データ線 6 a 及び第 2 層間絶縁膜 4 の上には、高濃度ドレイン領域 1 e へのコンタクトホール 8 が形成された第 3 層間絶縁膜 7 が形成されている。この高濃度ドレイン領域 1 e へのコンタクトホール 8 を介して、画素電極 9 a は高濃度ドレイン領域 1 e に電気的接続されている。前述の画素電極 9 a は、このように構成された第 3 層間絶縁膜 7 の上面に設けられている。尚、画素電極 9 a と高濃度ドレイン領域 1 e とは、データ線 6 a と同一の A 1 膜や走査線 3 b と同一のポリシリコン膜を中継しての電気的接続するようにもよい。

【 0 0 8 7 】

画素スイッチング用 T F T 3 0 は、好ましくは上述のように L D D 構造を持つが、低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c に不純物イオンの打ち込みを行わないオフセット構造を持ってよいし、ゲート電極 3 a をマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型の T F T であってもよい。

【 0 0 8 8 】

また、画素スイッチング用 T F T 3 0 のゲート電極 (走査線 3 a ) をソース - ドレイン領域 1 b 及び 1 e 間に 1 個のみ配置したシングルゲート構造としたが、これらの間に 2 個以上のゲート電極を配置してもよい。この際、各々のゲート電極には同一の信号が印加されるようとする。このようにダブルゲート或いはトリプルゲート以上で T F T を構成すれば、チャネルとソース - ドレイン領域接合部のリーク電流を防止でき、オフ時の電流を低減することができる。これらのゲート電極の少なくとも 1 個を L D D 構造或いはオフセット構造にすれば、更にオフ電流を低減でき、安定したスイッチング素子を得ることができる。

【 0 0 8 9 】

ここで、一般には、半導体層 1 a のチャネル領域 1 a ' 、低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c 等の単結晶シリコン層は、光が入射するとシリコンが有する光電変換効果により光電流が発生してしまい画素スイッチング用 T F T 3 0 のトランジスタ特性が劣化するが、本実施の形態では、走査線 3 a を上側から覆うようにデータ線 6 a が A 1 等の遮光性の金属薄膜から形成されているので、少なくとも半導体層 1 a のチャネル領域 1 a ' 及び L D D 領域 1 b 、 1 c への入射光の入射を効果的に防ぐことが出来る。また、前

10

20

30

40

50

述のように、画素スイッチング用 TFT30 の下側には、第 1 遮光膜 11a が設けられているので、少なくとも半導体層 1a のチャネル領域 1a' 及び LDD 領域 1b、1c への戻り光の入射を効果的に防ぐことが出来る。

#### 【 0 0 9 0 】

尚、この実施形態では、相隣接する前段あるいは後段の画素に設けられた容量線 3b と第 1 遮光膜 11a とを接続しているため、最上段あるいは最下段の画素に対して第 1 遮光膜 11a に定電位を供給するための容量線 3b が必要となる。そこで、容量線 3b の数を垂直画素数に対して 1 本余分に設けておくようにすると良い。

#### 【 0 0 9 1 】

尚、図 22 に図 5 の実施形態において TFT アレイ基板と対向基板を液晶を介在させて構成した液晶装置の等価回路図を示す。図 22 に示されるように、データ線 6a (S1, S2...) と走査線 3a (G1, G2...) とがマトリクス平面上に配設され、この平面上の交差点近傍には画素スイッチング用 TFT30 がそれぞれ配置される。画素スイッチング用 TFT30 のソースはデータ線 6a に接続され、ゲート電極は走査線 3a に接続されており、ドレインは画素電極 9a に接続されている。さらに画素電極 9a は対向基板内面に配置された対向電極 21 と液晶層を挟んで対向し、両電極間の液晶を極性反転駆動する。尚、ソースとドレインとは入れ替えてもよい。対向電極 21 には極性反転駆動の基準電位となる共通電位 VLC が印加され、画素電極 9a と対向電極 21 とは液晶層を誘電体とする液晶容量 CLC を構成する。また、容量電極 1f は容量線 3b との間に保持容量 (蓄積容量) Cs を構成する。すなわち、一画素は、画素スイッチング用 TFT とそれに接続された液晶容量と保持容量により構成される。

#### 【 0 0 9 2 】

トランジスタのチャネル領域 1a は、このトランジスタを駆動する容量線 3b と電気的に接続される。このように各トランジスタのチャネル領域はそのトランジスタに接続される容量の一方の電極である容量線 3b に電気的に接続され、チャネル領域 1a から蓄積された余剰キャリアを容量線 3b に引き抜くことにより基板浮遊効果を抑制する。尚、容量線 3b には、共通電極電位 VLC が印加される。

#### 【 0 0 9 3 】

(電気光学装置の製造方法)

次に、以上のような構成を持つ液晶装置の製造プロセスについて、図 6 から図 11 を参照して説明する。

#### 【 0 0 9 4 】

尚、図 6 から図 11 は各工程における TFT アレイ基板側の各層を、図 3 と同様に図 2 の A - A' 断面に対応させて示す工程図である。

#### 【 0 0 9 5 】

図 6 の工程 (1) に示すように、石英基板、ハードガラス等の TFT アレイ基板 10 を用意する。ここで、好ましくは N<sub>2</sub> (窒素) 等の不活性ガス雰囲気且つ約 900 ~ 1300 の高温でアニール処理し、後に実施される高温プロセスにおける TFT アレイ基板 10 に生じる歪みが少なくなるように前処理しておく。即ち、製造プロセスにおける最高温で高温処理される温度に合わせて、事前に TFT アレイ基板 10 を同じ温度かそれ以上の温度で熱処理しておく。

#### 【 0 0 9 6 】

このように処理された TFT アレイ基板 10 の全面に、Ti、Cr、W、Ta、Mo 及び Pd 等の金属や金属シリサイド等の金属合金膜を、スパッタにより、200 ~ 400 nm 程度の層厚、好ましくは約 200 nm の層厚の遮光膜 11 を形成する。

#### 【 0 0 9 7 】

続いて、工程 (2) に示すように、該形成された遮光膜 11 上にフォトリソグラフィにより第 1 遮光膜 11a のパターン (図 2 参照) に対応するレジストマスクを形成し、該レジストマスクを介して遮光膜 11 に対しエッチングを行うことにより、第 1 遮光膜 11a を形成する。

10

20

30

40

50

## 【0098】

次に、工程(3)に示すように、第1遮光膜11aの上に、例えば、常圧又は減圧CVD法等によりTEOS(テトラ・エチル・オルソ・シリケート)ガス、TEB(テトラ・エチル・ボートレート)ガス、TMOP(テトラ・メチル・オキシ・フォスレート)ガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第1層間絶縁膜12を形成する。この第1層間絶縁膜12の層厚は、例えば、約600~1000nm、より好ましくは800nm程度とする。

## 【0099】

次に、工程(4)に示すように、第1層間絶縁膜12の表面を、グローバルに研磨して平坦化する。研磨による平坦化の手法としては、例えばCMP(化学的機械研磨)法を用いることができる。

10

## 【0100】

次に、工程(5)に示すように、基板10と単結晶シリコン基板206aとの貼り合わせを行う。貼り合わせに用いる単結晶シリコン基板206aは、厚さ600μmであり、その表面をあらかじめ0.05~0.8μm程度酸化し、酸化膜層206bを形成すると共に、水素イオン(H<sup>+</sup>)を例えば加速電圧100keV、ドーズ量10e16/cm<sup>2</sup>にて注入したものである。貼り合わせ工程は、例えば300で2時間の熱処理によって2枚の基板を直接貼り合わせる方法が採用できる。

## 【0101】

次に、工程(6)に示すように、貼り合わせた単結晶シリコン基板206aの貼り合わせ面側の酸化膜206bと単結晶シリコン層206を残したまま、単結晶シリコン基板206aを基板10から剥離するための熱処理を行う。この基板の剥離現象は、単結晶シリコン基板中に導入された水素イオンによって、単結晶シリコン基板の表面近傍のある層でシリコンの結合が分断されるために生じるものである。例えば、貼り合わせた2枚の基板を毎分20の昇温速度にて600まで加熱することにより行うことができる。この熱処理によって、貼り合わせた単結晶シリコン基板206aが基板10と分離し、基板10表面には約200nm±5nm程度の単結晶シリコン層206が形成される。なお、基板10上に貼り合わされる単結晶シリコン層206は、前に述べた単結晶シリコン基板に対して行われる水素イオン注入の加速電圧を変えることによって任意の膜厚で形成することが可能である。

20

## 【0102】

次に、工程(7)に示すように、フォトリソグラフィ工程、エッチング工程等により、図2に示した如き所定パターンの半導体層1aを形成する。即ち、特にデータ線6a下で容量線3bが形成される領域及び走査線3aに沿って容量線3bが形成される領域には、画素スイッチング用TFT30を構成する半導体層1aから延設された第1蓄積容量電極1fを形成する。また、同時に半導体層1aのチャネル領域1a'から延在する延在部201も形成する。

30

## 【0103】

次に、工程(8)に示すように、画素スイッチング用TFT30を構成する半導体層1aと共に第1蓄積容量電極1fを約850~1300の温度、好ましくは約1000の温度で72分程度熱酸化することにより、約60nmの比較的薄い厚さの熱酸化シリコン膜を形成し、画素スイッチング用TFT30のゲート絶縁膜2と共に容量形成用のゲート絶縁膜2を形成する。この結果、半導体層1a及び第1蓄積容量電極1fの厚さは、約170nmの厚さ、ゲート絶縁膜2の厚さは、約60nmの厚さとなる。

40

## 【0104】

次に、図7の工程(9)に示すように、Nチャネルの半導体層1aに対応する位置にレジスト膜301を形成し、Pチャネルの半導体層1aにPなどのV族元素のドーパント302を低濃度で(例えば、Pイオンを70keVの加速電圧、2e11/cm<sup>2</sup>のドーズ量にて)ドープする。

## 【0105】

50

次に、工程(10)に示すように、図示を省略するPチャネルの半導体層1aに対応する位置にレジスト膜を形成し、Nチャネルの半導体層1aにBなどのIII族元素のドーパント303を低濃度で(例えば、Bイオンを35keVの加速電圧、1e12/cm<sup>2</sup>のドーズ量にて)ドープする。

【0106】

ここで、図17及び図18のグラフに示すように、ドーパンドの種類及びドーズ量によって、更には工程の順番によって各チャネルのしきい値電圧V<sub>th</sub>を制御することが可能である。

【0107】

図17はPチャネルにおけるドーズ量としきい値電圧V<sub>th</sub>との関係を示している。図17 1 10 はドーパンドとしてボロンを用いた場合のシミュレーション結果、図17 2 はドーパンドとしてリンを用いた場合のシミュレーション結果、図17 3 は実験結果を示している。これらの図から分かるように、しきい値電圧V<sub>th</sub>として-1.5Vを得たい場合にはリンを1e12/cm<sup>2</sup>のドーズ量でドープするのが好適である。

【0108】

図18はNチャネルにおけるドーズ量としきい値電圧V<sub>th</sub>との関係を示している。図18 1 20 1 はドーパンドとしてボロンを用いた場合のシミュレーション結果、図18 2 は工程(8)の後に工程(9)及び工程(10)を行った場合の実験結果、図18 3 は工程(9)及び工程(10)の後に工程(8)を行った場合の実験結果を示している。これらの図から分かるように、しきい値電圧V<sub>th</sub>として1.5Vを得たい場合にはボロンを7e11/cm<sup>2</sup>のドーズ量でドープするのが好適である。

【0109】

次に、工程(11)に示すように、Pチャネル、Nチャネル毎に各半導体層1aのチャネル領域1a'の端部304(図12及び図13参照)を除く基板10の表面にレジスト膜305を形成し、端部304にPチャネルについて工程(9)の約1~10倍のドーズ量のPなどのV族元素のドーパント306、Nチャネルについて工程(10)の約1~10倍のドーズ量のBなどのIII族元素のドーパント306をドープする。半導体層1aのチャネル領域1a'の端部304は電界が集中して見かけ上のしきい値電圧が低くなり、リーコンタクトホール13を反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより或いはウェットエッチングにより形成する。この際、反応性エッチング、反応性イオンビームエッチングのような異方性エッチングにより、コンタクトホール13等を開孔した方が、開孔形状をマスク形状とほぼ同じにできるという利点がある。但し、ドライエッチングとウェットエッチングとを組み合わせて開孔すれば、これらのコンタクトホール13等をテーパ状にできるので、配線接続時の断線を防止できるという利点が得られる。

【0110】

次に、工程(12)に示すように、半導体膜1aを延設してなる第1蓄積容量電極1fを低抵抗化するため、基板10の表面の走査線3a(ゲート電極)に対応する部分にレジスト膜307(走査線3aよりも幅が広い)を形成し、これをマスクとしてその上からPなどのV族元素のドーパント308を低濃度で(例えば、Pイオンを70keVの加速電圧、3e14/cm<sup>2</sup>のドーズ量にて)ドープする。

【0111】

次に、図8の工程(13)に示すように、第1層間絶縁膜12に第1遮光膜11aに至るコンタクトホール13を反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより或いはウェットエッチングにより形成する。この際、反応性エッチング、反応性イオンビームエッチングのような異方性エッチングにより、コンタクトホール13等を開孔した方が、開孔形状をマスク形状とほぼ同じにできるという利点がある。但し、ドライエッチングとウェットエッチングとを組み合わせて開孔すれば、これらのコンタクトホール13等をテーパ状にできるので、配線接続時の断線を防止できるという利点が得られる。

【0112】

次に、工程(14)に示すように、減圧CVD法等によりポリシリコン層3を350nm~550nmの厚さで堆積した後、リン(P)を熱拡散し、ポリシリコン膜3を導電化す

10

20

30

40

50

る。又は、Pイオンをポリシリコン膜3の成膜と同時に導入したドープトシリコン膜を用いてもよい。これにより、ポリシリコン層3の導電性を高めることができる。そして、走査線のゲート電極領域の厚さが350nmより大きいことで、配線抵抗を低減し、配線遅延による画素への信号書き込み速度の低下を十分に抑えることができる。また、走査線のゲート電極領域の厚さが550nmより小さいことで、このゲート電極の膜厚に起因する素子基板の段差を必要最小限に抑えることができ、この結果液晶を配向させた際のディスクリネーションを抑制し表示画質を良好に保つことができる。なお、ポリシリコン層3に加えて導電性金属層を積層することでも導電性を高めることができる。

#### 【0113】

次に、工程(15)に示すように、レジストマスクを用いたフォトリソグラフィ工程、エッチング工程等により、図2に示した如き所定パターンの走査線3aと共に容量線3bを形成する。尚、この後、基板10の裏面に残存するポリシリコンを基板10の表面をレジスト膜で覆ってエッチングにより除去する。

#### 【0114】

次に、工程(16)に示すように、半導体層1aにPチャネルのLDD領域を形成するために、Nチャネルの半導体層1aに対応する位置をレジスト膜309で覆い(図はNチャネルの半導体層1aを示している。)、走査線3a(ゲート電極)を拡散マスクとして、まずBなどのIII族元素のドーパント310を低濃度で(例えば、BF2イオンを90keVの加速電圧、3e13/cm<sup>2</sup>のドーザ量にて)ドープし、Pチャネルの低濃度ソース領域1b及び低濃度ドレイン領域1cを形成する。

#### 【0115】

続いて、工程(17)に示すように、半導体層1aにPチャネルの高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、Nチャネルの半導体層1aに対応する位置をレジスト膜309で覆った状態で、かつ、図示はしていないが走査線3aよりも幅の広いマスクでレジスト層をPチャネルに対応する走査線3a上に形成した状態、同じくBなどのIII族元素のドーパント311を高濃度で(例えば、BF2イオンを90keVの加速電圧、2e15/cm<sup>2</sup>のドーザ量にて)ドープする。

#### 【0116】

次に、図9の工程(18)に示すように、半導体層1aにNチャネルのLDD領域を形成するために、Pチャネルの半導体層1aに対応する位置をレジスト膜(図示せず)で覆い、走査線3a(ゲート電極)を拡散マスクとして、PなどのV族元素のドーパント60を低濃度で(例えば、Pイオンを70keVの加速電圧、6e12/cm<sup>2</sup>のドーザ量にて)ドープし、Nチャネルの低濃度ソース領域1b及び低濃度ドレイン領域1cを形成する。

#### 【0117】

続いて、工程(19)に示すように、半導体層1aにNチャネルの高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、走査線3aよりも幅の広いマスクでレジスト層62をNチャネルに対応する走査線3a上に形成した後、同じくPなどのV族元素のドーパント61を高濃度で(例えば、Pイオンを70keVの加速電圧、4e15/cm<sup>2</sup>のドーザ量にて)ドープする。

#### 【0118】

ここで、図19にLDD領域を3e13/cm<sup>2</sup>のドーザ量のドーパント311でドープして形成されたPチャネルの半導体層1aの電圧-電流特性を示す。また、図20にLDD領域を1e13/cm<sup>2</sup>のドーザ量のドーパント61でドープして形成されたNチャネルの半導体層1aの電圧-電流特性を示す。更に、図21にLDD領域を6e12/cm<sup>2</sup>のドーザ量のドーパント61でドープして形成されたNチャネルの半導体層1aの電圧-電流特性を示す。

#### 【0119】

次に、工程(20)に示すように、画素スイッチング用TFT30における走査線3aと共に容量線3b及び走査線3aを覆うように、例えば、常圧又は減圧CVD法やTEOS

10

20

30

40

50

ガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第2層間絶縁膜4を形成する。第2層間絶縁膜4の層厚は、約600～1500nmが好ましく、更に800nmがより好ましい。

【0120】

この後、高濃度ソース領域1d及び高濃度ドレイン領域1eを活性化するために約850のアニール処理を20分程度行う。

【0121】

次に、工程(21)に示すように、データ線6aを形成するためのコンタクトホール5及びコンタクトホール202、204(図4及び図5参照)を、反応性イオンエッティング、反応性イオンビームエッティング等のドライエッティングにより或いはウエットエッティングにより形成する。また、走査線3aや容量線3bを図示しない配線と接続するためのコンタクトホールも、コンタクトホール5と同一の工程により第2層間絶縁膜4に開孔する。

10

【0122】

次に、図10の工程(22)に示すように、第2層間絶縁膜4の上に、スパッタ処理等により、遮光性のAl等の低抵抗金属や金属シリサイド等を金属膜6として、約100～700nmの厚さ、好ましくは約350nmに堆積し、更に工程(23)に示すように、フォトリソグラフィ工程、エッティング工程等により、データ線6aを形成する。このとき同時に金属膜6により接続配線203も形成する(図4及び図5参照)。

【0123】

次に、工程(24)に示すように、データ線6a上を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第3層間絶縁膜7を形成する。第3層間絶縁膜7の層厚は、約600～1500nmが好ましく、更に800nmがより好ましい。

20

【0124】

次に、図11の工程(25)に示すように、画素スイッチング用TFT30において、画素電極9aと高濃度ドレイン領域1eとを電気的接続するためのコンタクトホール8を、反応性イオンエッティング、反応性イオンビームエッティング等のドライエッティングにより形成する。

【0125】

30

次に、工程(26)に示すように、第3層間絶縁膜7の上に、スパッタ処理等により、ITO膜等の透明導電性薄膜9を、約50～200nmの厚さに堆積し、更に工程(27)に示すように、フォトリソグラフィ工程、エッティング工程等により、画素電極9aを形成する。尚、当該液晶装置を反射型の液晶装置に用いる場合には、Al等の反射率の高い不透明な材料により画素電極9aを形成してもよい。

【0126】

続いて、画素電極9aの上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜16(図3参照)が形成される。

【0127】

40

他方、図3及び図4に示した対向基板20については、ガラス基板等が先ず用意され、第2遮光膜23及び後述の額縁としての第2遮光膜が、例えば金属クロムをスパッタした後、フォトリソグラフィ工程、エッティング工程を経て形成される。尚、これらの第2遮光膜は、Cr、Ni、Alなどの金属材料の他、カーボンやTiをフォトレジストに分散した樹脂ブラックなどの材料から形成してもよい。

【0128】

その後、対向基板20の全面にスパッタ処理等により、ITO等の透明導電性薄膜を、約50～200nmの厚さに堆積することにより、対向電極21を形成する。更に、対向電極21の全面にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜22(図3参照)が形

50

成される。

【0129】

最後に、上述のように各層が形成された TFT アレイ基板 10 と対向基板 20 とは、配向膜 16 及び 22 が対面するようにシール材 52 により貼り合わされ、真空吸引等により、両基板間の空間に、例えば複数種類のネマティック液晶を混合してなる液晶が吸引されて、所定層厚の液晶層 50 が形成される。

【0130】

(液晶装置の全体構成)

以上のように構成された液晶装置の各実施の形態の全体構成を図 14 及び図 15 を参照して説明する。尚、図 14 は、TFT アレイ基板 10 をその上に形成された各構成要素と共に対向基板 20 の側から見た平面図であり、図 15 は、対向基板 20 を含めて示す図 14 の H - H' 断面図である。

10

【0131】

図 14 において、TFT アレイ基板 10 の上には、シール材 52 がその縁に沿って設けられており、その内側に並行して、例えば第 2 遮光膜 23 と同じ或いは異なる材料から成る額縁としての第 2 遮光膜 53 が設けられている。シール材 52 の外側の領域には、データ線駆動回路 101 及び実装端子 102 が TFT アレイ基板 10 の一辺に沿って設けられており、走査線駆動回路 104 が、この一辺に隣接する 2 辺に沿って設けられている。走査線 3a に供給される走査信号遅延が問題にならないのならば、走査線駆動回路 104 は片側だけでも良いことは言うまでもない。また、データ線駆動回路 101 を画面表示領域の辺に沿って両側に配列してもよい。例えば奇数列のデータ線 6a は画面表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は前記画面表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにもよい。この様にデータ線 6a を櫛歯状に駆動するようにすれば、データ線駆動回路の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。更に TFT アレイ基板 10 の残る一辺には、画面表示領域の両側に設けられた走査線駆動回路 104 間をつなぐための複数の配線 105 が設けられている。また、対向基板 20 のコーナー部の少なくとも 1 箇所においては、TFT アレイ基板 10 と対向基板 20 との間で電気的導通をとるための導通材 106 が設けられている。そして、図 15 に示すように、図 13 に示したシール材 52 とほぼ同じ輪郭を持つ対向基板 20 が当該シール材 52 により TFT アレイ基板 10 に固着されている。

20

【0132】

以上の液晶装置の TFT アレイ基板 10 上には更に、製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路等を形成してもよい。また、データ線駆動回路 101 及び走査線駆動回路 104 を TFT アレイ基板 10 の上に設ける代わりに、例えば TAB (テープオートメイティッドボンディング基板) 上に実装された駆動用 LSI に、TFT アレイ基板 10 の周辺部に設けられた異方性導電フィルムを介して電気的及び機械的に接続するようにしてもよい。また、対向基板 20 の投射光が入射する側及び TFT アレイ基板 10 の出射光が出射する側には各々、例えば、TN (ツイステッドネマティック) モード、STN (スーパー TN) モード、D-STN (デュアルスキャン - STN) モード等の動作モードや、ノーマリー ホワイトモード / ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光手段などが所定の方向で配置される。

30

【0133】

以上説明した液晶装置は、例えばカラー液晶プロジェクタ (投射型表示装置) に適用される場合には、3 枚の液晶装置が RGB 用のライトバルブとして各々用いられ、各パネルには各々 RGB 色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、その場合には上記実施の形態で示したように、対向基板 20 に、カラーフィルタは設けられていない。しかしながら、第 2 遮光膜 23 の形成されていない画素電極 9a に対向する所定領域に RGB のカラーフィルタをその保護膜と共に、対向基板 20 上に形成してもよい。このようにすれば、液晶プロジェクタ以外の

40

50

直視型や反射型のカラー液晶テレビなどのカラー液晶装置に各実施の形態における液晶装置を適用できる。更に、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上することで、明るい液晶装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー液晶装置が実現できる。

【 0 1 3 4 】

以上説明した各実施の形態における液晶装置では、従来と同様に入射光を対向基板20の側から入射することとしたが、第1遮光膜11aを設けているので、TFTアレイ基板10の側から入射光を入射し、対向基板20の側から出射するようにしても良い。即ち、このように液晶装置を液晶プロジェクタに取り付けても、半導体層1aのチャネル領域1a'及びLD領域1b、1cに光が入射することを防ぐことが出来、高画質の画像を表示することが可能である。ここで、従来は、TFTアレイ基板10の裏面側での反射を防止するために、反射防止用のAR(Anti-reflection)被膜された偏光手段を別途配置したり、ARフィルムを貼り付ける必要があった。しかし、各実施の形態では、TFTアレイ基板10の表面と半導体層1aの少なくともチャネル領域1a'及びLD領域1b、1cとの間に第1遮光膜11aが形成されているため、このようなAR被膜された偏光手段やARフィルムを用いたり、TFTアレイ基板10そのものをAR処理した基板を使用する必要が無くなる。従って、各実施の形態によれば、材料コストを削減でき、また偏光手段の貼り付け時に、ごみ、傷等により、歩留まりを落とすことがなく大変有利である。また、耐光性が優れているため、明るい光源を使用したり、偏光ビームスプリッタにより偏光変換して、光利用効率を向上させても、光によるクロストーク等の画質劣化を生じない。

〔 0 1 3 5 〕

## ( 電子機器 )

上記の液晶装置を用いた電子機器の一例として、投射型表示装置の構成について、図16を参照して説明する。図16において、投射型表示装置1100は、上述した液晶装置を3個用意し、夫々RGB用の液晶装置962R、962G及び962Bとして用いた投射型液晶装置の光学系の概略構成図を示す。本例の投射型表示装置の光学系には、前述した光源装置920と、均一照明光学系923が採用されている。そして、投射型表示装置は、この均一照明光学系923から出射される光束Wを赤(R)、緑(G)、青(B)に分離する色分離手段としての色分離光学系924と、各色光束R、G、Bを変調する変調手段としての3つのライトバルブ925R、925G、925Bと、変調された後の色光束を再合成する色合成手段としての色合成プリズム910と、合成された光束を投射面100の表面に拡大投射する投射手段としての投射レンズユニット906を備えている。また、青色光束Bを対応するライトバルブ925Bに導く導光系927をも備えている。

〔 0 1 3 6 〕

均一照明光学系 923 は、2つのレンズ板 921、922 と反射ミラー 931 を備えており、反射ミラー 931 を挟んで2つのレンズ板 921、922 が直交する状態に配置されている。均一照明光学系 923 の2つのレンズ板 921、922 は、それぞれマトリクス状に配置された複数の矩形レンズを備えている。光源装置 920 から出射された光束は、第1のレンズ板 921 の矩形レンズによって複数の部分光束に分割される。そして、これらの部分光束は、第2のレンズ板 922 の矩形レンズによって3つのライトバルブ 925R、925G、925B 付近で重畠される。従って、均一照明光学系 923 を用いることにより、光源装置 920 が 出射光束の断面内で不均一な照度分布を有している場合でも、3つのライトバルブ 925R、925G、925B を均一な照明光で照明することが可能となる。

( 0 1 3 7 )

クミラー 942 と、反射ミラー 943 から構成される。まず、青緑反射ダイクロイックミラー 941において、光束 W に含まれている青色光束 B および緑色光束 G が直角に反射され、緑反射ダイクロイックミラー 942 の側に向かう。赤色光束 R はこのミラー 941 を通過して、後方の反射ミラー 943 で直角に反射されて、赤色光束 R の出射部 944 からプリズムユニット 910 の側に出射される。

【0138】

次に、緑反射ダイクロイックミラー 942において、青緑反射ダイクロイックミラー 941において反射された青色、緑色光束 B、G のうち、緑色光束 G のみが直角に反射されて、緑色光束 G の出射部 945 から色合成光学系の側に出射される。緑反射ダイクロイックミラー 942 を通過した青色光束 B は、青色光束 B の出射部 946 から導光系 927 の側に出射される。本例では、均一照明光学素子の光束 W の出射部から、色分離光学系 924 における各色光束の出射部 944、945、946 までの距離がほぼ等しくなるように設定されている。

【0139】

色分離光学系 924 の赤色、緑色光束 R、G の出射部 944、945 の出射側には、それぞれ集光レンズ 951、952 が配置されている。したがって、各出射部から出射した赤色、緑色光束 R、G は、これらの集光レンズ 951、952 に入射して平行化される。

【0140】

このように平行化された赤色、緑色光束 R、G は、ライトバルブ 925R、925G に入射して変調され、各色光に対応した画像情報が付加される。すなわち、これらの液晶装置は、不図示の駆動手段によって画像情報に応じてスイッチング制御されて、これにより、ここを通過する各色光の変調が行われる。一方、青色光束 B は、導光系 927 を介して対応するライトバルブ 925B に導かれ、ここにおいて、同様に画像情報に応じて変調が施される。尚、本例のライトバルブ 925R、925G、925B は、それぞれさらに入射側偏光手段 960R、960G、960B と、出射側偏光手段 961R、961G、961B と、これらの間に配置された液晶装置 962R、962G、962B とからなる液晶ライトバルブである。

【0141】

導光系 927 は、青色光束 B の出射部 946 の出射側に配置した集光レンズ 954 と、入射側反射ミラー 971 と、出射側反射ミラー 972 と、これらの反射ミラーの間に配置した中間レンズ 973 と、ライトバルブ 925B の手前側に配置した集光レンズ 953 とから構成されている。集光レンズ 946 から出射された青色光束 B は、導光系 927 を介して液晶装置 962B に導かれて変調される。各色光束の光路長、すなわち、光束 W の出射部から各液晶装置 962R、962G、962B までの距離は青色光束 B が最も長くなり、したがって、青色光束の光量損失が最も多くなる。しかし、導光系 927 を介在させることにより、光量損失を抑制することができる。

【0142】

各ライトバルブ 925R、925G、925B を通って変調された各色光束 R、G、B は、色合成プリズム 910 に入射され、ここで合成される。そして、この色合成プリズム 910 によって合成された光が投射レンズユニット 906 を介して所定の位置にある投射面 100 の表面に拡大投射されるようになっている。

【0143】

本例では、液晶装置 962R、962G、962B には、TFT の下側に遮光層が設けられているため、当該液晶装置 962R、962G、962B からの投射光に基づく液晶プロジェクタ内の投射光学系による反射光、投射光が通過する際の TFT アレイ基板の表面からの反射光、他の液晶装置から出射した後に投射光学系を突き抜けてくる投射光の一部等が、戻り光として TFT アレイ基板の側から入射しても、画素電極のスイッチング用の TFT のチャネルに対する遮光を十分に行うことができる。

【0144】

このため、小型化に適したプリズムユニットを投射光学系に用いても、各液晶装置 962

10

20

30

40

50

R、962G、962Bとプリズムユニットとの間において、戻り光防止用のフィルムを別途配置したり、偏光手段に戻り光防止処理を施したりすることが不要となるので、構成を小型且つ簡易化する上で大変有利である。

【0145】

また、本実施の形態では、戻り光によるTFTのチャネル領域への影響を抑えることができるため、液晶装置に直接戻り光防止処理を施した偏光手段961R、961G、961Bを貼り付けなくてもよい。そこで、図16に示されるように、偏光手段を液晶装置から離して形成、より具体的には、一方の偏光手段961R、961G、961Bはプリズムユニット910に貼り付け、他方の偏光手段960R、960G、960Bは集光レンズ953、945、944に貼り付けることが可能である。このように、偏光手段をプリズムユニットあるいは集光レンズに貼り付けることにより、偏光手段の熱は、プリズムユニットあるいは集光レンズで吸収されるため、液晶装置の温度上昇を防止することができる。

10

【0146】

また、図示を省略するが、液晶装置と偏光手段とを離間形成することにより、液晶装置と偏光手段との間には空気層ができるため、冷却手段を設け、液晶装置と偏光手段との間に冷風等の送風を送り込むことにより、液晶装置の温度上昇をさらに防ぐことができ、液晶装置の温度上昇による誤動作を防ぐことができる。

【0147】

上述の本実施形態では液晶装置を用いて説明したが、これに限るものではなく、エレクトロルミネッセンス、あるいはプラズマディスプレイ等の電気光学装置にも本実施形態は適用可能である。

20

【図面の簡単な説明】

【図1】本発明の一実施形態における液晶装置の画像形成領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

【図2】液晶装置の一実施形態におけるデータ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【図3】図2のA-A'断面図である。

【図4】図2のB-B'断面図である。

【図5】図2乃至図4の半導体層の近傍の構造を概念的に示した斜視図である。

30

【図6】液晶装置の一実施形態の製造プロセスを順を追って示す工程図（その1）である。

。

【図7】液晶装置の一実施形態の製造プロセスを順を追って示す工程図（その2）である。

。

【図8】液晶装置の一実施形態の製造プロセスを順を追って示す工程図（その3）である。

。

【図9】液晶装置の一実施形態の製造プロセスを順を追って示す工程図（その4）である。

。

【図10】液晶装置の一実施形態の製造プロセスを順を追って示す工程図（その5）である。

40

【図11】液晶装置の一実施形態の製造プロセスを順を追って示す工程図（その6）である。

【図12】液晶装置における半導体層のチャネル領域の一部平面図である。

【図13】図12のC-C'断面図である。

【図14】液晶装置の各実施の形態におけるTFTアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図15】図14のH-H'断面図である。

【図16】液晶装置を用いた電子機器の一例である投射型表示装置の構成図である。

【図17】Pチャネルにおけるドーズ量としきい値電圧との関係を示すグラフである。

【図18】Nチャネルにおけるドーズ量としきい値電圧との関係を示すグラフである。

50

【図19】Pチャネルの半導体層の電圧 - 電流特性を示すグラフである。

【図20】Nチャネルの半導体層の電圧 - 電流特性（その1）を示すグラフである。

【図21】Nチャネルの半導体層の電圧 - 電流特性（その2）を示すグラフである。

【図22】本実施形態の液晶装置の等価回路図である。

【符号の説明】

1 a ... 半導体層

1 a' ... チャネル領域

1 b ... 低濃度ソース領域（ソース側LDD領域）

1 c ... 低濃度ドレイン領域（ドレイン側LDD領域）

1 d ... 高濃度ソース領域

10

1 e ... 高濃度ドレイン領域

3 a ... 走査線

3 a ... 回り込み部

3 b ... 容量線

6 a ... データ線

9 a ... 画素電極

10 ... TFTアレイ基板

201 ... 接続配線

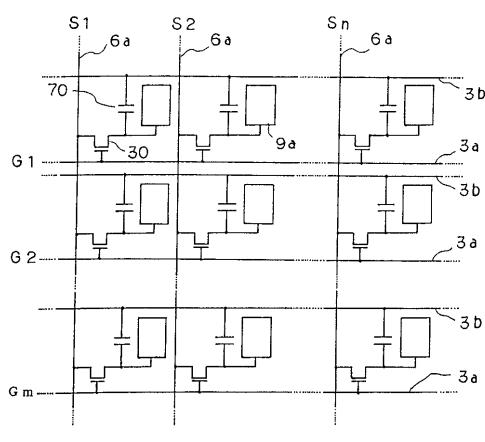
202 ... コンタクトホール

20

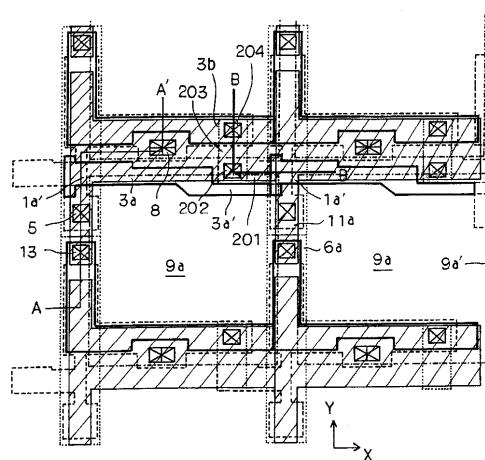
203 ... 接続配線

204 ... コンタクトホール

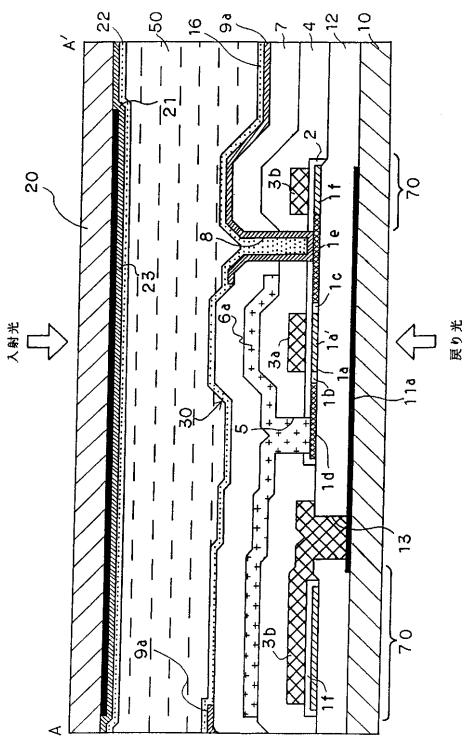
【図1】



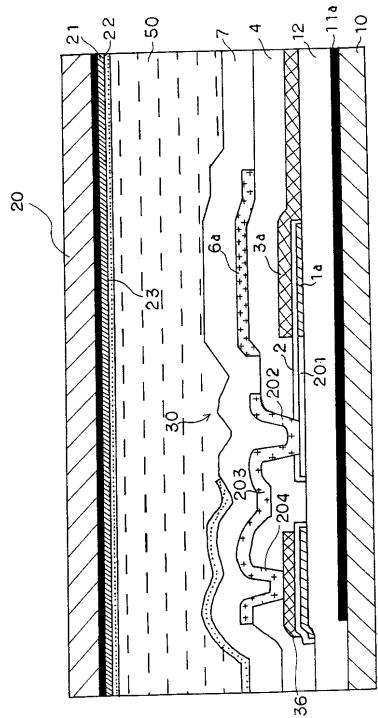
【図2】



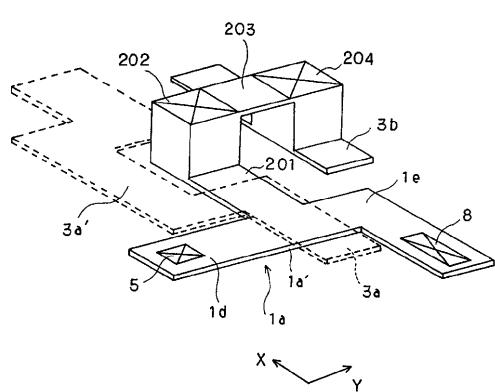
【 义 3 】



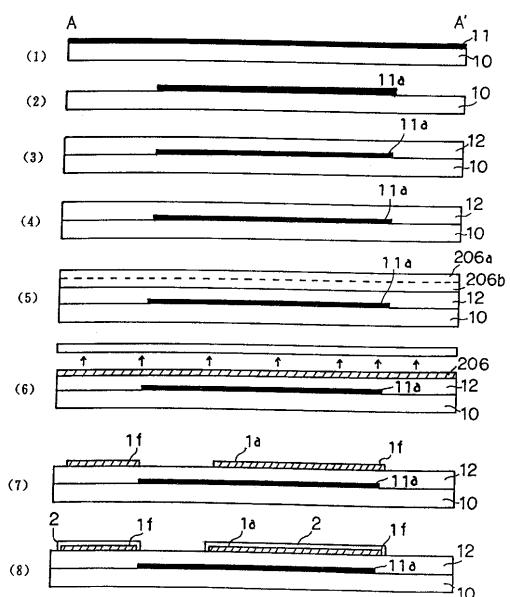
【 図 4 】



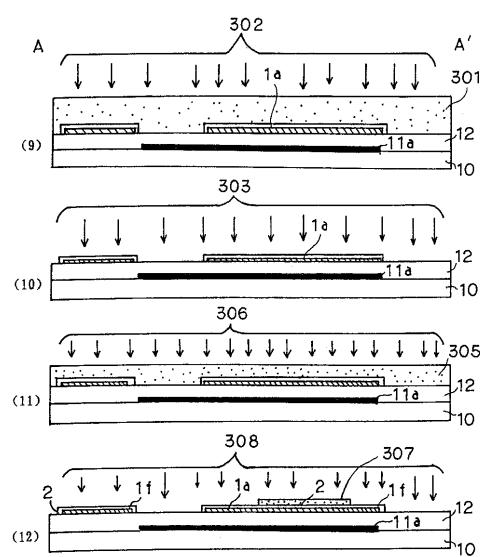
【 図 5 】



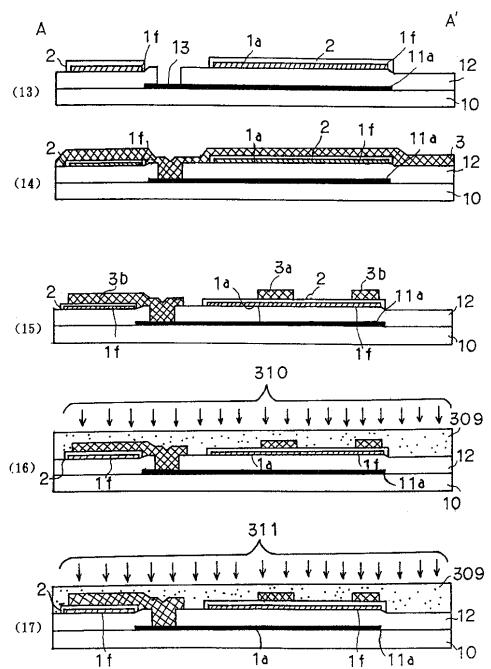
【図6】



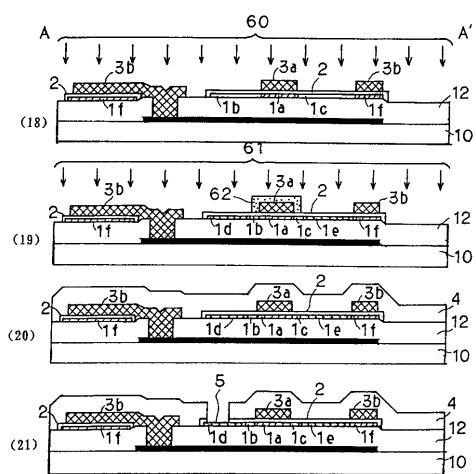
【図7】



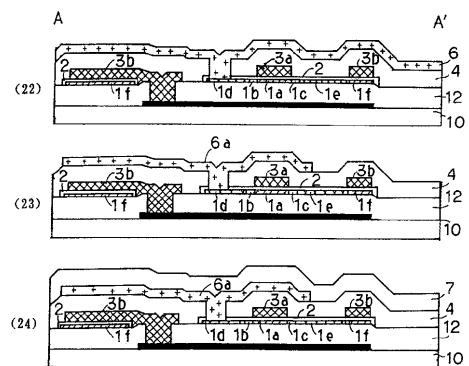
【図8】



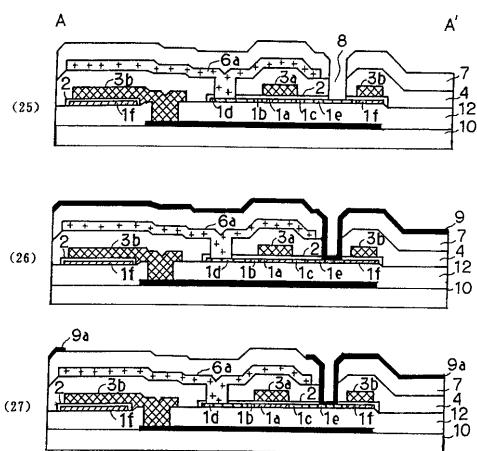
【図9】



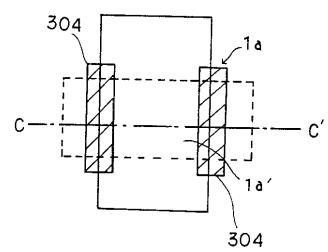
【図10】



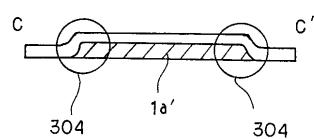
【図11】



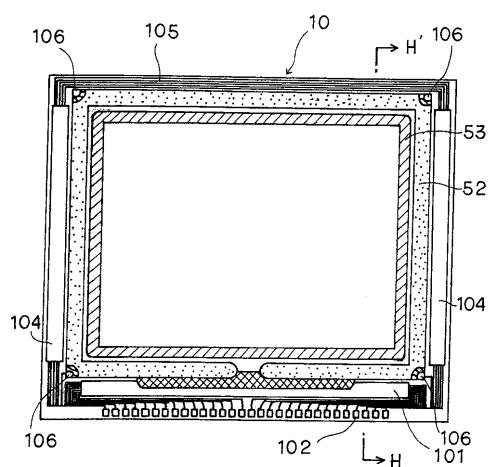
【図12】



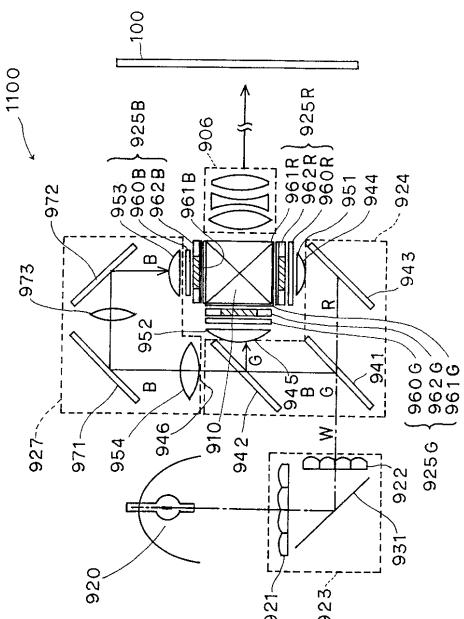
【図13】



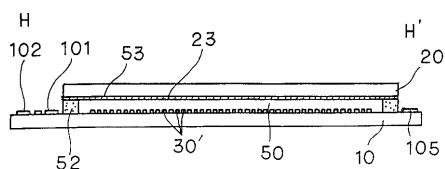
【図14】



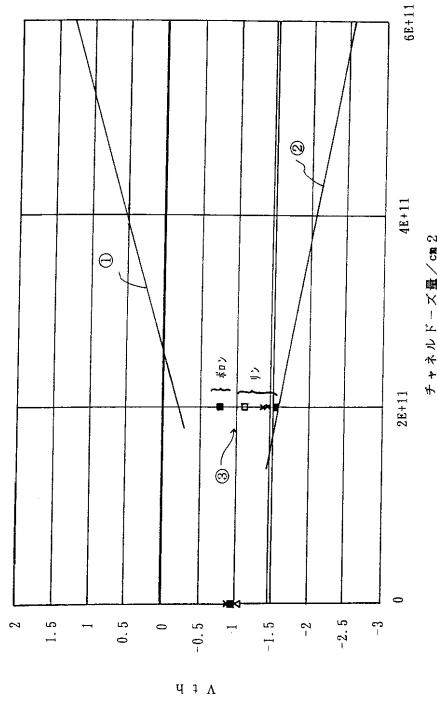
【図16】



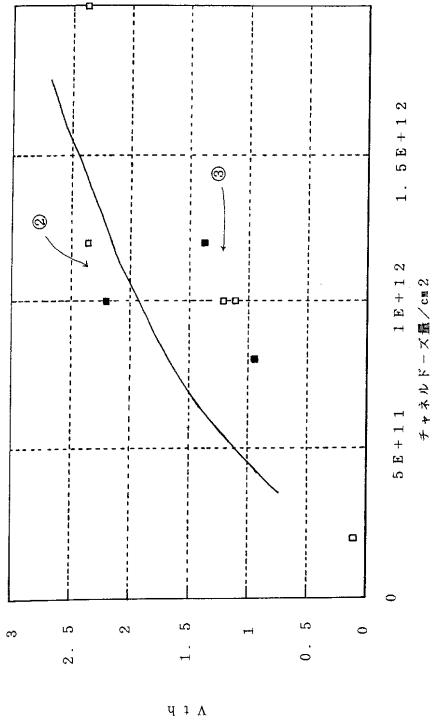
【図15】



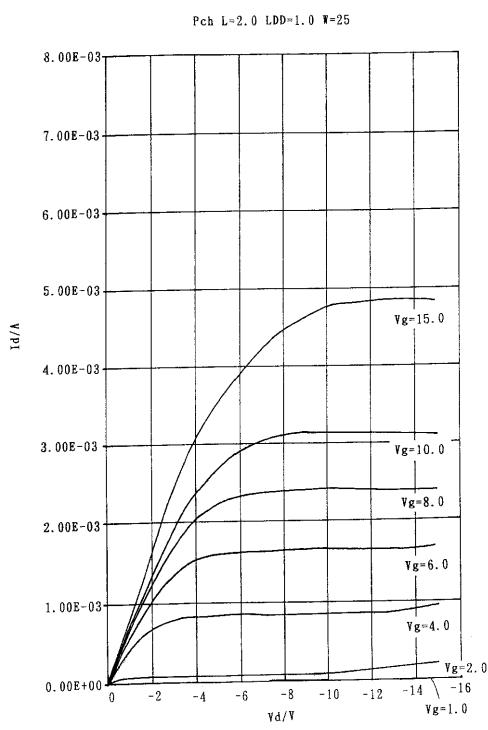
【図17】



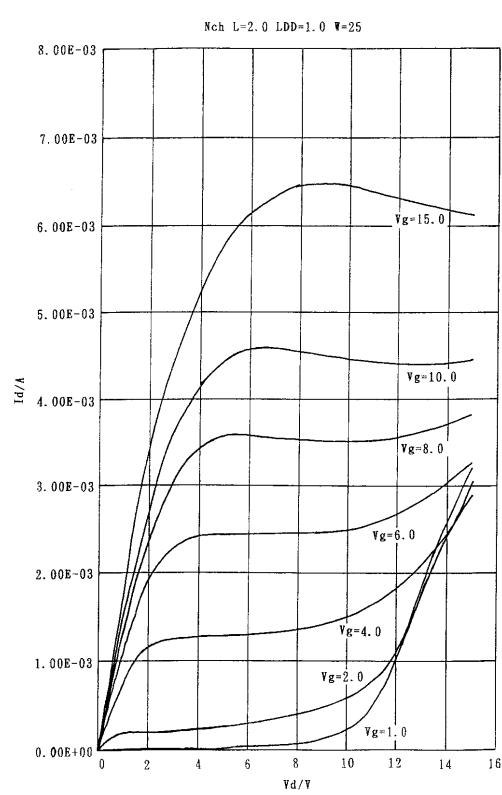
【図18】



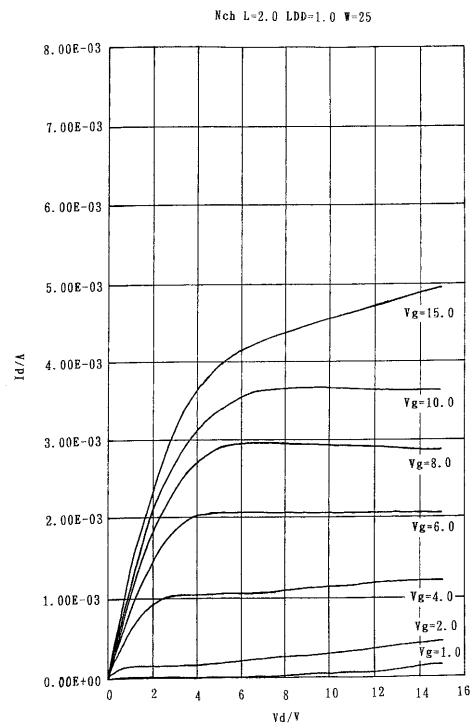
【図19】



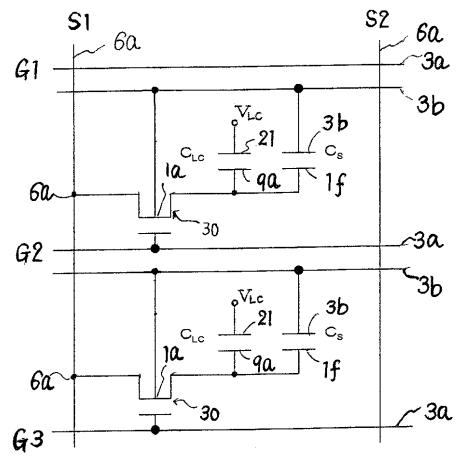
【図20】



【図 2 1】



【図 2 2】



---

フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 29/78 6 2 7 D

(72)発明者 安川 昌宏

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 和瀬田 芳正

(56)参考文献 特表平10-508156 (JP, A)

特開平5-218434 (JP, A)

特開昭62-104173 (JP, A)

国際公開第99/35678 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368

G09F 9/30

H01L 21/336

H01L 29/786