



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2014년11월13일  
(11) 등록번호 10-1460979  
(24) 등록일자 2014년11월06일

(51) 국제특허분류(Int. Cl.)  
H04B 5/00 (2006.01) H04B 7/00 (2006.01)  
(21) 출원번호 10-2008-0010503  
(22) 출원일자 2008년02월01일  
심사청구일자 2013년01월31일  
(65) 공개번호 10-2008-0072568  
(43) 공개일자 2008년08월06일  
(30) 우선권주장  
JP-P-2007-00024001 2007년02월02일 일본(JP)  
(56) 선행기술조사문헌  
KR1020060131966 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
가부시킴가이샤 한도오파이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398  
(72) 발명자  
구로카와 요시유키  
일본, 가나가와켄 243-0036, 아쓰기시, 하세 398  
가부시킴가이샤한도오파이 에네루기 켄큐쇼 내  
(74) 대리인  
장훈

전체 청구항 수 : 총 11 항

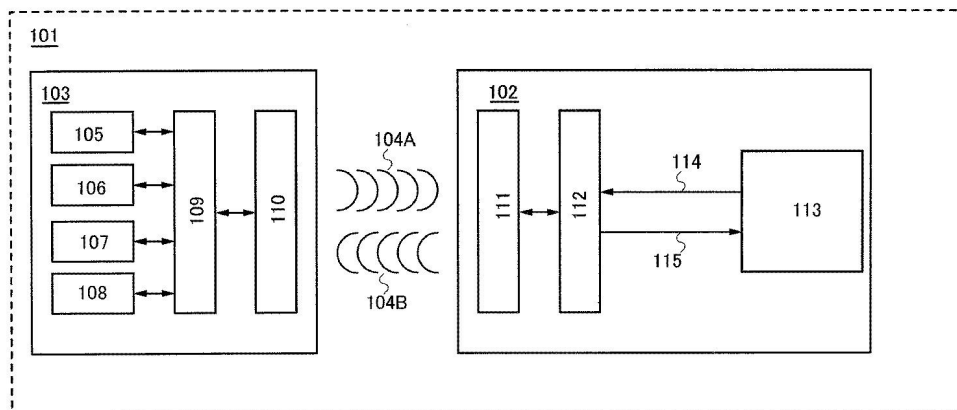
심사관 : 김중권

(54) 발명의 명칭 무선 시스템, 및 반도체 장치 및 통신 장치

(57) 요약

본 발명은, 동일한 기능을 가지는 복수의 기능 회로를 가지는 반도체 장치와, 통신 장치로 구성되며, 반도체 장치는 각각의 기능 회로에 있어서의 처리 결과를 시분할로 송신하고, 통신 장치는 수신한 각각의 기능 회로에 있어서의 처리 결과로 다수결에 의하여 정상적인 응답을 추출하는 것이다.

대표도



## 특허청구의 범위

### 청구항 1

무선 시스템에 있어서,  
반도체 장치와;  
통신 장치를 포함하고,  
상기 반도체 장치는 제 1 기능 회로 및 제 2 기능 회로를 포함하고,  
상기 제 1 기능 회로는 제 1 동작을 수행하고 제 1 데이터를 생성하고,  
상기 제 2 기능 회로는 제 2 동작을 수행하고 제 2 데이터를 생성하고,  
상기 반도체 장치는 상기 제 1 데이터 및 상기 제 2 데이터를 순차로 송신하고,  
상기 통신 장치는 연산 처리 회로를 포함하고 상기 제 1 데이터 및 상기 제 2 데이터를 수신하고,  
상기 연산 처리 회로는 상기 제 1 데이터 및 상기 제 2 데이터에 대해 다수결 처리(多數決處理)를 수행하고,  
상기 제 1 동작 및 상기 제 2 동작은 동일한 동작인, 무선 시스템.

### 청구항 2

삭제

### 청구항 3

삭제

### 청구항 4

무선 시스템에 있어서,  
제 1 반도체 장치와;  
제 2 반도체 장치와;  
통신 장치를 포함하고,  
상기 제 1 반도체 장치는 제 1 기능 회로를 포함하고 제 1 데이터를 송신하고,  
상기 제 1 기능 회로는 제 1 동작을 수행하고 상기 제 1 데이터를 생성하고,  
상기 제 2 반도체 장치는 제 2 기능 회로를 포함하고 제 2 데이터를 송신하고,  
상기 제 2 기능 회로는 제 2 동작을 수행하고 상기 제 2 데이터를 생성하고,  
상기 통신 장치는 연산 처리 회로를 포함하고 상기 제 1 데이터 및 상기 제 2 데이터를 순차로 수신하고,  
상기 연산 처리 회로는 상기 제 1 데이터 및 상기 제 2 데이터에 대해 다수결 처리를 수행하고,  
상기 제 1 동작 및 상기 제 2 동작은 동일한 동작인, 무선 시스템.

### 청구항 5

제 1 항 또는 제 4 항에 있어서,  
상기 통신 장치는 전산 처리부(computing unit)를 포함하는, 무선 시스템.

### 청구항 6

제 1 항 또는 제 4 항에 있어서,

상기 연산 처리 회로는 상기 통신 장치로부터 분리되어 있는 서버에 접속되는, 무선 시스템.

#### 청구항 7

반도체 장치에 있어서,

제 1 기능 회로와;

제 2 기능 회로와;

컨트롤러와;

송수신 회로를 포함하고,

상기 제 1 기능 회로는 제 1 데이터를 저장하고,

상기 제 2 기능 회로는 제 2 데이터를 저장하고,

상기 컨트롤러는 상기 제 1 기능 회로로부터의 상기 제 1 데이터 및 상기 제 2 기능 회로로부터의 상기 제 2 데이터를 판독하고 상기 제 1 데이터 및 상기 제 2 데이터를 상기 송수신 회로에 송신하고,

상기 송수신 회로는 상기 제 1 데이터 및 상기 제 2 데이터를 통신 장치에 순차로 송신하고 상기 통신 장치로부터 제 3 데이터를 수신하고,

상기 통신 장치는 상기 제 1 데이터 및 상기 제 2 데이터를 수신하고 상기 제 1 데이터 및 상기 제 2 데이터에 대해 다수결 처리를 수행하는, 반도체 장치.

#### 청구항 8

제 7 항에 있어서,

상기 통신 장치는 상기 다수결 처리 결과에 의거하여 상기 제 3 데이터를 출력하는 전산 처리부를 포함하는, 반도체 장치.

#### 청구항 9

제 7 항에 있어서,

상기 통신 장치는 상기 통신 장치로부터 분리되어 있는 서버와 접속되고 상기 다수결 처리 결과에 의거하여 상기 제 3 데이터를 출력하는, 반도체 장치.

#### 청구항 10

통신 장치에 있어서,

송수신 회로와;

연산 처리 회로를 포함하고,

상기 송수신 회로는 반도체 장치로부터 송신된 제 1 데이터 및 제 2 데이터를 순차로 수신하고 제 3 데이터를 상기 반도체 장치에 송신하고,

상기 연산 처리 회로는 상기 제 1 및 상기 제 2 데이터에 대해 다수결 처리를 수행하는, 통신 장치.

#### 청구항 11

삭제

#### 청구항 12

삭제

#### 청구항 13

통신 장치에 있어서,

송수신 회로와;

연산 처리 회로를 포함하고,

상기 송수신 회로는 제 1 반도체 장치로부터 송신된 제 1 데이터 및 제 2 반도체 장치로부터 송신된 제 2 데이터를 순차로 수신하고 제 3 데이터를 상기 제 1 반도체 장치 및 상기 제 2 반도체 장치에 송신하고,

상기 연산 처리 회로는 상기 제 1 데이터 및 상기 제 2 데이터에 대해 다수결 처리를 수행하는, 통신 장치.

#### 청구항 14

제 10 항 또는 제 13 항에 있어서,

상기 다수결 처리 결과에 의거하여 상기 제 3 데이터를 출력하는 전산 처리부를 더 포함하는, 통신 장치.

#### 청구항 15

제 10 항 또는 제 13 항에 있어서,

상기 연산 처리 회로는 상기 통신 장치로부터 분리되어 있는 서버에 접속되고 상기 다수결 처리 결과에 의거하여 상기 제 3 데이터를 출력하는, 통신 장치.

### 명세서

#### 발명의 상세한 설명

##### 기술 분야

[0001] 본 발명은, 무선 신호에 의하여 데이터의 송수신을 행하는 반도체 장치에 관한 것이다. 또한, 본 발명은, 반도체 장치의 무선 신호의 수수(授受)를 행하는 외부 통신 장치에 관한 것이다. 또한, 본 발명은, 반도체 장치와 통신 장치를 가지는 무선 시스템에 관한 것이다.

##### 배경 기술

[0002] 근년, 초소형 IC 칩과, 무선 통신용의 안테나를 조합한 소형 반도체 장치(이하, 반도체 장치라고 한다. 또한, RFID 태그, 무선 태그, ID 태그, RF 태그, 무선 칩이라고도 불린다)가 각광을 받고 있다. 상기 반도체 장치는, 외부 통신 장치(이하, 통신 장치라고 한다. 또한, 리더라이터, 리더/라이터, 컨트롤러, 인터로게이터, 질문기라고도 한다)를 사용한 무선 신호의 수수에 의하여, 데이터를 기록하거나, 데이터를 판독하는 등의 데이터의 송수신을 비접촉으로 행할 수 있다.

[0003] 무선 신호에 의하여 데이터를 송수신하는 반도체 장치의 응용 분야로서, 예를 들면, 유통 업계에 있어서의 상품 관리를 들 수 있다. 현황은, 바코드 등을 이용한 상품 관리가 주류이지만, 바코드는 광학적으로 판독하기 때문에, 차폐물이 있으면 데이터를 판독할 수 없는 경우가 있다. 한편, 무선 통신 장치를 사용하여 비접촉으로 데이터를 송수신하는 방식에서는, 반도체 장치의 데이터를 무선으로 판독하기 때문에, 차폐물이 있어도 판독할 수 있다. 따라서, 상품 관리의 효율화, 저비용화 등이 기대되고 있다. 그 외에, 승차권, 항공권, 요금 자동정산 등, 광범위한 응용이 기대되고 있다(특허문헌 1 참조). 이와 같이, 무선통신에 의하여 데이터를 송수신하는 소형의 반도체 장치에 의하여 사람이나 물건을 식별, 관리하는 시스템은 RFID(Radio Frequency Identification)라고 불리고, IT화 사회의 기반 기술로서 주목이 높아지고 있다.

[0004] [특허문헌 1] 특개 2000-149194호 공보

#### 발명의 내용

##### 해결 하고자하는 과제

[0005] 반도체 장치는, 고온, 저온, 고습도 등의 열악한 환경하에서 사용되는 것 이외로, 기계적 스트레스가 가해지는 부위에 부착되어 사용되는 일도 있다. 따라서, 반도체 장치를 사용한 시스템의 신뢰성을 향상시키기 위해서는, 반도체 장치에는 매우 고도한 내구성이 요구된다. 그러나, 반도체 장치에는, 싼값으로 제공하는 것도 요구되기 때문에, 내구성을 향상시키는 목적으로, 값비싼 공정을 사용할 수는 없다.

[0006] 본 발명은, 상기의 문제를 감안하여 발명된 것이며, 신뢰성이 높은 무선 시스템, 및 반도체 장치 및 통신 장치를 싼값으로 제공하는 것을 목적으로 한다. 또한, 복수의 반도체 장치와, 통신 장치로 구성되는 신뢰성이 높은 무선 시스템을 싼값으로 제공하는 것을 목적으로 한다.

### 과제 해결수단

[0007] 본 발명에 있어서의 무선 시스템은, 동일한 기능을 가지는 복수의 기능 회로를 가지는 반도체 장치와, 통신 장치로 구성되고, 반도체 장치는 각각의 기능 회로에 있어서의 처리 결과를 송신하고, 통신 장치는 수신한 각각의 기능 회로에 있어서의 처리 결과에 의거하여 다수결로 정상적인 응답을 추출한다. 이하에, 본 발명에 있어서의 무선 시스템의 구체적인 구성에 관하여 설명한다.

[0008] 본 발명의 무선 시스템의 일형태는, 복수의 기능 회로를 구비하고, 복수의 기능 회로의 처리 신호를 송신하는 반도체 장치와, 연산 처리 회로를 구비하고, 처리 신호를 수신하는 통신 장치를 구비하고, 처리 신호는, 시분할로 송신되는 신호이며, 통신 장치에 있어서의 연산 처리 회로는, 처리 신호를 다수결 처리하는 회로인 것을 특징으로 한다. 본 명세서에 있어서, 신호를 시분할로 송신한다는 것은, 신호를 단위 시간 간격으로 송신하는 것을 의미한다.

[0009] 본 발명의 무선 시스템의 다른 일형태는, 기능 회로를 구비하고, 기능 회로의 처리 신호를 송신하는 복수의 반도체 장치와, 연산 처리 회로를 구비하고, 처리 신호를 수신하는 통신 장치를 구비하고, 처리 신호는, 복수의 반도체 장치의 기능 회로마다 시분할로 송신되는 신호이며, 통신 장치에 있어서의 연산 처리 회로는, 처리 신호를 다수결로 처리하는 회로인 것을 특징으로 한다.

[0010] 또한, 본 발명의 반도체 장치의 일형태는, 복수의 기능 회로와, 복수의 기능 회로의 각각에 기억된 데이터를 순차로 시분할하여 판독하는 컨트롤러와, 통신 장치에 데이터를 처리 신호로서 송신하여, 통신 장치에 있어서의 연산 처리 회로에서 다수결 처리하여 얻어진 다수결 처리 데이터에 의거하여 출력된 피처리 데이터를 수신하는 송수신 회로를 가지는 것을 특징으로 한다. 본 명세서에 있어서, 데이터를 시분할로 판독한다는 것은, 데이터를 단위 시간 간격으로 판독하는 것을 의미한다.

[0011] 또한, 본 발명의 통신 장치의 다른 일형태는, 복수의 기능 회로를 구비하는 반도체 장치로부터 시분할로 송신되는 처리 신호를 수신하며, 반도체 장치에 피처리 데이터를 송신하는 송수신 회로와, 송수신 회로에서 수신한 처리 신호를 다수결 처리하여, 다수결 처리 데이터를 출력하는 연산 처리 회로를 가지는 것을 특징으로 한다.

[0012] 본 발명의 통신 장치의 다른 일형태는, 기능 회로를 구비하는 복수의 반도체 장치로부터 시분할로 송신되는 처리 신호를 수신하며, 반도체 장치에 피처리 데이터를 송신하는 송수신 회로와, 송수신 회로에서 수신한 처리 신호를 다수결 처리하여, 다수결 처리 데이터를 출력하기 위한 연산 처리 회로를 가지는 것을 특징으로 한다.

### 효과

[0013] 본 발명에 의하여, 반도체 장치에 있어서의 일부의 기능 회로가 기계적으로 또는 전기적으로 파괴되고, 정상적인 처리 결과를 응답할 수 없는 경우라도, 다른 기능회로로부터 처리 결과를 얻을 수 있는, 신뢰성이 높은 무선 시스템 및 반도체 장치 및 통신 장치를 제공할 수 있다. 또한, 하나의 반도체 장치가 기계적으로 또는 전기적으로 파괴되고, 정상적인 처리 결과를 응답할 수 없는 경우라도, 다른 반도체 장치로부터 정상적인 처리 결과를 얻을 수 있다. 신뢰성이 높은 무선 시스템 및 통신 장치를 제공할 수 있다.

### 발명의 실시를 위한 구체적인 내용

[0014] 이하에, 본 발명의 실시형태를 도면에 의거하여 설명한다. 다만, 본 발명은 많은 다른 모양으로 실시하는 것이 가능하고, 본 발명의 취지 및 범위에서 벗어남이 없이 그 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 실시형태를 설명하기 위한 모든 도면에 있어서, 동일 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 붙이고, 그 반복 설명은 생략한다.

[0015] (실시형태 1)

[0016] 본 실시형태에서는, 본 발명에 있어서의 무선 시스템, 및 반도체 장치 및 통신 장치의 구성예에 대하여, 도 1, 도 2, 도 5, 도 6을 사용하여 설명한다. 도 1, 도 6은, 본 실시형태에 있어서의 본 발명의 무선 시스템의 블록도이다. 도 2는, 본 실시형태에 있어서의 본 발명의 무선 시스템의 무선 신호의 파형이다. 도 5는, 본 실시형

태에 있어서의 다수결 처리의 플로 차트이다.

- [0017] 도 1에 있어서, 무선 시스템(101)은, 통신 장치(102), 반도체 장치(103)로 구성된다. 통신 장치(102)와 반도체 장치(103)는, 제 1 무선 신호(104A) 및 제 2 무선 신호(104B)를 통하여 정보의 송수신을 행한다. 또한, 제 1 무선 신호(104A)는, 반도체 장치(103)로부터 통신 장치(102)에 보내지는 신호이며, 제 2 무선 신호(104B)는, 통신 장치(102)로부터 반도체 장치(103)에 보내지는 신호이다. 반도체 장치(103)는, 각각 동일한 기능을 가지는 제 1 기능 회로(105), 제 2 기능 회로(106), 제 3 기능 회로(107), 제 4 기능 회로(108), 컨트롤러(109), 및 송수신 회로(110)를 가진다. 통신 장치(102)는, 송수신 회로(111), 연산 처리 회로(112), 및 전산 처리부(113)를 가진다. 또한, 본 실시형태에서는, 4 개의 기능 회로를 탑재한 반도체 장치(103)를 사용한 무선 시스템(101)에 대하여 설명하지만, 이하의 설명은,  $n$  개( $n$ 은 3 이상의 자연수)의 기능 회로를 탑재한 반도체 장치(103)를 사용한 무선 시스템(101)에 대하여, 용이하게 확장할 수 있다.
- [0018] 전산 처리부(113)에서는, 무선 시스템의 응용 소프트웨어가 가동한다. 또한, 전산 처리부(113)는, 응용 소프트웨어의 실행에 필요한 연산 능력에 따라 설계된다. 또한, 전산 처리부(113)는, 응용 소프트웨어의 실행 내용에 의하여, 피처리 데이터(114)를 연산 처리 회로(112)에 출력하고, 다수결 처리 데이터(115)를 연산 처리 회로(112)로부터 입력하는 기능을 가진다. 여기서, 피처리 데이터(114)는, 반도체 장치(103)로 실행하는 커맨드, 커맨드의 실행에 필요한 데이터 등을 포함한다.
- [0019] 통신 장치(102)에 있어서, 송수신 회로(111)는, 반도체 장치(103)로부터 송신되는 제 1 무선 신호(104A)로부터 제 1 처리 데이터 내지 제 4 처리 데이터를 생성하는 기능을 가진다. 구체적으로는, 예를 들면, 제 1 무선 신호(104A)의 진폭의 변화에 의거하여, "H" 또는 "L"의 시계열의 직렬 데이터를 추출하고, 통신 사양에 따라, 제 1 처리 데이터 내지 제 4 처리 데이터를 생성하는 기능을 가지는 복조 회로를 탑재한다. 또한, 송수신 회로(111)는, 연산 처리 회로(112)로부터 출력된 피처리 데이터(114)를 제 2 무선 신호(104B)에 중첩시키고, 반도체 장치(103)에 송신하는 기능을 가진다. 구체적으로는, 예를 들면, 피처리 데이터를 "H" 또는 "L"의 시계열의 직렬 데이터로 변환하고, 상기 직렬 데이터에 따라 진폭을 변화시킨 제 2 무선 신호(104B)를 송신하는 기능을 가지는 변조 회로를 탑재한다. 또는, 피처리 데이터를 "H" 또는 "L"의 시계열의 직렬 데이터로 변환시키고, 상기 직렬 데이터에 따라 주파수를 변화시킨 제 2 무선 신호(104B)를 송신하는 기능을 가지는 변조 회로를 탑재한다. 연산 처리 회로(112)는, 전산 처리부(113)로부터 출력된 피처리 데이터(114)를 송수신 회로(111)에 출력하는 기능과, 제 1 처리 데이터 내지 제 4 처리 데이터로부터 다수결 처리 데이터(115)를 생성하는 기능을 가진다.
- [0020] 또한, 전산 처리부(113)로부터 출력되는 피처리 데이터(114)는, 연산 처리 회로(112)에서 패리티 데이터(parity data) 등을 부가하여 전산 처리됨으로써, 생성되고, 송수신 회로(111)에 출력된다. 따라서, 전산 처리부(113)로부터 출력되는 피처리 데이터를 제 1 피처리 데이터, 연산 처리 회로(112)로부터 출력되는 피처리 데이터를 제 2 피처리 데이터로 하여도 좋다. 또한, 패리티 데이터는, 소위 패리티 검사에 사용되고, 피처리 데이터가 통신 장치로부터 무사히 송신되었는지 아닌지를 확인하는 목적으로 사용된다. 또한, 피처리 데이터를 "H" 또는 "L"의 시계열의 직렬 데이터로 변환할 때, 스타트 신호, 동기 신호 등을 부가하여도 좋다. 여기서, 스타트 신호는, 데이터 송신이 개시되는 취지를 전달하는 신호이며, 예를 들면, 일정 기간 "L"이 되는 신호이다. 동기 신호는, 반도체 장치(103)의 내부 클럭을 동기시키는 신호이며, 예를 들면, 일정한 시간 간격으로 규정 펄스 "L"이 되는 신호이다.
- [0021] 또한, 도 1에 있어서, 통신 장치(102)는, 전산 처리부(113)를 포함하는 구성으로 하였지만, 본 발명은 전산 처리부(113)를 통신 장치(102)의 외부에 형성하는 구성으로 하여도 좋다. 도 6에 전산 처리부의 기능을 통신 장치의 외부에 형성한 서버로 행할 때의 구성에 대하여 설명한다. 도 6의 설명은, 도 1의 설명과 다른 점에 대하여만 한다. 도 6에 도시하는 무선 시스템(101)은, 통신 장치(102), 반도체 장치(103), 서버(151)로 구성된다. 통신 장치(102)는, 송수신 회로(111), 연산 처리 회로(112), 인터페이스(152)를 가진다.
- [0022] 도 6에서 도시하는 서버(151)는, 무선 시스템의 응용 소프트웨어가 가동하는 전산 처리 장치이다. 또한, 서버(151)는, 응용 소프트웨어의 실행에 필요한 연산 능력에 따라, 예를 들면, 퍼스널 컴퓨터(PC)나 워크 스테이션(WS), 이들을 네트워크로 접속한 소위 클러스터(cluster) 등을 사용할 수 있다. 또한, 서버(151)는, 응용 소프트웨어의 실행 내용에 의하여, 피처리 데이터(114)를 통신 장치(102)에 출력하고, 다수결 처리 데이터(115)를 통신 장치(102)로부터 입력하는 기능을 가진다. 여기서, 피처리 데이터(114)는, 반도체 장치(103)에서 실행하는 커맨드, 커맨드의 실행에 필요한 데이터 등을 포함한다.
- [0023] 반도체 장치(103)에 있어서, 송수신 회로(110)는, 통신 장치(102)로부터 송신되는 제 2 무선 신호(104B)에 중첩된 피처리 데이터를, 제 2 무선 신호(104B)로부터 추출하는 기능을 가진다. 구체적으로는, 예를 들면, 제 2 무



선 통신 신호(104B)의 진폭의 변화에 의거하여, "H" 또는 "L"의 시계열의 직렬 데이터를 추출하고, 통신 사양에 따라, 피처리 데이터를 생성하는 기능을 가지는 복조 회로를 탑재하면 좋다. 또한, 송수신 회로(110)는, 제 1 기능 회로(105), 제 2 기능 회로(106), 제 3 기능 회로(107), 제 4 기능 회로(108)에 있어서의 제 1 처리 결과 내지 제 4 처리 결과로서 제 1 무선 신호(104A)에 중첩하고, 통신 장치(102)에 송신하는 기능을 가진다. 구체적으로는, 예를 들면, 제 1 처리 데이터 내지 제 4 처리 데이터를 "H" 또는 "L"의 시계열의 직렬 데이터로 변환하고, 상기 직렬 데이터에 따라 진폭을 변화시킨 제 1 무선 신호(104A)를 송신하는 기능을 가지는 변조 회로를 탑재하면 좋다.

[0024] 콘트롤러(109)는, 피처리 데이터로부터 커맨드, 커맨드의 실행에 필요한 데이터 등을 추출하고, 제 1 기능 회로(105), 제 2 기능 회로(106), 제 3 기능 회로(107), 제 4 기능 회로(108)에 출력하는 기능을 가진다. 또한, 제 1 기능 회로(105), 제 2 기능 회로(106), 제 3 기능 회로(107), 제 4 기능 회로(108)로부터, 각각에 있어서의 제 1 처리 결과 내지 제 4 처리 결과를 받고, 제 1 처리 데이터 내지 제 4 처리 데이터로서 송수신 회로(110)에 출력한다.

[0025] 제 1 기능 회로(105), 제 2 기능 회로(106), 제 3 기능 회로(107), 제 4 기능 회로(108)는, 콘트롤러(109)로부터 받은 커맨드, 커맨드의 실행에 필요한 데이터 등을 적절히 사용하여, 커맨드를 실행한다. 커맨드로서는, 예를 들면, 고유 ID 번호의 판독 커맨드, 암호의 해독 처리 커맨드, 암호화 처리 커맨드 등이 있다. 또한, 제 1 기능 회로(105), 제 2 기능 회로(106), 제 3 기능 회로(107), 제 4 기능 회로(108)는, 커맨드에 따라, 각각 동일한 처리를 행한다.

[0026] 또한, 통신 장치(102)에서 생성되는 다수결 처리 데이터(115)는, 제 1 처리 데이터 내지 제 4 처리 데이터에 대하여, 각각의 내용을 비교하여, 가장 다수를 차지하는 내용을 정상적인 내용으로서 선택하는 처리, 즉 다수결 처리로 생성된다. 즉, 제 1 처리 데이터 내지 제 4 처리 데이터의 내용이 모두 제 1의 내용인 경우에는, 제 1의 내용을 다수결 처리 데이터(115)로서 채용한다. 또한, 예를 들면, 제 1 처리 데이터, 제 2 처리 데이터, 제 4 처리 데이터의 내용이 제 2의 내용이며, 제 3 처리 데이터의 내용이 제 3의 내용인 경우에는, 제 2의 내용을 다수결 처리 데이터(115)로서 채용한다. 또한, 제 1 처리 데이터, 제 2 처리 데이터의 내용이 제 4의 내용이며, 제 3 처리 데이터의 내용이 제 5의 내용이며, 제 4 처리 데이터의 내용이 제 6의 내용인 경우에는, 제 4의 내용을 다수결 처리 데이터(115)로서 채용한다. 이와 같이, 다수결 처리 데이터(115)를 생성함으로써, 제 1 처리 데이터 내지 제 4 처리 데이터의 적어도 하나가 틀린 데이터인 경우에도, 즉, 반도체 장치(103)에 있어서, 제 1 기능 회로(105), 제 2 기능 회로(106), 제 3 기능 회로(107), 제 4 기능 회로(108)의 적어도 하나가 기계적인 파괴 또는 전기적인 파괴에 의하여 고장난 경우에도, 다수결 처리에 의하여 정상적인 내용을 다수결 처리 데이터(115)로서 추출할 수 있다.

[0027] 다수결의 알고리즘으로서, 제 1 처리 데이터 내지 제 4 처리 데이터의 내용에 대하여, 2 비트 이상의 데이터 열에 대하여 패턴 매칭을 사용한 처리를 행하는 방법이 있다. 이 방법으로는, 예를 들면, 4 개의 처리 데이터 중 2 개까지의 처리 데이터가 틀린 경우에도 정상적인 처리 데이터를 추출할 수 있다. 일반적으로, n 개의 처리 데이터 중, (n - 2) 개까지의 처리 데이터가 틀린 경우에도 정상적인 내용을 추출할 수 있다. 따라서, 반도체 장치(103)의 기계적인 파괴 또는 전기적인 파괴에 의한 고장에 대하여 신뢰성을 높일 수 있다.

[0028] 또한, 다수결 처리는, 전용의 하드웨어로 처리하는 방식, CPU를 사용하여 소프트웨어로 처리하는 방식, 양쪽을 병용하는 방식 등에 의하여 실현할 수 있다. 전용의 하드웨어로 처리하는 방식에서는, 처리 시간을 단축할 수 있다. 또한, 소프트웨어로 처리하는 방식에서는, 시스템의 변경 등에 대하여 용이하게 대응할 수 있다. 또한, 양쪽을 병용하는 방식에서는, 양쪽의 장점을 살릴 수 있다.

[0029] 또한, 도 5의 플로 차트를 사용하여, 상기 다수결 처리에 대하여 자세히 설명한다. 우선, 연산 처리 회로(112)에, 반도체 장치로부터 수신한 제 1 처리 데이터 내지 제 4 처리 데이터를 입력한다(데이터 입력(501)). 여기서, 제 1 처리 데이터 내지 제 4 처리 데이터는, 각각 1 비트씩 입력된다.

[0030] 이어서, 연산 처리 회로(112)에서 다수결 처리를 행한다. 다수결 처리에서는, 제 1 처리 데이터 내지 제 4 처리 데이터 중, 틀린 처리 데이터를 제거한다(불량 데이터 제거(502)). 이것은, 지난번까지의 다수결 처리에 있어서, 틀린 데이터라고 판정된 처리 데이터의 번호를 기억하고, 기억하는 번호에 해당하는 처리 데이터를 제외한 처리 데이터만을 추출하는 것으로 실현된다. 여기서, 처리 데이터의 번호란, 제 1 처리 데이터 내지 제 4 처리 데이터에 대하여, 각각 1 내지 4이다.

[0031] 다음에, 처리 데이터가 모두 "H"인지 아닌지를 판정한다(제 1 비교 판정(503)). 제 1 비교 판정(503)에서

"Yes"라고 판정되면, 다수결 처리 데이터(115)로서, "H"를 획득한다(제 1 데이터 추출(508)). 한편, 제 1 비교 판정(503)에서 "No"라고 판정되면, 처리 데이터가 모두 "L"인지 아닌지를 판정한다(제 2 비교 판정(504)). 제 2 비교 판정(504)에서 "Yes"라고 판정되면, 다수결 처리 데이터(115)로서, "L"을 획득한다(제 2 데이터 추출(509)).

[0032] 제 2 비교 판정(504)에서 "No"라고 판정되면, 제 1 처리 데이터 내지 제 4 처리 데이터의 어느 것에는 틀린 데이터가 포함된다. 즉, 다수결의 판정이 필요하게 된다. 그래서, 제 1 처리 데이터 내지 제 4 처리 데이터에 "H"쪽이 많은지 아닌지를 판정한다(다수결 판정(505)). 다수결 판정(505)에서 "Yes"라고 판정되면, "L"인 처리 데이터의 번호, 즉 틀린 처리 데이터의 번호를 추출하고(제 1 불량 데이터 추출(506)), 해당하는 처리 데이터의 번호를 기억하고, 다음 불량 데이터 제거(502)에서 사용한다. 또한, 다수결 처리 데이터(115)로서, "H"를 획득한다(제 3 데이터 추출(510)).

[0033] 한편, 다수결 판정(505)에서 "No"라고 판정되면, "H"인 처리 데이터의 번호, 즉 틀린 처리 데이터의 번호를 추출하고(제 2 불량 데이터 추출(507)), 해당하는 처리 데이터의 번호를 기억하고, 다음 불량 데이터 제거(502)에서 사용한다. 또한, 다수결 처리 데이터(115)로서, "L"을 획득한다(제 4 데이터 추출(511)).

[0034] 또한, 제 1 데이터 추출(508) 내지 제 4 데이터 추출(511)에 의하여, 제 1 처리 데이터 내지 제 4 처리 데이터에 있어서의 해당 비트의 다수결 처리가 종료된다. 이어서, 데이터 입력(501)으로부터 다음 비트의 다수결 처리를 실행한다. 이와 같이, 각 비트에 대한 다수결 처리를 반복하여 진행함으로써, 제 1 처리 데이터 내지 제 4 처리 데이터의 다수결 처리가 완료된다.

[0035] 또한, 본 실시형태에서 설명하는 본 발명에 있어서의 무선 시스템에서는, 반도체 장치(103)의 제 1 기능 회로(105), 제 2 기능 회로(106), 제 3 기능 회로(107), 제 4 기능 회로(108)의 적어도 하나가 고장난 경우에도, 다수결 처리에 의하여 정상적인 내용을 추출할 수 있지만, 이것을 용이하게 실현하기 위한 제 1 무선 신호(104A)에 의한 통신 방식에 대하여, 도 2를 사용하여 설명한다.

[0036] 도 2는, 반도체 장치(103)로부터 통신 장치(102)에의 송신 신호에 대하여, 파형의 포락선(包絡線)을 도시한 것이다. 반도체 장치(103)의 제 1 기능 회로(105), 제 2 기능 회로(106), 제 3 기능 회로(107), 제 4 기능 회로(108)가 모든 정상 동작하는 경우와, 제 2 기능 회로(106) 및 제 3 기능 회로(107)가 기계적인 파괴 또는 전기적인 파괴에 의하여 고장난 경우의 통신 신호의 파형의 포락선이, 제 1 통신 신호 파형(201)과, 제 2 통신 신호 파형(202)이다. 제 1 기간(203), 제 2 기간(204)은, 각각 정상적인 데이터로서 "L", "H"를 송신하는 기간이다. 또한, 제 (1 - 1)의 기간(205) 내지 제 (1 - 4)의 기간(208)은, 각각 도 1의 제 1 기능 회로(105), 제 2 기능 회로(106), 제 3 기능 회로(107), 제 4 기능 회로(108)의 처리 데이터를 송신하는 기간이며, 제 (2 - 1)의 기간(209) 내지 제 (2 - 4)의 기간(212)은, 각각 도 1의 제 1 기능 회로(105), 제 2 기능 회로(106), 제 3 기능 회로(107), 제 4 기능 회로(108)의 처리 데이터를 송신하는 기간이다. 또한, 본 실시형태에서는, 정상적인 데이터로서 "L", "H"를 송신하는 경우에, 통신 신호의 파형의 포락선에 있어서의 진폭의 크기가 소 진폭, 대 진폭이 되는 통신 사양에 대하여 설명하지만, 다른 통신 사양으로 하여도 좋다.

[0037] 또한, 본 발명에 있어서의 통신 방식의 특징은, 제 1 기능 회로(105), 제 2 기능 회로(106), 제 3 기능 회로(107), 제 4 기능 회로(108)에 있어서의 제 1 처리 데이터 내지 제 4 처리 데이터를, 시계열로 순차로 송신하는 것이다. 즉, 제 1 기능 회로(105), 제 2 기능 회로(106), 제 3 기능 회로(107), 제 4 기능 회로(108)의 제 1 처리 데이터 내지 제 4 처리 데이터를 통신 장치(102)에 시분할로 송신하는 것이다. 본 명세서에 있어서, 데이터를 시분할로 송신한다는 것은, 데이터를 단위 시간 간격으로 송신하는 것을 의미한다. 이하에, 이러한 통신 방식에 의하여, 연산 처리 회로(112)에 있어서, 다수결 처리를 용이하게 행할 수 있는 이유를 설명한다.

[0038] 우선, 제 1의 이유로서, 데이터가 시계열로 연속되기 때문에, 다수결 처리를 실시간으로 처리할 수 있다. 즉, 반도체 장치(103)에 기능 회로를 보다 다수 탑재한 경우에도, 통신 장치(102)가 모든 처리 데이터를 수신하기 전에 다수결 처리를 실행할 수 있다. 따라서, 수신 데이터를 격납하기 위한 전용의 버퍼 등이 불필요하게 되고, 통신 장치를 싸값으로 제공하는 것이 용이해진다. 또한, 통신 장치의 처리 속도가 향상하여, 무선 시스템(101)의 성능이 향상한다.

[0039] 다음에, 제 2의 이유로서, 제 1 기능 회로(105), 제 2 기능 회로(106), 제 3 기능 회로(107), 제 4 기능 회로(108)가 모두 정상적으로 동작하는 경우에는, 기간(203)에 있어서의 제 1 통신 신호 파형, 즉 소 진폭이 네 번 연속하는 파형, 또는 기간(204)에 있어서의 제 1 통신 신호 파형, 즉 대 진폭이 네 번 연속하는 파형밖에 있을 수 없다. 따라서, 연산 처리 회로(112)에 있어서의 다수결 처리에서는, 이 양쪽의 파형의 어느 것인지를 알아



보는 처리를 제일 먼저 실행하는 알고리즘을 채용함으로써, 용이하게 다수결 처리 데이터(115)를 얻을 수 있다. 따라서, 통신 장치의 처리 속도가 향상하고, 무선 시스템(101)의 성능이 향상한다.

[0040] 또한, 제 3의 이유로서, 먼저 수신한 처리 데이터에 대한 다수결 처리의 결과에 의거하여, 후에 수신하는 처리 데이터에 대한 다수결 처리를 보다 간단히 할 수 있다. 예를 들면, 기간(203)에 있어서의 제 2 통신 신호 파형은, 상기 제 2의 이유로서 설명한 모든 기능 회로가 정상적으로 동작하는 경우의 파형과 다르기 때문에, 다수결 처리를 한층 더 진행시킬 필요가 있다. 여기서는, 처리 데이터가 "L", "L", "H", "L"이므로, "L"을 채용한다. 또한, 기간(204)에 있어서의 제 2 통신 신호 파형은, 상기 제 2의 이유로 설명한 모든 기능 회로가 정상적으로 동작하는 경우의 파형과는 다르기 때문에, 다수결 처리를 한층 더 진행시킬 필요가 있다. 여기서는, 처리 데이터가 "H", "L", "H", "H"이므로, "H"를 채용한다.

[0041] 또한, 기간(203)의 결과에 의거하여, 제 3 처리 데이터가 틀린 데이터, 즉, 제 3 기능 회로(107)가 기계적으로 파괴 또는 전기적으로 파괴되어, 고장난 것을 알 수 있다. 따라서, 기간(204)에서는, 제 3 처리 데이터를 제외한 제 1 처리 데이터, 제 2 처리 데이터, 제 4 처리 데이터, "H", "L", "H"에 대하여 다수결 처리를 실행하여도, 같은 결과를 얻을 수 있다. 즉, 통신 장치의 처리 속도가 향상하여, 무선 시스템(101)의 성능이 향상한다. 마찬가지로, 기간(204)의 결과에 의거하여, 제 2 처리 데이터도 틀린 데이터, 즉, 제 2 기능 회로(106)가 기계적으로 파괴 또는 전기적으로 파괴되어, 고장난 것을 알 수 있다. 따라서, 이후의 다수결 처리에서는, 제 1 처리 데이터, 제 4 처리 데이터만에 대하여 다수결 처리를 실행하면 좋다. 즉, 통신 장치의 처리 속도가 향상하여, 무선 시스템(101)의 성능이 향상한다. 또한, 이 경우에는, 제 1 처리 데이터, 제 4 처리 데이터가 정상적이라고 가정하면, 다수결 처리를 전혀 행하지 않아도, 단순히 제 1 처리 데이터를 다수결 처리 데이터(115)로 할 수 있기 때문에, 통신 장치의 처리 속도가 향상하여, 무선 시스템(101)의 성능이 향상한다.

[0042] 이상과 같은 구성으로 함으로써, 반도체 장치에 있어서의 일부의 기능 회로가 기계적으로 또는 전기적으로 파괴되고, 정상적인 처리 결과를 응답할 수 없는 경우라도, 다른 기능 회로로부터 처리 결과를 얻을 수 있는, 신뢰성이 높은 무선 시스템을 싼값으로 제공할 수 있다.

[0043] (실시형태 2)

[0044] 본 실시형태에서는, 본 발명에 있어서의 무선 시스템의 실시형태 1과 다른 구성예에 대하여, 도 3 및 도 4를 사용하여 설명한다. 도 3은, 본 실시형태에 있어서의 본 발명의 무선 시스템의 블록도이다. 도 4는, 본 실시형태에 있어서의 본 발명의 무선 시스템의 무선 신호의 파형이다.

[0045] 도 3에 있어서, 무선 시스템(301)은, 통신 장치(302), 제 1 반도체 장치(303), 제 2 반도체 장치(304), 제 3 반도체 장치(305), 제 4 반도체 장치(306)로 구성된다. 통신 장치(302)와, 제 1 반도체 장치(303), 제 2 반도체 장치(304), 제 3 반도체 장치(305), 제 4 반도체 장치(306)는, 제 1 무선 신호(307A), 제 2 무선 신호(307B)를 통하여 정보의 송수(送受)를 행한다. 또한, 제 1 무선 신호(307A)는, 제 1 반도체 장치(303) 내지 제 4 반도체 장치(306)로부터 통신 장치(302)에 보내지는 신호, 제 2 무선 신호(307B)는, 통신 장치(302)로부터 제 1 반도체 장치(303) 내지 제 4 반도체 장치(306)에 보내지는 신호이다. 제 1 반도체 장치(303), 제 2 반도체 장치(304), 제 3 반도체 장치(305), 제 4 반도체 장치(306)는, 각각 제 1 기능 회로(308), 제 2 기능 회로(309), 제 3 기능 회로(310), 제 4 기능 회로(311), 제 1 컨트롤러(312), 제 2 컨트롤러(313), 제 3 컨트롤러(314), 제 4 컨트롤러(315), 제 1 송수신 회로(316), 제 2 송수신 회로(317), 제 3 송수신 회로(318), 제 4 송수신 회로(319)를 가진다. 여기서, 제 1 반도체 장치(303), 제 2 반도체 장치(304), 제 3 반도체 장치(305), 제 4 반도체 장치(306)는, 적어도 하나의 커맨드에 대하여, 동일한 응답을 하는 것으로 하고, 이하의 설명은, 상기 커맨드에 대한 동작에 대한 것이다. 통신 장치(302)는, 송수신 회로(320), 연산 처리 회로(321), 전산 처리부(350)를 가진다. 또한, 본 실시형태에서는, 4 개의 반도체 장치(303) 내지 반도체 장치(306)를 사용한 무선 시스템(301)에 대하여 설명하지만, 이하의 설명은, n 개(n은 3 이상의 자연수)의 반도체 장치를 사용한 무선 시스템(301)에 대하여, 용이하게 확장할 수 있다.

[0046] 전산 처리부(350)에서는, 무선 시스템의 응용 소프트웨어가 가동한다. 또한, 전산 처리부(350)는, 응용 소프트웨어의 실행에 필요한 연산 능력에 따라 설계된다. 또한, 전산 처리부(350)는, 응용 소프트웨어의 실행 내용에 의거하여, 피처리 데이터(323)를 연산 처리 회로(321)에 출력하고, 다수결 처리 데이터(324)를 연산 처리 회로(321)로부터 입력하는 기능을 가진다. 여기서, 피처리 데이터(323)는, 제 1 반도체 장치(303) 내지 제 4 반도체 장치(306)에서 실행하는 커맨드, 커맨드의 실행에 필요한 데이터 등을 포함한다.

[0047] 통신 장치(302)에 있어서, 송수신 회로(320)는, 제 1 반도체 장치(303), 제 2 반도체 장치(304), 제 3 반도체

장치(305), 제 4 반도체 장치(306)로부터 송신되는 제 1 무선 신호(307A)에 의거하여 제 1 처리 데이터 내지 제 4 처리 데이터를 생성하는 기능을 가진다. 구체적으로는, 예를 들면, 제 1 무선 신호(307A)의 진폭의 변화에 의거하여, "H" 또는 "L"의 시계열의 직렬 데이터를 추출하고, 통신 사양에 따라, 제 1 처리 데이터 내지 제 4 처리 데이터를 생성하는 기능을 가지는 복조 회로를 탑재한다. 또한, 송수신 회로(320)는, 연산 처리 회로(321)로부터 출력된 피처리 데이터를(323)를 제 2 무선 신호(307B)에 중첩하고, 제 1 반도체 장치(303), 제 2 반도체 장치(304), 제 3 반도체 장치(305), 제 4 반도체 장치(306)에 송신하는 기능을 가진다. 구체적으로는, 예를 들면, 피처리 데이터를 "H" 또는 "L"의 시계열의 직렬 데이터로 변환하고, 상기 직렬 데이터에 따라 진폭을 변화시킨 제 2 무선 신호(307B)를 송신하는 기능을 가지는 변조 회로를 탑재한다. 또는, 피처리 데이터를 "H" 또는 "L"의 시계열의 직렬 데이터로 변환하고, 상기 직렬 데이터에 따라 주파수를 변화시킨 제 2 무선 신호(307B)를 송신하는 기능을 가지는 변조 회로를 탑재한다. 연산 처리 회로(321)는, 전산 처리부(350)로부터 출력된 피처리 데이터(323)를 송수신 회로(320)에 출력하는 기능과, 제 1 처리 데이터 내지 제 4 처리 데이터로부터 다수결 처리 데이터(324)를 생성하는 기능을 가진다.

[0048] 또한, 전산 처리부(350)로부터 출력되는 피처리 데이터(323)는, 연산 처리 회로(321)에서 패리티 데이터 등을 부가하고, 전산 처리됨으로써 생성되고, 송수신 회로(320)에 출력된다. 그래서, 전산 처리부(350)로부터 출력되는 피처리 데이터를 제 1 피처리 데이터, 연산 처리 회로(321)로부터 출력되는 피처리 데이터를 제 2 피처리 데이터로 하여도 좋다. 또한, 패리티 데이터는, 소위 패리티 검사에 사용되고, 피처리 데이터가 통신 장치로부터 무사히 송신되었는지 아닌지를 확인하는 목적으로 사용된다. 또한, 피처리 데이터를 "H" 또는 "L"의 시계열의 직렬 데이터로 변환할 때, 스타트 신호, 동기 신호 등을 부가하여도 좋다. 여기서, 스타트 신호는, 데이터 송신이 개시되는 취지를 전달하는 신호이며, 예를 들면, 일정 기간 "L"이 되는 신호이다. 동기 신호는, 제 1 반도체 장치(303), 제 2 반도체 장치(304), 제 3 반도체 장치(305), 제 4 반도체 장치(306)의 내부 클럭을 동기시키는 신호이며, 예를 들면, 일정한 시간 간격으로 규정 횟수 "L"이 되는 신호이다.

[0049] 또한, 도 3에 있어서, 통신 장치(302)는, 전산 처리부(350)를 포함하는 구성으로 하지만, 본 발명은 실시형태 1에서 도시한 도 6의 통신 장치의 구성과 같이, 전산 처리부(350)를 통신 장치(302)의 외부에 형성하는 구성으로 하여도 좋다.

[0050] 제 1 반도체 장치(303)에 있어서, 제 1 송수신 회로(316)는, 통신 장치(302)로부터 송신되는 제 2 무선 신호(307B)에 중첩된 피처리 데이터를, 제 2 무선 신호(307B)로부터 추출하는 기능을 가진다. 구체적으로는, 예를 들면, 제 2 무선 신호(307B)의 진폭의 변화에 의거하여, "H" 또는 "L"의 시계열의 직렬 데이터를 추출하고, 통신 사양에 따라, 피처리 데이터를 생성하는 기능을 가지는 복조 회로를 탑재하면 좋다. 또한, 제 1 송수신 회로(316)는, 제 1 기능 회로(308)에 있어서의 제 1 처리 결과를 제 1 처리 데이터로서 제 1 무선 신호(307A)에 중첩하고, 통신 장치(302)에 송신하는 기능을 가진다. 구체적으로는, 예를 들면, 제 1 처리 데이터를 "H" 또는 "L"의 시계열의 직렬 데이터로 변환하고, 상기 직렬 데이터에 따라 진폭을 변화시킨 제 1 무선 신호(307A)를 송신하는 기능을 가지는 변조 회로를 탑재하면 좋다.

[0051] 제 1 컨트롤러(312)는, 피처리 데이터로부터 커맨드, 커맨드의 실행에 필요한 데이터 등을 추출하고, 제 1 기능 회로(308)에 출력하는 기능을 가진다. 또한, 제 1 기능 회로(308)로부터, 제 1 처리 결과를 받고, 제 1 처리 데이터로서 제 1 송수신 회로(316)에 출력한다.

[0052] 제 1 기능 회로(308)는, 제 1 컨트롤러(312)로부터 받은 커맨드, 커맨드의 실행에 필요한 데이터 등을 적절히 사용하여, 커맨드를 실행한다. 커맨드로서는, 예를 들면, 고유 ID 번호의 판독 커맨드, 암호의 해독 처리 커맨드, 암호화 처리 커맨드 등이 있다.

[0053] 이상과 같이, 제 1 반도체 장치(303)에 대하여 설명을 하였지만, 제 2 반도체 장치(304) 내지 제 4 반도체 장치(306)도 마찬가지로, 제 1 반도체 장치와 같은 기능의 구성을 구비하는 것이다. 따라서, 제 2 반도체 장치(304) 내지 제 4 반도체 장치(306)의 설명에 대하여는, 상세한 설명은 생략한다.

[0054] 또한, 통신 장치(302)에서 생성되는 다수결 처리 데이터(324)는, 제 1 처리 데이터 내지 제 4 처리 데이터에 대하여, 각각의 내용을 비교하여, 가장 다수를 차지하는 내용을 정상적인 내용으로서 선택하는 처리, 즉 다수결 처리로 생성된다. 즉, 제 1 처리 데이터 내지 제 4 처리 데이터의 내용이 모두 제 1의 내용인 경우에는, 제 1의 내용을 다수결 처리 데이터(324)로서 채용한다. 또한, 예를 들면, 제 1 처리 데이터, 제 2 처리 데이터, 제 4 처리 데이터의 내용이 제 2의 내용이며, 제 3 처리 데이터의 내용이 제 3의 내용인 경우에는, 제 2의 내용을 다수결 처리 데이터(324)로서 채용한다. 또한, 제 1 처리 데이터, 제 2 처리 데이터의 내용이 제 4의 내용이며, 제 3 처리 데이터의 내용이 제 5의 내용이며, 제 4 처리 데이터의 내용이 제 6의 내용인 경우에는,

제 4의 내용을 다수결 처리 데이터(324)로서 채용한다. 이와 같이, 다수결 처리 데이터(324)를 생성함으로써, 제 1 처리 데이터 내지 제 4 처리 데이터의 적어도 하나가 틀린 데이터인 경우에 있어서도, 즉, 제 1 반도체 장치(303), 제 2 반도체 장치(304), 제 3 반도체 장치(305), 제 4 반도체 장치(306)의 적어도 하나가 고장난 경우에 있어서도, 다수결 처리에 의하여 정상적인 내용을 다수결 처리 데이터(324)로서 추출할 수 있다.

[0055] 다수결의 알고리즘으로서는, 제 1 처리 데이터 내지 제 4 처리 데이터의 내용에 대하여는, 2 비트 이상의 데이터 열에 대하여 패턴 매칭에 의한 처리를 행하는 방법 등이 있다. 이 방법으로는, 예를 들면, 4 개의 처리 데이터 중 2 개까지의 처리 데이터가 틀린 경우에 대하여도 정상적인 내용을 추출할 수 있다. 일반적으로는,  $n$  개의 처리 데이터 중,  $(n - 2)$  개까지의 처리 데이터가 틀린 경우에 대하여도 정상적인 내용을 추출할 수 있다. 따라서, 제 1 반도체 장치(303), 제 2 반도체 장치(304), 제 3 반도체 장치(305), 제 4 반도체 장치(306) 중 어느 것의, 기계적인 파괴 또는 전기적인 파괴에 의한 고장에 대하여 신뢰성을 높일 수 있다.

[0056] 또한, 다수결 처리는, 전용의 하드웨어로 처리하는 방식, CPU를 사용하여 소프트웨어로 처리하는 방식, 양쪽을 병용하는 방식 등에 의하여 실현할 수 있다. 전용의 하드웨어로 처리하는 방식에서는, 처리 시간을 단축할 수 있다. 또한, 소프트웨어로 처리하는 방식에서는, 시스템의 변경 등에 대하여 용이하게 대응할 수 있다. 또한, 양쪽을 병용하는 방식에서는, 양쪽의 장점을 살릴 수 있다.

[0057] 또한, 본 실시형태에 있어서의 다수결 처리의 상세한 내용에 대하여는, 실시형태 1에서 도시한 도 5의 플로 차트와 마찬가지로, 본 실시형태에서는 상세한 설명은 생략한다.

[0058] 또한, 본 실시형태에서 설명하는 본 발명에 있어서의 무선 시스템에서는, 제 1 반도체 장치(303), 제 2 반도체 장치(304), 제 3 반도체 장치(305), 제 4 반도체 장치(306)의 적어도 하나가 기계적으로 또는 전기적으로 파괴되어 고장난 경우에 있어서도, 다수결 처리에 의하여 정상적인 내용을 추출할 수 있지만, 이것을 용이하게 실현하기 위한 제 1 무선 신호(307A)에 의한 통신 방식이, 본 발명에서 개시하는 내용이며, 도 4를 사용하여 설명한다.

[0059] 도 4는, 제 1 반도체 장치(303), 제 2 반도체 장치(304), 제 3 반도체 장치(305), 제 4 반도체 장치(306)로부터 통신 장치(302)에 보내지는 송신 신호에 대하여, 파형의 포락선을 도시한 것이다. 제 1 반도체 장치(303), 제 2 반도체 장치(304), 제 3 반도체 장치(305), 제 4 반도체 장치(306)가 모두 정상적으로 동작하는 경우와, 제 2 반도체 장치(304) 및 제 3 반도체 장치(305)가 고장난 경우에 있어서의 통신 신호의 파형의 포락선이, 제 1 통신 신호 파형(401)과, 제 2 통신 신호 파형(402)이다. 제 1 기간(403), 제 2 기간(404)은, 각각 정상적인 데이터로서 "L", "H"를 송신하는 기간이다. 또한, 제  $(1 - 1)$ 의 기간(405) 내지 제  $(1 - 4)$ 의 기간(408)은, 각각 도 3에 있어서 제 1 반도체 장치(303), 제 2 반도체 장치(304), 제 3 반도체 장치(305), 제 4 반도체 장치(306)의 처리 데이터를 송신하는 기간이며, 제  $(2 - 1)$ 의 기간(409) 내지 제  $(2 - 4)$ 의 기간(412)은, 각각 도 3에 있어서의 제 1 반도체 장치(303), 제 2 반도체 장치(304), 제 3 반도체 장치(305), 제 4 반도체 장치(306)의 처리 데이터를 송신하는 기간이다. 또한, 본 실시형태에서는, 정상적인 데이터로서 "L", "H"를 송신하는 경우에, 통신 신호의 파형의 포락선의 진폭이 소 진폭, 대 진폭이 되는 통신 사양에 대하여 설명하지만, 다른 통신 사양으로 하여도 좋다.

[0060] 또한, 본 실시형태에 있어서의 통신 방식의 특징은, 제 1 반도체 장치(303), 제 2 반도체 장치(304), 제 3 반도체 장치(305), 제 4 반도체 장치(306)에 있어서의 제 1 처리 데이터 내지 제 4 처리 데이터를, 시계열로 순차로 송신할 수 있다. 즉, 제 1 반도체 장치(303), 제 2 반도체 장치(304), 제 3 반도체 장치(305), 제 4 반도체 장치(306)에 있어서의 제 1 처리 데이터 내지 제 4 처리 데이터를 통신 장치(302)에 시분할로 송신하는 것이다. 이하에, 이러한 통신 방식에 의하여, 연산 처리 회로(321)에 있어서, 다수결 처리를 용이하게 행할 수 있는 이점을 설명한다.

[0061] 우선, 제 1의 이유로서, 데이터가 시계열로 연속되기 때문에, 다수결 처리를 실시간으로 처리할 수 있다. 즉, 반도체 장치를 보다 다수 사용한 경우에 있어서도, 통신 장치(302)가 모든 처리 데이터를 수신하기 전에 다수결 처리를 실행할 수 있다. 따라서, 수신 데이터를 격납하기 위한 전용의 버퍼 등이 불필요하게 되고, 통신 장치를 싸값으로 제공하는 것이 용이해진다. 또한, 통신 장치의 처리 속도가 향상하여, 무선 시스템(301)의 성능이 향상한다.

[0062] 다음에, 제 2의 이유로서, 제 1 반도체 장치(303), 제 2 반도체 장치(304), 제 3 반도체 장치(305), 제 4 반도체 장치(306)가 모두 정상적으로 동작하는 경우에는, 기간(403)에 있어서의 제 1 통신 신호 파형, 즉 소 진폭이 4 번 연속하는 파형인지, 기간(404)에 있어서의 제 1 통신 신호 파형, 즉 대 진폭이 4 번 연속하는 파형밖에 있

을 수 없다. 따라서, 연산 처리 회로(321)에 있어서의 다수결 처리에서는, 이 양쪽의 파형의 어느 것인지를 알아보는 처리를 제일 먼저 실행하는 알고리즘을 채용함으로써, 용이하게 다수결 처리 데이터(324)를 얻을 수 있다. 따라서, 통신 장치의 처리 속도가 향상하고, 무선 시스템(301)의 성능이 향상한다.

[0063] 또한, 제 3의 이유로, 먼저 수신한 처리 데이터에 대한 다수결 처리의 결과로부터, 후에 수신하는 처리 데이터에 대한 다수결 처리를 보다 간단히 할 수 있다. 예를 들면, 기간(403)에 있어서의 제 2 통신 신호 파형은, 상기 제 2의 이유로 설명한 모든 반도체 장치가 정상적으로 동작하는 경우의 파형과는 다르기 때문에, 다수결 처리를 한층 더 진행시킬 필요가 있다. 여기서는, 처리 데이터가 "L", "L", "H", "L"이므로, "L"을 채용한다. 또한, 기간(404)에 있어서의 제 2 통신 신호 파형은, 상기 제 2의 이유로 설명한 모든 반도체 장치가 정상적으로 동작하는 경우의 파형과 다르기 때문에, 다수결 처리를 한층 더 진행시킬 필요가 있다. 여기서는, 처리 데이터가 "H", "L", "H", "H"이므로, "H"를 채용한다.

[0064] 또한, 기간(403)의 결과에 의거하여, 제 3 처리 데이터가 틀린 데이터, 즉, 제 3 반도체 장치(305)가 기계적으로 또는 전기적으로 파괴되어 고장난 것을 알 수 있다. 따라서, 기간(404)에서는, 제 3 처리 데이터를 제외한 제 1 처리 데이터, 제 2 처리 데이터, 제 4 처리 데이터, "H", "L", "H"에 대하여 다수결 처리를 실행하여도, 같은 결과를 얻을 수 있다. 즉, 통신 장치의 처리 속도가 향상하여, 무선 시스템(301)의 성능이 향상한다. 마찬가지로, 기간(404)의 결과에 의거하여, 제 2 처리 데이터도 틀린 데이터, 즉, 제 2 반도체 장치(304)가 기계적으로 또는 전기적으로 파괴되고 고장난 것을 알 수 있다. 따라서, 이후의 다수결 처리에서는, 제 1 처리 데이터와, 제 4 처리 데이터만에 대하여 다수결 처리를 실행하면 좋다. 즉, 통신 장치의 처리 속도가 향상하여, 무선 시스템(301)의 성능이 향상한다. 또한, 이 경우에는, 제 1 처리 데이터와, 제 4 처리 데이터가 정상적이라고 가정하면, 다수결 처리를 전혀 행하지 않아도, 단순히 제 1 처리 데이터를 다수결 처리 데이터(324)로 할 수 있고, 통신 처리의 처리 속도가 향상하여, 무선 시스템(301)의 성능이 향상한다.

[0065] 이상과 같은 구성으로 함으로써, 하나의 반도체 장치가 기계적으로 또는 전기적으로 파괴되고, 정상적인 처리 결과를 응답할 수 없는 경우라도, 다른 반도체 장치로부터 정상적인 처리 결과를 얻을 수 있는, 신뢰성이 높은 무선 시스템을 제공할 수 있다.

[0066] (실시형태 3)

[0067] 본 실시형태에서는, 상기 실시형태에서 나타낸 반도체 장치의 제작 방법의 일례에 관하여, 도면을 참조하여 설명한다. 본 실시형태에 있어서는, 안테나 회로 및 반도체 장치를 같은 기판 위에 형성하는 구성에 대하여 설명한다. 또한, 동일 기판 위에 안테나 회로, 반도체 장치를 형성하고, 반도체 장치를 구성하는 트랜지스터를 박막 트랜지스터로 함으로써, 소형화를 도모할 수 있다.

[0068] 우선, 도 7a에 도시하는 바와 같이, 기판(1901)의 일 표면에 절연막(1902)을 통하여 박리층(1903)을 형성하고, 이어서 하지막으로서 기능하는 절연막(1904)과 반도체 막(1905)(예를 들면, 비정질 규소를 함유하는 막)을 적층하여 형성한다. 또한, 절연막(1902), 박리층(1903), 절연막(1904) 및 반도체 층(1905)은, 연속하여 형성할 수 있다.

[0069] 또한, 기판(1901)은, 유리 기판, 석영 기판, 금속 기판(예를 들어, 스테인리스 기판 등), 세라믹 기판, 세라믹스 기판, Si 기판 등의 반도체 기판 중에서 선택된다. 이 이외에도, 플라스틱 기판으로서, 폴리에틸렌 테레프탈레이트(PET), 폴리에틸렌 나프탈레이트(PEN), 폴리에테르설폰(PES), 아크릴 등의 기판을 선택할 수도 있다. 또한, 본 공정에서는, 박리층(1903)은 절연막(1902)을 사이에 두고 기판(1901)의 전면에 형성하지만, 필요에 따라, 기판(1901)의 전면에 박리층을 형성한 후에, 포토리소그래피법에 의하여 선택적으로 형성하여도 좋다.

[0070] 또한, 절연막(1902, 1904)은 CVD법이나 스퍼터링법 등을 사용하여, 산화규소, 질화규소, 산화질화규소( $\text{SiO}_x\text{N}_y$ )( $x > y > 0$ ), 질화산화규소( $\text{SiN}_x\text{O}_y$ )( $x > y > 0$ ) 등의 절연 재료를 사용하여 형성한다. 예를 들면, 절연막(1902, 1904)을 2층 구조로 하는 경우, 제 1 층재의 절연막으로서 질화산화규소막을 형성하고, 제 2 층재의 절연막으로서 산화질화규소막을 형성하면 좋다. 또한, 제 1 층재의 절연막으로서 질화규소막을 형성하고, 제 2 층재의 절연막으로서 산화규소막을 형성하여도 좋다. 절연막(1902)은, 기판(1901)으로부터 박리층(1903) 또는 그 위에 형성되는 소자에 불순물 원소가 혼입하는 것을 방지하는 블로킹 층으로서 기능하고, 절연막(1904)은 기판(1901), 및 박리층(1903)으로부터 그 위에 형성되는 소자에 불순물 원소가 혼입하는 것을 방지하는 블로킹 층으로서 기능한다. 이와 같이, 블로킹 층으로서 기능하는 절연막(1902, 1904)을 형성함으로써, 기판(1901)으로부터 Na 등의 알칼리 금속이나 알칼리토류 금속, 또는 박리층(1903)으로부터 박리층에 포함되는 불순물 원소가, 이 위에 형성하는 소자에 악영향을 주는 것을 방지할 수 있다. 또한, 기판(1901)으로서 석영을 사용하는 경우



에는 절연막(1902, 1904)을 생략하여도 좋다.

[0071] 또한, 박리층(1903)은 금속막이나 금속막과 금속 산화막의 적층 구조 등을 사용할 수 있다. 금속막으로서는, 텅스텐(W), 몰리브덴(Mo), 티탄(Ti), 탄탈(Ta), 니오브(Nb), 니켈(Ni), 코발트(Co), 지르코늄(Zr), 아연(Zn), 루테튬(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os), 이리듐(Ir) 중에서 선택되는 원소 또는 이들 원소를 주성분으로 하는 합금 재료 또는 화합물 재료로 이루어지는 막을 단층 또는 적층하여 형성한다. 또한, 이들 재료는 스퍼터링법이나 플라즈마 CVD법 등의 각종 CVD법 등을 사용하여 형성할 수 있다. 금속막과 금속 산화막의 적층 구조로서는, 상기 금속막을 형성한 후에, 산소 분위기하 또는  $N_2O$  분위기하에서의 플라즈마 처리, 산소 분위기하 또는  $N_2O$  분위기하에서의 가열 처리를 행함으로써, 금속막 표면에 상기 금속막의 산화물 또는 산화 질화물을 형성할 수 있다. 예를 들면, 금속막으로서 스퍼터링법이나 CVD법 등에 의하여 텅스텐막을 형성한 경우, 텅스텐막에 플라즈마 처리를 행함으로써, 텅스텐막 표면에 텅스텐 산화물로 이루어지는 금속 산화막을 형성할 수 있다. 또한, 이 경우, 텅스텐의 산화물은,  $WO_x$ 로 표시되고,  $x$ 는 2 내지 3이며,  $x$ 가 2인 경우( $WO_2$ ),  $x$ 가 2.5인 경우( $W_2O_5$ ),  $x$ 가 2.75인 경우( $W_4O_{11}$ ),  $x$ 가 3인 경우( $WO_3$ ) 등이 있다. 텅스텐의 산화물을 형성하는 데에 있어서, 상기  $x$ 의 값은 특히 한정되지 않고, 예칭 비율에 의거하여, 어느 산화물을 형성하는지 결정하면 좋다. 또한, 플라즈마 처리로서, 예를 들면, 고밀도 플라즈마 처리를 행하여도 좋다. 또한, 금속 산화막 이외에도, 금속 질화물이나 금속산화질화물을 사용하여도 좋다. 이 경우, 금속막에 질소 분위기하 또는 질소와 산화 분위기하에서 플라즈마 처리나 가열 처리를 행하면 좋다.

[0072] 또한, 반도체 막(1905)은 스퍼터링법, LPCVD법, 플라즈마 CVD법 등에 의하여, 25 nm 내지 200 nm(바람직하게는 30 nm 내지 150 nm)의 막 두께로 형성한다.

[0073] 다음에, 도 7b에 도시하는 바와 같이, 반도체 막(1905)에 레이저 광을 조사하여 결정화를 행한다. 또한, 레이저 광의 조사와 RTA(Rapid Thermal Annealing)법 또는 퍼니스 어닐로를 사용하는 열 결정화법, 결정화를 조장하는 금속 원소를 사용하는 열 결정화법을 조합한 방법 등에 의하여 반도체 막(1905)의 결정화를 행하여도 좋다. 그 후, 얻어진 결정질 반도체 막을 원하는 형상으로 에칭하여, 결정화한 결정질 반도체 막(1905a 내지 1905f)을 형성하고, 상기 반도체 막(1905a 내지 1905f)을 덮도록 게이트 절연막(1906)을 형성한다.

[0074] 또한, 게이트 절연막(1906)은 CVD법이나 스퍼터링법 등을 사용하여, 산화규소, 질화규소, 산화질화규소( $(SiO_xN_y)(x > y > 0)$ ), 질화산화규소( $(SiN_xO_y)(x > y > 0)$ ) 등의 절연 재료를 사용하여 형성한다. 예를 들면, 게이트 절연막(1906)을 2 층 구조로 하는 경우, 제 1 층째의 절연막으로서 산화질화규소막을 형성하고, 제 2 층째의 절연막으로서 질화산화규소막을 형성하면 좋다. 또한, 제 1 층째의 절연막으로서 산화규소막을 형성하고, 제 2 층째의 절연막으로서 질화규소막을 형성하여도 좋다.

[0075] 결정질 반도체 막(1905a 내지 1905f)의 제작 공정의 일례를 이하에 간단히 설명하면, 우선, 플라즈마 CVD법을 사용하여, 막 두께 50 nm 내지 60 nm의 비정질 반도체 막을 형성한다. 다음에, 결정화를 조장하는 금속 원소인 니켈을 함유하는 용액을 비정질 반도체 막 위에 유지시킨 후, 비정질 반도체 막에 탈수소화의 처리(500℃, 1시간)와 열 결정화 처리(550℃, 4시간)를 행하여 결정질 반도체 막을 형성한다. 그 후, 레이저 광을 조사하고, 포토리소그래피법을 사용함으로써 결정질 반도체 막(1905a 내지 1905f)을 형성한다. 또한, 결정화를 조장하는 금속 원소를 사용하는 열 결정화를 행하지 않고, 레이저 광의 조사만으로 비정질 반도체 막의 결정화를 행하여도 좋다.

[0076] 또한, 결정화에 사용하는 레이저 발진기로서는, 연속 발진형 레이저 빔(CW 레이저 빔)이나 펄스 발진형 레이저 빔(펄스 레이저 빔)을 사용할 수 있다. 여기서 사용할 수 있는 레이저 빔은, Ar 레이저, Kr 레이저, 엑시머 레이저 등의 기체 레이저, 단결정의 YAG,  $YVO_4$ , 고토감람석(forsterite)( $Mg_2SiO_4$ ),  $YAlO_3$ ,  $GdVO_4$ , 또는 다결정(세라믹)의 YAG,  $Y_2O_3$ ,  $YVO_4$ ,  $YAlO_3$ ,  $GdVO_4$ 에, 도펀트로서 Nd, Yb, Cr, Ti, Ho, Er, Tm, Ta 중 1종 또는 복수종이 첨가된 것을 매질로 하는 레이저, 유리 레이저, 루비 레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저, 구리 증기 레이저 또는 금 증기 레이저 중 1종 또는 복수종으로부터 발진되는 레이저 빔을 사용할 수 있다. 이러한 레이저 빔의 기본파, 및 이들 기본파의 제 2 고조파 내지 제 4 고조파의 레이저 빔을 조사함으로써, 대립경의 결정을 얻을 수 있다. 예를 들면, Nd:YVO<sub>4</sub> 레이저(기본파 1064 nm)의 제 2 고조파(532 nm)나 제 3 고조파(355 nm)를 사용할 수 있다. 이때 레이저의 파워 밀도는 0.01 MW/cm<sup>2</sup> 내지 100 MW/cm<sup>2</sup> 정도(바람직하게는 0.1 MW/cm<sup>2</sup> 내지 10 MW/cm<sup>2</sup>)가 필요하다. 그리고, 주사 속도를 10 cm/sec 내지 2000 cm/sec 정도로 하여 조사한다.

또한, 단결정의 YAG,  $\text{YVO}_4$ , 고토감람석( $\text{Mg}_2\text{SiO}_4$ ),  $\text{YAlO}_3$ ,  $\text{GdVO}_4$ , 또는 다결정(세라믹)의 YAG,  $\text{Y}_2\text{O}_3$ ,  $\text{YVO}_4$ ,  $\text{YAlO}_3$ ,  $\text{GdVO}_4$ 에, 도펀트로서 Nd, Yb, Cr, Ti, Ho, Er, Tm, Ta 중 1종 또는 복수종이 첨가된 것을 매질로 하는 레이저, Ar 이온 레이저, 또는 Ti:사파이어 레이저는, 연속 발진 시킬 수 있고, Q 보호 회로 동작(Q-protection circuit operation)이나 모드 동기 등을 행함으로써 10 MHz 이상의 발진 주파수로 펄스 발진시킬 수도 있다. 10 MHz 이상의 발진 주파수로 레이저 빔을 발진시키면, 반도체 막이 레이저에 의하여 용융되고 나서 고화하는 사이에, 다음의 펄스가 반도체 막에 조사된다. 따라서, 발진 주파수가 낮은 펄스 레이저를 사용하는 경우와 달리, 반도체 막 중에서 고액 계면을 연속적으로 이동시킬 수 있기 때문에, 주사 방향을 향하여 연속적으로 성장한 결정립을 얻을 수 있다.

[0077] 또한, 게이트 절연막(1906)은 반도체 막(1905a 내지 1905f)에 대하여 상기 고밀도 플라즈마 처리를 행하여, 표면을 산화 또는 질화함으로써 형성하여도 좋다. 예를 들면, He, Ar, Kr, Xe 등의 희가스와, 산소, 산화질소( $\text{NO}_2$ ), 암모니아, 질소, 수소 등의 혼합 가스를 도입한 플라즈마 처리로 형성한다. 이 경우의 플라즈마의 여기(勵起)는, 마이크로파의 도입에 의하여 행하면, 낮은 전자온도에서 고밀도의 플라즈마를 생성할 수 있다. 상기 고밀도 플라즈마로 생성된 산소 라디칼(OH 라디칼을 포함하는 경우도 있다)이나 질소 라디칼(NH 라디칼을 포함하는 경우도 있다)에 의하여, 반도체 막의 표면을 산화 또는 질화할 수 있다.

[0078] 이러한 고밀도 플라즈마를 사용한 처리에 의하여, 1 nm 내지 20 nm, 대표적으로는 5 nm 내지 10 nm의 절연막이 반도체 막에 형성된다. 이 경우의 반응은 고상 반응이기 때문에, 상기 절연막과 반도체 막의 계면 준위 밀도는 극히 낮게 할 수 있다. 이러한 고밀도 플라즈마 처리는, 반도체 막(결정성 규소, 또는 다결정 규소)을 직접 산화(또는 질화)하기 때문에, 형성되는 절연막의 막 두께는 이상적으로는, 편차를 극히 작게 할 수 있다. 또한, 결정성 규소의 결정립계에서도 강하게 산화되지 않기 때문에, 매우 바람직한 상태가 된다. 즉, 여기서 나타내는 고밀도 플라즈마 처리에 의하여 반도체 막의 표면을 고상 산화함으로써, 결정립계에서 지나치게 산화 반응을 시키지 않고, 균일성이 좋고 계면 준위 밀도가 낮은 절연막을 형성할 수 있다.

[0079] 또한, 게이트 절연막(1906)은 고밀도 플라즈마 처리에 의하여 형성되는 절연막만을 사용하여도 좋고, 상기 절연막에 플라즈마나 열 반응을 이용한 CVD법을 사용하여 산화규소, 산질화규소, 질화규소 등의 절연막을 퇴적하여, 적층시켜도 좋다. 어쨌든, 고밀도 플라즈마로 형성한 절연막을 게이트 절연막의 일부 또는 전부에 포함하여 형성되는 트랜지스터는 특성의 편차를 작게 할 수 있다.

[0080] 또한, 반도체 막에 대하여, 연속 발진 레이저 또는 10 MHz 이상의 주파수로 발진하는 레이저 빔을 조사하면서 일 방향으로 주사하여 결정화시켜 얻어진 반도체 막(1905a 내지 1905f)은 그 빔의 주사 방향으로 결정이 성장하는 특성이 있다. 그 주사 방향을 채널 길이 방향(채널 형성 영역이 형성되었을 때 캐리어가 흐르는 방향)에 맞추어 트랜지스터를 배치하고, 상기 게이트 절연층을 조합함으로써, 특성의 편차가 작고, 또한 전계 효과 이동도가 높은 박막 트랜지스터(TFT: Thin Film Transistor)를 얻을 수 있다.

[0081] 다음에, 게이트 절연막(1906) 위에, 제 1 도전막과 제 2 도전막을 적층하여 형성한다. 여기서는, 제 1 도전막은 CVD법이나 스퍼터링법에 의하여 20 nm 내지 100 nm의 막 두께로 형성한다. 제 2 도전막은 100 nm 내지 400 nm의 막 두께로 형성한다. 제 1 도전막과 제 2 도전막은, 탄탈(Ta), 텅스텐(W), 티탄(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr), 니오브(Nb) 등 중에서 선택된 원소 또는 이들 원소를 주성분으로 하는 합금 재료 또는 화합물 재료로 형성한다. 또는, 인 등의 불순물 원소를 도핑한 다결정 규소로 대표되는 반도체 재료에 의하여 형성한다. 제 1 도전막과 제 2 도전막의 조합 예를 들면, 질화탄탈막과 텅스텐막, 질화텅스텐막과 텅스텐막, 질화몰리브덴막과 몰리브덴막 등을 들 수 있다. 텅스텐이나 질화탄탈은, 내열성이 높기 때문에, 제 1 도전막과 제 2 도전막을 형성한 후에, 열 활성화를 목적으로 한 가열 처리를 행할 수 있다. 또한, 2 층 구조가 아니라, 3 층 구조인 경우에는, 몰리브덴막과 알루미늄막과 몰리브덴막의 적층 구조를 채용하면 좋다.

[0082] 다음에, 포토리소그래피법을 사용하여 레지스트로 이루어지는 마스크를 형성하고, 게이트 전극과 게이트 선을 형성하기 위한 에칭 처리를 행하여, 반도체 막(1905a 내지 1905f)의 상부에 게이트 전극(1907)을 형성한다. 여기서는, 게이트 전극(1907)으로서, 제 1 도전막(1907a)과 제 2 도전막(1907b)의 적층 구조로 형성한 예를 나타낸다.

[0083] 다음에, 도 7c에 도시하는 바와 같이, 게이트 전극(1907)을 마스크로 하여 반도체 막(1905a 내지 1905f)에, 이온 도핑법 또는 이온 주입법에 의하여, n형을 부여하는 불순물 원소를 저농도로 첨가한 후, 포토리소그래피법에 의하여 레지스트로 이루어지는 마스크를 선택적으로 형성하여, 반도체 막(1905c, 1905e)에 p형을 부여하는 불순물 원소를 고농도로 첨가한다. n형을 나타내는 불순물 원소로서는 인(P)이나 비소(As) 등을 사용할 수 있다.



p형을 나타내는 불순물 원소로서는, 붕소(B)나 알루미늄(Al)이나 갈륨(Ga) 등을 사용할 수 있다. 여기서는, n형을 부여하는 불순물 원소로서 인(P)을 사용하여,  $1 \times 10^{15}/\text{cm}^3$  내지  $1 \times 10^{19}/\text{cm}^3$ 의 농도로 함유되도록 반도체 막(1905a 내지 1905f)에 선택적으로 도입하여, n형을 나타내는 불순물 영역(1908)을 형성한다. 또한, p형을 부여하는 불순물 원소로서 붕소(B)를 사용하고,  $1 \times 10^{19}/\text{cm}^3$  내지  $1 \times 10^{20}/\text{cm}^3$ 의 농도로 함유되도록 선택적으로 반도체 막(1905c, 1905e)에 도입하여, p형을 나타내는 불순물 영역(1909)을 형성한다.

[0084] 이어서, 게이트 절연막(1906)과 게이트 전극(1907)을 덮도록 절연막을 형성한다. 절연막은 플라즈마 CVD법이나 스퍼터링법 등에 의하여, 규소, 규소의 산화물 또는 규소의 질화물의 무기 재료를 포함하는 막이나, 유기 수지 등의 유기 재료를 포함하는 막을, 단층 또는 적층하여 형성한다. 다음에, 절연막을, 수직 방향을 주축으로 한 이방성 에칭에 의하여 선택적으로 에칭하여, 게이트 전극(1907)의 측면에 접하는 절연막(1910)(사이드월(sidewall))이라고도 불린다)을 형성한다. 절연막(1910)은, LDD(Lightly Doped Drain) 영역의 형성 시에 도핑용 마스크로서 사용한다.

[0085] 이어서, 포토리소그래피법에 의하여 형성한 레지스트로 이루어지는 마스크와, 게이트 전극(1907) 및 절연막(1910)을 마스크로서 사용하여, 반도체 막(1905a, 1905b, 1905d, 1905f)에 n형을 부여하는 불순물 원소를 고농도로 첨가하여, n형을 나타내는 불순물 영역(1911)을 형성한다. 여기서는, n형을 부여하는 불순물 원소로서 인(P)을 사용하고,  $1 \times 10^{19}/\text{cm}^3$  내지  $1 \times 10^{20}/\text{cm}^3$ 의 농도로 함유되도록 반도체 막(1905a, 1905b, 1905d, 1905f)에 선택적으로 도입하여, 불순물 영역(1908)보다 고농도의 n형을 나타내는 불순물 영역(1911)을 형성한다.

[0086] 이상의 공정에 의하여, 도 7d에 도시하는 바와 같이, n채널형 박막 트랜지스터(1900a, 1900b, 1900d, 1900f)와 p채널형 박막 트랜지스터(1900c, 1900e)가 형성된다.

[0087] 또한, n채널형 박막 트랜지스터(1900a)는, 게이트 전극(1907)과 겹치는 반도체 막(1905a)의 영역에 채널 형성 영역이 형성되고, 게이트 전극(1907) 및 절연막(1910)과 겹치지 않는 영역에 소스 영역 또는 드레인 영역을 형성하는 불순물 영역(1911)이 형성되고, 절연막(1910)과 겹치는 영역이며 채널 형성 영역과 불순물 영역(1911)의 사이에 저농도 불순물 영역(LDD 영역)이 형성된다. 또한, n채널형 박막 트랜지스터(1900b, 1900d, 1900f)에도 마찬가지로, 채널 형성 영역, 저농도 불순물 영역 및 불순물 영역(1911)이 형성된다.

[0088] 또한, p채널형 박막 트랜지스터(1900c)는 게이트 전극(1907)과 겹치는 반도체 막(1905c)의 영역에 채널 형성 영역이 형성되고, 게이트 전극(1907)과 겹치지 않는 영역에 소스 영역 또는 드레인 영역을 형성하는 불순물 영역(1909)이 형성된다. 또한, p채널형 박막 트랜지스터(1900e)도 마찬가지로 채널 형성 영역 및 불순물 영역(1909)이 형성된다. 또한, 여기서는, p채널형 박막 트랜지스터(1900c, 1900e)에는 LDD 영역을 형성하지 않지만, p채널형 박막 트랜지스터에 LDD 영역을 형성하여도 좋고, n채널형 박막 트랜지스터에 LDD 영역을 형성하지 않는 구성으로 하여도 좋다.

[0089] 다음에, 도 8a에 도시하는 바와 같이, 반도체 막(1905a 내지 1905f), 게이트 전극(1907) 등을 덮도록, 절연막을 단층 또는 적층하여 형성하고, 상기 절연막 위에 박막 트랜지스터(1900a 내지 1900f)의 소스 영역 또는 드레인 영역을 형성하는 불순물 영역(1909, 1911)과 전기적으로 접속하는 도전막(1913)을 형성한다. 절연막은 CVD법, 스퍼터링법, SOG법, 액적 토출법, 스크린 인쇄법 등에 의하여, 규소의 산화물이나 규소의 질화물 등의 무기 재료, 폴리이미드, 폴리아미드, 벤조시클로부텐, 아크릴, 에폭시 등의 유기 재료나 실록산 재료 등에 의하여, 단층 또는 적층으로 형성한다. 여기서는, 상기 절연막을 2 층으로 형성하고, 제 1 층제 절연막(1912a)으로서 질화산화규소막으로 형성하고, 제 2 층제 절연막(1912b)으로서 산화질화규소막으로 형성한다. 또한, 도전막(1913)은 반도체 막(1905a 내지 1905f)의 소스 전극 또는 드레인 전극을 형성한다.

[0090] 또한, 절연막(1912a, 1912b)을 형성하기 전에, 또는 절연막(1912a, 1912b) 중 하나 또는 복수의 박막을 형성한 후에, 반도체 막의 결정성의 회복이나 반도체 막에 첨가된 불순물 원소의 활성화, 반도체 막의 수소화를 목적으로 한 가열 처리를 행하면 좋다. 가열 처리에는, 열 어닐법, 레이저 어닐법 또는 RTA법 등을 적용하면 좋다.

[0091] 또한, 도전막(1913)은, CVD법이나 스퍼터링법 등에 의하여, 알루미늄(Al), 텅스텐(W), 티탄(Ti), 탄탈(Ta), 몰리브덴(Mo), 니켈(Ni), 백금(Pt), 구리(Cu), 금(Au), 은(Ag), 망간(Mn), 네오딤(Nd), 탄소(C), 규소(Si) 중에서 선택된 원소, 또는 이들 원소를 주성분으로 하는 합금 재료 또는 화합물 재료로, 단층 또는 적층으로 형성한다. 알루미늄을 주성분으로 하는 합금 재료란, 예를 들면, 알루미늄을 주성분으로 하여 니켈을 함유하는 재료, 또는 알루미늄을 주성분으로 하여 니켈과, 탄소와 규소 중의 어느 하나 또는 양쪽을 함유하는 합금 재료에 상당한다. 도전막(1913)은, 예를 들면, 배리어 막과 알루미늄규소(Al-Si)막과 배리어 막의 적층 구조, 배리어 막과

알루미늄규소(Al-Si)막과 질화티탄막과 배리어 막의 적층 구조를 채용하면 좋다. 또한, 배리어 막은 티탄, 티탄의 질화물, 몰리브덴, 또는 몰리브덴의 질화물로 이루어지는 박막에 상당한다. 알루미늄이나 알루미늄규소는 저항값이 낮고, 저렴하기 때문에, 도전막(1913)을 형성하는 재료로서 최적이다. 또한, 상층과 하층의 배리어층을 형성하면, 알루미늄이나 알루미늄 규소의 힐록의 발생을 방지할 수 있다. 또한, 환원성이 높은 원소인 티탄으로 이루어지는 배리어 막을 형성하면, 결정질 반도체 막 위에 얇은 자연 산화막이 생겼더라도, 상기 자연 산화막이 환원되어, 결정질 반도체 막과 양호한 콘택트를 취할 수 있다.

[0092] 다음에, 도전막(1913)을 덮도록, 절연막(1914)을 형성하고, 상기 절연막(1914) 위에, 반도체 막(1905a, 1905f)의 소스 전극 또는 드레인 전극을 형성하는 도전막(1913)과 각각 전기적으로 접속하는 도전막(1915a, 1915b)을 형성한다. 또한, 반도체 막(1905b, 1905e)의 소스 전극 또는 드레인 전극을 형성하는 도전막(1913)과 각각 전기적으로 접속하는 도전막(1916a, 1916b)을 형성한다. 또한, 도전막(1915a, 1915b)과 도전막(1916a, 1916b)은 동일한 재료로 동시에 형성하여도 좋다. 도전막(1915a, 1915b)과 도전막(1916a, 1916b)은, 상기 도전막(1913)에서 나타난 어느 재료를 사용하여 형성할 수 있다.

[0093] 이어서, 도 8b에 도시하는 바와 같이, 도전막(1916a, 1916b)에 안테나로서 기능하는 도전막(1917a, 1917b)이 전기적으로 접속되도록 형성한다.

[0094] 또한, 절연막(1914)은 CVD법이나 스퍼터링법 등에 의하여, 산화규소( $\text{SiO}_x$ ), 질화규소( $\text{SiN}_x$ ), 산화질화규소( $\text{SiO}_x\text{N}_y$ )( $x > y$ ), 질화산화규소( $\text{SiN}_x\text{O}_y$ )( $x > y$ ) 등의 산소 또는 질소를 함유하는 절연막이나 DLC(다이아몬드 라이크 카본) 등의 탄소를 함유하는 막, 에폭시, 폴리이미드, 폴리아미드, 폴리비닐페놀, 벤조시클로부텐, 아크릴 등의 유기 재료 또는 실록산 수지 등의 실록산 재료로 이루어지는 단층 또는 적층 구조로 형성할 수 있다. 또한, 실록산 재료는 Si - O - Si 결합을 포함하는 재료에 상당한다. 실록산은, 규소(Si)와 산소(O)의 결합으로 골격 구조가 구성된다. 치환기로서, 적어도 수소를 함유하는 유기기(예를 들면, 알킬기, 방향족 탄화수소)가 사용된다. 치환기로서, 플루오로기를 사용할 수도 있다. 또한, 치환기로서, 적어도 수소를 포함하는 유기기와, 플루오로기를 사용하여도 좋다.

[0095] 또한, 도전막(1917a, 1917b)은 CVD법, 스퍼터링법, 스크린 인쇄나 그라비아 인쇄 등의 인쇄법, 액적 토출법, 디스펜서법, 도금법 등을 사용하여, 도전성 재료에 의하여 형성한다. 도전성 재료는, 알루미늄(Al), 티탄(Ti), 은(Ag), 구리(Cu), 금(Au), 백금(Pt), 니켈(Ni), 팔라듐(Pd), 탄탈(Ta), 몰리브덴(Mo) 중에서 선택된 원소, 또는 이들 원소를 주성분으로 하는 합금 재료 또는 화합물 재료로, 단층 구조 또는 적층 구조로 형성한다.

[0096] 예를 들면, 스크린 인쇄법을 사용하여 안테나로서 기능하는 도전막(1917a, 1917b)을 형성하는 경우에는, 입자 직경이 수 nm 내지 수십 mm의 도전체 입자를 유기 수지에 용해 또는 분산시킨 도전성 페이스트를 선택적으로 인쇄함으로써 형성할 수 있다. 도전체 입자로서는, 은(Ag), 금(Au), 구리(Cu), 니켈(Ni), 백금(Pt), 팔라듐(Pd), 탄탈(Ta), 몰리브덴(Mo) 및 티탄(Ti) 등 중에서 어느 하나 이상의 금속 입자나 할로젠화 은의 미립자, 또는 분산성 나노 입자를 사용할 수 있다. 또한, 도전성 페이스트에 함유되는 유기 수지는, 금속 입자의 바인더, 용매, 분산제 및 피복재로서 기능하는 유기 수지로부터 선택된 하나 또는 복수를 사용할 수 있다. 대표적으로는, 에폭시 수지, 실리콘(silicone) 수지 등의 유기 수지를 들 수 있다. 또한, 도전막의 형성에 있어서, 도전성 페이스트를 압출한 후에 소성하는 것이 바람직하다. 예를 들면, 도전성 페이스트의 재료로서, 은을 주성분으로 하는 미립자(예를 들면, 입자직경 1 nm 이상 100 nm 이하)를 사용하는 경우, 150℃ 내지 300℃의 온도 범위에서 소성함으로써 경화시켜 도전막을 얻을 수 있다. 또한, 땀납이나 납프리 땀납을 주성분으로 하는 미립자를 사용하여도 좋고, 이 경우는 입자직경 20 nm 이하의 미립자를 사용하는 것이 바람직하다. 땀납이나 납프리 땀납은 저비용이라는 이점을 가진다.

[0097] 다음에, 도 8c에 도시하는 바와 같이, 도전막(1917a, 1917b)을 덮도록 절연막(1918)을 형성한 후, 박막 트랜지스터(1900a 내지 1900f), 도전막(1917a, 1917b) 등을 포함하는 층(이하, "소자 형성층(1919)"이라고 기재한다)을 기판(1901)으로부터 박리한다. 여기서는, 레이저광(예를 들면, UV 광)을 조사함으로써, 박막 트랜지스터(1900a 내지 1900f)를 피한 영역에 개구부를 형성한 후, 물리적인 힘을 사용하여 기판(1901)으로부터 소자 형성층(1919)을 박리할 수 있다. 또한, 기판(1901)으로부터 소자 형성층(1919)을 박리하기 전에, 형성한 개구부에 에칭제를 도입하여, 박리층(1903)을 선택적으로 제거하여도 좋다. 에칭제는 불화 할로젠 또는 할로젠 화합물을 함유하는 기체 또는 액체를 사용한다. 예를 들면, 불화 할로젠을 함유하는 기체로서 삼불화염소( $\text{ClF}_3$ )를 사용한다. 그러면, 소자 형성층(1919)은 기판(1901)으로부터 박리된 상태가 된다. 또한, 박리층(1903)은 모두 제거하지 않고 일부분을 잔존시켜도 좋다. 이렇게 함으로써, 에칭제의 소비량을 억제하여 박리층의 제거에 걸리는

처리 시간을 단축할 수 있다. 또한, 박리층(1903)의 제거를 행한 후에도, 기판(1901) 위에 소자 형성층(1919)을 유지할 수 있게 된다. 또한, 소자 형성층(1919)이 박리된 기판(1901)을 재활용함으로써, 비용을 절감할 수 있다.

[0098] 절연막(1918)은 CVD법이나 스퍼터링법 등에 의하여, 산화규소( $\text{SiO}_x$ ), 질화규소( $\text{SiN}_x$ ), 산화질화규소( $\text{SiO}_x\text{N}_y$ )( $x > y$ ), 질화산화규소( $\text{SiN}_x\text{O}_y$ )( $x > y$ ) 등의, 산소 또는 질소를 가지는 절연막이나 DLC(다이아몬드 라이크 카본)) 등의 탄소를 함유하는 막, 에폭시, 폴리이미드, 폴리아미드, 폴리비닐페놀, 벤조시클로부텐, 아크릴 등의 유기 재료 또는 실록산 수지 등의 실록산 재료로 이루어지는 단층 또는 적층 구조로 형성할 수 있다.

[0099] 본 실시형태에서는, 도 9a에 도시하는 바와 같이, 레이저 광의 조사에 의하여 소자 형성층(1919)에 개구부를 형성한 후에, 상기 소자 형성층(1919)의 한쪽 면(절연막(1918)이 노출한 면)에 제 1 시트 재료(1920)를 부착시킨 후, 기판(1901)으로부터 소자 형성층(1919)을 박리한다.

[0100] 다음에, 도 9b에 도시하는 바와 같이, 소자 형성층(1919)의 다른 쪽 면(박리에 의하여 노출한 면)에 제 2 시트 재료(1921)를 부착시킨 후, 가열 처리와 가압 처리 중 어느 하나 또는 양쪽을 행하여 제 2 시트 재료(1921)를 부착시킨다. 제 1 시트 재료(1920) 및 제 2 시트 재료(1921)로서 핫 멜트(hot melt) 필름 등을 사용할 수 있다.

[0101] 또한, 제 1 시트 재료(1920) 및 제 2 시트 재료(1921)로서, 정전기 등을 방지하는 대전 방지 대책을 실시한 필름(이하, 대전 방지 필름이라고 기재한다)을 사용할 수도 있다. 대전 방지 필름으로서는, 대전 방지 가능한 재료를 수지 중에 분산시킨 필름, 및 대전 방지 가능한 재료가 부착된 필름 등을 들 수 있다. 대전 방지 가능한 재료가 형성된 필름은 한쪽 면에 대전 방지 가능한 재료를 형성한 필름이라도 좋고, 양면에 대전 방지 가능한 재료를 형성한 필름이라도 좋다. 또한, 한쪽 면에 대전 방지 가능한 재료가 형성된 필름은, 대전 방지 가능한 재료가 형성된 면을 필름의 내측이 되도록 층에 부착하여도 좋고, 필름의 외측이 되도록 부착하여도 좋다. 또한, 대전 방지 가능한 재료는 필름의 전면 또는 일부에 형성되면 좋다. 여기서는, 대전 방지 가능한 재료로서는, 금속, 인듐과 주석의 산화물(ITO), 양성 계면활성제나 양이온성 계면활성제나 비이온성 계면활성제 등의 계면활성제를 사용할 수 있다. 또한, 이 이외에도, 대전 방지 재료로서, 측쇄에 카르복실기 및 4급 암모늄염기를 가지는 가교성 공중합체 고분자를 포함하는 수지 재료 등을 사용할 수 있다. 이들 재료를 필름에 부착하거나, 이겨 넣거나, 도포하거나 함으로써 대전 방지 필름으로 할 수 있다. 대전 방지 필름으로 밀봉함으로써, 상품으로서 취급할 때, 외부로부터의 정전기 등에 의하여 반도체 소자에 악영향이 미치는 것을 억제할 수 있다.

[0102] 또한, 본 실시형태에서는 소자 형성층(1919)을 기판(1901)으로부터 박리하여 사용하는 예를 나타내지만, 박리층(1903)을 형성하지 않고, 기판(1901) 위에 상기 소자 형성층(1919)을 제작하고, 반도체 장치로서 사용하여도 좋다. 또한 기판(1901)으로서 SOI(Silicon On Insulator)기판을 사용하는 경우에는, 반도체 막으로서 단결정 반도체 막을 사용하면 좋고, 반도체 막의 결정화 공정의 단축을 도모할 수 있다.

[0103] 또한, 본 실시형태는, 본 명세서의 실시 형태의 기술적 요소와 조합하여 행할 수 있다. 즉, 본 실시형태의 반도체 장치는, 반도체 장치에 있어서의 일부의 기능 회로가 기계적으로 또는 전기적으로 파괴되고, 정상적인 처리 결과를 응답할 수 없는 경우라도, 다른 기능 회로로부터 처리 결과를 얻을 수 있는, 신뢰성이 높은 무선 시스템 및 반도체 장치 및 통신 장치를 제공할 수 있다. 또한, 하나의 반도체 장치가 기계적으로 또는 전기적으로 파괴되고, 정상적인 처리 결과를 응답할 수 없는 경우라도, 다른 반도체 장치로부터 정상적인 처리 결과를 얻을 수 있고, 신뢰성이 높은 무선 시스템 및 통신 장치를 제공할 수 있다.

[0104] (실시형태 4)

[0105] 본 실시형태에서는, 단결정 기판에 형성된 트랜지스터를 사용하여, 본 발명의 반도체 장치를 제작하는 예에 대하여 설명한다. 단결정 기판에 형성된 트랜지스터는 특성의 편차를 억제할 수 있으므로, 반도체 장치에 사용되는 트랜지스터의 개수를 억제할 수 있다.

[0106] 우선, 도 10a에 도시하는 바와 같이, 반도체 기판(2300)에, 반도체 소자를 전기적으로 분리하기 위한 소자 분리용 절연막(2301)을 형성한다. 소자 분리용 절연막(2301)의 형성에 따라, 트랜지스터를 형성하기 위한 영역(소자 형성 영역(2302))과, 소자 형성 영역(2303)을 전기적으로 분리할 수 있다.

[0107] 반도체 기판(2300)은, 예를 들면, n형 또는 p형의 도전형을 가지는 단결정 규소 기판, 화합물 반도체 기판(GaAs 기판, InP 기판, GaN 기판, SiC 기판, 사파이어 기판, ZnSe 기판 등), 접합법 또는 SIMOX(Separation by Implanted OXygen)법을 사용하여 제작된 SOI(Silicon On Insulator) 기판 등을 사용할 수가 있다.

- [0108] 소자 분리용 절연막(2301)의 형성에는, 선택 산화법(LOCOS(LOCal Oxidation of Silicon) 법) 또는 트렌치 분리법 등을 적절히 사용할 수 있다.
- [0109] 또한, 본 실시형태에서는 n형의 도전형을 가지는 단결정 규소 기판을 반도체 기판(2300)으로서 사용하여, 소자 형성 영역(2303)에 p웰(2304)을 형성한 예를 나타낸다. 반도체 기판(2300)의 소자 형성 영역(2303)에 형성된 p웰(2304)은, p형의 도전형을 부여하는 불순물 원소를 소자 형성 영역(2303)에 선택적으로 도입함으로써 형성할 수 있다. p형을 부여하는 불순물 원소로서는, 붕소(B)나 알루미늄(Al)이나 갈륨(Ga) 등을 사용할 수 있다. 또한 반도체 기판(2300)으로서 p형의 도전형을 가지는 반도체 기판을 사용하는 경우, 소자 형성 영역(2302)에 n형을 부여하는 불순물 원소를 선택적으로 도입하여, n웰을 형성하면 좋다.
- [0110] 또한, 본 실시형태에서는, 반도체 기판(2300)으로서 n형의 도전형을 가지는 반도체 기판을 사용하기 때문에, 소자 형성 영역(2302)에는 불순물 원소를 도입하지 않는다. 그러나, n형을 부여하는 불순물 원소를 도입함으로써 소자 형성 영역(2302)에 n웰을 형성하여도 좋다. n형을 부여하는 불순물 원소로서는, 인(P)이나 비소(As) 등을 사용할 수 있다.
- [0111] 다음에, 도 10b에 도시하는 바와 같이, 소자 형성 영역(2302, 2303)을 덮도록 절연막(2305, 2306)을 각각 형성한다. 본 실시형태에서는, 반도체 기판(2300)을 열 산화함으로써, 소자 형성 영역(2302, 2303)에 형성된 산화규소막을, 절연막(2305, 2306)으로서 사용한다. 또한, 열 산화에 의하여 산화규소막을 형성한 후, 질화 처리를 행함으로써 산화 규소막의 표면을 질화시켜 산질화 규소막을 형성하고, 산화규소막과 산질화규소막이 적층된 층을 절연막(2305, 2306)으로서 사용하여도 좋다.
- [0112] 그 이외에도, 상기한 바와 같이, 플라즈마 처리를 사용하여 절연막(2305, 2306)을 형성하여도 좋다. 예를 들면, 고밀도 플라즈마 처리에 의하여 반도체 기판(2300)의 표면을 산화 또는 질화함으로써, 소자 형성 영역(2302, 2303)에 절연막(2305, 2306)으로서 사용하는 산화규소( $\text{SiO}_x$ )막 또는 질화규소( $\text{SiN}_x$ )막을 형성할 수 있다.
- [0113] 다음에, 도 10c에 도시하는 바와 같이, 절연막(2305, 2306)을 덮도록 도전막을 형성한다. 본 실시형태에서는, 도전막으로서, 순차로 적층된 도전막(2307)과 도전막(2308)을 사용한 예를 나타낸다. 도전막은, 단층의 도전막을 사용하여도 좋고, 3 층 이상의 도전막이 적층된 구조를 사용하여도 좋다.
- [0114] 절연막(2307, 2308)은, 탄탈(Ta), 텅스텐(W), 티탄(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr), 니오브(Nb) 등을 사용할 수 있다. 또한, 도전막(2307, 2308)은, 상기 금속으로 형성된 막 이외에, 상기 금속을 주성분으로 하는 합금으로 형성된 막, 또는 상기 금속을 포함하는 화합물을 사용하여 형성된 막을 사용하여도 좋다. 또한, 반도체 막에 도전성을 부여하는 인 등의 불순물 원소를 도핑한, 다결정 규소 등의 반도체를 사용하여 형성하여도 좋다. 본 실시형태에서는, 질화 탄탈을 사용하여 도전막(2307)을 형성하고, 텅스텐을 사용하여 도전막(2308)을 형성한다.
- [0115] 다음에, 도 11a에 도시하는 바와 같이, 적층하여 형성된 도전막(2307, 2308)을 소정의 형상으로 가공(패터닝)함으로써, 절연막(2305, 2306) 위에 게이트 전극(2309, 2310)을 형성한다.
- [0116] 다음에, 도 11b에 도시하는 바와 같이, 소자 형성 영역(2302)을 덮도록, 레지스트로 마스크(2311)를 선택적으로 형성한다. 그리고, 소자 형성 영역(2303)에 불순물 원소를 도입한다. 마스크(2311)와 마찬가지로, 게이트 전극(2310)도 마스크로서 기능하기 때문에, 상기 불순물 원소의 도입에 의하여, p웰(2304)에 소스 영역 및 드레인 영역으로서 기능하는 불순물 영역(2312)과, 채널 형성 영역(2313)이 형성된다. 불순물 원소는, n형을 부여하는 불순물 원소 또는 p형을 부여하는 불순물 원소를 사용한다. n형을 부여하는 불순물 원소로서는, 인(P)이나 비소(As) 등을 사용할 수 있다. p형을 부여하는 불순물 원소로서는, 붕소(B)나 알루미늄(Al)이나 갈륨(Ga) 등을 사용할 수 있다. 본 실시형태에서는, 불순물 원소로서, 인(P)을 사용한다.
- [0117] 다음에, 마스크(2311)를 제거한 후, 도 11c에 도시하는 바와 같이, 소자 형성 영역(2303)을 덮도록 레지스트로 마스크(2314)를 선택적으로 형성한다. 그리고, 소자 형성 영역(2302)에 불순물 원소를 도입한다. 마스크(2314)와 마찬가지로 게이트 전극(2309)도 마스크로서 기능하기 때문에, 상기 불순물 원소의 도입에 의하여, 소자 형성 영역(2302)내의 반도체 기판(2300)에 있어서, 소스 영역 및 드레인 영역으로서 기능하는 불순물 영역(2315)과, 채널 형성 영역(2316)이 형성된다. 불순물 원소로서는, n형을 부여하는 불순물 원소 또는 p형을 부여하는 불순물 원소를 사용한다. n형을 부여하는 불순물 원소로서는, 인(P)이나 비소(As) 등을 사용할 수 있다. p형을 부여하는 불순물 원소로서는, 붕소(B)나 알루미늄(Al)이나 갈륨(Ga) 등을 사용할 수 있다. 본 실시형태에서는, 도 8c에서 소자 형성 영역(2303)에 도입한 불순물 원소와 다른 도전형을 가지는 불순물 원소(예



를 들면, 붕소(B))를 도입한다.

- [0118] 다음에 도 12a에 도시하는 바와 같이, 절연막(2305, 2306), 게이트 전극(2309, 2310)을 덮도록 절연막(2317)을 형성한다. 그리고, 절연막(2317)에 콘택트 홀을 형성하고, 불순물 영역(2312, 2315)을 일부 노출시킨다. 다음에, 콘택트 홀을 통하여 불순물 영역(2312, 2315)을 접속하는 도전막(2318)을 형성한다. 도전막(2318)은, CVD법이나 스퍼터링법 등에 의하여 형성할 수 있다.
- [0119] 절연막(2317)은, 무기 절연막, 유기 수지막 또는 실록산계 절연막을 사용하여 형성할 수 있다. 무기 절연막이면 산화규소, 산화질화규소, 질화산화규소, DLC(다이아몬드 라이크 카본)로 대표되는 탄소를 함유하는 막 등을 사용할 수 있다. 유기 수지막이라면, 예를 들면, 아크릴, 에폭시, 폴리이미드, 폴리아미드, 폴리비닐페놀, 벤조시클로부텐 등을 사용할 수 있다. 또한, 절연막(2317)은 그 재료에 따라, CVD법, 스퍼터링법, 액적도출법 또는 인쇄법 등으로 형성할 수 있다.
- [0120] 또한, 본 발명의 반도체 장치에 사용되는 트랜지스터는, 본 실시형태에 있어서 도시한 구조에 한정되지 않는다. 예를 들면, 역 스택 구조라도 좋다.
- [0121] 다음에, 도 12b에 도시하는 바와 같이 층간막(2324)을 형성한다. 그리고, 층간막(2324)을 에칭하여 콘택트 홀을 형성하고, 도전막(2318)의 일부를 노출시킨다. 층간막(2324)은 수지에 한정되지 않고, CVD 산화막 등 다른 막이라도 좋지만, 평탄성의 관점에서 수지인 것이 바람직하다. 또한, 감광성 수지를 사용하여, 에칭을 사용하지 않고 콘택트 홀을 형성하여도 좋다. 다음에, 층간막(2324) 위에, 콘택트 홀을 통하여 도전막(2318)과 접하는 배선(2325)을 형성한다.
- [0122] 다음에 안테나로서 기능하는 도전막(2326)을, 배선(2325)과 접하도록 형성한다. 도전막(2326)은, 은(Ag), 금(Au), 구리(Cu), 팔라듐(Pd), 크롬(Cr), 백금(Pt), 몰리브덴(Mo), 티탄(Ti), 탄탈(Ta), 텅스텐(W), 알루미늄(Al), 철(Fe), 코발트(Co), 아연(Zn), 주석(Sn), 니켈(Ni) 등의 금속을 사용하여 형성할 수 있다. 도전막(2326)은, 상기 금속으로 형성된 막 이외로, 상기 금속을 주성분으로 하는 합금으로 형성된 막, 또는 상기 금속을 포함하는 화합물을 사용하여 형성된 막을 사용하여도 좋다. 도전막(2326)은, 상기한 막을 단층으로 사용하여도 좋고, 상기한 복수의 막을 적층하여도 좋다.
- [0123] 도전막(2326)은, CVD법, 스퍼터링법, 스크린 인쇄법이나 그라비아 인쇄법 등의 인쇄법, 액적도출법, 디스펜서법, 도금법, 포토리소그래피 방법, 증착법 등을 사용하여 형성할 수 있다.
- [0124] 또한, 본 실시형태에서는, 안테나를 반도체 소자와 동일 기판 위에 형성하는 예에 대하여 설명하지만, 본 발명은 이 구성에 한정되지 않는다. 반도체 소자를 가지는 집적 회로를 형성한 후, 별도 형성한 안테나를, 집적 회로와 전기적으로 접속하도록 하여도 좋다. 이 경우, 안테나와 집적 회로의 전기적인 접속은, 이방 도전성 필름(ACF(Anisotropic Conductive Film))이나 이방 도전성 페이스트(ACP(Anisotropic Conductive Paste)) 등으로 압착시킴으로써 전기적으로 접속할 수 있다. 또한, 이 이외에, 은 페이스트, 구리 페이스트 또는 카본 페이스트 등의 도전성 접착제나 땀납 접합 등을 사용하여 접속을 행할 수도 있다.
- [0125] 또한, 본 실시형태는, 본 명세서의 실시형태의 기술적 요소와 조합하여 행할 수 있다. 즉, 본 실시형태의 반도체 장치는, 반도체 장치에 있어서의 일부의 기능 회로가 기계적으로 또는 전기적으로 파괴되고, 정상적인 처리 결과를 응답할 수 없는 경우라도, 다른 기능 회로로부터 처리 결과를 얻을 수 있는, 신뢰성이 높은 무선 시스템 및 반도체 장치 및 통신 장치를 제공할 수 있다. 또한, 하나의 반도체 장치가 기계적으로 또는 전기적으로 파괴되고, 정상적인 처리 결과를 응답할 수 없는 경우라도, 다른 반도체 장치로부터 정상적인 처리 결과를 얻을 수 있는, 신뢰성이 높은 무선 시스템 및 통신 장치를 제공할 수 있다.
- [0126] (실시형태 5)
- [0127] 본 실시형태에서는, 본 발명의 반도체 장치의 용도에 대하여 설명한다. 본 발명의 반도체 장치는, 예를 들면, 비디오 카메라, 디지털 비디오 카메라 등의 카메라, 컴퓨터, 휴대 정보 단말기(모바일 컴퓨터, 휴대 전화기, 휴대형 게임기 또는 전자 서적 등), 기록매체를 구비한 화상 재생 장치(구체적으로는 Digital Versatile Disc(DVD) 플레이어) 등의 전자기기나, 지폐, 경화, 유가증권류, 무기명 채권류, 증서류(운전면허증이나 주민등록증 등), 포장용 용기류(포장지나 병 등), 기록 매체(DVD 소프트웨어나 비디오 테이프 등), 탈 것류(자전거 등), 신변품(가방이나 안경 등), 식품류, 식물류, 동물류, 인체, 의류, 생활 용품류, 전자기기 등의 상품이나 화물의 꼬리표 등의 물품에 형성하는 소위 IC 라벨, IC 카드로서 사용할 수 있다.
- [0128] 또한, 본 실시형태에 있어서, IC 카드는 플라스틱제 카드에 박편화(薄片化)한 반도체 장치(IC 칩)를 매립하여

정보를 기록할 수 있도록 한 카드이다. 또한, 본 발명의 반도체 장치의 형태는 여러가지 있고, 라벨 상태의 반도체 장치라면, IC 라벨이라고 부른다.

[0129] 본 실시형태에서는, 도 13a 내지 도 13e를 참조하여, 본 발명의 반도체 장치를 구비하는 IC 라벨, IC 카드의 응용, 및 이들을 구비한 상품의 일례에 대하여 설명한다.

[0130] 도 13a는, 본 발명에 관한 반도체 장치를 내포하는 IC 라벨의 일례이다. 라벨 대지(3001)(세퍼레이트 지) 위에, 반도체 장치(3002)를 내장한 복수의 IC 라벨(3003)이 형성된다. IC 라벨(3003)은 박스(3004) 안에 수납된다. 또한, IC 라벨(3003) 위에는 그 상품이나 역무에 관한 정보(상품명, 브랜드, 상표, 상표권자, 판매자, 제조자 등)가 기재되고, 한편, 내장되는 반도체 장치에는, 그 상품(또는 상품의 종류) 고유의 ID 넘버가 붙여져, 위조나 상표권, 특허권 등의 지적재산권 침해, 부정경쟁 등의 불법 행위를 용이하게 파악할 수 있다. 또한, 반도체 장치 내에는, 상품의 용기나 라벨에 모두 명기할 수 없는 막대한 정보, 예를 들면, 상품의 산지, 판매지, 품질, 원재료, 효능, 용도, 수량, 형상, 가격, 생산방법, 사용방법, 생산시기, 사용시기, 유통기한, 취급설명, 상품에 관한 지적재산정보 등을 입력해 둘 수 있고, 거래자나 소비자들은 간이한 리더에 의하여 그러한 정보에 액세스할 수 있다. 또한, 생산자 측에서는 용이하게 개서, 소거 등도 가능하지만, 거래자나 소비자 측에서는 개서, 소거 등을 할 수 없는 구조가 된다.

[0131] 도 13b는, 본 발명의 반도체 장치(3012)를 내포한 라벨 상태의 IC 라벨(3011)을 도시한다. IC 라벨(3011)을 상품에 구비시킴으로써, 상품 권리가 용이해진다. 예를 들면, 상품이 도난된 경우에, 상품의 경로를 찾음으로써, 그 범인을 신속하게 파악할 수 있다. 이와 같이, IC 라벨을 구비함으로써, 소위 트레이서빌리티(traceability)가 뛰어난 상품을 유통시킬 수 있다.

[0132] 도 13c는, 본 발명의 반도체 장치(3022)를 내포한 IC 카드(3021)의 완성품 상태의 일례이다. 상기 IC 카드(3021)로서는, 현금 카드, 신용 카드, 선불 카드, 전자 승차권, 전자 머니, 전화 카드, 회원 카드 등의 모든 카드류가 포함된다.

[0133] 또한, 도 13c에 도시한 본 발명의 반도체 장치(3022)를 내포한 IC 카드에 있어서는, 도 13d에 도시하는 바와 같이 구부러진 형상으로 변형시키더라도 사용할 수 있다. 본 발명은, 상기 실시형태에서 설명하는 바와 같이, 반도체 장치(3022)에 있어서 기능 회로를 복수 구비하는 구성을 취할 수 있으므로, 반도체 장치(3022)가 파손되기 쉬운 환경에 있어서 특히 유용하다.

[0134] 도 13e는 무기명 채권(3031)의 완성품의 상태를 나타낸다. 무기명 채권(3031)에는 본 발명의 반도체 장치(3032)가 묻혀져, 그 주위는 수지에 의하여 성형되어, 반도체 장치를 보호한다. 여기서, 상기 수지 중에는 필러(filler)가 충전된 구성이 된다. 무기명 채권(3031)은, 본 발명에 관한 IC 라벨, IC 카드와 같은 요령으로 작성할 수 있다. 또한, 상기 무기명 채권류에는, 우표, 표, 티켓, 입장권, 상품권, 도서상품권, 문구권, 맥주권, 쌀 상품권, 각종 상품권, 각종 서비스권 등이 포함되지만, 물론 이들에 한정되지 않는다. 또한, 지폐, 경화, 유가증권류, 무기명 채권류, 증서류 등에 본 발명의 반도체 장치(3032)를 형성함으로써, 인증 기능을 형성할 수 있고, 이 인증 기능을 활용하면 위조를 방지할 수 있다.

[0135] 이상과 같이, 본 발명의 반도체 장치를 구비하는 IC 라벨, 및 IC 카드는 물품(생물을 포함한다)이면 어떤 것에든지 형성하여 사용할 수 있다.

[0136] 또한, 본 실시형태는, 본 명세서의 실시형태의 기술적 요소와 조합하여 행할 수 있다. 즉, 본 실시형태의 반도체 장치는, 반도체 장치에 있어서의 일부의 기능 회로가 기계적으로 또는 전기적으로 파괴되고, 정상적인 처리 결과를 응답할 수 없는 경우라도, 다른 기능회로로부터 처리 결과를 얻을 수 있는, 신뢰성이 높은 무선 시스템 및 반도체 장치 및 통신 장치를 제공할 수 있다. 또한, 하나의 반도체 장치가 기계적으로 또는 전기적으로 파괴되고, 정상적인 처리 결과를 응답할 수 없는 경우라도, 다른 반도체 장치로부터 정상적인 처리 결과를 얻을 수 있는, 신뢰성이 높은 무선 시스템 및 통신 장치를 제공할 수 있다.

## 도면의 간단한 설명

[0137] 도 1은 본 발명에 있어서의 무선 시스템의 블록도.

[0138] 도 2는 본 발명에 있어서의 무선 시스템의 반도체 장치와 통신 장치의 통신신호 파형.

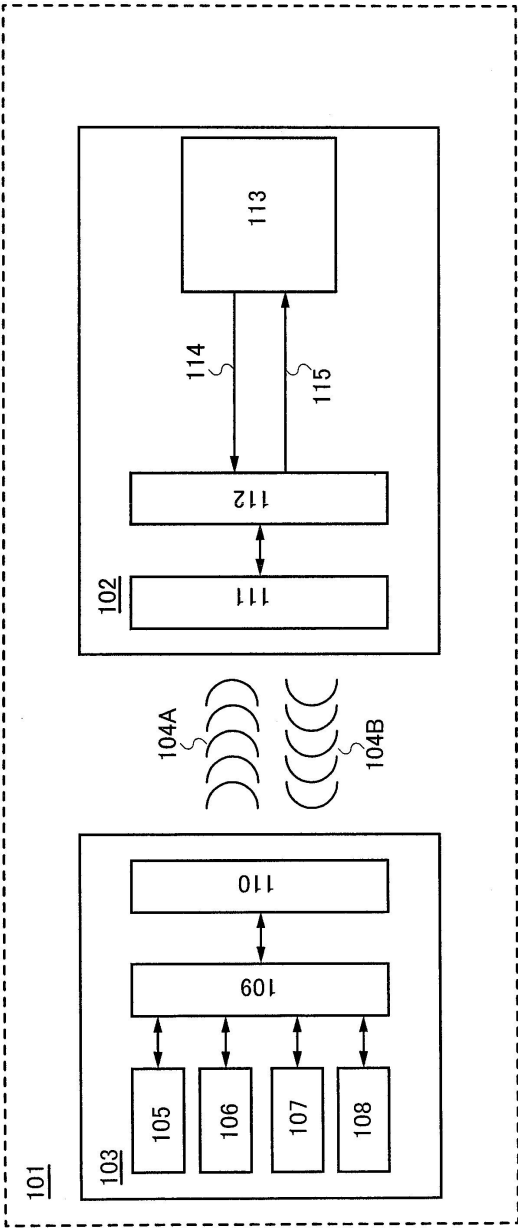
[0139] 도 3은 본 발명에 있어서의 무선 시스템의 블록도.

[0140] 도 4는 본 발명에 있어서의 무선 시스템의 반도체 장치와 통신 장치의 통신신호 파형.

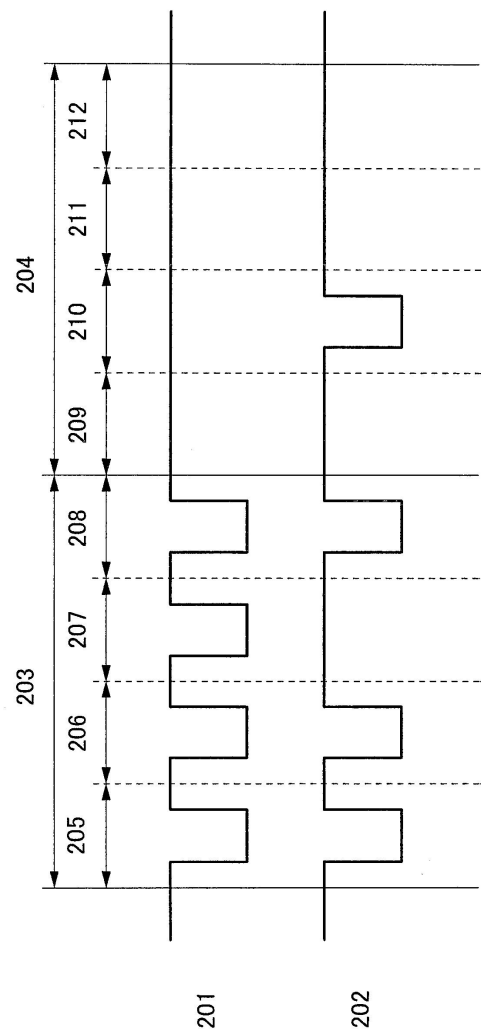


[0141]	도 5는 본 발명에 있어서의 무선 시스템의 플로 차트도.	
[0142]	도 6은 본 발명에 있어서의 무선 시스템의 블록도.	
[0143]	도 7a 내지 도 7d는 본 발명에 있어서의 반도체 장치의 단면도.	
[0144]	도 8a 내지 도 8c는 본 발명에 있어서의 반도체 장치의 단면도.	
[0145]	도 9a 내지 도 9b는 본 발명에 있어서의 반도체 장치의 단면도.	
[0146]	도 10a 내지 도 10c는 본 발명의 있어서의 반도체 장치의 단면도.	
[0147]	도 11a 내지 도 11c는 본 발명에 있어서의 반도체 장치의 단면도.	
[0148]	도 12a 내지 도 12b는 본 발명에 있어서의 반도체 장치의 단면도.	
[0149]	도 13a 내지 도 13e는 본 발명에 있어서의 반도체 장치를 내포하는 IC라벨, 및 IC카드를 나타내는 도면.	
[0150]	<도면의 주요 부분에 대한 부호의 설명>	
[0151]	101: 무선 시스템	102: 통신 장치
[0152]	103: 반도체 장치	104A: 제 1 무선 신호
[0153]	104B: 제 2 무선 신호	105: 기능 회로
[0154]	106: 기능 회로	107: 기능 회로
[0155]	108: 기능 회로	109: 컨트롤러
[0156]	110: 송수신 회로	111: 송수신 회로
[0157]	112: 연산 처리 회로	113: 전산 처리부
[0158]	114: 피처리 데이터	115: 다수결 처리 데이터

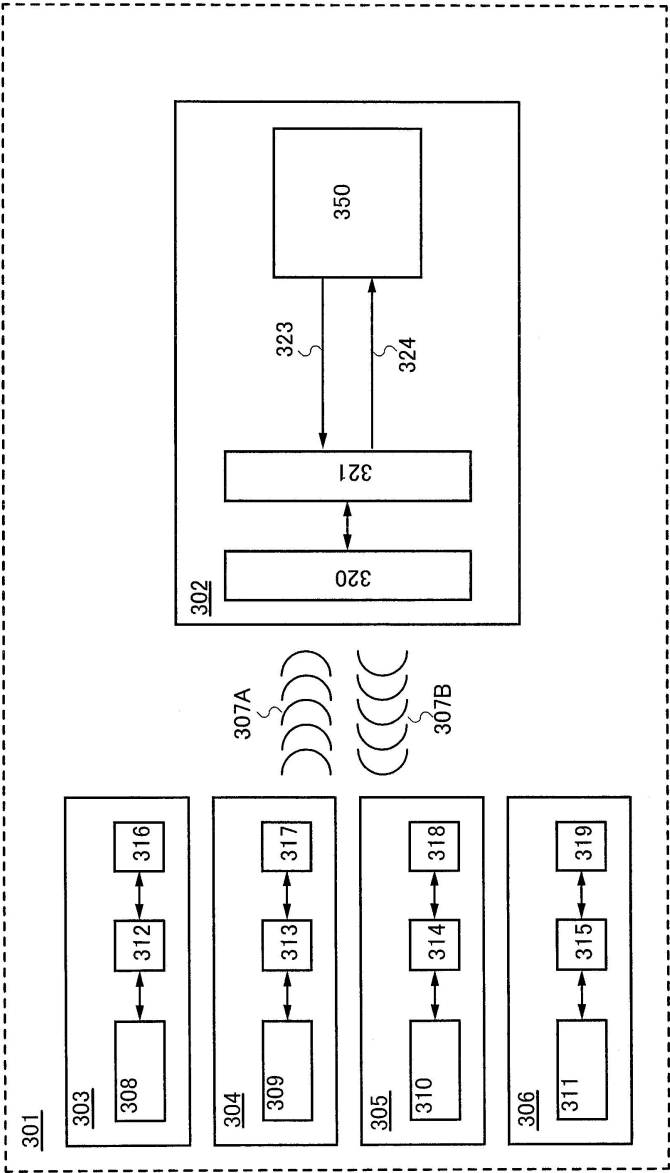
도면  
도면1



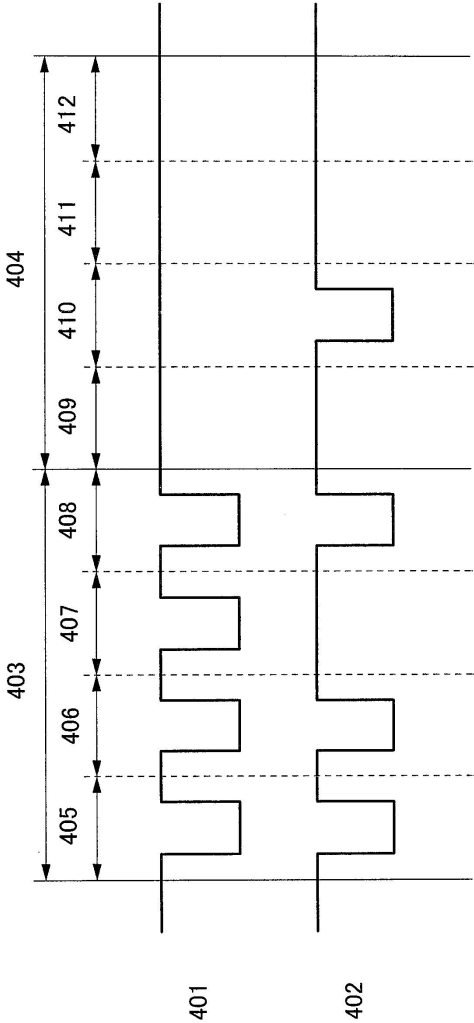
도면2



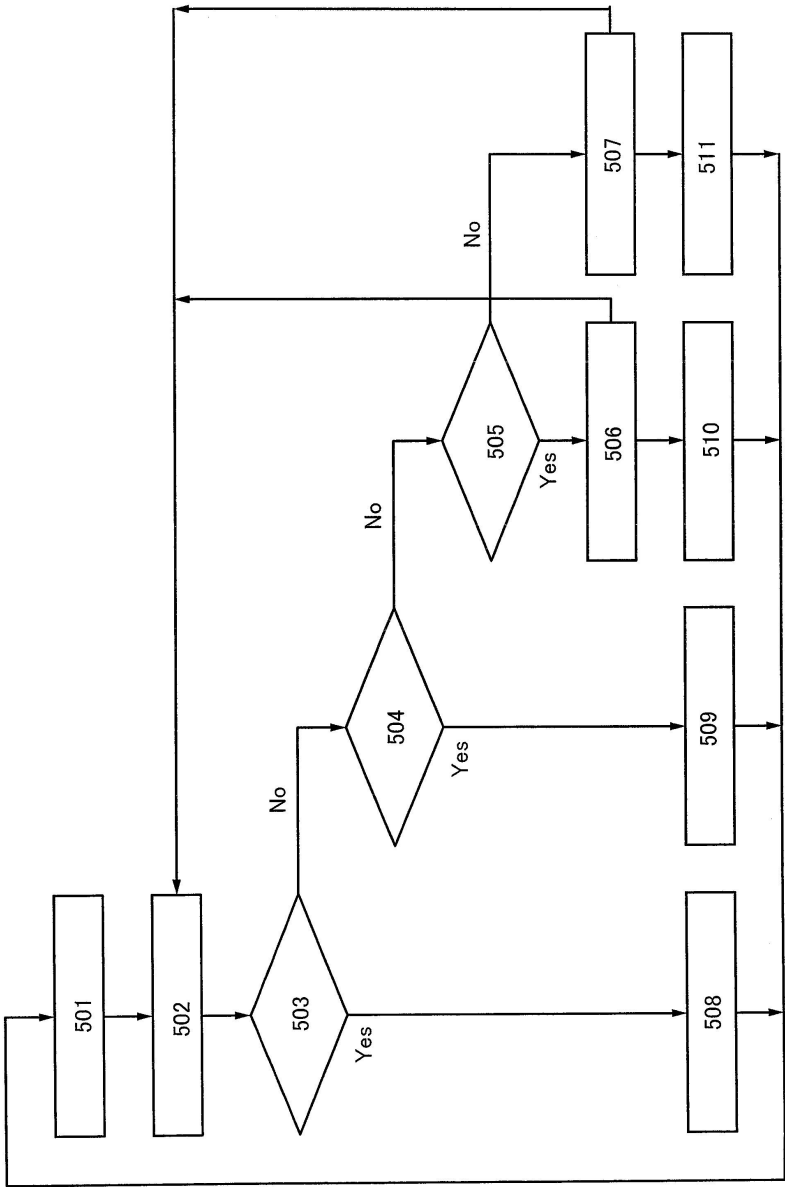
도면3



도면4

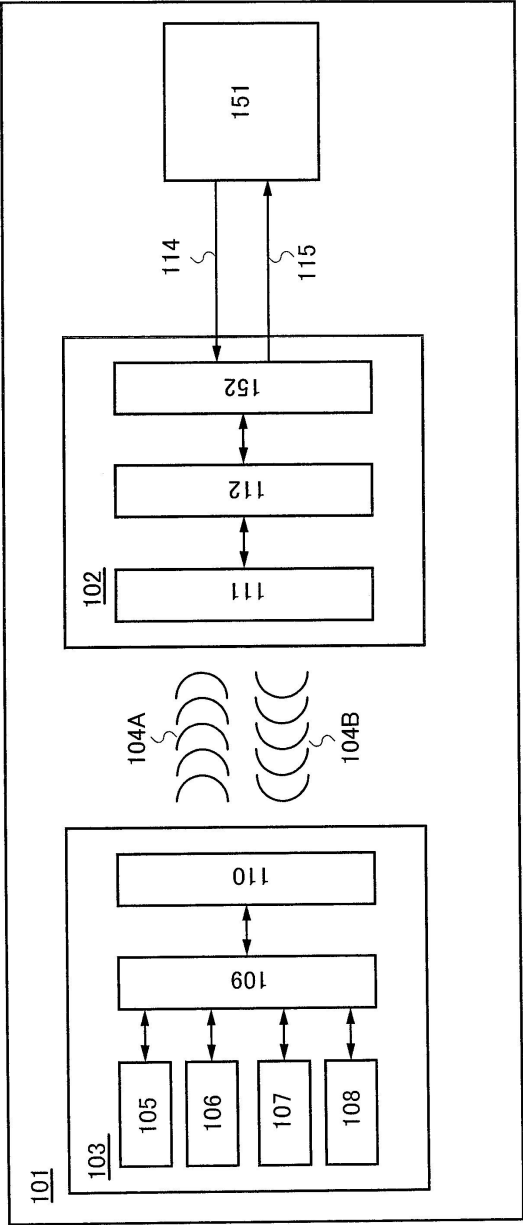


도면5

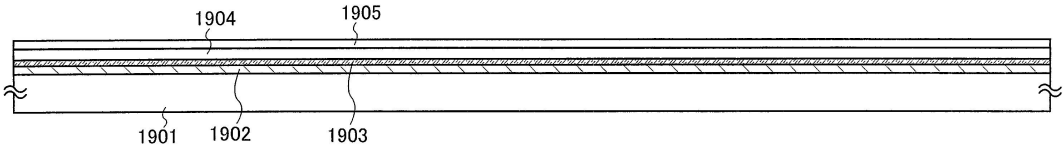




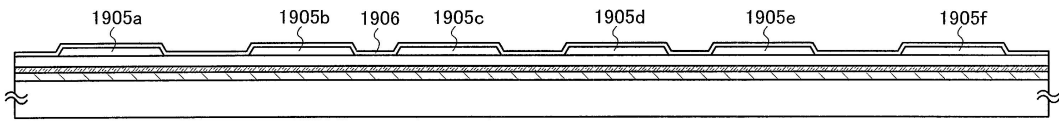
도면6



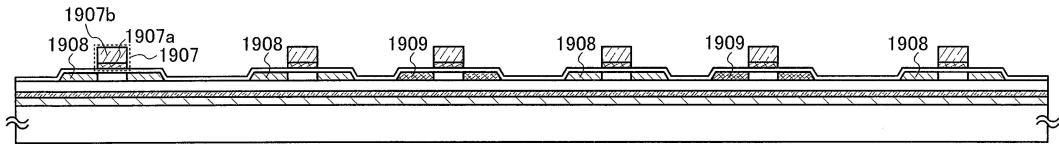
도면7a



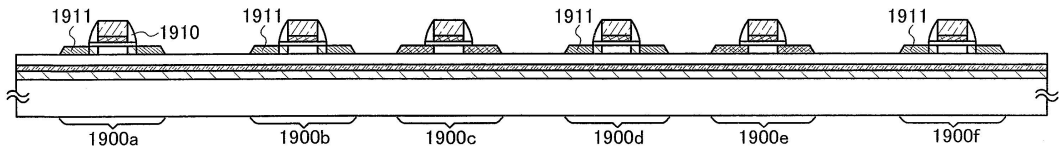
도면7b



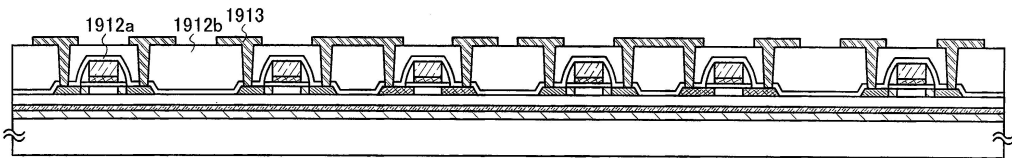
도면7c



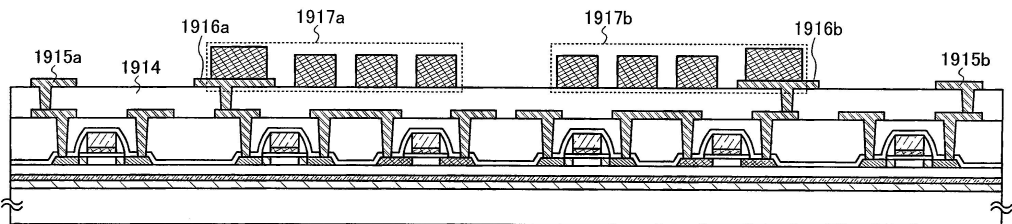
도면7d



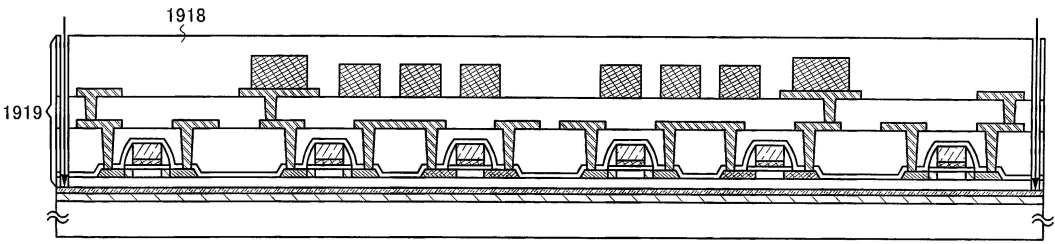
도면8a



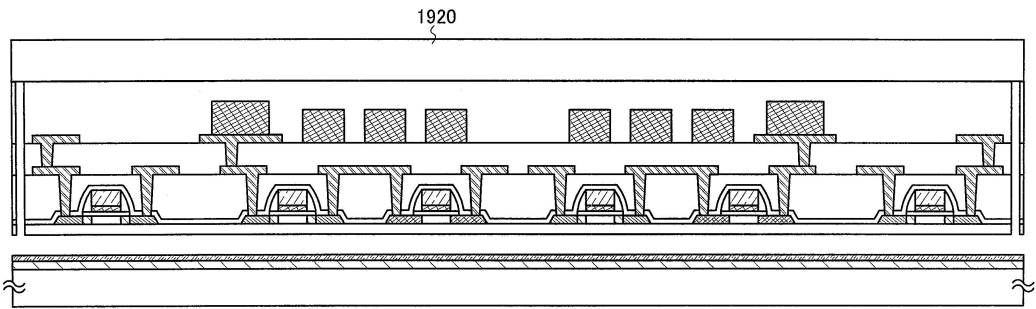
도면8b



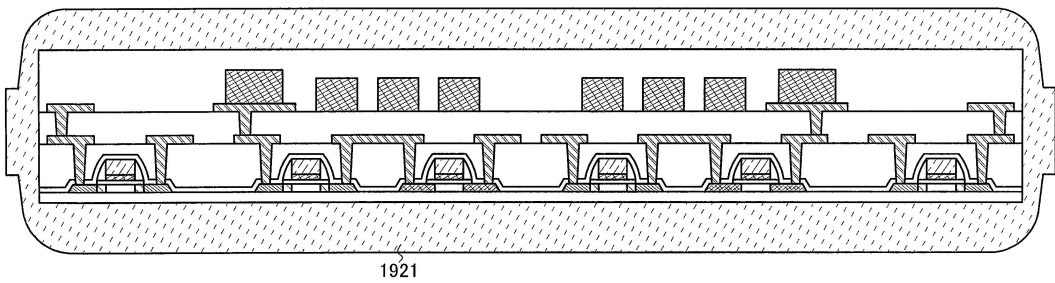
도면8c



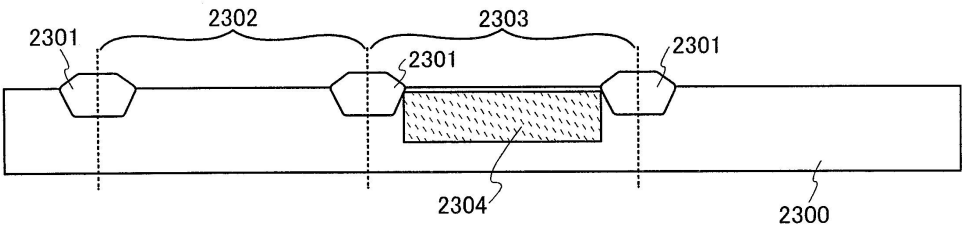
도면9a



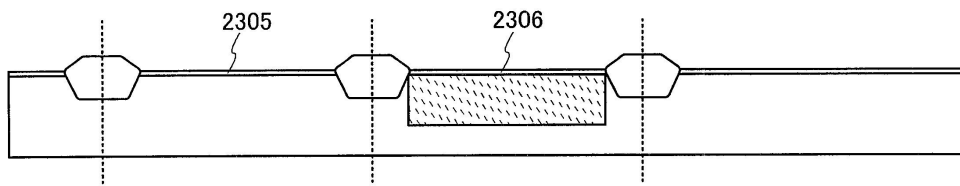
도면9b



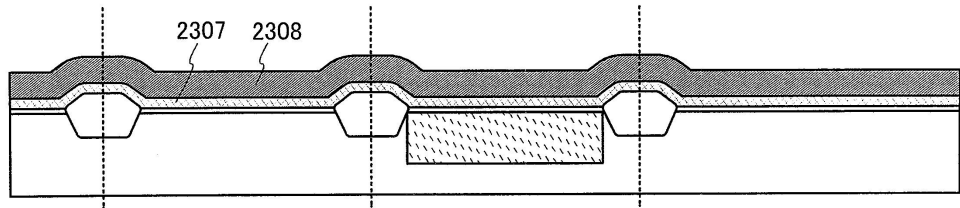
도면10a



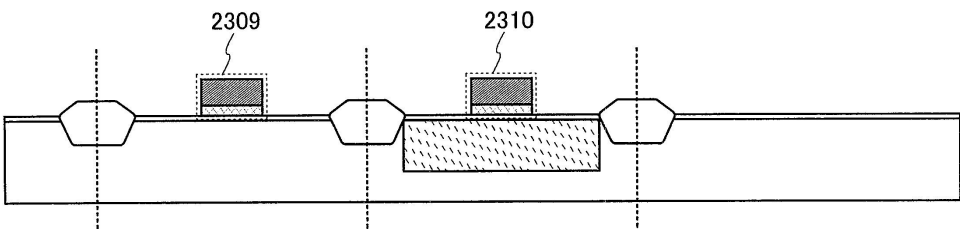
도면10b



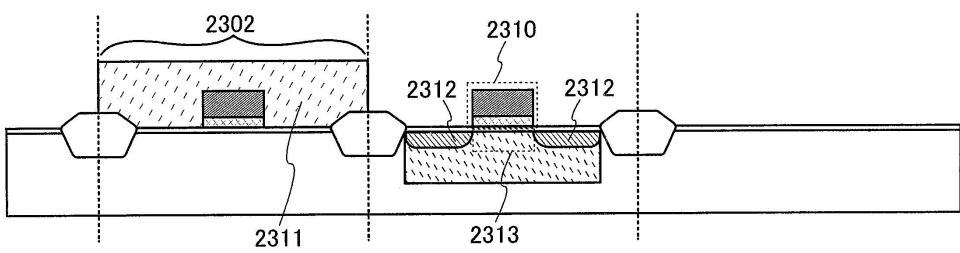
도면10c



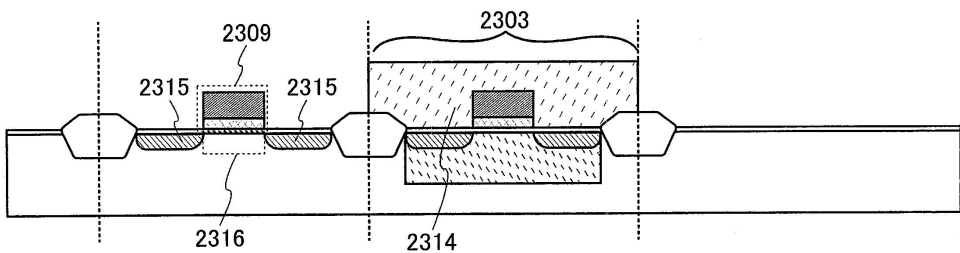
도면11a



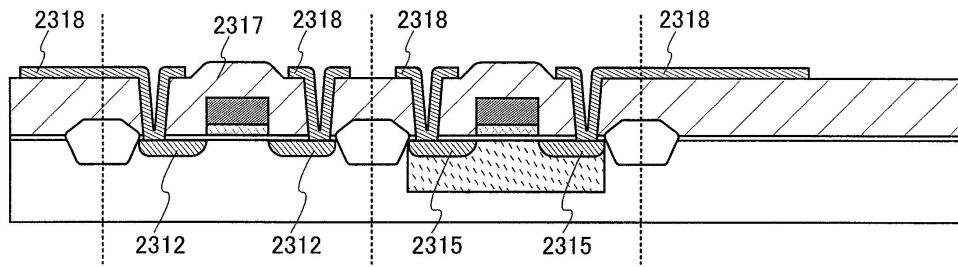
도면11b



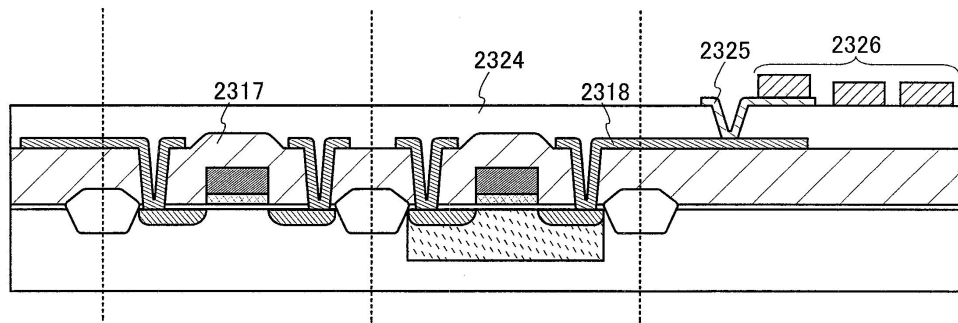
도면11c



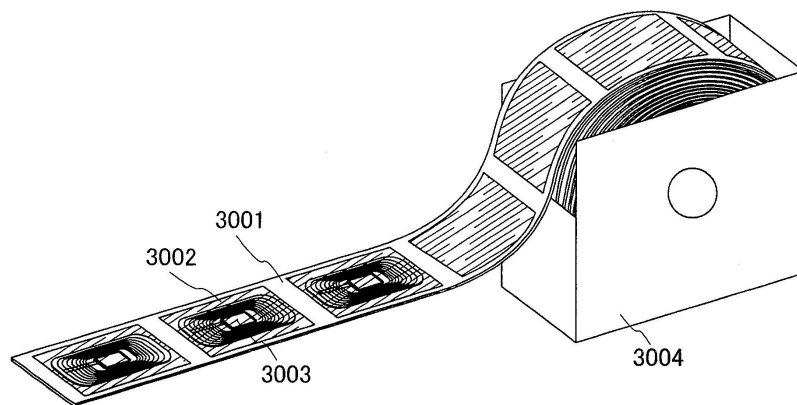
도면12a



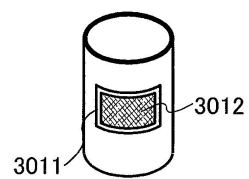
도면12b



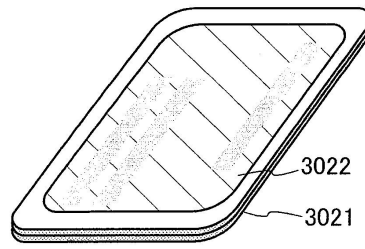
도면13a



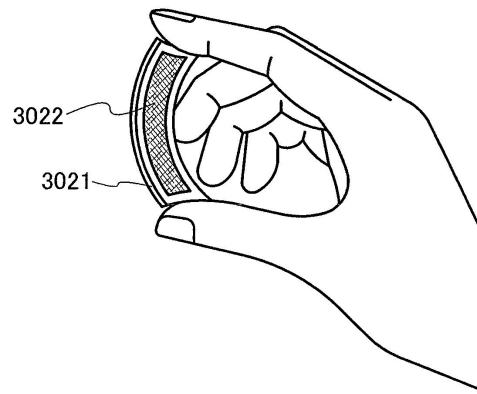
도면13b



도면13c



도면13d



도면13e

