

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5149452号  
(P5149452)

(45) 発行日 平成25年2月20日(2013.2.20)

(24) 登録日 平成24年12月7日(2012.12.7)

(51) Int. Cl. F I  
**G06K 19/07 (2006.01)** G06K 19/00 J  
 G06K 19/00 H

請求項の数 6 (全 24 頁)

|              |                                     |           |                     |
|--------------|-------------------------------------|-----------|---------------------|
| (21) 出願番号    | 特願2012-151296 (P2012-151296)        | (73) 特許権者 | 000153878           |
| (22) 出願日     | 平成24年7月5日(2012.7.5)                 |           | 株式会社半導体エネルギー研究所     |
| (62) 分割の表示   | 特願2007-257798 (P2007-257798)<br>の分割 |           | 神奈川県厚木市長谷398番地      |
| 原出願日         | 平成19年10月1日(2007.10.1)               | (72) 発明者  | 齋藤 利彦               |
| (65) 公開番号    | 特開2012-185863 (P2012-185863A)       |           | 神奈川県厚木市長谷398番地 株式会社 |
| (43) 公開日     | 平成24年9月27日(2012.9.27)               |           | 半導体エネルギー研究所内        |
| 審査請求日        | 平成24年7月10日(2012.7.10)               | (72) 発明者  | 塩野入 豊               |
| (31) 優先権主張番号 | 特願2006-270234 (P2006-270234)        |           | 神奈川県厚木市長谷398番地 株式会社 |
| (32) 優先日     | 平成18年10月2日(2006.10.2)               |           | 半導体エネルギー研究所内        |
| (33) 優先権主張国  | 日本国(JP)                             | (72) 発明者  | 加藤 清                |
|              |                                     |           | 神奈川県厚木市長谷398番地 株式会社 |
|              |                                     |           | 半導体エネルギー研究所内        |
|              |                                     | 審査官       | 和田 財太               |

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

外部からの信号を受信することができる機能を有する第1の回路と、  
 前記第1の回路からの信号を整流して第1の電位を出力することができる機能を有する  
 第2の回路と、

前記第2の回路から前記第1の電位が入力され、第2の電位を出力することができる機  
 能を有する第3の回路と、

前記第3の回路から前記第2の電位が入力され、クロック信号を発生させることができ  
 る機能を有する第4の回路と、

前記第4の回路から前記クロック信号が入力され、前記第2の回路から入力された前記  
 第1の電位を昇圧して第3の電位を出力することができる機能を有する第5の回路と、を  
 有し、

前記第1の電位は前記第2の電位よりも高く、

前記第5の回路から出力される信号は、データの書き込みに用いられることを特徴とす  
 る半導体装置。

【請求項2】

外部からの信号を受信することができる機能を有する第1の回路と、

前記第1の回路からの信号を整流して第1の電位を出力することができる機能を有する  
 第2の回路と、

前記第2の回路から前記第1の電位が入力され、第2の電位を出力することができる機

10

20

能を有する第 3 の回路と、

前記第 3 の回路から前記第 2 の電位が入力され、クロック信号を発生させることができる機能を有する第 4 の回路と、

前記第 4 の回路から前記クロック信号が入力され、前記第 2 の回路から入力された前記第 1 の電位を昇圧して第 3 の電位を出力することができる機能を有する第 5 の回路と、

前記第 4 の回路から前記クロック信号が入力され、前記第 5 の回路から入力された前記第 3 の電位を昇圧して第 4 の電位を出力することができる機能を有する第 6 の回路と、を有し、

前記第 1 の電位は前記第 2 の電位よりも高く、

前記第 5 の回路から出力される信号は、データの書き込みに用いられ、

前記第 6 の回路から出力される信号は、データの消去に用いられることを特徴とする半導体装置。

#### 【請求項 3】

外部からの信号を受信することができる機能を有する第 1 の回路と、

前記第 1 の回路からの信号を整流して第 1 の電位を出力することができる機能を有する第 2 の回路と、

前記第 2 の回路から前記第 1 の電位が入力され、第 2 の電位を出力することができる機能を有する第 3 の回路と、を有し、

前記第 1 の電位は前記第 2 の電位よりも高く、

前記第 2 の回路から出力される信号は、データの書き込みに用いられることを特徴とする半導体装置。

#### 【請求項 4】

請求項 1 又は 2 において、

前記第 5 の回路からの信号を受信して、電荷を蓄えることができる機能を有する素子を有することを特徴とする半導体装置。

#### 【請求項 5】

請求項 1 乃至 4 のいずれか一項において、

前記第 3 の回路からの信号を受信して、制御信号を出力することができる機能を有する回路を有することを特徴とする半導体装置。

#### 【請求項 6】

請求項 1 乃至 5 のいずれか一項において、

前記第 3 の回路から出力される信号は、データの読み出しに用いられることを特徴とする半導体装置。

#### 【発明の詳細な説明】

##### 【技術分野】

##### 【0001】

本発明は半導体装置に関する。特に、非接触でデータの送受信が可能で、データの記憶が可能な半導体装置に関する。

##### 【背景技術】

##### 【0002】

近年、個々の対象物に ID ( 個体識別番号 ) を与えることで、その対象物の履歴等の情報を明確にし、生産・管理等に役立てるといった個体認識技術が注目されている。その中でも、非接触でデータの送受信が可能な半導体装置の開発が進められている。このような半導体装置として、特に、プロセッサチップ ( RFID ( Radio Frequency Identification )、ID タグ、IC タグ、IC チップ、RF タグ、無線タグ、電子タグ、無線チップともよばれる ) 等が企業内、市場等で導入され始めている。

##### 【0003】

これらの半導体装置の多くは、シリコン ( Si ) 等の半導体基板を用いた回路 ( 以下、IC ( Integrated Circuit ) チップとも記す ) とアンテナとを有し、当

10

20

30

40

50

該 IC チップは記憶回路（以下、メモリとも記す）や制御回路等から構成されている。

【 0 0 0 4 】

以下、RFIDの従来例を、図16を用いて説明する。図16においてRFID700は、電波を受信するアンテナ部702と、アンテナ部702の出力を整流する整流回路部703と、整流回路部703の出力を受信して動作電圧VDDを各回路に出力するレギュレータ回路704と、クロックを発生させるクロック生成回路705と、他の回路を制御するロジック回路706と、ロジック回路706からの出力を受信してデータの書き込み/読み出しをするメモリ708と、レギュレータ回路704の出力とクロック生成回路705の出力を受信してメモリ708にデータを書き込むための電圧を供給する昇圧回路707とを有する。

10

【 0 0 0 5 】

また特に図示しないが、RFIDはこれらの回路以外にデータ変調/復調回路、センサ、インターフェース回路などを含む。

【 0 0 0 6 】

リーダ/ライタ701は、外部から非接触でRFID700にデータの書き込み/読み出しをする装置である。

【 0 0 0 7 】

アンテナ部702はアンテナおよび共振容量を有し、リーダ/ライタ701から発信する電波を取り込み、このとき得られた信号RF\_INを整流回路部703に印加する。整流回路部703は整流用ダイオード、平滑化容量を有し、RF\_INを平滑化して電圧VD

20

【 0 0 0 8 】

アンテナ部702が受け取る受信電力はリーダ/ライタ701からの距離に大きく依存する。そのため、RFID700内部にはチップがリーダ/ライタのごく近傍に置かれた際に発生する過電圧によってロジック回路などが破壊されることを防ぐことを目的として、入力された電圧に対して一定の出力を出すレギュレータ回路704を組み込む。レギュレータ回路704の出力VDDをロジック回路706の動作電源やメモリ708の読み出し動作時の電源として用いる。このような構成をとることにより、無電池でRFIDを動作させることが可能となる。

【 0 0 0 9 】

メモリにデータを書き込む動作を行うには、読み出し時に用いる電圧よりも電位が高い電圧を加える必要がある。このような電圧を生成する方法として、レギュレータ回路の出力VDDを元に、昇圧回路を用いて昇圧する方法がよく用いられる。図16においては、昇圧回路707にレギュレータ回路704の出力VDDとクロック生成回路705が出力するクロックCLKを入力することで、出力として高電位電源VDD\_HIを得る。このVDD\_HIを用いてメモリへの書き込みを行う。このようにRFIDにおいて、昇圧回路を用いてメモリへのデータ書き込み電圧を生成している例として、例えば（特許文献1）がある。

30

【 先行技術文献 】

【 特許文献 】

【 0 0 1 0 】

【 特許文献 1 】 特開 2 0 0 6 - 1 8 0 0 7 3 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 1 】

一般的にRFID内での消費電力を抑え、通信距離を伸ばすためにレギュレータ回路の出力となるVDDはできる限り低い方が望ましいとされる。しかし、VDDの電位が低い（特に2V以下の）場合、昇圧回路を用いて昇圧してもメモリの書き込みに必要な電位が確保できないか、または確保するために必要な昇圧回路の面積が大きくなるなどの課題があった。

40

50

## 【 0 0 1 2 】

本発明はその点を鑑みてなされたものであり、消費電力を抑えるとともに、回路面積を増大させることなく、メモリの書き込み動作に必要な電圧を生成することを課題とする。

## 【課題を解決するための手段】

## 【 0 0 1 3 】

上記課題を解決するために、本発明は以下の手段を講ずる。

## 【 0 0 1 4 】

本発明の半導体装置は、外部からの電波を受信するアンテナ部と、前記アンテナ部の出力を整流して直流電圧である第1の電位電源を出力する整流回路部と、前記整流回路部の出力を受信して一定の電圧である第2の電位電源を出力するレギュレータ回路と、前記第1の電位電源を昇圧する第1の昇圧回路を有する。

10

## 【 0 0 1 5 】

本発明の半導体装置は、上記に加え、前記第2の電位電源を入力して前記昇圧回路のクロックを生成するクロック生成回路をさらに有しても良い。

## 【 0 0 1 6 】

本発明の半導体装置は、上記に加え、前記第1の電位電源と前記クロック生成回路の出力を入力とし、前記クロック生成回路の出力を増幅して昇圧回路のクロックとして出力するレベルシフタをさらに有しても良い。

## 【 0 0 1 7 】

本発明の半導体装置は、上記に加え、前記昇圧回路の出力をデータ書き込み電位として入力し、前記第2の電位電源をデータ読み出し電位として入力するメモリをさらに有しても良い。

20

## 【 0 0 1 8 】

本発明の半導体装置は、外部からの電波を受信するアンテナ部と、前記アンテナ部の出力を整流して直流電圧である第1の電位電源を出力する整流回路部と、前記整流回路部の出力を受信して一定の電圧である第2の電位電源を出力するレギュレータ回路と、前記第1の電位電源をデータ書き込み電位として入力し、前記第2の電位電源をデータ読み出し電位として入力するメモリを有する。

## 【 0 0 1 9 】

本発明の半導体装置は、前記第1の昇圧回路の出力を昇圧する第2の昇圧回路と、前記第2の電位電源を入力して前記第1の昇圧回路と前記第2の昇圧回路のクロックを生成するクロック生成回路と、前記第1の昇圧回路の出力をデータ書き込み電位として入力し、前記第2の昇圧回路の出力をデータ消去電位として入力し、前記第2の電位電源をデータ読み出し電位として入力するメモリと、を有する。

30

## 【 0 0 2 0 】

前記第1の電位電源と前記クロック生成回路の出力を入力とし、前記クロック生成回路の出力を増幅して前記第1の昇圧回路および前記第2の昇圧回路のクロックとして出力するレベルシフタをさらに有しても良い。

## 【 0 0 2 1 】

本発明の半導体装置は、電荷を蓄える充電素子をさらに有しても良い。充電素子は、コンデンサでも、二次電池でも良い。

40

## 【 0 0 2 2 】

本発明の半導体装置は、前記充電素子にスイッチング素子をつけても良い。

## 【発明の効果】

## 【 0 0 2 3 】

本発明では、昇圧回路の入力電圧として、従来使われていたレギュレータ回路の出力VDDではなく、VDDよりも高電位である整流回路の出力VDD0を用いることにより、小さい回路面積で、メモリへのデータ書き込みに必要な高電位を得ることができる。その他の回路の動作電圧としては、レギュレータ回路の出力VDDを用いているので、消費電力を抑えることもできる。

50

## 【図面の簡単な説明】

【0024】

【図1】本発明の第1の実施の形態を示すブロック図。

【図2】同第1の実施の形態に用いる昇圧回路の回路図。

【図3】同第2の実施の形態を示すブロック図。

【図4】同第2の実施の形態に用いるレベルシフトの回路図。

【図5】同第3の実施の形態を示すブロック図。

【図6】同第4の実施の形態を示すブロック図。

【図7】同第5の実施の形態を示すブロック図。

【図8】本発明の第1の実施例におけるシミュレーション結果を示す図。 10

【図9】同第1の実施例における実験結果を示す図。

【図10】同第2の実施例における回路の製造工程を示す断面図。

【図11】同第2の実施例における回路の製造工程を示す断面図。

【図12】同第2の実施例における回路の製造工程を示す断面図。

【図13】同第3の実施例における半導体装置を示すブロック図。

【図14】同第4の実施例における本発明の半導体装置の応用例を示す図。

【図15】同第4の実施例における本発明の半導体装置の応用例を示す図。

【図16】従来の半導体装置を示すブロック図。

## 【発明を実施するための形態】

【0025】 20

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分又は同様な機能を有する部分は、繰り返しの説明は省略する。

【0026】

(実施の形態1)

本発明の第1の実施の形態について図面を用いて説明する。

【0027】

図1は本発明を適用したRFIDを説明するためのブロック図である。図1においてRFID100は、電波を受信するアンテナ部102と、アンテナ部102の出力を整流する整流回路部103と、整流回路部103の出力を受信して動作電圧VDDを各回路に出力するレギュレータ回路104と、クロックを発生させるクロック生成回路105と、他の回路を制御するロジック回路106と、ロジック回路106からの出力を受信してデータの書き込み/読み出しをするメモリ108と、整流回路部103の出力とクロック生成回路105の出力を受信してメモリ108にデータを書き込むための電圧を供給する昇圧回路107とを有する。 30

【0028】

なお特に図示はしないが、RFID100は、これらの回路以外にデータ変調/復調回路、センサ、インターフェース回路などを有していてもよい。 40

【0029】

リーダ/ライタ101は、外部から非接触でRFID100にデータの書き込み/読み出しをする装置である。

【0030】

アンテナ部102は、アンテナおよび共振容量を有し、リーダ/ライタ101から発信される電波を取り込み、得られた信号RF\_INを整流回路部103に出力する。

【0031】

整流回路部103は、整流用ダイオード、平滑化容量を有し、アンテナ部102の出力であるRF\_INを平滑化して電圧VDD0(第1の電位電源)を生成する。

【0032】 50

レギュレータ回路104は、例えばRFID100がリーダ/ライタ101のごく近傍に置かれた際に発生する過電圧によってロジック回路106などが破壊されることを防ぐことを主な目的として、入力された電圧に対して一定の出力を出すレギュレータ回路で、整流回路部103の出力VDD0はさらに、レギュレータ回路104によりVDD0よりも低いある一定の値をもつ電圧VDD(第2の電位電源)となる。この電圧VDDがクロック生成回路105及びロジック回路106の動作電圧となり、メモリ108では読み出し時の電源電圧に用いる。

【0033】

レギュレータ回路104からの出力VDDは各回路の動作電圧となるため、消費電力を抑えるためには、低電圧であることが望ましい。具体的には、本実施の形態のRFIDの場合には、1Vから3Vが適しており、好ましくは1.5V~2Vが良い。

10

【0034】

クロック生成回路105は、レギュレータ回路104からの出力VDDを受けてクロック信号CLKを発生させるもので、公知のものを用いることができる。例えば、アンテナ部102から取り込んだ電波を分周して生成してもよいし、リングオシレータ、VCOなどの発振回路を用いて生成してもよい。

【0035】

ロジック回路106は、レギュレータ回路104からの出力VDDを受けて、他の回路を制御する。本実施の形態では、制御信号により、メモリ108への読み出し/書き込み等の動作と、その動作を行うべきアドレス情報等をメモリ108に伝える。

20

【0036】

昇圧回路107は、整流回路部103の出力VDD0とクロック生成回路105の出力CLKを取り込み、VDD0を、CLKを用いて昇圧して高電位VDD\_HIを出力する。VDD0は高電圧であることが望ましく、本実施の形態のRFIDでは、3V以上が望ましい。

【0037】

メモリ108は、ロジック回路106からの制御信号を受けて、制御信号により指定されたアドレスに、指定された動作(データ書き込み、または読み出し等)を行う。データ書き込みの場合には、昇圧回路107からの出力VDD\_HIにより、データ書き込みをする。データ読み出しの場合にはレギュレータ回路104の出力VDDを用いて行なう。

30

【0038】

この構成により、RFID100は、リーダ/ライタ101からの信号を受けて、ロジック回路106の制御により、メモリ108へのデータの書き込み、メモリ108からのデータの読み出し等の動作を行うことができる。

【0039】

なお、昇圧回路107の構成は公知のものでよく、例えば図2で示したようなダイオード、インバータ、容量手段(コンデンサ)を組み合わせた回路を用いることができる。

【0040】

図2は昇圧回路の簡単な構成例を示すブロック図であり、1個のダイオードと1個の容量手段を基本単位として9段並べた構成である。図2に示す昇圧回路は、直列に接続された10個のダイオード201~210と、それぞれのダイオードの出力部に一端が接続された10個の容量手段211~220と、クロックCLKを入力するインバータ221と、インバータ221の出力を入力するインバータ222とを有する。奇数段(1, 3, 5, 7, 9段目)の容量手段(211, 213, 215, 217, 219)の他端は、インバータ221の出力に接続され、偶数段(2, 4, 6, 8段目)の容量手段(212, 214, 216, 218)の他端は、インバータ222の出力に接続される。ダイオード210の出力部に一端が接続されている容量手段220の他端は接地されている。

40

【0041】

このような構成の昇圧回路では、ダイオード201に印加された電圧Vinは、各段で、クロックCLKの電圧が加算されることにより昇圧されて、ダイオード210の出力部が

50

ら高電圧  $V_{out}$  として出力される。図 2 においては、クロック  $CLK$  の電位は  $V_{DD}$  である。

【0042】

よって、このような構成の昇圧回路では段数が多いほど昇圧されるが、その分、回路の面積が広がる。また、入力される電圧  $V_{in}$  と、クロック  $CLK$  の電圧が高ければ、少ない段数（つまり、小さい回路面積）でも高電圧が得られる。

【0043】

本実施の形態では図 1 に示すとおり、昇圧回路の入力電圧  $V_{in}$  として、従来使われていたレギュレータ回路 104 の出力  $V_{DD}$  ではなく、 $V_{DD}$  よりも高電位である整流回路部 103 の出力  $V_{DD0}$  を用いることにより、小さい回路面積で、メモリへのデータ書き込みに必要な高電位  $V_{DD\_HI}$  を得ることができる。その他の回路の動作電圧としては、レギュレータ回路 104 の出力  $V_{DD}$  を用いているので、消費電力を抑えることもできる。

10

【0044】

なお、図 2 における昇圧回路の最終段に配置された容量手段 220 は出力の波形を平滑化するため、容量手段 211 ~ 219 よりも容量が大きくなっている。ダイオード 201 ~ 210 は、溜まった電荷が前段に逆流することを防ぐ働きを持つ。

【0045】

これらのダイオード及び容量手段はその機能を果たす構成であればどのような構成でもよい。例えば、ダイオードは薄膜トランジスタのソースもしくはドレインの一端をゲート線に接続することにより構成することが可能であり、容量手段は薄膜トランジスタのソース及びドレインの両端を接続することで一端としてゲート線をもう一端とすることにより構成することが可能である。

20

【0046】

また、昇圧回路で用いられるダイオードは図 1 の整流回路部 103 の出力  $V_{DD0}$  が直接入力されることから、通常ロジック回路で用いられる薄膜トランジスタ等の素子よりも耐圧が高いことが望ましい。具体的には、薄膜トランジスタであれば、ゲート長が  $6\ \mu\text{m}$  以上あると良い。

【0047】

ゲート長を増やすことにより、面積が多少増加するが、昇圧回路内のダイオードの占める割合は小さいため大きな問題にならない。具体的には、昇圧回路の面積に対するダイオードの面積の割合は 0.5% 以下である。また、本発明により昇圧に必要な段数を減らすことができればその分大きく面積を減らすことが可能となる。

30

【0048】

本実施の形態においては、メモリ 108 はライトワンスタイプのものを用いると好ましい。例えば、メモリ 108 を構成する記憶素子は定常状態でショートして高電圧を印加するとオープンするヒューズ型メモリ、逆に定常状態でオープンして高電圧を印加するとショートするアンチヒューズ型メモリが適用できる。メモリ 108 の構成は公知のものを用いることができる。一般的に、メモリにデータを書き込む際には、およそ 10V またはそれ以上の電圧を印加する必要がある。

40

【0049】

（実施の形態 2）

本発明の第 2 の実施の形態について図面を用いて説明する。

【0050】

図 3 は本発明を適用した RFID を説明するためのブロック図である。図 3 において RFID 300 は、電波を受信するアンテナ部 302 と、アンテナ部 302 の出力を整流する整流回路部 303 と、整流回路部 303 の出力を受信して動作電圧  $V_{DD}$  を各回路に出力するレギュレータ回路 304 と、クロックを発生させるクロック生成回路 305 と、クロック生成回路 305 からの出力と整流回路部 303 からの出力を受信してクロック生成回路 305 の出力を増幅して出力するレベルシフタ 306 と、他の回路を制御するロジック

50

回路307と、ロジック回路307からの出力を受信してデータの書き込み/読み出しをするメモリ309と、整流回路部303の出力とレベルシフト306の出力を受信してメモリ309にデータを書き込むための電圧を供給する昇圧回路308とを有する。

【0051】

なお、特に図示はしないが、これらの回路以外にデータ変調/復調回路、センサ、インターフェース回路などを有していてもよい。

【0052】

リーダ/ライタ301は、外部から非接触でRFID300にデータの書き込み/読み出しをする装置である。

【0053】

本実施の形態は、実施の形態1にレベルシフト306を加えたものであるので、レベルシフト306以外の構成については説明を省略する。

【0054】

レベルシフト306は、クロック生成回路305から出力されたクロックCLKを増幅する。具体的には、整流回路部303の出力VDD0を、レギュレータ回路304を通さずにレベルシフト306に入れることにより、クロックCLKの電位レベルをVDDの値からVDD0の値に引き上げる。

【0055】

昇圧回路308では、実施の形態1において図2を用いて説明したように、入力電圧VDD0に、クロックCLKの電圧が加算されることにより昇圧されるので、クロックCLKの電圧が、レベルシフト306によりVDDの値からVDD0の値に引き上げられることで、より少ない段数(つまり、小さい回路面積)でも高電圧が得られる。

【0056】

したがって、本実施の形態では図3に示すとおり、昇圧回路の入力電圧として、従来使われていたレギュレータ回路304の出力VDDではなく、VDDよりも高電位である整流回路部303の出力VDD0を用いること、及び昇圧回路のCLKをレベルシフト306によりVDDからVDD0に引き上げることにより、より小さい回路面積で、メモリへのデータ書き込みに必要な高電位VDD\_HIを得ることができる。その他の回路の動作電圧としては、レギュレータ回路304の出力VDDを用いているので、消費電力を抑えることもできる。

【0057】

なお、レベルシフト306は公知のものを用いればよい。例えば図4で示されたような2種類の極性を持つ薄膜トランジスタを組み合わせた回路を用いることができる。図4はレベルシフトの簡単な例であり、N型トランジスタ801、802、P型トランジスタ803~806からなる。

【0058】

図4に示すとおり、N型トランジスタ801のドレインは接地され、ソースがP型トランジスタ803のドレインに接続されている。P型トランジスタ803のソースがP型トランジスタ805のドレインに接続され、P型トランジスタ805のソースがV\_HI端子に接続されている。

【0059】

同様に、N型トランジスタ802のドレインが接地され、ソースがP型トランジスタ804のドレインに接続されている。P型トランジスタ804のソースがP型トランジスタ806のドレインに接続され、P型トランジスタ806のソースがV\_HI端子に接続されている。

【0060】

N型トランジスタ801とP型トランジスタ803のゲートが入力端子IN1に接続され、N型トランジスタ802とP型トランジスタ804のゲートが入力端子IN2に接続されている。P型トランジスタ804のドレインとP型トランジスタ805のゲートが出力端子OUT1に接続され、P型トランジスタ803のドレインとP型トランジスタ806

10

20

30

40

50

のゲートが出力端子OUT 2に接続されている。

【0061】

このような構成のレベルシフタの入力端子IN 1とIN 2の間に、VDDの電圧値を有するクロックCLKを印加し、V<sub>HI</sub>端子に整流回路部303の出力VDD0を接続すると、入力端子IN 1の電位がVDDで入力端子IN 2の電位が0Vのときには、OUT 1の電位がVDD0で、OUT 2の電位が0Vとなる。逆に、入力端子IN 2の電位がVDDで入力端子IN 1の電位が0Vのときには、OUT 2の電位がVDD0で、OUT 1の電位が0Vとなる。

【0062】

結果として、クロックCLKは波形を保ちつつ電圧値がVDDからVDD0に増幅される。

10

【0063】

このレベルシフタを図3の回路に適用した場合、N型トランジスタ801、802、P型トランジスタ803～806には図3の整流回路部303の出力VDD0が掛かることから、通常ロジック回路で用いられる薄膜トランジスタよりも耐圧が高いことが望ましい。具体的には、ゲート長が6μm以上あると良い。

【0064】

レベルシフタを追加することにより、面積が多少増加するが、昇圧回路に対するレベルシフタの面積は小さいため大きな問題にならない。具体的には、昇圧回路の面積に対するレベルシフタの面積の割合は5%以下である。また、本発明により昇圧に必要な段数を減らすことができればその分大きく面積を減らすことが可能となる。

20

【0065】

(実施の形態3)

本発明第3の実施の形態について図面を用いて説明する。

【0066】

図5は本発明を適用したRFIDを説明するためのブロック図である。図5においてRFID400は、電波を受信するアンテナ部402と、アンテナ部402の出力を整流する整流回路部403と、整流回路部403の出力を受信して動作電圧VDDを各回路に出力するレギュレータ回路404と、他の回路を制御するロジック回路405と、ロジック回路405からの出力を受信してデータの書き込み/読み出しをするメモリ406とを有する。

30

【0067】

なお、特に図示はしないが、これらの回路以外にデータ変調/復調回路、センサ、インターフェース回路などを有していてもよい。

【0068】

リーダ/ライタ401は、外部から非接触でRFID400にデータの書き込み/読み出しをする装置である。

【0069】

本実施の形態においては昇圧回路を用いずに、レギュレータ回路404に入れる前の整流回路部403の出力VDD0をメモリ406への書き込み電圧として直接用いる。それ以外の各構成は実施の形態1と同様なので説明を省略する。

40

【0070】

メモリ406は公知のものを用いることができるが、メモリ406の記憶素子として用いる材料は、整流回路部403の出力VDD0よりは低く、レギュレータ回路404の出力VDDよりは高い電圧の範囲で特性変化(ヒューズ型ならオープン、アンチヒューズ型ならショート)が起こる材料を用いると好ましい。

【0071】

本実施の形態では図5に示すとおり、メモリへのデータ書き込みに昇圧回路を用いず、レギュレータ回路404の出力VDDよりも高電位である整流回路部403の出力VDD0を用いることにより、より小さい回路面積で、メモリへのデータ書き込みができる。その

50

他の回路の動作電圧としては、レギュレータ回路404の出力VDDを用いているので、消費電力を抑えることもできる。

【0072】

この構成は、特にリーダ/ライタから離れた環境でメモリへの書き込みを行わない、もしくは離れた環境でメモリへの書き込みが行われると都合が悪いような場合に特に好ましい。

【0073】

(実施の形態4)

本発明の第4の実施の形態について図面を用いて説明する。

【0074】

図6は本発明を適用したRFIDを説明するためのブロック図である。図6においてRFID500は、電波を受信するアンテナ部502と、アンテナ部502の出力を整流する整流回路部503と、整流回路部503の出力を受信して動作電圧VDDを各回路に出力するレギュレータ回路504と、クロックを発生させるクロック生成回路505と、他の回路を制御するロジック回路506と、ロジック回路506からの出力を受信してデータの書き込み、読み出しまたは消去をするメモリ509と、整流回路部503の出力とクロック生成回路505の出力を受信して昇圧された電圧を出力する第1の昇圧回路507と、第1の昇圧回路507の出力とクロック生成回路505の出力を受信してさらに昇圧された電圧をメモリ509に出力する第2の昇圧回路508とを有する。

【0075】

なお、特に図示はしないが、これらの回路以外にデータ変調/復調回路、センサ、インターフェース回路などを有していてもよい。

【0076】

リーダ/ライタ501は、外部から非接触でRFID500にデータの書き込み/読み出しをする装置である。

【0077】

本実施の形態は、実施の形態1の構成において、昇圧回路を2つ設けたものである。それ以外の構成は実施の形態1と同様なので、説明は省略する。

【0078】

図6の構成において、第1の昇圧回路507は、整流回路部503の出力VDD0とクロック生成回路505の出力CLKを入力し、VDD0を、CLKを用いて実施の形態1の昇圧回路と同様の動作により昇圧して、VDD\_HI1を出力する。VDD\_HI1はメモリ509に入力されるとともに第2の昇圧回路508に入力される。

【0079】

第2の昇圧回路508では第1の昇圧回路507の出力VDD\_HI1とクロック生成回路505の出力CLKを入力し、VDD\_HI1を、CLKを用いて実施の形態1の昇圧回路と同様の動作によりさらに昇圧して、VDD\_HI2を出力する。VDD\_HI2はメモリ509に入力される。

【0080】

メモリ509では、例えば、第1の昇圧回路507の出力VDD\_HI1をデータ書き込み用の電圧として用い、より高電位である第2の昇圧回路508の出力VDD\_HI2を、データ書き込みよりも高電位が必要なデータ消去に用いることができる。

【0081】

このような構成をとることにより、メモリ509にフラッシュメモリなどの書き換え可能なメモリを搭載することができる。その結果、メモリを搭載したRFIDの高機能化に寄与する。なお、メモリ509としては公知の書き換え可能なメモリを用いることができる。例えば、フラッシュメモリ、強誘電体メモリなどである。

【0082】

本実施の形態では図6に示すとおり、2つの昇圧回路を用い、第1の昇圧回路の入力電圧として、従来使われていたレギュレータ回路504の出力VDDではなく、VDDよりも

10

20

30

40

50

高電位である整流回路部503の出力VDD0を用い、第2の昇圧回路の入力電圧として第1の昇圧回路の出力電圧VDD\_HI1を用いることにより、小さい回路面積で、メモリへのデータ書き込みおよび消去に必要な高電位を得ることができる。その他の回路の動作電圧としては、レギュレータ回路504の出力VDDを用いているので、消費電力を抑えることもできる。

【0083】

なお、本実施の形態では、昇圧回路を2つ用いた例を示したが、3つ以上でも実施可能である。

【0084】

(実施の形態5)

本発明の第5の実施の形態について図面を用いて説明する。

【0085】

図7は本発明を適用したRFIDを説明するためのブロック図である。図7においてRFID600は、電波を受信するアンテナ部602と、アンテナ部602の出力を整流する整流回路部603と、整流回路部603の出力を受信して動作電圧VDDを各回路に出力するレギュレータ回路604と、クロックを発生させるクロック生成回路605と、クロック生成回路605の出力と整流回路部603の出力を受信してクロック生成回路605の出力を増幅して出力するレベルシフト606と、他の回路を制御するロジック回路607と、ロジック回路607からの出力を受信してデータの書き込み、読み出しまたは消去をするメモリ610と、整流回路部603の出力とレベルシフト606の出力を受信して昇圧された電圧を出力する第1の昇圧回路608と、第1の昇圧回路608の出力とレベルシフト606の出力を受信してさらに昇圧された電圧をメモリ610に出力する第2の昇圧回路609とを有する。

【0086】

なお、特に図示はしないが、これらの回路以外にデータ変調/復調回路、センサ、インターフェース回路などを有していてもよい。

【0087】

リーダ/ライタ601は、外部から非接触でRFID600にデータの書き込み/読み出しをする装置である。

【0088】

本実施の形態は、実施の形態4にレベルシフト606を加えたものであるので、レベルシフト606以外の構成については説明を省略する。

【0089】

レベルシフト606は、クロック生成回路605から出力されたクロックCLKを増幅する。具体的には、整流回路部603の出力VDD0を、レギュレータ回路604を通さずにレベルシフト606に入れることにより、クロックCLKの電位レベルをVDDの値からVDD0の値に引き上げる。

【0090】

昇圧回路では、実施の形態1において図2を用いて説明したように、入力電圧に、クロックCLKの電圧が加算されることにより昇圧されるので、クロックCLKの電圧が、レベルシフト606によりVDDの値からVDD0の値に引き上げられることで、より少ない段数(つまり、小さい回路面積)でも高電圧が得られる。

【0091】

したがって、本実施の形態では図7に示すとおり、実施の形態4の効果に加えて、昇圧回路のCLKをレベルシフト606によりVDDからVDD0に引き上げることにより、より小さい回路面積で、メモリへのデータ書き込み/消去に必要な高電位を得ることができる。その他の回路の動作電圧としては、レギュレータ回路604の出力VDDを用いているので、消費電力を抑えることもできる。

【0092】

なお、実施の形態4と同様、本実施の形態ではメモリ610として公知の書き換え可能な

10

20

30

40

50

メモリを用いることができる。

【0093】

また、レベルシフタ606の動作の詳細は、実施の形態2における図4と同様なので説明を省略する。

【実施例1】

【0094】

本実施例では、実施の形態および従来例との昇圧回路の出力の比較をシミュレーションによって行った結果を、図面を用いて説明する。

【0095】

シミュレーションは図2で示した昇圧回路を用い、入力およびクロックの電圧を変えて行った。従来例としては、入力 $V_{in}$ の電圧およびクロック $CLK$ がハイであるときの電圧を $V_{DD}$ 、 $CLK$ がローであるときの電圧を $0V$ とした。方式1として実施の形態1と同じように、入力 $V_{in}$ の電圧を $V_{DD0}$ 、 $CLK$ がハイであるときの電圧を $V_{DD}$ 、 $CLK$ がローであるときの電圧を $0V$ とした。方式2として実施の形態2と同じように、入力 $V_{in}$ の電圧およびクロック $CLK$ がハイであるときの電圧を $V_{DD0}$ 、 $CLK$ がローであるときの電圧を $0V$ とした。

【0096】

なお、 $V_{DD}$ は $1.7V$ 、 $V_{DD0}$ は $3V$ 、クロック周波数は $5MHz$ とした。中段容量である容量手段211~219は $7pF$ 、最終段容量である容量手段220は $40pF$ である。

【0097】

出力 $V_{out}$ には負荷抵抗として、 $51k$ 、 $100k$ 、 $200k$ 、 $300k$ 、 $510k$ 、 $1M$ の抵抗を接続してシミュレーションを行い、それぞれの方式での出力電圧および抵抗に流れる電流の見積りを行った。

【0098】

その結果を図8に示す。図8において横軸は出力電圧( $V$ )であり、縦軸は出力電流( $\mu A$ )である。図中、従来例を○で示し、方式1を△で示し、方式2を□で示した。

【0099】

図8に示すとおり、従来例に比べて実施の形態1の構成である方式1は20%程度の電源能力の改善がみられ、実施の形態2の構成である方式2は4倍程度の改善がみられた。

【0100】

続いて、実施の形態2の構成である方式2のRFID、すなわち昇圧回路の入力に $V_{DD0}$ を用い、昇圧回路に入力するクロック信号をレベルシフタによって $V_{DD}$ から $V_{DD0}$ に増幅することにより電源能力を高めた昇圧回路を有するRFIDを実際に作成し、その書き込み時の電源能力の実測値を調べた結果を、図面を用いて説明する。

【0101】

昇圧回路の構成は上記シミュレーション条件と同様、中段容量(図2において容量手段211~219)は $7pF$ 、最終段容量(図2において容量手段220)は $40pF$ である。また、測定条件も上記シミュレーションと同じように $V_{DD}$ は $1.7V$ 、 $V_{DD0}$ は $3V$ とした。クロック周波数は上記シミュレーションと同じ $5MHz$ のほかに $3.84MHz$ 、 $2.5MHz$ 、 $1MHz$ の条件でも行なった。RFIDは3つ作製し、それぞれについて測定を行った。

【0102】

測定方法は該当するRFIDの高電位電源 $V_{DD\_HI}$ の出力部を切り離し、 $51k$ 、 $100k$ 、 $200k$ 、 $300k$ 、 $510k$ 、 $1M$ の負荷抵抗を接続して書き込み動作を行い、 $V_{DD\_HI}$ および抵抗に流れる出力電流 $I_{DD\_HI}$ を測定した。

【0103】

その結果を図9に示す。図9において横軸は出力電圧( $V$ )であり、縦軸は出力電流( $\mu A$ )である。図中、クロック周波数が $5MHz$ の場合を○で示し、 $3.84MHz$ を△で示し、 $2.5MHz$ を□で示し、 $1MHz$ を×で示した。クロック周波数が $5MHz$ の結果はシミュレ

10

20

30

40

50

ーションとほぼ同じ結果が得られ、書き込みに十分な電源能力が得られることがわかる。なお、クロック周波数を下げると電源能力が低下する。これは、昇圧回路内のある容量手段に着目した場合、該当する容量手段の電圧が単位時間内にGNDからVDD0（もしくはVDD0からGND）に変化する回数は、クロック周波数が低下すると減るため、結果として次の段に押し出す電荷量が減るためである。

【0104】

ただし、昇圧のクロックを減らすと昇圧回路での消費電流およびクロックを生成する回路の消費電流を減らすことが可能である。そのため、メモリ素子の書き込みに必要な電力に応じて適宜最適な値を決めればよい。

【0105】

以上図9に示すとおり、実施の形態2の構成である方式2のRFIDにおいて、シミュレーションと同様の効果があることを確認した。つまり、従来例に比べて4倍程度の電源能力の改善がみられた。

【実施例2】

【0106】

本実施例では、実施の形態1から5で用いた回路の薄膜トランジスタ、記憶素子およびアンテナを含む本発明の半導体装置の作製方法について、図10～図12を参照して説明する。なお、本実施例では記憶素子としては有機物を用いたライトワンスタイプのメモリを用いて説明するが、本発明はこれに限定されることはなく、他の構造を用いた記憶素子を用いても良い。

【0107】

まず、基板2000上に、下地となる絶縁層2001、2002を形成する（図10(A)）。基板2000は、ガラス基板、石英基板、金属基板やステンレス基板の一表面に絶縁層を形成したものの、本工程の処理温度に耐えうる耐熱性があるプラスチック基板等を用いるとよい。このような基板2000であれば、その面積や形状に大きな制限はないため、基板2000として、例えば、1辺が1メートル以上であって、矩形状のものを用いれば、生産性を格段に向上させることができる。このような利点は、円形のシリコン基板を用いる場合と比較すると、大きな優位点である。また、基板2000と絶縁層2001との間に、剥離層を用いれば、薄膜トランジスタを有する層を、導電膜等が形成された基板へ転置することができ、その結果、薄膜トランジスタに接続された導電膜と、転置先の基板上の導電膜との接続を簡便なものとすることができる。

【0108】

次に、絶縁層2001を1層目として窒化酸化珪素層で形成し、絶縁層2002を2層目として酸化窒化珪素層で形成する。絶縁層2001、2002は、公知の手段（スパッタ法やプラズマCVD法等）により、珪素の酸化物または珪素の窒化物を含む層を形成する。珪素の酸化物材料とは、珪素（Si）と酸素（O）を含む物質であり、酸化珪素、酸化窒化珪素、窒化酸化珪素等が該当する。珪素の窒化物材料とは、珪素と窒素（N）を含む物質であり、窒化珪素、酸化窒化珪素、窒化酸化珪素等が該当する。下地となる絶縁層は単層または積層であってもよく、例えば、下地となる絶縁層が3層構造の場合、1層目の絶縁層として酸化珪素層を形成し、2層目の絶縁層として窒化酸化珪素層を形成し、3層目の絶縁層として酸化窒化珪素層を形成するとよい。または、1層目の絶縁層として酸化窒化珪素層を形成し、2層目の絶縁層として窒化酸化珪素層を形成し、3層目の絶縁層として酸化窒化珪素層を形成するとよい。下地となる絶縁層は、基板2000からの不純物の侵入を防止するブロッキング膜として機能する。

【0109】

次に、絶縁層2002上に非晶質半導体層2003（例えば非晶質珪素を含む層）を形成する（図10(B)）。非晶質半導体層2003は、公知の手段（スパッタ法、LPCVD法、プラズマCVD法等）により、25～200nm（好ましくは30～150nm）の厚さで形成する。続いて、非晶質半導体層2003を公知の結晶化法（レーザ結晶化法、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用

10

20

30

40

50

いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法とレーザ結晶化法を組み合わせた方法等)により結晶化して、結晶質半導体層を形成する。その後、得られた結晶質半導体層を所望の形状にパターニングして、結晶質半導体層2004~2008を形成する(図10(C))。

#### 【0110】

結晶質半導体層2004~2008の作成工程の一例を以下に簡単に説明すると、まず、プラズマCVD法を用いて、膜厚66nmの非晶質半導体層を形成する。次に、結晶化を助長する金属元素であるニッケルを含む溶液を非晶質半導体層上に保持させた後、非晶質半導体層に脱水素化の処理(500、1時間)と、熱結晶化の処理(550、4時間)を行って結晶質半導体層を形成する。その後、必要に応じてレーザ光を照射し、フォトリソグラフィ法を用いたパターニング処理によって結晶質半導体層2004~2008を形成する。レーザ結晶化法で結晶質半導体層を形成する場合、連続発振またはパルス発振の気体レーザ又は固体レーザを用いる。気体レーザとしては、エキシマレーザ、YAGレーザ、YVO<sub>4</sub>レーザ、YLFレーザ、YAlO<sub>3</sub>レーザ、ガラスレーザ、ルビーレーザ、Ti:サファイアレーザ等を用いる。固体レーザとしては、Cr、Nd、Er、Ho、Ce、Co、Ti又はTmがドーピングされたYAG、YVO<sub>4</sub>、YLF、YAlO<sub>3</sub>などの結晶を使ったレーザを用いる。

10

#### 【0111】

また、結晶化を助長する金属元素を用いて非晶質半導体層の結晶化を行うと、低温で短時間の結晶化が可能となるうえ、結晶の方向が揃うという利点がある一方、金属元素が結晶質半導体層に残存するためにオフ電流が上昇し、特性が安定しないという欠点がある。そこで、結晶質半導体層上に、ゲッタリングサイトとして機能する非晶質半導体層を形成するとよい。ゲッタリングサイトとなる非晶質半導体層には、リンやアルゴンの不純物元素を含有させる必要があるため、好適には、アルゴンを高濃度に含有させることが可能なスパッタ法で形成するとよい。その後、加熱処理(RTA法やファーネスアニール炉を用いた熱アニール等)を行って、非晶質半導体層中に金属元素を拡散させ、続いて、当該金属元素を含む非晶質半導体層を除去する。そうすると、結晶質半導体層中の金属元素の含有量を低減又は除去することができる。

20

#### 【0112】

次に、結晶質半導体層2004~2008を覆うゲート絶縁層2009を形成する(図10(D))。ゲート絶縁層2009は、公知の手段(プラズマCVD法やスパッタ法)により、珪素の酸化物又は珪素の窒化物を含む層を、単層又は積層して形成する。具体的には、酸化珪素を含む層、酸化窒化珪素を含む層、窒化酸化珪素を含む層を、単層又は積層して形成する。

30

#### 【0113】

次に、ゲート絶縁層2009上に、第1の導電層と第2の導電層を積層して形成する。第1の導電層は、公知の手段(プラズマCVD法やスパッタリング法)により、20~100nmの厚さで形成する。第2の導電層は、公知の手段により、100~400nmの厚さで形成する。第1の導電層と第2の導電層は、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等から選択された元素又はこれらの元素を主成分とする合金材料若しくは化合物材料で形成する。または、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料により形成する。第1の導電層と第2の導電層の組み合わせの例を挙げると、窒化タンタル層とタングステン(W)層、窒化タングステン層とタングステン層、窒化モリブデン層とモリブデン(Mo)層等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、第1の導電層と第2の導電層を形成した後に、熱活性化を目的とした加熱処理を行うことができる。また、2層構造ではなく、3層構造の場合は、モリブデン層とアルミニウム層とモリブデン層の積層構造を採用するとよい。

40

#### 【0114】

次に、フォトリソグラフィ法を用いてレジストからなるマスクを形成し、ゲート電極とゲ

50

ート線を形成するためのエッチング処理を行って、ゲート電極として機能する導電層（ゲート電極層とよぶことがある）2010～2014を形成する（図11（A））。

【0115】

次に、フォトリソグラフィ法により、レジストからなるマスクを形成して、結晶質半導体層2004～2008に、イオンドープ法又はイオン注入法により、N型またはP型の所望の不純物領域2015b～2019bと、チャネル形成領域2015a～2019aを形成する（図11（B））。例えば、N型を付与する場合、N型を付与する不純物元素として、15族に属する元素を用いれば良い。例えばリン（P）、砒素（As）を用いて不純物元素を添加し、N型の不純物領域を形成する。次に、P型を付与する場合、フォトリソグラフィ法によりレジストからなるマスクを形成して、所望の結晶質半導体層に、P型を付与する不純物元素、例えばボロン（B）を添加して、P型不純物領域を形成する。

10

【0116】

次に、ゲート絶縁層2009と導電層2010～2014を覆うように、絶縁層2020、2021を形成する（図11（C））。絶縁層2020、2021は、公知の手段（SOG法、液滴吐出法等）により、珪素の酸化物や珪素の窒化物等の無機材料、ポリイミド、ポリアミド、ベンゾシクロブテン、アクリル、エポキシ、シロキサン等の有機材料等で形成する。シロキサンとは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基とフルオロ基とを用いてもよい。また、ゲート絶縁層と導電層を覆う絶縁層は単層または積層であってもよく、3層構造の場合、1層目の絶縁層に酸化珪素を含む層を形成し、2層目の絶縁層に樹脂を含む層を形成し、3層目の絶縁層に窒化珪素を含む層を形成するとよい。

20

【0117】

なお、絶縁層2020、2021を形成する前、又は絶縁層2020、2021のうちの1つ又は複数の薄膜を形成した後に、半導体層の結晶性の回復や半導体層に添加された不純物元素の活性化、半導体層の水素化を目的とした加熱処理を行うとよい。加熱処理には、熱アニール、レーザアニール法又はRTA法などを適用するとよい。

【0118】

次に、絶縁層2020、2021をエッチングして、不純物領域2015b～2019bを露出させるコンタクトホールを形成する。続いて、コンタクトホールを充填するように、導電層を形成し、当該導電層をパターン加工して、ソースドレイン配線として機能する導電層2022～2032を形成する（図11（D））。

30

【0119】

導電層2022～2032は、公知の手段（プラズマCVD法やスパッタリング法）により、チタン（Ti）、アルミニウム（Al）、ネオジム（Nd）から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。導電層2022～2032は、例えば、バリア層とアルミニウムシリコン（Al-Si）層とバリア層の積層構造、バリア層とアルミニウムシリコン（Al-Si）層と窒化チタン層とバリア層の積層構造を採用するとよい。なお、バリア層とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電層2022～2032を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア層を形成すると、結晶質半導体層上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体層と良好なコンタクトをとることができる。

40

【0120】

50

次に、導電層 2022 ~ 2032 を覆うように、絶縁層 2033、2034 を形成する (図 12 (A))。絶縁層 2033、2034 は、公知の手段 (SOG 法、液滴吐出法等) を用いて、無機材料又は有機材料により、単層又は積層で形成する。

#### 【0121】

続いて、絶縁層 2033、2034 をエッチングして、導電層 2023、2025、2026、2032 を露出させるコンタクトホールを形成する。続いて、コンタクトホールを充填するように、導電層を形成する。導電層は、公知の手段 (プラズマ CVD 法やスパッタリング法) を用いて、導電性材料により形成する。次に、導電層をパターン加工して、導電層 2035 ~ 2038 を形成する (図 12 (A))。なお、導電層 2035、2036 は、記憶素子が含む一对の導電層のうち一方の導電層となる。従って、好適には、導電層 2035 ~ 2038 は、チタン、又はチタンを主成分とする合金材料若しくは化合物材料により、単層又は積層で形成するとよい。チタンは、抵抗値が低いため、記憶素子のサイズの縮小につながり、高集積化を実現することができる。また、導電層 2035 ~ 2038 を形成するためのエッチング工程においては、下層の薄膜トランジスタにダメージを与えないために、ウエットエッチング加工を行うとよく、エッチング剤にはフッ化水素 (HF) 又はアンモニア過水を用いるとよい。

10

#### 【0122】

次に、導電層 2035 ~ 2038 を覆うように、絶縁層を形成し、絶縁層をエッチングして、導電層 2035 ~ 2038 を露出させるコンタクトホールを形成し、隔壁層 (絶縁層) 2039 ~ 2043 を形成する。隔壁層 2039 ~ 2043 は、公知の手段 (SOG 法、液滴吐出法等) を用いて、無機材料又は有機材料により、単層又は積層で形成する。また、隔壁層 2039 ~ 2043 は、好適には、 $0.75 \mu\text{m} \sim 3 \mu\text{m}$  の厚さで形成する。

20

#### 【0123】

次に、導電層 2035、2036 に接するように有機化合物層 2044 を形成する (図 12 (B))。有機化合物層 2044 は液滴吐出法、印刷法またはスピンコート法等を用いることができるが、特にスピンコート法を用いることによって作業効率を向上させることができる。スピンコート法を用いた場合、あらかじめマスクを設けておくか、または全面に形成した後フォトリソグラフ工程等を用いることにより選択的に有機化合物層を設けることができる。また、液滴吐出法や印刷法を用いて行うことによって、材料の利用効率を向上させることができる。

30

#### 【0124】

続いて、有機化合物層 2044 および導電層 2037 に接するように、導電層 2045 を形成する。導電層 2045 は、公知の手段 (プラズマ CVD 法、スパッタリング法、印刷法、液滴吐出法) により形成することができる。導電層 2045 はメモリ素子の陰極として機能し、導電層 2037、導電層 2026 を経て回路内の接地電位と接続される。

#### 【0125】

次に、導電層 2038 に接し、アンテナとして機能する導電層 2046 を形成する (図 12 (B))。導電層 2046 は、公知の手段 (プラズマ CVD 法、スパッタリング法、印刷法、液滴吐出法) を用いて、導電性材料により形成する。好ましくは、導電層 2046 は、アルミニウム (Al)、チタン (Ti)、銀 (Ag)、銅 (Cu) から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。具体的には、導電層 2046 は、スクリーン印刷法により、銀を含むペーストを用いて形成し、その後、 $50 \sim 350$  度の加熱処理を行って形成する。又は、スパッタリング法によりアルミニウム層を形成し、当該アルミニウム層をパターン加工することにより形成する。アルミニウム層のパターン加工は、ウエットエッチング加工を用いるとよく、ウエットエッチング加工後は  $200 \sim 300$  度の加熱処理を行うとよい。

40

#### 【0126】

次に、導電層 2045、2046 を覆うように保護膜として機能する絶縁層 2047 を設ける (図 12 (B))。絶縁層 2047 は、液滴吐出法、印刷法またはスピンコート法等を用いて単層または積層構造で形成することができる。

50

## 【0127】

以上の工程を経て、導電層2035、有機化合物層2044及び導電層2045の積層体からなる記憶素子部と、導電層2036、有機化合物層2044及び導電層2045の積層体からなる記憶素子部と、導電層2038、導電層2046の積層体からなるアンテナとが完成することができ、アクティブマトリクス型の記憶素子と、アンテナと、ロジック回路とを有する半導体装置を形成することができる。

## 【実施例3】

## 【0128】

本実施例では実施の形態1から5と、充電素子であるRFバッテリー(Radio Frequency Battery、無線周波数による非接触電池)との組み合わせにより、RFIDの高機能化を果たした例を、図13を用いて説明する。

10

## 【0129】

図13は、RFバッテリーを含むRFIDに対し実施の形態1を適用した例である。図13においてRFID1100は、電波を受信するアンテナ部1102と、アンテナ部1102の出力を整流する整流回路部1103と、整流回路部1103の出力を受信して動作電圧VDDを各回路に出力するレギュレータ回路1104と、クロックを発生させるクロック生成回路1105と、他の回路を制御するロジック回路1106と、ロジック回路1106からの出力を受信してデータの書き込み/読み出しをするメモリ1108と、整流回路部1103の出力とクロック生成回路1105の出力を受信してメモリ1108にデータを書き込むための電圧を供給する昇圧回路1107と、昇圧回路の出力を入力して逆流を防止するダイオード1109と、ダイオード1109の出力を入力として電荷を蓄えるコンデンサからなるバッテリー用容量1110とを有する。

20

## 【0130】

なお、特に図示はしないが、これらの回路以外にデータ変調/復調回路、センサ、インターフェース回路などを有していてもよい。

## 【0131】

リーダ/ライタ1101は、外部から非接触でRFID1100にデータの書き込み/読み出しをする装置である。

## 【0132】

RFバッテリーは、対象物を非接触で充電でき、かつ持ち運びに優れるなどの特徴を有する。RFIDに搭載した場合、SRAM等の電源が必要なメモリを搭載することができ、RFIDの高機能化に寄与することができる。

30

## 【0133】

本発明においては、従来におけるような、レギュレータ回路の出力VDDを用いてRFバッテリーを充電する場合にVDDの電圧が低く、充電するために十分な電圧が確保できないという課題を解決するため、RFバッテリーの充電に昇圧回路の出力を用いている。

## 【0134】

なお、RFバッテリーとして、コンデンサからなるバッテリー用容量1110を用いる例を示したが、コンデンサの代わりに、二次電池を用いることも可能である。

## 【0135】

本実施例では、RFIDで用いるアンテナ部、整流回路部及び昇圧回路と、RFバッテリーで用いるアンテナ部、整流回路部及び昇圧回路とは共通であるため、リーダ/ライタ1101はRFIDを動作させるのと同時にバッテリー用容量1110の充電を行うための信号発信源としても用いることができる。

40

## 【0136】

但し、本発明はこの構成に限定するものではなく、アンテナ部、整流回路部、昇圧回路のうちの一部もしくはすべてをRFID動作用とRFバッテリー充電用に分離しても良い。例えば、アンテナ部1102をRFID動作用のアンテナ部とRFバッテリー充電用のアンテナ部に分離することでRFID動作用とRFバッテリー充電用とで用いる信号の周波数を変えることも可能である。この場合、リーダ/ライタ1101が発する信号と、RFバッテ

50

りへの信号発信源が発する信号が互いに干渉しない周波数領域であることが望ましい。

【0137】

また、アンテナ部、整流回路部、昇圧回路をRFID動作とRFバッテリー充電用とで共通して用いる場合、昇圧回路1107と逆流防止用のダイオード1109との間にスイッチング素子を配置しておき、書き込み動作中はスイッチをオフして昇圧回路とRFバッテリー間の接続を切り、それ以外ではスイッチをオンして昇圧回路とRFバッテリー間の接続を行うような構成にしても良い。この場合は書き込み動作中充電を行わないことから書き込み動作中の電圧低下を防ぐことができる。スイッチング素子には公知の構成を用いることができる。

【0138】

なお、本実施例では実施の形態1を適用した例を示したが、これはもちろん実施の形態1に限られたことではなく、実施の形態2乃至実施の形態5のいずれであっても適用して実施することが可能である。

【0139】

また、実施の形態1、実施の形態2、実施の形態4、実施の形態5のうちいずれかを適用する場合、RFバッテリーに接続するのは昇圧回路ではなく整流回路部の出力を接続しても良い。

【実施例4】

【0140】

本実施例では実施の形態を用いた半導体装置の応用例を、図面を用いて説明する。

【0141】

本発明によりプロセッサチップ(RFID(Radio Frequency Identification)、IDタグ、ICタグ、ICチップ、RFタグ、無線タグ、電子タグ、無線チップともよばれる)として機能する半導体装置を形成することができる。本発明の半導体装置の用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、証券類、無記名債券類、包装用容器類、書籍類、記録媒体、身の回り品、乗物類、食品類、衣類、保健用品類、生活用品類、薬品類及び電子機器等に設けて使用することができる。

【0142】

紙幣、硬貨とは、市場に流通する金銭であり、特定の地域で貨幣と同じように通用するもの(金券)、記念コイン等を含む。有価証券類とは、小切手、証券、約束手形等を指し、プロセッサチップ1200を設けることができる(図14(A)参照)。証券類とは、運転免許証、住民票等を指し、プロセッサチップ1201を設けることができる(図14(B)参照)。身の回り品とは、鞆、眼鏡等を指し、プロセッサチップ1202を設けることができる(図14(C)参照)。無記名債券類とは、切手、おこめ券、各種ギフト券等を指す。包装用容器類とは、お弁当等の包装紙、ペットボトル等を指し、プロセッサチップ1203を設けることができる(図14(D)参照)。書籍類とは、書物、雑誌等を指し、プロセッサチップ1204を設けることができる(図14(E)参照)。記録媒体とは、DVDソフト、ビデオテープ等を指し、プロセッサチップ1205を設けることができる(図14(F)参照)。乗物類とは、自転車等の車両、船舶等を指し、プロセッサチップ1206を設けることができる(図14(G)参照)。食品類とは、食料品、飲料等を指す。衣類とは、衣服、履物等を指す。保健用品類とは、医療器具、健康器具等を指す。生活用品類とは、家具、照明器具等を指す。薬品類とは、医薬品、農薬等を指す。電子機器とは、液晶表示装置、EL表示装置、テレビジョン装置(テレビ受像機、薄型テレビ受像機)、携帯電話等を指す。

【0143】

また、本発明によってより小型化、またはより高機能化、あるいはその双方の特徴を持つプロセッサチップは、プリント基板に実装するか、表面に貼るか、あるいは埋め込んで、物品に固定される。例えば、本であれば紙に埋め込み、有機樹脂からなるパッケージであれば当該有機樹脂に埋め込んで、各物品に固定される。本発明のプロセッサチップは、小型、薄型、軽量を実現するため、物品に固定した後も、その物品自体のデザイン性を損な

10

20

30

40

50

うことがない。また、紙幣、硬貨、有価証券類、無記名債券類、証書類等に本発明のプロセッサチップを設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に本発明の半導体装置を設けることにより、検品システム等のシステムの効率化を図ることができる。

【0144】

次に、本発明による容量素子を有する半導体装置を実装した電子機器の一態様について図面を参照して説明する。図15で例示する電子機器は携帯電話機であり、筐体1300、1306、パネル1301、ハウジング1302、プリント配線基板1303、操作ボタン1304、バッテリー1305を有する。パネル1301はハウジング1302に脱着自在に組み込まれ、ハウジング1302はプリント配線基板1303に嵌着される。ハウジング1302はパネル1301が組み込まれる電子機器に合わせて、形状や寸法が適宜変更される。プリント配線基板1303には、パッケージングされた複数の半導体装置が実装されており、このうちの1つとして、本発明による容量素子を適用することができる。プリント配線基板1303に実装される複数の半導体装置は、コントローラ、中央処理ユニット(CPU、Central Processing Unit)、メモリ、電源回路、音声処理回路、送受信回路等のいずれかの機能を有する。

10

【0145】

パネル1301は、接続フィルム1308を介して、プリント配線基板1303と接続される。上記のパネル1301、ハウジング1302、プリント配線基板1303は、操作ボタン1304やバッテリー1305と共に、筐体1300、1306の内部に収納される。パネル1301が含む画素領域1309は、筐体1300に設けられた開口窓から視認できるように配置されている。

20

【0146】

上記の通り、本発明の容量素子を適用した半導体装置は、小型、薄型、軽量であることを特徴としており、上記特徴により、電子機器の筐体1300、1306内部の限られた空間を有効に利用することができる。

【0147】

なお、筐体1300、1306は、携帯電話機の外觀形状を一例として示したものであり、本実施例に係る電子機器は、その機能や用途に応じて様々な態様に変容しうる。

30

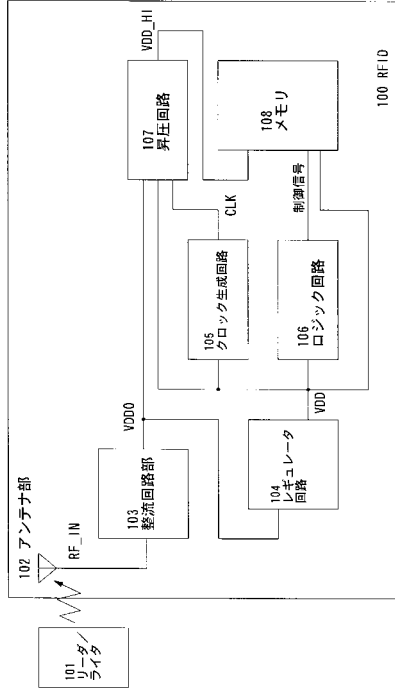
【符号の説明】

【0148】

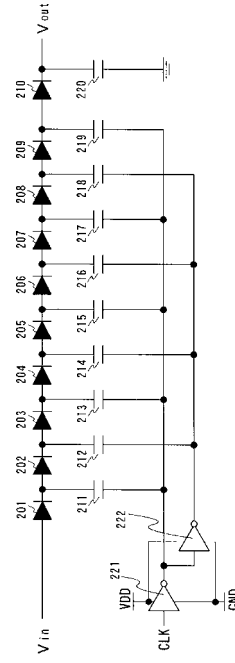
- 100 R F I D
- 101 リーダ/ライター
- 102 アンテナ部
- 103 整流回路部
- 104 レギュレータ回路
- 105 クロック生成回路
- 106 ロジック回路
- 107 昇圧回路
- 108 メモリ

40

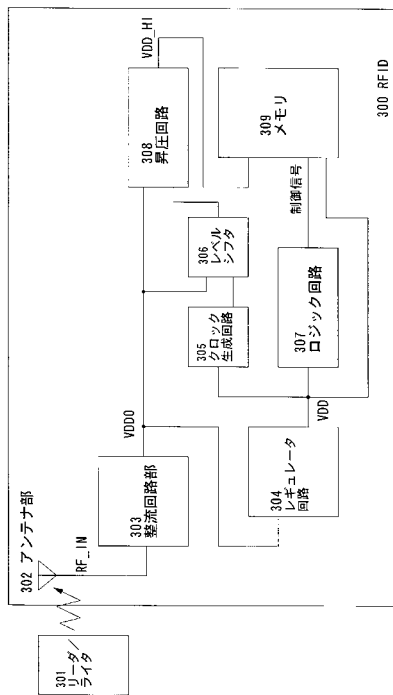
【図1】



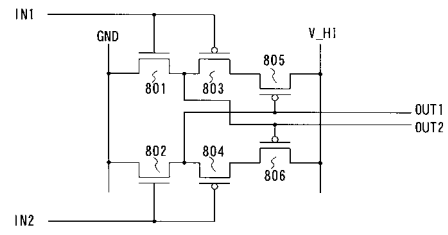
【図2】



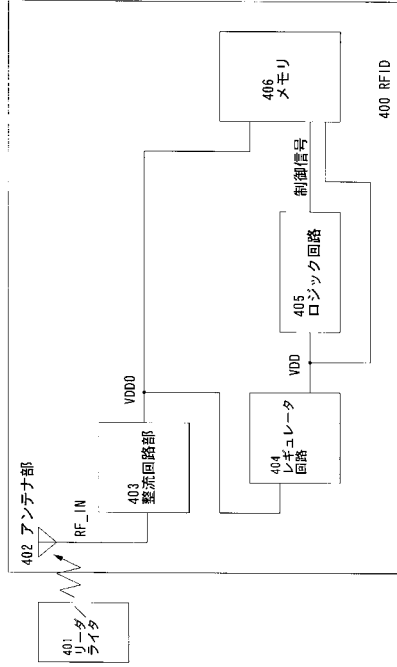
【図3】



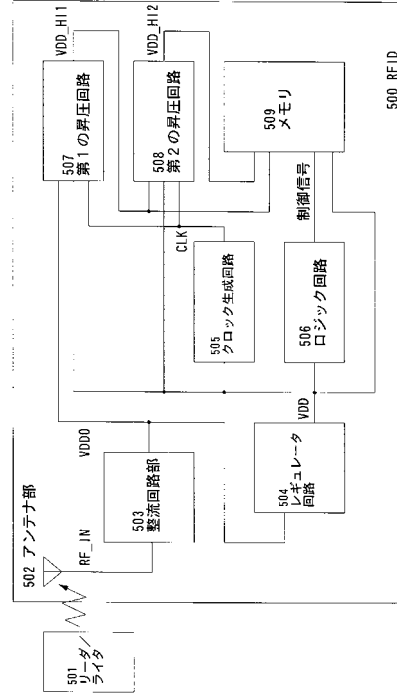
【図4】



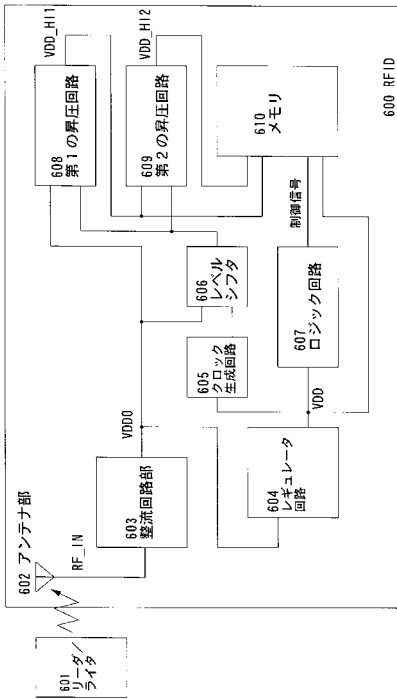
【図 5】



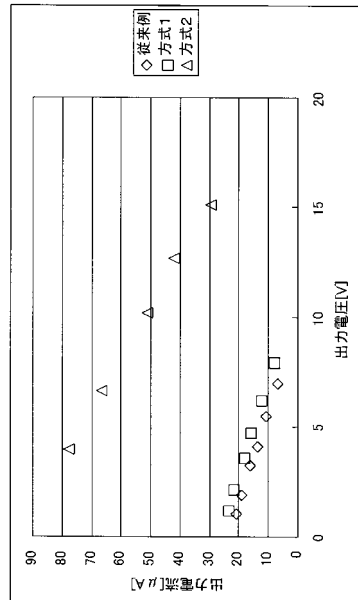
【図 6】



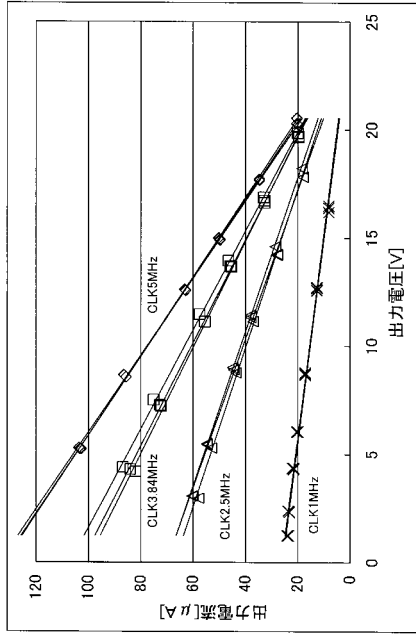
【図 7】



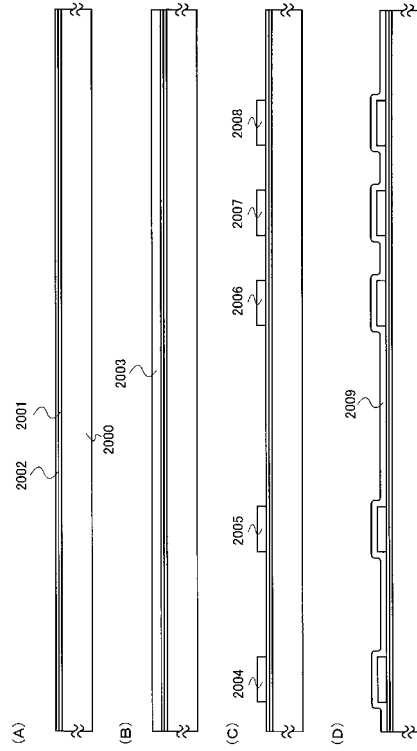
【図 8】



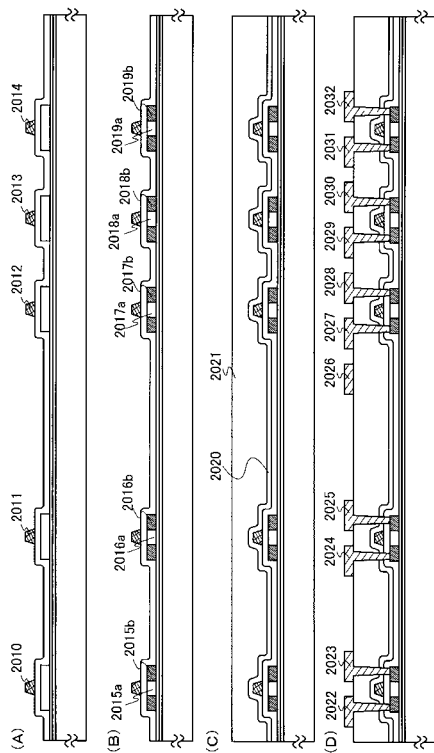
【図 9】



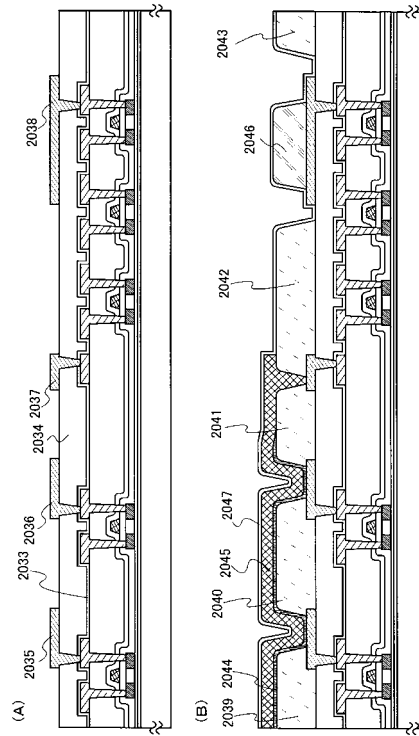
【図 10】



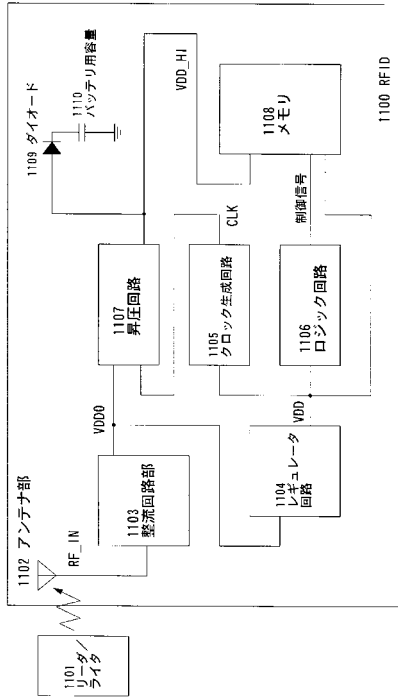
【図 11】



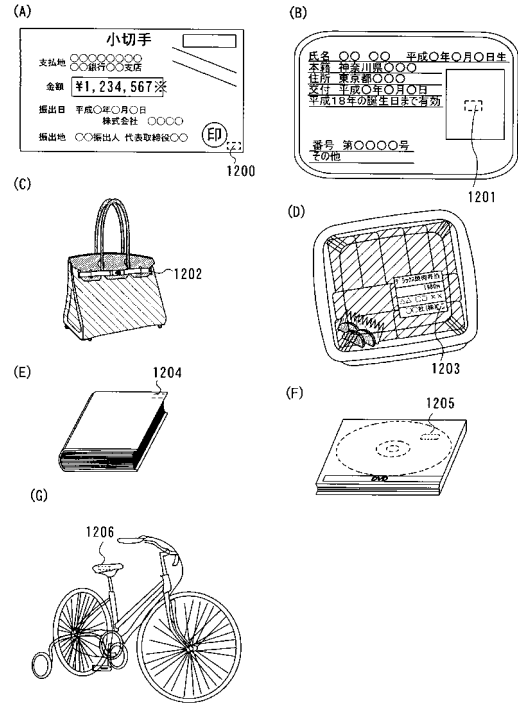
【図 12】



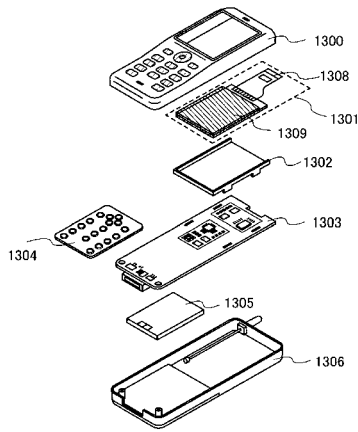
【図13】



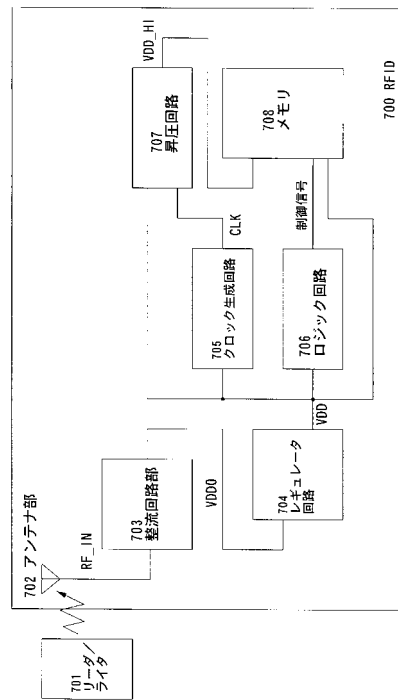
【図14】



【図15】



【図16】



---

フロントページの続き

- (56)参考文献 特開2003-132316(JP,A)  
実開平06-004857(JP,U)  
特開2005-321911(JP,A)  
特開2005-202943(JP,A)  
特開平11-196540(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06K 17/00 - 19/07  
G06F 1/26  
H01L 21/3205  
H01L 21/768  
H01L 21/822  
H01L 23/522  
H01L 27/04