



(12) 发明专利

(10) 授权公告号 CN 102682727 B

(45) 授权公告日 2014. 09. 03

(21) 申请号 201210061505. X

JP 特开 2009-92982 A, 2009. 04. 30, 全文 .

(22) 申请日 2012. 03. 09

US 8019039 B1, 2011. 09. 13, 全文 .

CN 102237029 A, 2011. 11. 09, 全文 .

(73) 专利权人 北京京东方光电科技有限公司  
地址 100176 北京市经济技术开发区西环中  
路 8 号

审查员 蒋永志

(72) 发明人 王世君 董学 陈希

(74) 专利代理机构 北京中博世达专利商标代理  
有限公司 11274

代理人 申健

(51) Int. Cl.

G09G 3/36 (2006. 01)

G02F 1/1362 (2006. 01)

G02F 1/1368 (2006. 01)

G02F 1/133 (2006. 01)

(56) 对比文件

CN 102012591 A, 2011. 04. 13, 说明书第

【0033】、【0045】段, 附图 2A、3A、4、5.

CN 1725287 A, 2006. 01. 25, 全文 .

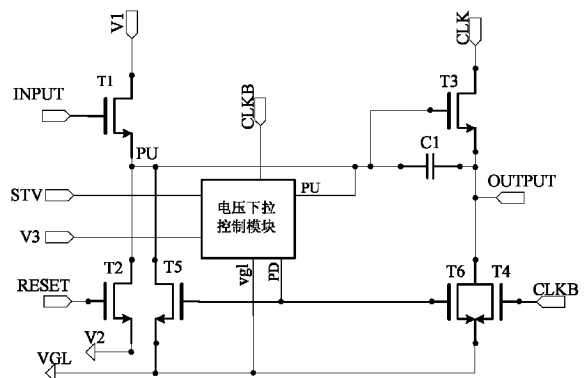
权利要求书2页 说明书7页 附图5页

(54) 发明名称

移位寄存器单元、移位寄存器电路、阵列基板  
及显示器件

(57) 摘要

本发明提供移位寄存器单元、移位寄存器电路、阵列基板及显示器件, 涉及显示器制造领域, 能够避免帧起始信号到来时时钟信号造成移位寄存器单元栅扫描电压的异常输出从而造成的显示器件在正常点亮时, 在灰阶状态下横向出现明暗线交替的现象。一种移位寄存器包括: 一电容, 一第一晶体管, 一第二晶体管, 一第三晶体管, 一第四晶体管, 一第五晶体管, 一第六晶体管, 一电压下拉控制模块。本发明用于显示器的制造。



1. 一种移位寄存器单元,其特征在于,包括:

一电容,具有两极,其中第一极与输出端连接;

第一晶体管,该第一晶体管的栅极连接信号输入端,该第一晶体管的源极连接第一电平端,该第一晶体管的漏极连接所述电容的第二极;

第二晶体管,该第二晶体管的栅极连接复位端,该第二晶体管的源极连接所述第一晶体管的漏极,该第二晶体管的漏极连接第二电平端;

第三晶体管,该第三晶体管的栅极连接所述第一晶体管的漏极,该第三晶体管的源极连接第一时钟信号端,该第三晶体管的漏极连接所述输出端;

第四晶体管,该第四晶体管的栅极连接第二时钟信号端,该第四晶体管的源极连接所述输出端,该第四晶体管的漏极连接低电平端;

第五晶体管,该第五晶体管的源极连接所述第二晶体管的源极,该第五晶体管的漏极连接所述低电平端;

第六晶体管,该第六晶体管的栅极连接所述第五晶体管的栅极,该第六晶体管的源极连接所述第四晶体管的源极,该第六晶体管的漏极连接所述第四晶体管的漏极;

电压下拉控制模块,该电压下拉控制模块连接所述第二时钟信号端、所述低电平端、所述第五晶体管的栅极、所述第一晶体管的漏极、帧起始信号端和第三电平端;其中,所述电压下拉控制模块的帧起始信号端和第三电平端同时输入高电平时,所述电压下拉控制模块在所述第五晶体管的栅极输出高电平,此时所述第五晶体管处于导通状态以此拉低所述的第三晶体管的栅极电压;同时所述第六晶体管也处于导通状态以此拉低所述输出端电压;

所述电压下拉控制模块包括:

第七晶体管,该第七晶体管的栅极连接所述帧起始信号输入端,该第七晶体管的源极连接第三电平端;

第八晶体管,该第八晶体管的栅极和源极连接所述第二时钟信号端;

第九晶体管,该第九晶体管的栅极连接所述第一晶体管的漏极,该第九晶体管的源极连接所述第八晶体管的漏极,该第九晶体管的漏极连接所述低电平端;

第十晶体管,该第十晶体管的栅极连接所述第八晶体管的漏极,该第十晶体管的源极连接所述第二时钟信号端,该第十晶体管的漏极连接所述第七晶体管的漏极;

第十一晶体管,该第十一晶体管的栅极连接所述第九晶体管的栅极,该第十一晶体管的源极连接所述第十晶体管的漏极,该第十一晶体管的漏极连接所述低电平端。

2. 根据权利要求 1 所述的移位寄存器单元,其特征在于,所述第一晶体管与所述第二晶体管的尺寸大小相同。

3. 根据权利要求 2 所述的移位寄存器单元,其特征在于,所述第一电平端输入高电平时所述第二电平端输入低电平或所述第一电平端输入低电平时所述第二电平端输入高电平。

4. 根据权利要求 2 所述的移位寄存器单元,其特征在于,所述第二时钟信号端与第一时钟信号端的时钟信号具有 180 度相位差。

5. 根据权利要求 2 所述的移位寄存器单元,其特征在于,所述第一时钟信号端和第二时钟信号端的时钟信号均在各自的工作周期内一半时间输出高电平,另一半时间输出低电平。

6. 一种移位寄存器电路,其特征在于,包括串联的多个如权利要求 1-5 中任一项所述的移位寄存器单元,除第一个移位寄存器单元和最后一个移位寄存器单元外,其余每个移位寄存器单元的输出端连接与其相邻的下一个移位寄存器单元的信号输入端,所述其余每个移位寄存器单元的复位端连接与其相邻的下一个移位寄存器单元的输出端,所述其余每个移位寄存器单元的帧起始信号端与所述第三电平端连接;

所述第一个移位寄存器的第三电平端连接所述第二电平端,所述第一个移位寄存器的复位端连接与其相邻的下一个移位寄存器单元的输出端,且所述最后一个移位寄存单元的第三电平端连接所述第一电平端。

7. 根据权利要求 6 所述的移位寄存器电路,其特征在于,所述相邻的移位寄存器单元的第一时钟信号端的时钟信号具有 180 度相位差,且所述相邻的移位寄存器单元的第二时钟信号端的时钟信号具有 180 度相位差。

8. 一种阵列基板,其特征在于,在所述阵列基板上形成有移位寄存器电路;  
所述移位寄存器电路为权利要求 6 所述的移位寄存器电路。

9. 一种显示器件,包括:

显示区域,具有用于显示图像的多个像素;

移位寄存器电路,用于将扫描信号送至所述显示区域;以及  
数据驱动电路,用于将数据信号送至所述显示区域,

其特征在于,所述移位寄存器电路为权利要求 8 所述的移位寄存器电路。

## 移位寄存器单元、移位寄存器电路、阵列基板及显示器件

### 技术领域

[0001] 本发明涉及液晶显示器制造领域,尤其涉及移位寄存器单元、移位寄存器电路、阵列基板及显示器件。

### 背景技术

[0002] 近些年来显示器的发展呈现出了高集成度,低成本的发展趋势。其中一项非常重要的技术就是 GOA(Gate Driver on Array,阵列基板行驱动)的技术量产化的实现。利用 GOA 技术将栅极开关电路集成在显示面板的阵列基板上以形成对显示面板的扫描驱动,从而可以省掉栅极驱动集成电路部分,其不仅可以从材料成本和制作工艺两方面降低产品成本,而且显示面板可以做到两边对称和窄边框的美观设计。同时由于可以省去 Gate 方向 Bonding 的工艺,对产能和良率提升也较有利。这种利用 GOA 技术集成在阵列基板上的栅极开关电路也称为 GOA 电路或移位寄存器电路。另外在目前 Mobile 产品的设计中,双向扫描的 GOA 电路已经成为客户需求的重点。

[0003] 其中,双向扫描的移位寄存器电路包括若干个移位寄存器单元,每一移位寄存器单元对应一条栅线,具体的出第一移位寄存单元和最后的一个移位寄存单元以外,每一移位寄存单元的输出端连接一条栅线;且一移位寄存单元的输出端连接下一移位寄存单元的输入端。传统的双向扫描移位寄存器电路中的每一移位寄存单元为 10TFT(Thin Film Transistor,薄膜场效应晶体管)1Cap(电容)结构。发明人发现该结构的移位寄存器中由于栅线驱动 TFT 存在较大寄生电容,当 STV(帧起始)信号输入时,栅线驱动 TFT 的栅极电压被与栅线驱动 TFT 源极的信号时钟拉高,从而导致移位寄存单元的输出信号被电容耦合而产生异常输出,进而导致显示面板的 H-line 现象发生即显示面板在正常点亮时,在灰阶状态下横向出现明暗线交替的现象。

### 发明内容

[0004] 本发明的实施例提供一种移位寄存器单元、移位寄存器电路、阵列基板及显示器件,能够避免帧起始信号到来时时钟信号造成移位寄存单元栅扫描电压的异常输出从而造成的显示器件在正常点亮时,在灰阶状态下横向出现明暗线交替的现象。

[0005] 为达到上述目的,本发明的实施例采用如下技术方案:

[0006] 一方面,本发明实施例提供一种移位寄存器单元,包括:

[0007] 一电容,具有两极,其中第一极与输出端连接;

[0008] 第一晶体管,该第一晶体管的栅极连接信号输入端,该第一晶体管的源极连接第一电平端,该第一晶体管的漏极连接所述电容的第二极;

[0009] 第二晶体管,该第二晶体管的栅极连接复位端,该第二晶体管的源极连接所述第一晶体管的漏极,该第二晶体管的漏极连接第二电平端;

[0010] 第三晶体管,该第三晶体管的栅极连接所述第一晶体管的漏极,该第三晶体管的源极连接第一时钟信号端,该第三晶体管的漏极连接所述输出端;

[0011] 第四晶体管,该第四晶体管的栅极连接第二时钟信号端,该第四晶体管的源极连接所述输出端,该第四晶体管的漏极连接低电平端;

[0012] 第五晶体管,该第五晶体管的源极连接所述第二晶体管的源极,该第五晶体管的漏极连接所述低电平端;

[0013] 第六晶体管,该第六晶体管的栅极连接所述第五晶体管的栅极,该第六晶体管的源极连接所述第四晶体管的源极,该第六晶体管的漏极连接所述第四晶体管的漏极;

[0014] 电压下拉控制模块,该电压下拉控制模块连接所述第二时钟信号端、所述低电平端、所述第五晶体管的栅极、所述第一晶体管的漏极、帧起始信号端和第三电平端;其中,所述电压下拉控制模块的帧起始信号端和第三电平端同时输入高电平时,所述电压下拉控制模块在所述第五晶体管的栅极输出高电平,此时所述第五晶体管处于导通状态以此拉低所述的第三晶体管的栅极电压;同时所述第六晶体管也处于导通状态以此拉低所述输出端电压。

[0015] 另一方面,本发明实施例提供一种移位寄存器电路,包括串联的多个上述移位寄存器单元,除第一个移位寄存器单元和最后一个移位寄存器单元外,

[0016] 其余每个移位寄存器单元的输出端连接与其相邻的下一个移位寄存器单元的信号输入端,所述其余每个移位寄存器单元的复位端连接与其相邻的下一个移位寄存器单元的输出端,所述其余每个移位寄存器单元的帧起始信号端与所述第三电平端连接;

[0017] 所述第一个移位寄存器的第三电平端连接所述第二电平端,所述第一个移位寄存器的复位端连接与其相邻的下一个移位寄存器单元的输出端,且所述最后一个移位寄存单元的第三电平端连接所述第一电平端。

[0018] 再一方面,本发明实施例提供一种阵列基板,在所述阵列基板上形成有移位寄存器电路;

[0019] 所述移位寄存器电路为上述的移位寄存器电路。

[0020] 又一方面,本发明实施例提供一种显示器件,包括:

[0021] 显示区域,具有用于显示图像的多个像素;

[0022] 移位寄存器电路,用于将扫描信号送至所述显示区域;以及

[0023] 数据驱动电路,用于将数据信号送至所述显示区域。

[0024] 其特征在于,所述移位寄存器电路为上述的移位寄存器电路。

[0025] 本发明实施例提供的移位寄存器单元、移位寄存器电路、阵列基板及显示器件,能够避免帧起始信号到来时时钟信号造成移位寄存单元栅扫描电压的异常输出从而造成的显示器件在正常点亮时,在灰阶状态下横向出现明暗线交替的现象。

## 附图说明

[0026] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0027] 图1为本发明实施例提供的移位寄存器单元电路结构示意图;

[0028] 图2为本发明实施例提供的电压下拉控制模块电路结构示意图;

- [0029] 图 3 为本发明实施例提供的移位寄存器电路结构式示意图；
- [0030] 图 4 为本发明另一实施例提供的移位寄存器单元电路结构示意图；
- [0031] 图 5 为本发明实施例提供的移位寄存器单元输出时的一种时序状态示意图；
- [0032] 图 6 为本发明实施例提供的移位寄存器单元输出时的另一种时序状态示意图；
- [0033] 图 7 为本发明实施例提供的移位寄存器单元帧起始信号与 PD 节点和 PU 节点波形示意图。

### 具体实施方式

[0034] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0035] 本发明所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件,由于这里采用的晶体管的源极、漏极是对称的,所以其源极、漏极是没有区别的。在本发明实施例中,为区分晶体管除栅极之外的两极,将其中一极称为源极,另一极称为漏极。按附图中的形态规定晶体管的上侧端为源极、中间端为栅极、下侧端为漏极。

[0036] 图 1 为本发明实施例提供的移位寄存器单元的结构示意图,包括:电容 C1,第一晶体管 T1,第二晶体管 T2,第三晶体管 T3,第四晶体管 T4,第五晶体管 T5,第六晶体管 T6 和电压下拉控制模块。并且,图 1 中的移位寄存器的信号输入端为 INPUT,输出端为 OUTPUT,复位端为 RESET;第一时钟信号端为 CLK,第二时钟信号端为 CLKB,第一电平端为 V1,第二电平端为 V2,第三电平端为 V3,低电平端为 VGL,STV 为帧起始信号端。另外,晶体管 T3 为驱动 TFT,PU 为晶体管 T3 的栅极对应的节点电压,PD 为电压下拉晶体管 T5 和 T6 的栅极节点电压。

[0037] 本发明实施例将图 2 所示的移位寄存器单元作为当前移位寄存器单元,下面具体描述其各部件间的连接关系:

[0038] 电容 C1,具有两极,其中第一极与输出端 OUTPUT 连接;

[0039] 晶体管 T1,晶体管 T1 的栅极连接信号输入端 INPUT,晶体管 T1 的源极连接第一电平端 V1,晶体管 T1 的漏极连接电容 C1 的第二极;

[0040] 晶体管 T2,晶体管 T2 的栅极连接复位端 RESET,该晶体管 T2 的源极连接晶体管 T1 的漏极,晶体管 T2 的漏极连接第二电平端 V2;

[0041] 晶体管 T3,晶体管 T3 的栅极连接晶体管 T1 的漏极,晶体管 T3 的源极连接第一时钟信号端 CLK,晶体管 T3 的漏极连接输出端 OUTPUT;

[0042] 晶体管 T4,晶体管 T4 的栅极连接第二时钟信号端 CLKB,晶体管 T4 的源极连接输出端 OUTPUT,晶体管 T4 的漏极连接低电平端 VGL;

[0043] 晶体管 T5,晶体管 T5 的源极连接晶体管 T2 的源极,晶体管 T5 的漏极连接低电平端 VGL;

[0044] 晶体管 T6,晶体管 T6 的栅极连接晶体管 T5 的栅极,晶体管 T6 的源极连接晶体管 T4 的源极,晶体管 T6 的漏极连接晶体管 T4 的漏极;

[0045] 电压下拉控制模块,电压下拉控制模块连接第二时钟信号端 CLKB、低电平端 VGL、

晶体管 T5 的栅极、晶体管 T1 的漏极、帧起始信号端 STV 和第三电平端 V3。其中,电压下拉控制模块的帧起始信号端 STV 和第三电平端 V3 同时输入高电平时,电压下拉控制模块在第五晶体管 T5 的栅极输出高电平,此时第五晶体管 T5 处于导通状态以此拉低的第三晶体管 T3 的栅极电压;同时第六晶体管 T6 也处于导通状态以此拉低输出端 OUTPUT 电压。

[0046] 本发明实施例提供的移位寄存器单元,能够避免帧起始信号端 STV 有帧起始信号到来时第一时钟信号 CLK 造成移位寄存器单元栅扫描电压的异常输出从而造成的显示器件在正常点亮时,在灰阶状态下横向出现明暗线交替的现象。

[0047] 可选的,如图 2 所示为本发明实施例提供的电压下拉控制模块的电路结构示意图,具体的各电学器件的连接关系如下:

[0048] 晶体管 T7,晶体管 T7 的栅极连接帧起始信号端 STV,晶体管 T7 的源极连接第三电平端 V3;

[0049] 晶体管 T8,晶体管 T8 的栅极和源极连接第二时钟信号端 CLKB;

[0050] 晶体管 T9,晶体管 T9 的栅极连接晶体管 T1 的漏极,晶体管 T9 的源极连接晶体管 T8 的漏极,晶体管 T9 的漏极连接低电平端 VGL;

[0051] 晶体管 T10,晶体管 T10 的栅极连接晶体管 T8 的漏极,晶体管 T10 的源极连接第二时钟信号端 CLKB,晶体管 T10 的漏极连接晶体管 T7 的漏极;

[0052] 晶体管 T11,晶体管 T11 的栅极连接晶体管 T9 的栅极,晶体管 T11 的源极连接晶体管 T10 的漏极,晶体管 T11 的漏极连接低电平端 VGL。

[0053] 本发明实施例提供一种移位寄存器电路,包括串联的多个上述移位寄存器单元,除第一个移位寄存器单元和最后一个移位寄存器单元外,其余每个移位寄存器单元的输出端连接与其相邻的下一个移位寄存器单元的信号输入端,其余每个移位寄存器单元的复位端连接与其相邻的下一个移位寄存器单元的输出端,其余每个移位寄存器单元的帧起始信号端与第三电平端连接;其中,第一个移位寄存器的第三电平端连接第二电平端,第一个移位寄存器的复位端连接与其相邻的下一个移位寄存器单元的输出端,且最后一个移位寄存器单元的第三电平端连接第一电平端。

[0054] 本发明实施例提供的移位寄存器电路,能够避免帧起始信号端 STV 有帧起始信号到来时第一时钟信号 CLK 造成移位寄存器单元栅扫描电压的异常输出从而造成的显示器件在正常点亮时,在灰阶状态下横向出现明暗线交替的现象。

[0055] 进一步的,相邻的移位寄存器单元的第一时钟信号端的时钟信号具有 180 度相位差,且相邻的移位寄存器单元的第二时钟信号端的时钟信号具有 180 度相位差。

[0056] 具体的,结合如图 3 所示移位寄存器电路,包括若干个移位寄存器单元,其中移位寄存器单元 SR1 的输出端 OUTPUT1 连接移位寄存器单元 SR2 的信号输入端 INPUT2 并连接一条栅线 OG1,移位寄存器单元 SR1 的复位端 RESET1 与移位寄存器单元 SR2 的输出端 OUTPUT2 连接;移位寄存器单元 SR2 的输出端 OUTPUT2 连接移位寄存器单元 SR3 的信号输入端 INPUT3 并连接一条栅线 OG2,移位寄存器单元 SR2 的复位端 RESET2 与移位寄存器单元 SR3 的输出端 OUTPUT3 连接;其他的移位寄存器单元依照此方法链接。此外每个移位寄存器单元都有一个第一时钟信号端 CLK 和一个第二时钟信号端 CLKB 输入;其中在相邻的两个移位寄存器单元中,一个移位寄存器单元的第一时钟信号端 CLK 连接系统时钟信号 CLK1,第二时钟信号端 CLKB 连接系统时钟信号 CLK2;另一个移位寄存器单元的第一时钟信号端

CLK 连接系统时钟信号 CLK2, 第二时钟信号端 CLKB 连接系统时钟信号 CLK1 ; 这里第二时钟信号端与第一时钟信号端的时钟信号具有 180 度相位差, 并且第一时钟信号端和第二时钟信号端的时钟信号均在各自的工作周期内一半时间输出高电平, 另一半时间输出低电平。此外, 每个移位寄存器单元都有一个第一电平端 V1 和一个第二电平端 V2, 其中第一电平端 V1 连接电平 VDD/VSS, 第二电平端 V2 连接电平 VSS/VDD, 在本实施例中, 该移位寄存器电路能够实现双向扫描, 当正向扫描时, 电平 VDD/VSS 为高电平, 电平 VSS/VDD 为低电平, 此时奇数行的移位寄存器单元的第一时钟信号端高电平信号在帧起始端 STV 的高电平信号到来之后输入, 第二时钟信号端的高电平信号在第一时钟信号的高电平信号结束之后输入 ; 对于偶数行的移位寄存器单元, 第一时钟信号端输入奇数行的移位寄存器单元第二信号时钟端的时钟信号, 第二时钟信号端输入奇数行的移位寄存器第一时钟信号端的时钟信号 ; 当反向扫描时, 电平 VDD/VSS 为低电平, 电平 VSS/VDD 为高电平, 此时奇数行的移位寄存器单元的第二时钟信号端高电平信号在帧起始端 STV 的高电平信号到来之后输入, 第一时钟信号端的高电平信号在第二时钟信号的高电平信号结束之后输入 ; 对于偶数行的移位寄存器单元, 第二时钟信号端输入奇数行的移位寄存器单元第一信号时钟端的时钟信号, 第一时钟信号端输入奇数行的移位寄存器第二时钟信号端的时钟信号。此外, 每个移位寄存器单元都有一个帧起始信号端 STV 和一个第三电平端 V3, 除第一个移位寄存器单元 SR1 和最后一个移位寄存器单元 SR2n 之外, 其他每个移位寄存器单元的帧起始信号端 STV 和第三电平端 V3 都连接帧起始信号 STV, 移位寄存器单元 RS1 的帧起始信号端 STV 连接帧起始信号 STV, 第三电平端 V3 连接第二电平端 V2 ; 移位寄存器单元 SR2n 的帧起始信号端 STV 连接帧起始信号 STV, 第三电平端 V3 连接第一电平端 V1 ; 第一个移位寄存器单元为移位寄存器单元 SR1, 最后一个移位寄存器单元为移位寄存器单元 SR2n, 则在正向扫描时移位寄存器单元 SR1 的输入信号 INPUT1 为一个激活脉冲信号, 可选的如帧起始信号 STV ; 在反向扫描时, 则以移位寄存器单元 SR2n 复位端 RESET 为信号输入端输入一个激活脉冲信号, 可选的如帧起始信号 STV' ( 这时每个移位寄存器单元的信号输入端和复位端的功能转变, 即相对于正向扫描在反向扫描时每个移位寄存器的复位端变成信号输入端, 每个移位寄存器单元的信号输入端变成复位端, 此时电路的连接关系不发生改变, 只是电路功能发生了转变)。

[0057] 结合图 4、图 5、图 6、图 7, 其中图 4 提供移位寄存器电路的电路图和图 5、6 提供移位寄存器单元的时序状态图 ( 其中图 5 为正向扫描时 STV、CLK、CLKB、OUTPUT 各信号端信号的时序状态图, 图 6 为反向扫描时 STV、CLK、CLKB、OUTPUT 各信号端信号的时序状态图), 图 7 提供移位寄存器单元帧起始信号与 PD 节点和 PU 节点波形示意图, 本发明实施例提供的移位寄存器单元及移位寄存器电路实现的功能如下 :

[0058] 首先, 当前移位寄存器单元使用晶体管 T1 ~ T4 和电容 C1 实现最基本的移位寄存功能 : INPUT 信号输入端为高电平时, T1 开启对 PU 节点充电, 当第一时钟信号端 CLK 为高电平时, T3 导通输出端 OUTPUT 输出高电平, 同时电容 C1 的自举作用将 PU 的电位进一步拉高 ; 当下一个移位寄存器单元输出高电平时复位端 RESET 信号将 T2 导通拉低 PU 节点电压, 同时第二时钟信号端 CLKB 输入高电平将 T4 导通拉低输出端 OUTPUT 电压, 对 PU 节点和输出端 OUTPUT 放电 ; 为了实现双向扫描, 电路中的第一电平端 V1 和第二电平端 V2 在正向扫描和反向扫描的时候能够实现高低电平互相转换, 同时为保证正反向扫描的一致性, 我们将 T1 和 T2 的尺寸设计为相同大小。



[0059] 在正向扫描时,对于整个移位寄存器电路中除第一移位寄存器单元和最后一个移位寄存器单元以外的其他移位寄存器单元,将帧起始信号端 STV 和第三电平端 V3 同时接在系统提供的帧起始信号 STV 上,这样当帧起始信号端 STV 输入高电平时,参照图 5 和图 7 帧起始信号端 STV 输入为高电平时,T7 对 PD 节点的电位进行拉高,由于 PD 节点是 T5 和 T6 的栅极,此时 M5 和 M6 导通,T5 对 PU 节点进行放电,起到拉低电压的作用,这样就可避免此时随着 CLK 的高电平输入 C1 的耦合自举作用而抬高 PU 节点电压导致的 OUTPUT 异常输出,同时 T6 对输出端 OUTPUT 进行放电也起到拉低的作用,这样可以有效的解决 H-line 的问题。

[0060] 特殊的,为保证整个移位寄存电路能够正常的工作,在正向扫描时,将移位寄存电路中第一个移位寄存单元的第三电平端 V3(即 T7 的源极)与第二电平端 V2 连接,此时与第二电平端 V2 连接的电平 VSS/VDD 为低电平,这样在帧起始信号端 STV 有帧起始信号 STV 到来时,第一个移位寄存单元的 PD 节点仍然是低电平,使得 T5 不能对 PU 节点进行放电,这样可以保证第一行的 PU 节点的信号是正常的,使得第一个移位寄存单元可以正常的输出。此外,正向扫描时,将移位寄存电路中最后一个移位寄存单元的第三电平端 V3(即 T7 的源极)与第一电平端 V1 连接,此时与第一电平端 V1 连接的电平 VDD/VSS 为高电平,此时 T7 起到的作用和中间移位寄存单元起到的作用是相同的,在 STV 信号到来的时候,由于 T7 的源极接的是高电平,PD 点也可以被拉高,同时由于 PD 节点是 T5 和 T6 的栅极,此时 T5 和 T6 导通,T5 对 PU 节点进行放电,起到拉低电压的作用,这样就可避免此时随着 CLK 的高电平输入 C1 的耦合自举作用而抬高 PU 节点电压导致的 OUTPUT 异常输出,同时 T6 对输出端 OUTPUT 进行放电,也起到拉低的作用,这样可以有效的解决 H-line 的问题。

[0061] 同样在反向扫描时,移位寄存电路的连接结构不变,正向扫描的复位端 RESET 转换成反向扫描的信号输入端 INPUT',正向扫描的信号输入端 INPUT 转换为反向扫描的复位端 RESET',电平 VDD/VSS 由高电平转换成低电平,电平 VSS/VDD 由低电平转换成高电平,参照图 6 和图 7(由于在正向扫描和反向扫描时移位寄存单元的工作原理相同,因此 PD 节点和 PU 节点和帧起始信号的波形是不发生改变的,所以这里仍以图 7 提供的波形图作为参考)中间移位寄存单元仍然正常工作,而正向扫描的最后一个移位寄存单元变成了反向扫描的第一个移位寄存单元,帧起始信号端输入高电平时,第一个移位寄存单元的 PD 节点仍然是低电平,使得 T5 不能对 PU 点进行放电,这样可以保证第一行的 PU 点的信号是正常的,使得第一个移位寄存单元可以正常的输出;正向扫描的的第一个移位寄存单元变成反向扫描的最后一个移位寄存单元,其工作原理和正向扫描时最后一个移位寄存单元相同在此不再赘述。

[0062] 此外,本发明实施例提供了一种阵列基板,在该阵列基板上形成有移位寄存器电路;且移位寄存器电路为上述的移位寄存器电路。

[0063] 本发明实施例还提供了一种显示器件,比如可以为显示面板,包括:

[0064] 显示区域,具有用于显示图像的多个像素;移位寄存器电路,用于将扫描信号送至显示区域;以及,数据驱动电路,用于将数据信号送至显示区域。其中移位寄存器电路为上述的移位寄存器电路。另外,显示器件还可以为电子纸、手机、电视、数码相框等等显示设备。

[0065] 本领域普通技术人员可以理解:实现上述方法实施例的全部或部分步骤可以通过程序指令相关的硬件来完成,前述的程序可以存储于计算机可读取存储介质中,该程序在

执行时,执行包括上述方法实施例的步骤;而前述的存储介质包括:ROM、RAM、磁碟或者光盘等各种可以存储程序代码的介质。

[0066] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

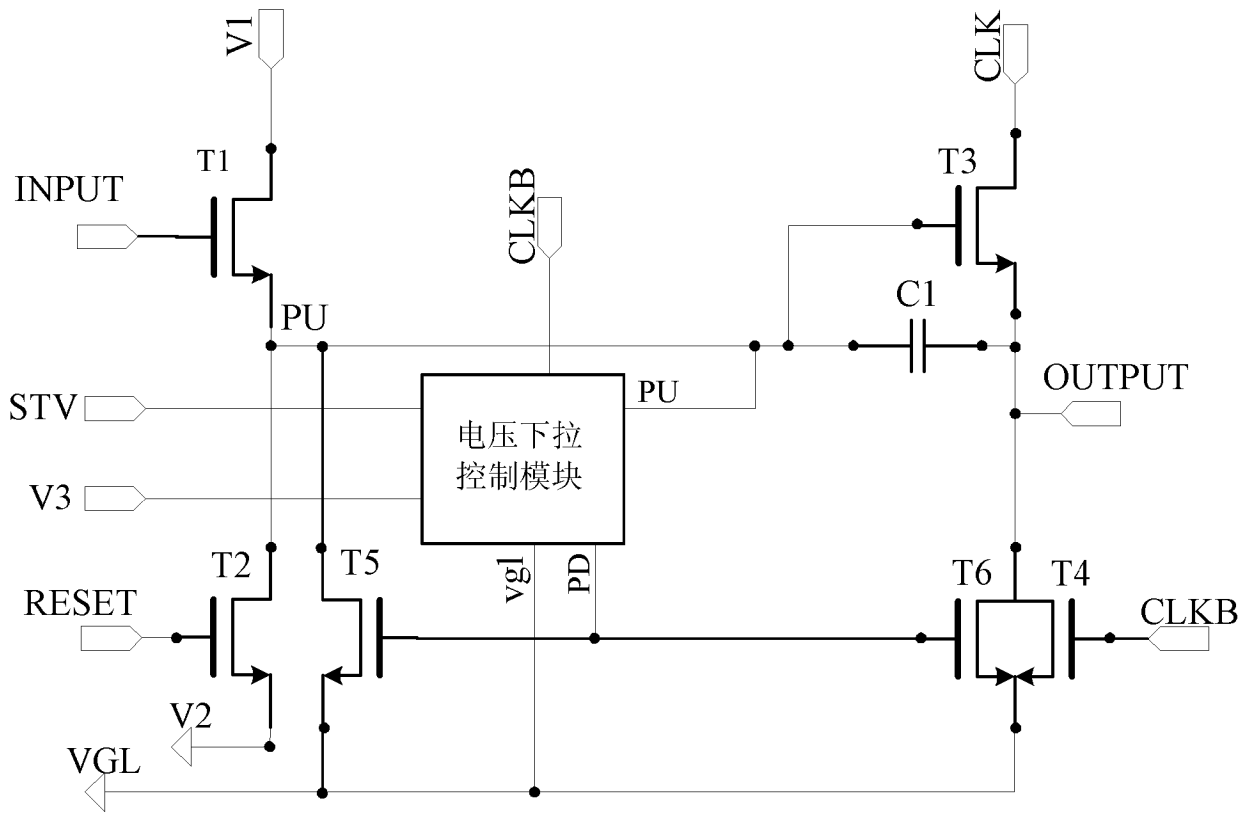


图 1

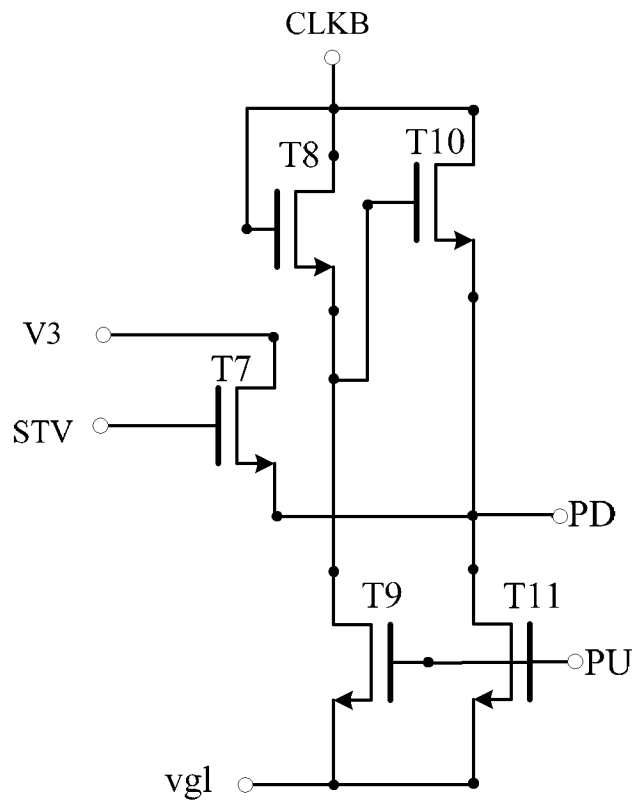


图 2

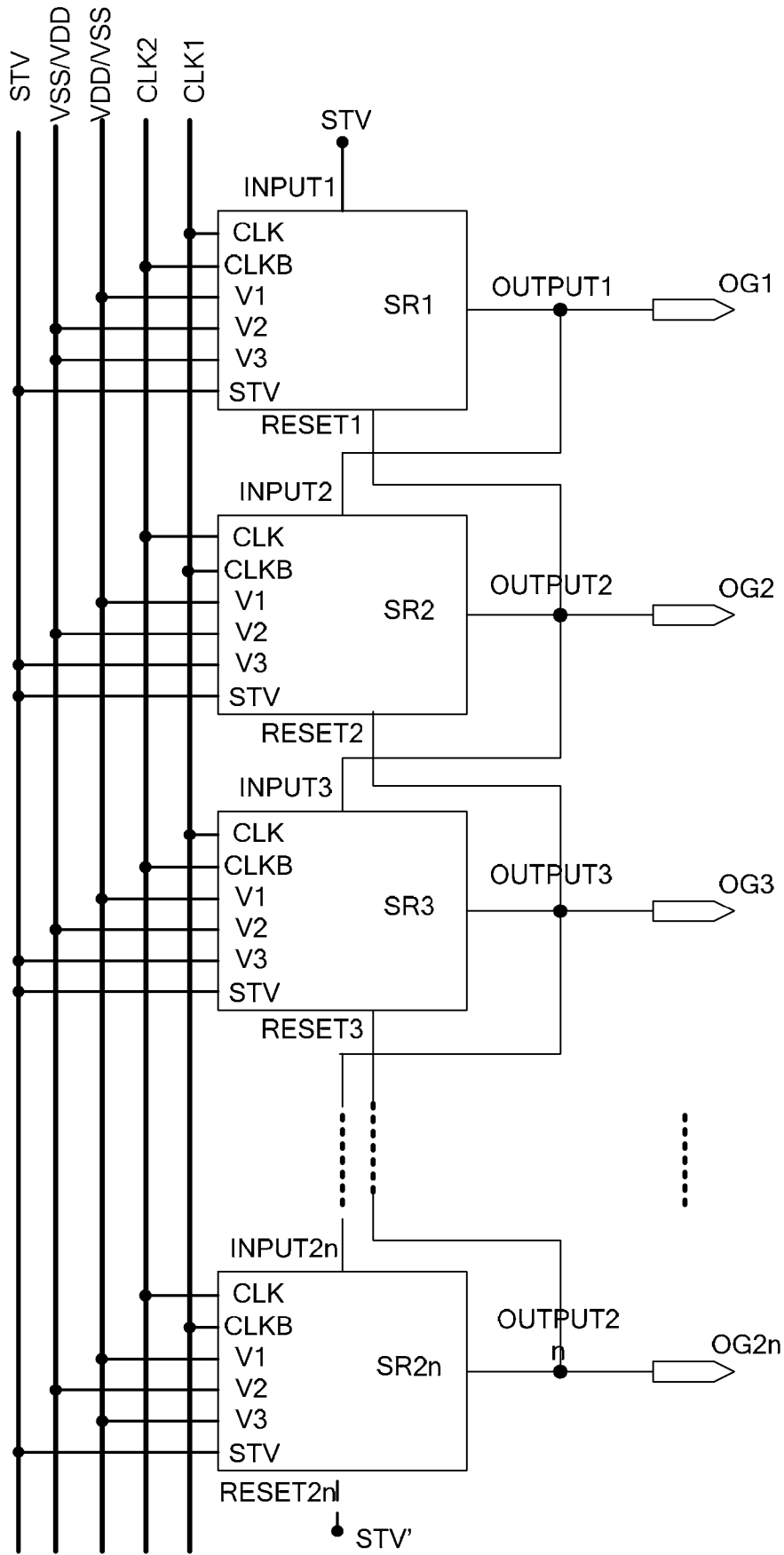


图 3

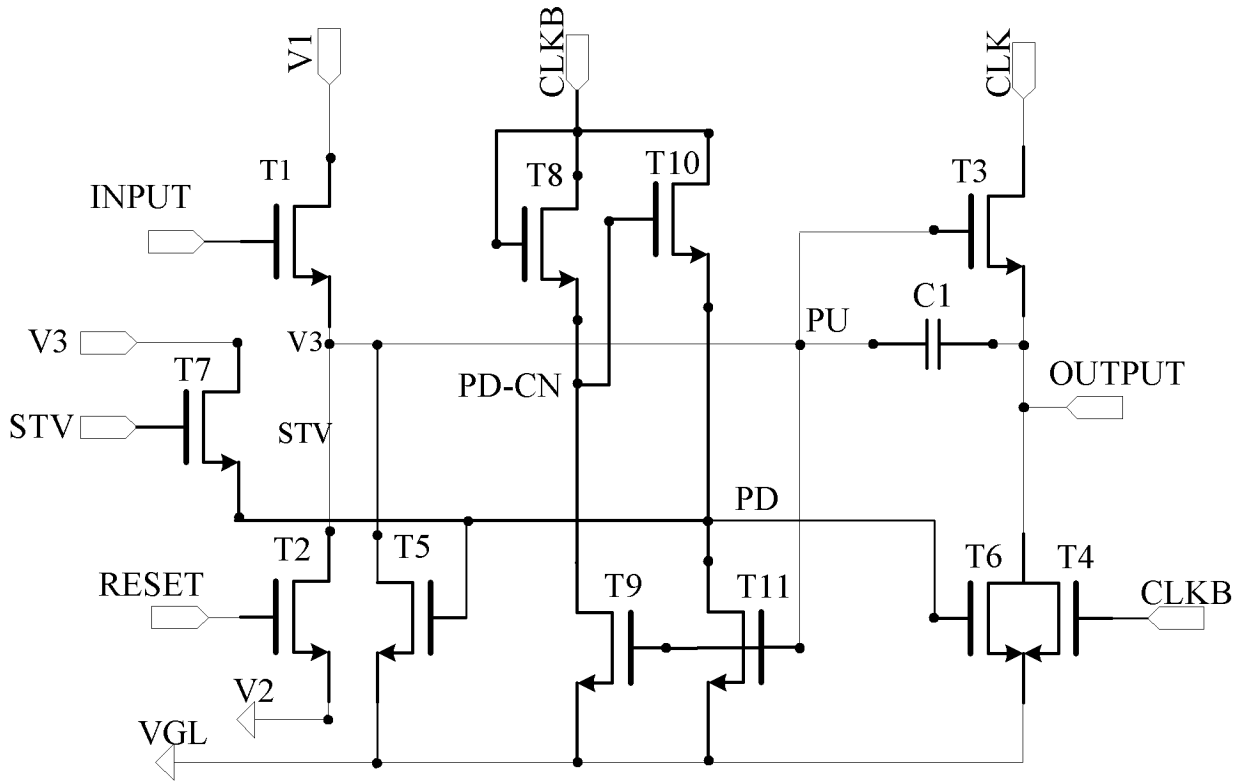


图 4

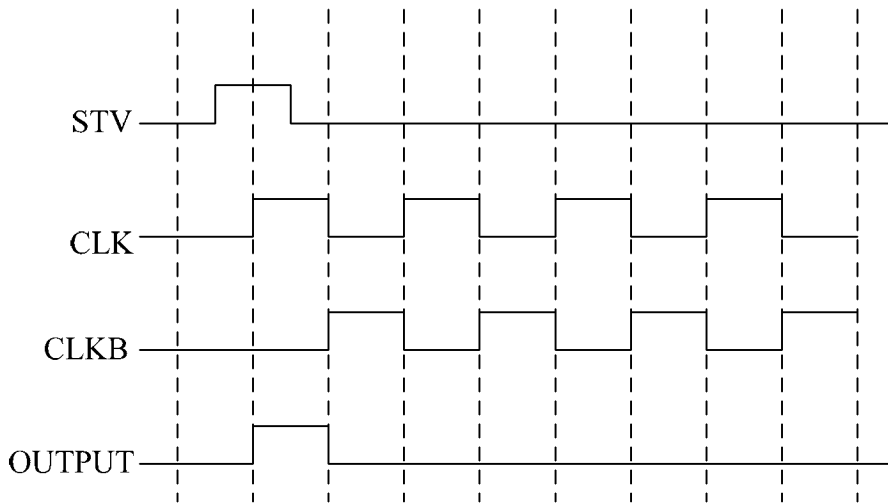


图 5

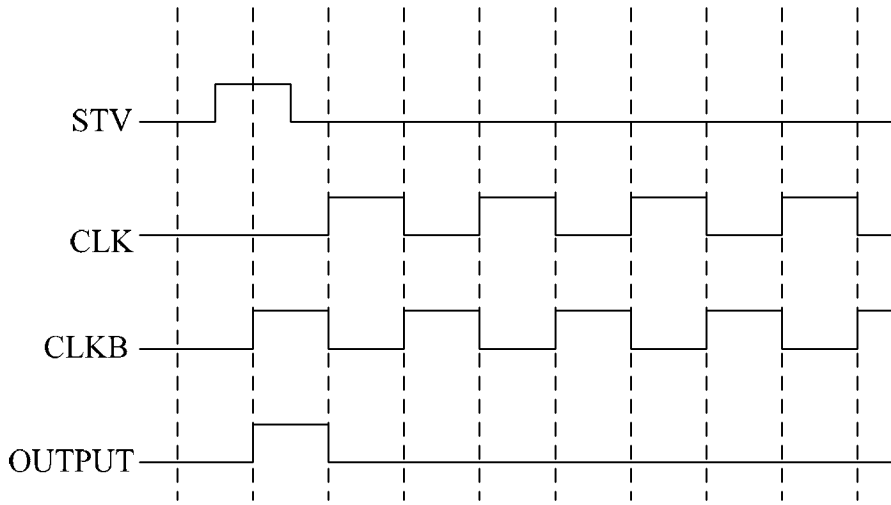


图 6

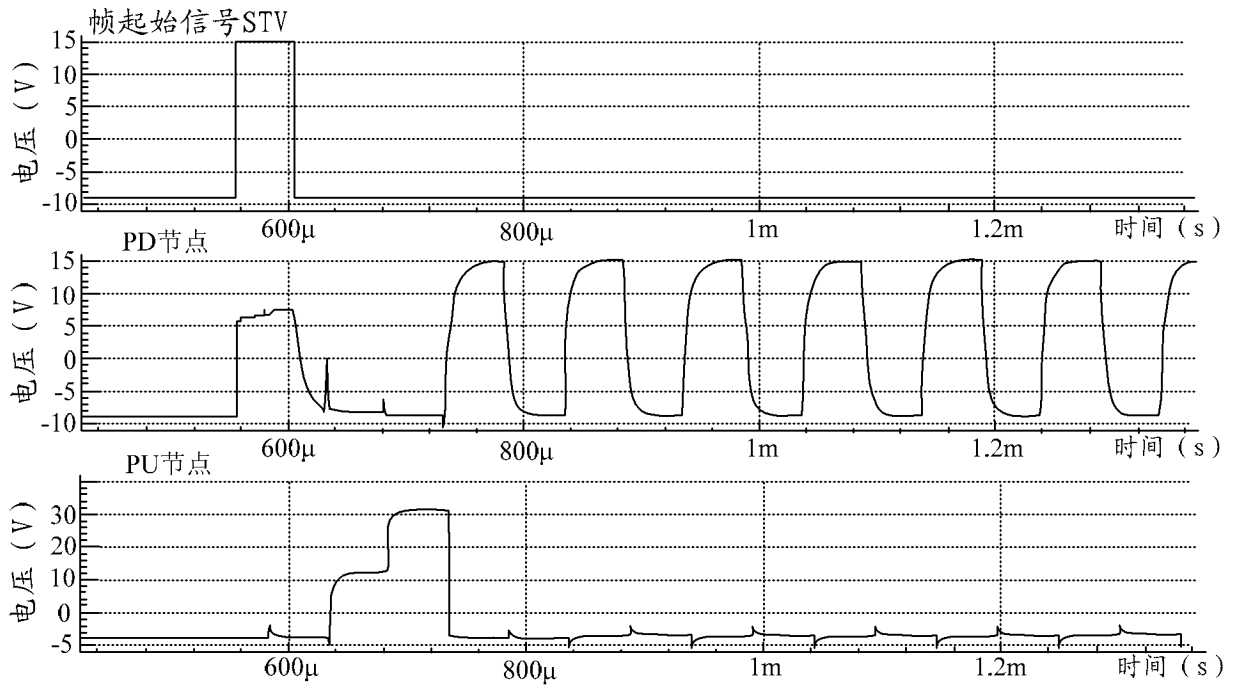


图 7