

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H01L 27/108 (102)

(45) 공고일자 1994년05월25일
(11) 공고번호 특 1994-0004606

(21) 출원번호 특 1991-0016002 (65) 공개번호 특 1993-0006927

(22) 출원일자 1991년09월13일 (43) 공개일자 1993년04월22일

(71) 출원인 금성일렉트론 주식회사 문정환
충청북도 청주시 향정동 50번지

(72) 발명자 전영권
서울특별시 송파구 가락동 199 가락프라자 APT 3-803
(74) 대리인 김용인, 심창섭

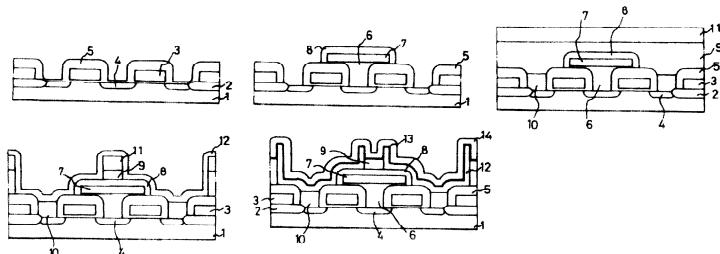
심사관 : 유환열 (책자공보 제3636호)

(54) 반도체 메모리 커패시터 제조방법

요약

내용 없음.

대표도



명세서

[발명의 명칭]

반도체 메모리 커패시터 제조방법

[도면의 간단한 설명]

제1도는 종래의 커패시터 셀 공정단면도.

제2도는 본 발명 커패시터 셀의 제1실시예 공정단면도.

제3도는 본 발명 커패시터 셀의 제2실시예 공정단면도.

* 도면의 주요부분에 대한 부호의 설명

1 : 실리콘기판	2 : 필드산화막
3 : 게이트	4 : 소오스/드레인
5, 8 : 산화막	6, 10 : 폴리실리콘
7 : 실리사이드	9 : 질화막
11, 11a, 11b : 평탄화용 산화막	12 : 폴리실리콘
13 : 유전체막	14 : 플레이트 노드

[발명의 상세한 설명]

본 발명은 반도체 메모리 소자의 커패시터 제조방법에 관한것으로 특히 제조공정을 단순화하고 커패시터 면적을 증대한 것이다.

제1도는 크라운 형의 셀 제조방법의 공정단면도로써 이를 참조하여 종래의 제조방법을 상세히 설명하면 다음과 같다.

즉, 제1a도와 같이 실리콘기판(1)에 필드산화막(2)을 형성하고 폴리실리콘을 증착한뒤 포토레지스트(PR)로 게이트를 정의하고 식각하여 게이트(3)를 형성한후 불순물 이온 주입으로 소오스/드레인(4)을 형성하고 전표면에 산화막(5)을 증착하여 셀 트랜지스터를 형성한다.

그리고 제1b도와 같이 비트라인(Bit Line)콘택을 위해 CVD 산화막(5)을 제거하고 도우핑된 폴리실리콘(6)을 증착하여 에치백(Etch Back)으로 평탄화한 다음 텅스텐 실리사이드(WSi₂) (7)와 산화막(8)을 차례로 증착하고 패터닝하여 비트라인을 형성한 뒤 산화막(8)을 증착하고 건식 식각하여 비트라인 측벽산화막을 형성한다.

이때 자기정합(Self-Align)으로 실리콘기판(1)위에 커패시터 콘택이 열리게 된다.

제1c도와 같이 폴리실리콘(10)을 커패시터 콘택 부위에 선택 성장시켜 플러그를 형성하고 질화막(9)을 도포하여 평탄화한후 산화막(11)을 형성한다.

제1d도와 같이 산화막(11)과 질화막(9)을 고 선택비로 이방성 건식 식각하여 패터닝한후 도우핑된 폴리실리콘(12)을 증착하여 커패시터 노드(Node)를 형성한다.

그리고 제1e도와 산화막을 증착하여 평탄화한후 이를 마스크로 하여 폴리실리콘(12) 윗부분을 제거하고 산화막을 습식 식각으로 제거한후 커패시터 유전체막인 탄탈륨 산화막(Ta₂O₅)을 형성하고 그 위에 텅스텐을 증착하여 커패시터의 플레이트 노드(14)를 형성한다.

그러나 이와같은 종래의 커패시터 셀 제조방법은 커패시터의 노드 높이를 올리기 위해 질화막과 산화막을 고선택비로 이방성 건식 식각하여야 하며 질화막의 평탄화를 위하여 커패시터 콘택에 선택적으로 폴리실리콘 플러그를 형성해야 하는등 공정이 복잡한 문제가 있다.

본 발명은 이와같은 문제점을 해결하기 위해 안출한 것으로 폴리실리콘 노드를 2종벽으로 형성하여 커패시터의 면적을 증대시키고 산화막만을 평탄화 하여 공정을 단순화 하는데 그 목적이 있다.

이와같은 목적을 달성하기 위한 본 발명의 제1, 제2실시예를 첨부된 제2도 내지 제3도를 참조하여 상세히 설명하면 다음과 같다.

즉, 제2도는 본 발명 제1실시예의 커패시터 셀 공정단면도로써, 제2a도와 같이 실리콘 기판(1)에 필드산화막(2)을 형성한후 폴리실리콘과 캡 게이트 산화막을 증착하고 게이트를 정의하여 포토/에치 공정으로 게이트(3)를 형성한뒤 불순물 이온 주입으로 소오스/드레인(4)을 형성하고 게이트 절연용 산화막(5)을 전표면에 증착하여 셀 트랜지스터를 형성한다.

그후 비트라인 콘택을 형성하여 콘택 부위에 폴리실리콘(6)을 증착한뒤 에치백하여 평탄화하고 그위에 고융점 금속 실리사이드(7)와 산화막(8)을 증착하고 패터닝하여 비트라인을 형성한후 산화막을 재증착하여 비트라인 측벽 산화막을 형성한다.

이때 커패시터 노드 콘택이 자기 정합으로 형성되도록 하여 도우핑된 폴리실리콘(10)을 증착하고 제1평탄화용 산화막(11)을 증착하여 비트라인 상측 부위의 제1평탄화용 산화막(11)(SOG(Spin On Glass) 또는 CVD 산화막과의 적층막)을 식각제거하고 제1평탄화용 산화막(11)을 마스크로 하여 폴리실리콘(10)을 식각 제거한다.

그리고 제2b도와 같이 스토리지 노드 두께의 두배 이상으로 질화막(9)을 증착하고 제2c도와 같이 제2평탄화용 산화막(Spin On Glass) (11a)을 형성하여 평탄화한 후에 제2d도와 같이 제2평탄화용 산화막(11a)을 마스크로 하여 질화막(9)을 이방성 건식식각으로 제거한다.

그리고 제2e도와 같이 전표면에 폴리실리콘(12)을 증착하고 제3평탄화용 산화막(11b)을 형성하여 제2f도와 같이 제3평탄화용 산화막(11b)을 에치백하여 폴리실리콘(12) 표면에 드러나도록 한뒤 제2g도와 같이 상기 폴리실리콘(12)의 표면을 평탄화용 산화막(11, 11a, 11b)을 마스크로 이방성 건식 식각하여 선택적으로 제거한후, 평탄화용 산화막(11, 11a, 11b)을 습식 식각으로 제거하여 2종벽(Wall)형태의 커패시터 스토리지 노드를 형성한다.

그리고 그위에 유전체막(13)과 플레이트 노드(14)를 형성하여 커패시터를 완성한다. 한편 본 발명의 제2실시예를 첨부된 제3도를 참조하여 설명하면 제3a도와 같이 실리콘기판(1)에 필드산화막(2)을 형성한 후 폴리실리콘과 캡 게이트산화막을 증착하고 게이트를 정의하여 포토/에치 공정으로 게이트(3)를 형성한뒤 불순물 이온 주입으로 소오스/드레인(4)을 형성하고 게이트 절연용 산화막(5)을 전표면에 증착하여 셀 트랜지스터를 형성한다.

그후 비트라인 콘택을 형성하여 콘택부위에 폴리실리콘(6)을 증착한뒤 에치백하여 평탄화하고 그위에 융점 금속 실리사이드(7)와 산화막(8)을 증착하고 패터닝하여 비트라인을 형성한후 산화막을 재증착하여 비트라인 측벽산화막을 형성한다.

이때 커패시터 노드 콘택이 자기 정합으로 형성되도록 하여 도우핑된 폴리실리콘(10)을 증착하고 제1평탄화용 산화막(11)을 증착하여 비트라인 상측 부위의 평탄화용 산화막(11)을 식각제거하고 이 평탄화용 산화막(11)을 마스크로 하여 폴리실리콘(10)을 식각 제거한다.

그리고 제3b도와 같이 전표면에 질화막(9)을 폴리실리콘 노드 두께의 두배이하로 증착하고 제3c도와 같이 제2평탄화용 산화막(11a)을 증착하여 질화막(9) 표면이 노출되게 제2평탄화용 산화막(11a)을 에치백한뒤 제3d도와 같이 평탄화용 산화막(11, 11a)을 마스크로 하여 질화막(9)을 이방성 건식 식각으로 제거한다.

그뒤, 제3e도와 같이 전표면에 폴리실리콘(12)을 증착하고 제3f도와 같이 평탄화용 산화막(11, 11a)을 마스크로 폴리실리콘을 에치백하여 선택적으로 제거한뒤 산화막(11, 11a)을 습식 식각으로 제거하

여 단일 벽 형태의 폴리실리콘 스토리지 노드를 형성한다.

그리고 그위에 유전체막(13)과 플레이트 노드(14)를 형성하여 커패시터를 완성한다. 이상에서 설명한 바와같이 본 발명은 커패시터 노드 높이를 올리기 위하여 산화막만의 평탄화를 이용하므로 공정이 단순하며, 질화막을 이용한 자기 정합 패터닝 공정에 의하여 폴리실리콘 노드를 이중벽으로 형성함으로써 노드 면적 증대요인이 큰 효과가 있다.

(57) 청구의 범위

청구항 1

실리콘기판(1)에 게이트(3)와 소오스/드레인(4) 형성으로 셀 트랜지스터를 형성하고 산화막(5)을 도포하여 비트라인 콘택트 후 폴리실리콘(6)과 고용점 금속 실리사이드(7)로 비트라인을 형성하고 산화막을 증착하는 공정과, 커패시터 스토리지 노드 콘택트 형성 후 도핑된 폴리실리콘(10)을 형성하고 그위에 제1평탄화용 산화막(11)을 두껍게 증착하여 패터닝하고 질화막(9)을 증착하는 공정과, 질화막(9)사이에 제2평탄화용 산화막(11a)을 형성하여 질화막(9)을 선택적으로 제거한뒤 폴리실리콘(12)과 제3평탄화용 산화막(11b)을 증착하고 폴리실리콘 표면까지 에치백하여 스토리지 노드를 형성하는 공정과, 상기 평탄화용 산화막(11, 11a, 11b)을 습식 식각제거하고 유전체막(13)과 플레이트노드(14)를 형성하여 제조함을 특징으로 하는 반도체 메모리 커패시터 제조방법.

청구항 2

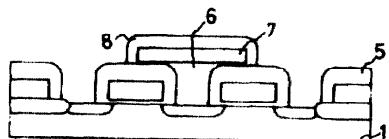
제1항에 있어서, 평탄화용 산화막을 SOG나 SOG와 CVD 산화막의 적층막으로 하고 질화막(9) 증착식 스토리지 노드 두께의 2배 이상으로 증착하여 2중벽의 스토리지 노드를 형성하거나, 스토리지 노드 두께의 2배 이하로 증착하여 단일벽의 스토리지 노드를 형성함을 특징으로 하는 반도체 메모리 커패시터 제조방법.

도면

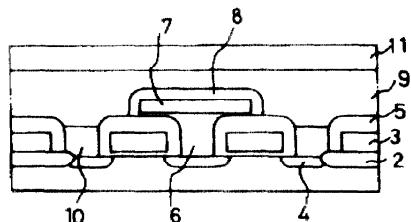
도면1-a



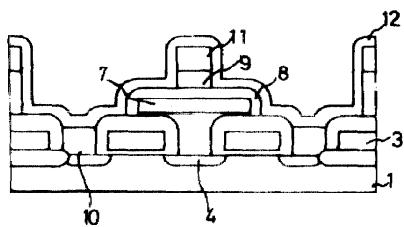
도면1-b



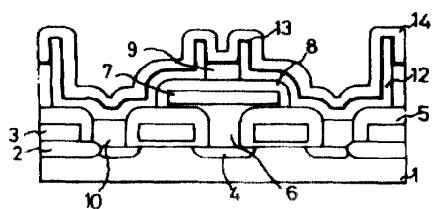
도면1-c



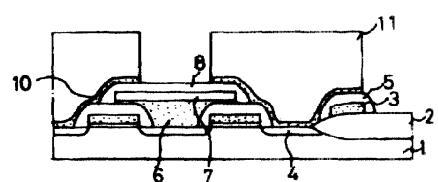
도면1-d



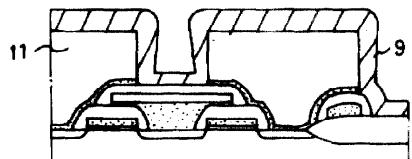
도면1-e



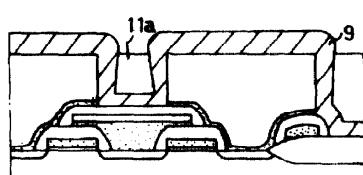
도면2-a



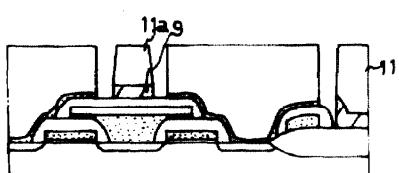
도면2-b



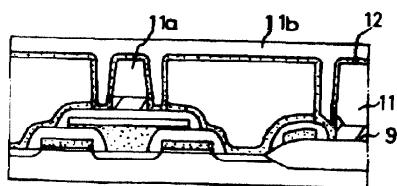
도면2-c



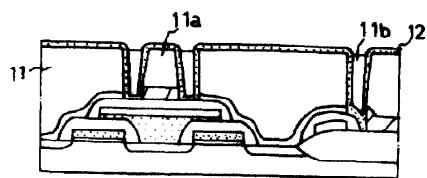
도면2-d



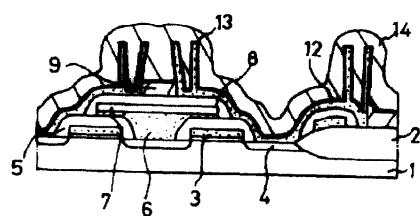
도면2-θ



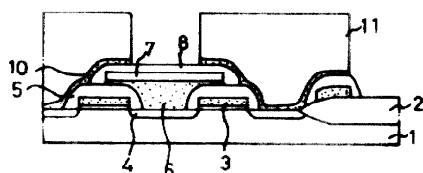
도면2-f



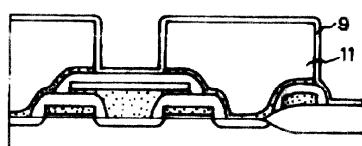
도면2-g



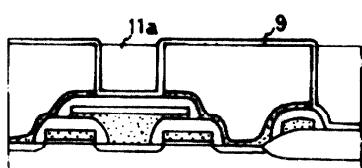
도면3-a



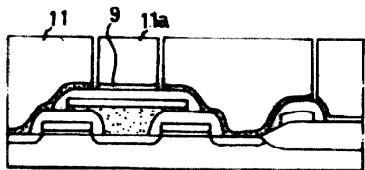
도면3-b



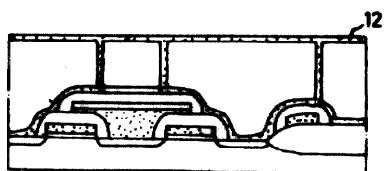
도면3-c



도면3-d



도면3-e



도면3-f

