

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H04L 7/00

H04N 5/935 H04N 5/92

G11B 20/10



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 99127755.4

[45] 授权公告日 2004 年 9 月 22 日

[11] 授权公告号 CN 1168258C

[22] 申请日 1999.11.9 [21] 申请号 99127755.4

[30] 优先权

[32] 1998.11.9 [33] JP [31] 317597/1998

[32] 1998.11.10 [33] JP [31] 319623/1998

[71] 专利权人 索尼公司

地址 日本东京都

[72] 发明人 五十崎正明 大米祥夫

审查员 石红艳

[74] 专利代理机构 北京市柳沈律师事务所

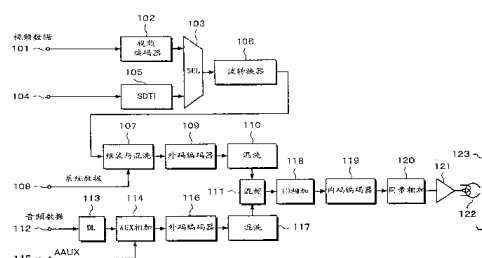
代理人 吕晓章

权利要求书 10 页 说明书 44 页 附图 37 页

[54] 发明名称 数据记录、记录与再现、再现及同步检测装置和方法，记录介质

[57] 摘要

数据记录与再现设备，以不同速率的多种格式将视频信号记录到记录介质和从中再现视频信号。所选格式视频信号变换为长度对应所选格式最佳指定的视频与音频数据分组。利用视频与音频数据分组，分别形成长度不同的视频与音频同步块。利用相应纠错码编码视频与音频同步块，所得数据作为记录数据记录到记录介质。根据视频信号的数据速率，至少将一个数据分组放置在一个视频同步块中。同步检测设备从记录介质再现的记录数据的数据序列自动与准确地检测具有不同长度的同步块。



1. 一种数据记录设备, 用于将视频数据和音频数据记录到记录介质上, 视频数据具有多种类型的数据速率, 音频数据具有多种类型的数据量作为数据编辑单元, 此设备包括:

第一纠错码编码装置, 用于将视频数据分成第一数据分组, 利用第一数据分组形成第一纠错码块, 并对每一个第一纠错码块执行纠错码编码处理;

第二纠错码编码装置, 用于将音频数据分成第二数据分组, 利用第二数据分组形成第二纠错码块, 并对每一个第二纠错码块执行纠错码编码处理;

用于将同步信号分别加到每一个第一数据分组与第二数据分组并形成第一同步块与第二同步块的装置; 和

记录装置, 用于将由第一同步块与第二同步块组成的数据记录到记录介质上,

其中每一个第一同步块的长度与每一个第二同步块的长度不同。

2. 一种数据记录设备, 用于将视频数据与音频数据记录到记录介质上, 视频数据具有多种类型的数据速率, 音频数据具有多种类型的数据量作为数据编辑单元, 此设备包括:

第一纠错码编码装置, 用于将视频数据分成第一数据分组, 利用第一数据分组形成第一纠错码块, 并对每一个第一纠错码块执行纠错码编码处理;

第二纠错码编码装置, 用于将音频数据分成第二数据分组, 利用第二数据分组形成第二纠错码块, 并对每一个第二纠错码块执行纠错码编码处理;

用于分别将同步信号加到每一个第一数据分组与第二数据分组并形成第一同步块与第二同步块的装置; 和

记录装置, 用于将由第一同步块与第二同步块组成的数据记录到记录介质上,

其中至少一个第一数据分组放置在每一个第一同步块中, 放置在每一个第一同步块中的第一数据分组的数量是整数并取决于视频数据的数据速

率。

3. 一种数据记录与再现设备，用于将视频数据与音频数据记录到记录介质上并从记录介质中再现视频数据与音频数据，视频数据具有多种类型的数据速率，音频数据具有多种类型的数据量作为数据编辑单元，此设备包括：

第一纠错码编码装置，用于将视频数据分成第一数据分组，利用第一数据分组形成第一纠错码块，并对每一个第一纠错码块执行纠错码编码处理；

10 第二纠错码编码装置，用于将音频数据分成第二数据分组，利用第二数据分组形成第二纠错码块，并对每一个第二纠错码块执行纠错码编码处理；

用于将同步信号分别加到每一个第一数据分组与第二数据分组并形成第一同步块与第二同步块的装置；

15 记录装置，用于将由第一同步块与第二同步块组成的数据记录到记录介质上；

再现装置，用于从记录介质中再现由第一同步块与第二同步块组成的数据；

同步检测装置，用于从再现数据中检测同步信号并对应所检测的同步信号将再现数据分成具有不同长度的第一同步块与第二同步块；

20 第一纠错码解码装置，用于利用纠错码解码每一个第一纠错码块的分开的第一同步块的数据并生成再现的视频数据；和

第二纠错码解码装置，用于利用纠错码解码每一个第二纠错码块的分开的第二同步块的数据并生成再现的音频数据，

其中每一个第一同步块的长度与每一个第二同步块的长度不同。

25 4. 一种数据记录与再现设备，用于将视频数据与音频数据记录到记录介质上并从记录介质中再现视频数据与音频数据，视频数据具有多种类型的数据速率，音频数据具有多种类型的数据量作为数据编辑单元，此设备包括：

30 第一纠错码编码装置，用于将视频数据分成第一数据分组，利用第一数据分组形成第一纠错码块，并对每一个第一纠错码块执行纠错码编码处理；

第二纠错码编码装置，用于将音频数据分成第二数据分组，利用第二数据分组形成第二纠错码块，并对每一个第二纠错码块执行纠错码编码处理；

- 5 用于将同步信号分别加到每一个第一数据分组与第二数据分组并形成第一同步块与第二同步块的装置；

记录装置，用于将由第一同步块与第二同步块组成的数据记录到记录介质上；

再现装置，用于从记录介质中再现由第一同步块与第二同步块组成的数据；

- 10 同步检测装置，用于从再现数据中检测同步信号并对应所检测的同步信号将再现数据分成具有不同长度的第一同步块与第二同步块；

第一纠错码解码装置，用于利用纠错码解码每一个第一纠错码块的分开的第一同步块的数据并生成再现的视频数据；和

- 15 第二纠错码解码装置，用于利用纠错码解码每一个第二纠错码块的分开的第一同步块的数据并生成再现的音频数据，

其中至少一个第一数据分组放置在每一个第一同步块中，放置在每一个第一同步块中的第一数据分组的数量是整数并取决于视频数据的数据速率。

5. 一种数据再现设备，用于从记录介质中再现视频数据与音频数据，
20 存储在记录介质中的视频数据是从多种类型的数据速率中选择的一种视频数据，存储在记录介质中的音频数据是从作为数据编辑单元的多种类型的数据量中选择的一种音频数据，视频数据分成第一数据分组，利用第一数据分组形成第一纠错码块，对每一个第一纠错码块执行纠错码编码处理，音频数据分成第二数据分组，利用第二数据分组形成第二纠错码块，对每一个第二纠错码块执行纠错码编码处理，将同步信号加到每一个第一数据分
25 组与第二数据分组并从而形成第一同步块与第二同步块，此设备包括：

再现装置，用于从记录介质中再现由第一同步块与第二同步块组成的数据；

- 30 同步检测装置，用于从再现数据中检测同步信号并对应所检测的同步信号将再现数据分成第一同步块与第二同步块；

第一纠错码解码装置，用于利用纠错码解码每一个第一纠错码块的分开

- 开的第一同步块的数据并利用解码的第一数据分组形成视频数据；和
- 第二纠错码解码装置，用于利用纠错码解码每一个第二纠错码块的分开
- 的第二同步块的数据并利用解码的第二数据分组形成音频数据。
6. 根据权利要求 1, 2, 3, 4, 或 5 所述的设备，
- 5 其中每一个第二数据分组的长度仅取决于音频数据的数据编辑单元的
- 频率。
7. 根据权利要求 1, 2, 3, 4, 或 5 所述的设备，
- 其中在由第二数据分组组成的每一个第二纠错码块的数据编辑单元中
- 编号的多个样本的安排不根据数据编辑单元的频率而变化。
- 10 8. 根据权利要求 1, 2, 3, 或 4 所述的设备，
- 其中所述第一纠错码编码装置与所述第二纠错码编码装置均在垂直方
- 向中对二维数组的数据执行外码编码处理并在水平方向中对二维数组数据
- 执行内码编码处理。
9. 根据权利要求 1, 2, 3, 4, 或 5 所述的设备，
- 15 其中通过对利用压缩编码处理生成的数据执行可变长度码编码处理来
- 生成视频数据。
10. 根据权利要求 9 的设备，
- 其中压缩编码处理是 DCT 处理与可变长度码编码处理的组合。
11. 根据权利要求 3, 4 或 5 所述的设备，
- 20 其中所述同步检测装置具有：
- 同步码型检测装置，用于从再现数据中检测同步信号的同步码型；
- 第一存储装置，用于顺序存储再现数据作为具有预定数据长度的数据
- 块并以排序数据块的顺序输出存储的数据作为具有预定数据长度的数据
- 块，所述第一存储装置具有第一数据长度；
- 25 第一比较装置，用于确定输入到所述第一存储装置的数据和从中输出
- 的数据是否和与所述同步码型检测装置的检测结果对应的同步码型匹配；
- 第二存储装置，用于输入与输入到所述第一存储装置的再现数据相同
- 的再现数据，存储此再现数据作为具有预定数据长度的数据块，并以排
- 序数据块的顺序输出所存储的数据作为具有预定数据长度的数据块，所述第
- 30 二存储装置具有第二数据长度 K，第二数据长度 K 小于第一数据长度 L；和
- 第二比较装置，用于确定输入到所述第二存储装置的数据和从中输出

的数据是否和与所述同步码型检测装置的检测结果对应的同步码型匹配，

其中当在所述第一比较装置与所述第二比较装置之一中检测到同步码型的匹配时，意味着已检测到同步码型。

12. 一种数据记录方法，用于将视频数据与音频数据记录到记录介质，
5 视频数据具有多种类型的数据速率，音频数据具有多种类型的数据量作为数据编辑单元，此方法包括以下步骤：

将视频数据分成第一数据分组，利用第一数据分组形成第一纠错码块，并对每一个第一纠错码块执行纠错码编码处理；

- 10 将音频数据分成第二数据分组，利用第二数据分组形成第二纠错码块，并对每一个第二纠错码块执行纠错码编码处理；

将同步信号分别加到每一个第一数据分组与第二数据分组并形成第一同步块与第二同步块；和

将由第一同步块与第二同步块组成的数据记录到记录介质；

其中每一个第一同步块的长度与每一个第二同步块的长度不同。

- 15 13. 一种数据记录方法，用于将视频数据与音频数据记录到记录介质，视频数据具有多种类型的数据速率，音频数据具有多种类型的数据量作为数据编辑单元，此方法包括以下步骤：

将视频数据分成第一数据分组，利用第一数据分组形成第一纠错码块，并对每一个第一纠错码块执行纠错码编码处理；

- 20 将音频数据分成第二数据分组，利用第二数据分组形成第二纠错码块，并对每一个第二纠错码块执行纠错码编码处理；

将同步信号分别加到每一个第一数据分组与第二数据分组并形成第一同步块与第二同步块；和

将由第一同步块与第二同步块组成的数据记录到记录介质；

- 25 其中至少一个第一数据分组放置在每一个第一同步块中，放置在每一个第一同步块中的第一数据分组数量是整数并取决于视频数据的数据速率。

14. 一种数据记录与再现方法，用于将视频数据与音频数据记录到记录介质并从记录介质中再现视频数据与音频数据，视频数据具有多种类型
30 的数据速率，音频数据具有多种类型的数据量作为数据编辑单元，此方法包括以下步骤：

将视频数据分成第一数据分组，利用第一数据分组形成第一纠错码块，并对每一个第一纠错码块执行纠错码编码处理；

将音频数据分成第二数据分组，利用第二数据分组形成第二纠错码块，并对每一个第二纠错码块执行纠错码编码处理；

- 5 将同步信号分别加到每一个第一数据分组与第二数据分组并形成第一同步块与第二同步块；

将由第一同步块与第二同步块组成的数据记录到记录介质；

从记录介质中再现由第一同步块与第二同步块组成的数据；

- 10 从再现数据中检测同步信号并对应所检测的同步信号将再现数据分成具有不同长度的第一同步块与第二同步块；

利用纠错码解码每一个第一纠错码块的分开的第一同步块的数据并生成再现的视频数据，

利用纠错码解码每一个第二纠错码块的分开的第二同步块的数据并生成再现的视频数据，

- 15 其中每一个第一同步块的长度与每一个第二同步块的长度不同。

15. 一种数据记录与再现方法，用于将视频数据与音频数据记录到记录介质并从记录介质中再现视频数据与音频数据，视频数据具有多种类型的数据速率，音频数据具有多种类型的数据量作为数据编辑单元，此方法包括以下步骤：

- 20 将视频数据分成第一数据分组，利用第一数据分组形成第一纠错码块，并对每一个第一纠错码块执行纠错码编码处理；

将音频数据分成第二数据分组，利用第二数据分组形成第二纠错码块，并对每一个第二纠错码块执行纠错码编码处理；

- 25 将同步信号分别加到每一个第一数据分组与第二数据分组并形成第一同步块与第二同步块；

将由第一同步块与第二同步块组成的数据记录到记录介质；

从记录介质中再现由第一同步块与第二同步块组成的数据；

从再现数据中检测同步信号并对应所检测的同步信号将再现数据分成具有不同长度的第一同步块与第二同步块；

- 30 利用纠错码解码每一个第一纠错码块的分开的第一同步块的数据并生成再现的视频数据；和

利用纠错码解码每一个第二纠错码块的分开的第二同步块的数据并生成再现的音频数据，

其中至少一个第一数据分组放置在每一个第一同步块中，放置在每一个第一同步块中的第一数据分组的数量是整数并取决于视频数据的数据速率。

16. 一种数据再现方法，用于从记录介质中再现视频数据与音频数据，存储在记录介质中的视频数据是从多种类型的数据速率中选择的一种视频数据，存储在记录介质中的音频数据是从作为数据编辑单元的多种类型的数据量中选择的一种音频数据，视频数据分成第一数据分组，利用第一数据分组形成第一纠错码块，对每一个第一纠错码块执行纠错码编码处理，音频数据分成第二数据分组，利用第二数据分组形成第二纠错码块，对每一个第二纠错码块执行纠错码编码处理，将同步信号加到每一个第一数据分组与第二数据分组并由此形成第一同步块与第二同步块，此方法包括以下步骤：

15 从记录介质中再现由第一同步块与第二同步块组成的数据；

从再现数据中检测同步信号并对应所检测的同步信号将再现数据分成第一同步块与第二同步块；

利用纠错码解码每一个第一纠错码块的分开的第一同步块的数据并利用解码的第一数据分组形成视频数据；和

20 利用纠错码解码每一个第二纠错码块的分开的第二同步块的数据并利用解码的第二数据分组形成音频数据。

17. 一种数字数据再现设备，用于从记录介质中再现数据块，这些数据块具有至少两个数据长度，这些数据块均具有用于检测同步的同步码型，此设备包括：

25 同步码型检测装置，用于从再现数据中检测同步信号的同步码型；

第一存储装置，用于顺序存储再现数据作为具有预定数据长度的数据块并以排序数据块的顺序输出存储的数据作为具有预定数据长度的数据块，所述第一存储装置具有第一数据长度；

30 第一比较装置，用于确定输入到所述第一存储装置的数据和从中输出的数据是否与对应于所述同步码型检测装置的检测结果的同步码型匹配；

第二存储装置，用于输入与输入到所述第一存储装置的再现数据相同

的再现数据，存储再现数据作为具有预定数据长度的数据块，并以排序数据块的顺序输出存储的数据作为具有预定数据长度的数据块，所述第二存储装置具有第二数据长度 K ，第二数据长度 K 小于第一数据长度 L ；

5 第二比较装置，用于确定输入到所述第二存储装置的数据和从中输出的数据是否与对应于所述同步码型检测装置的检测结果的同步码型匹配；
和

输出装置，用于输出再现数据作为具有与已检测到同步码型匹配的所述
所述第一比较装置或所述第二比较装置对应的数据长度的数据块。

18. 根据权利要求 17 所述的数字数据再现设备，
10 其中第一数据长度 L 与第二数据长度 K 具有 $L > K$ 与 $2K > L$ 的关系。

19. 根据权利要求 17 所述的数字数据再现设备，还包括：

延迟装置，用于延迟再现数据；

同步信号生成装置，用于以对应已检测到同步的数据长度的间隔输出
同步信号；和

15 输出控制装置，用于与所述同步信号生成装置生成的同步信号同步地
输出从所述延迟装置中接收的数据，

其中在所述第二比较装置检测到同步码型的匹配时，所述同步信号生
成装置将同步信号延迟对应第一数据长度与第二数据长度之间差的时间时
隔。

20 20. 根据权利要求 17 所述的数字数据再现设备，

其中对应第一数据长度与第二数据长度的识别信息存储在具有第一数
据长度与第二数据长度的数据块中，从所述输出装置中输出这些数据块，
识别信息与同步的检测结果进行比较。

21. 一种同步检测设备，用于从具有至少两个数据长度的每个数据块
25 中检测同步码型，这些数据块均具有用于检测同步的同步码型，此设备包
括：

同步码型检测装置，用于从输入数据中检测同步码型；

第一存储装置，用于顺序存储输入数据作为具有预定数据长度的数据
块并以排序数据块的顺序输出存储的数据作为具有预定数据长度的数据
30 块，所述第一存储装置具有第一数据长度；

第一比较装置，用于确定输入到所述第一存储装置的数据与从中输出

的数据是否与对应于所述同步码型检测装置的检测结果的同步码型匹配;

- 第二存储装置, 用于输入与所述第一存储装置的输入数据相同的输入数据, 存储此输入数据作为具有预定数据长度的数据块, 并以排序数据块的顺序输出存储的数据作为具有预定数据长度的数据块, 所述第二存储装置具有第二数据长度 K , 第二数据长度 K 小于第一数据长度 L ; 和

第二比较装置, 用于确定输入到所述第二存储装置的数据与从中输出的数据是否与对应于所述同步码型检测装置的检测结果的同步码型匹配,

其中在所述第一比较装置与所述第二比较装置之一中检测到同步码型的匹配时, 意味着已检测到同步码型。

22. 根据权利要求 21 所述的同步检测设备,
其中第一数据长度 L 与第二数据长度 K 具有 $L > K$ 和 $2K > L$ 的关系。

23. 根据权利要求 21 所述的同步检测设备, 还包括:

延迟装置, 用于延迟输入数据;

- 同步信号生成装置, 用于以对应已检测到其同步的数据长度的间隔输出同步信号; 和

输出控制装置, 用于与所述同步信号生成装置所生成的同步信号同步地输出从所述延迟装置中接收的数据,

- 其中在所述第二比较装置检测到同步码型的匹配时, 所述同步信号生成装置将同步信号延迟对应第一数据长度与第二数据长度之间差的时间期间。

24. 根据权利要求 21 所述的同步检测设备,

其中对应第一数据长度与第二数据长度的识别信息存储在具有第一数据长度与第二数据长度的数据块中, 此识别信息与该同步的所检测结果进行比较。

25. 一种同步检测方法, 用于检测具有至少两个数据长度的每个数据块的同步, 这些数据块均具有用于检测同步的同步码型, 此方法包括以下步骤:

- (a) 将输入数据作为具有预定数据长度的数据块顺序存储到第一存储器并以排序数据块的顺序从第一存储器中输出作为具有预定数据长度的数据块的数据, 此第一存储器具有第一数据长度;

(b) 将输入数据输入到第二存储器, 存储输入数据作为具有预定数据

长度的数据块，并以排序数据块的顺序输出存储的数据作为具有预定数据长度的数据，此输入数据与第一存储器的输入数据相同，第二存储器具有第二数据长度 K ，第二数据长度 K 小于第一数据长度 L ；

(c) 从输入数据中检测同步码型；

5 (d) 确定输入到第一存储器的数据和从中输出的数据是否与对应于步骤(c)的检测结果的同步码型匹配；和

(e) 确定输入到第二存储器的数据和从中输出的数据是否与对应于步骤(c)的检测结果对应的同步码型匹配，

其中在步骤(d)与步骤(e)之一上检测到同步码型的匹配时，意味着检测
10 测到同步。

数据记录、记录与再现、再现及同步
检测装置和方法，记录介质

5

技术领域

本发明涉及用于记录和/或再现数字视频信号和数字音频信号的数据记录装置，数据记录方法，数据记录与再现装置，数据记录与再现方法，数据再现装置，数据再现方法，数据记录介质，数字数据再现装置，数字数据再现方法，同步检测装置和同步检测方法。

10

背景技术

把数字视频信号和数字音频信号记录到记录介质和从其再现数字视频信号和数字音频信号的数据记录与再现装置是已知的。该装置的一个典型例子是数字 VTR (磁带录像机)。在数字视频信号记录装置的记录处理部分中，数字视频数据和数字音频数据放置在具有固定长度的分组中。ID 信息加到每个分组。用纠错码对分组的数据编码。同步码型和 ID 信息加到分组化数据、纠错码的奇偶校验等，以形成同步块。按与每种数据类型对应的扇区对多个同步块分组。由旋转磁头把每个扇区作为串行数据记录在磁带上。同一扇区中每个同步块的长度相同。向同步块顺序分配唯一的 ID 号。ID 信息具有相同值。乘积码用作纠错码，换句话说，在垂直方向用外码和在水平方向用内码对数据码元的二维阵列编码。因此，每个码元被双重编码。乘积码的一个最小数据编码/解码单元被称为 ECC 块。

15

20

在再现侧，利用同步信号检测每个同步块的开始位置。对应于 ID 号和 ID 信息重排每个同步块中的分组。由于在每个同步块的开始位置加入唯一的同步码型，使用同步码型的比特序列，可检测在同一扇区中的码型出现间隔，连续的 ID 号，和相同的 ID 信息，同步块的相位。换句话说，当满足同步码型的比特序列与固定码型匹配、在延迟块长度的位置上检测到相同码型和该块 ID 正确的条件时，检测同步块的相位。在该常规数字 VTR 的格式中，为便于进行同步检测处理，每个同步块的长度是固定的(为一种类型)，而与数据类型无关。

25

30

为记录和再现视频数据,进行压缩编码处理。当对应于 MPEG (运动图像专家组) 标准压缩视频数据,用可变长度代码对利用 DCT (离散余弦变换) 处理产生的系数数据编码。当每个磁道或每隔预定量的磁道记录的数据量固定时,在预定时间周期中产生的可变长度码的数据量被限定为预定值。在
5 与预定时间周期对应的多个同步块的数据区域中组装可变长度码编码的数据 (即可变长度数据)。

与数字视频信号的数据量相比,数字音频信号的数据量不太大。由于 MPEG 音频信号的数据存取单元与视频帧不匹配和由于切换视频信号和音频信号,为防止在压缩处理中恶化音频质量和防止复杂的处理,记录和/或再
10 现未压缩的音频数据 (线性 PCM)。

在美国,数字电视广播格式有 18 种之多。在该环境下,需要可以以多种格式记录和再现视频数据的数字 VTR。如同常规数字 VTR 的情况,当每个同步块的长度固定到一种类型而与数据类型无关时,虽然容易检测到同步,很难以各种格式记录数据。下面对此进行说明。

下面描述常规数字 VTR 的例子。VTR 以图 1A 所示的磁带格式在磁带上记录视频数据和音频数据。如图 1A 所示,每帧记录六个磁道的数据。一段由具有不同方位的两个磁道组成。换句话说,六个磁道由三段组成。将组成一段的一对磁道分配与该方位对应的磁道号 [0] 和 [1]。在每个磁道的两边形成视频扇区。视频数据记录在视频扇区上。音频扇区形成在两个视频扇
15 区之间。音频数据记录在音频扇区。

在图 1A 所示的磁道格式中,可处理四通道的音频数据。参考图 1A, A1 至 A4 分别表示音频数据的通道 1 至 4 的扇区。在上侧和下侧的扇区上混洗 (交织) 和记录视频数据。在下侧的每个视频扇区的预定位置形成系统区 (sys)。在图 1A 中, SAT 1 (Tr) 和 SAT 2 (Tm) 是其中记录伺服锁定信号的区域。另外,在各个记录区之间形成具有预定尺寸的间隙 (Vg1, Sg1, Ag, Sg2, Sg3, 和 Vg2)。
25

如图 1B 所示,磁带上记录的数据由相等划分的多个块组成 (这些块被称为同步块)。图 1C 示出一个同步块的轮廓结构。一个同步块由一个 ID (识别当前的同步块)、一个 DID (表示后面数据的内容)、一个数据分组、和一个
30 纠错内码奇偶校验组成。以同步块的形式记录和再现数据 (最小的数据记录/再现单元是一个同步块)。例如,一个视频扇区由排列的许多同步块组

成。

一个同步块由一个同步信号、一个 ID、一个数据分组和一个内码奇偶校验组成。现在，一个同步块表示为：

同步块：同步码型 + 同步 id + 数据分组 + 内码奇偶校验位。

- 5 设计条件：视频数据的一个数据分组的长度与音频数据的一个数据分组的长度相同。

接下来，作为视频数据记录处理的实例，考虑下面的视频数据和条件。

视频数据 (4: 2: 2)

设计条件：数据压缩比=2 或更大 (数据压缩处理后的数据量是数据压缩

- 10 处理前的数据量的 1/2 或更小)。

把 10 个 DCT 块组装成两个同步块。

每场 6 个磁道。

- [525 行/60 场] 格式的视频信号 -

每场的视频数据量：

- 15 $512 \times 720 \times (8 + 4 + 4) \text{ 比特} / 8 / 2 = 368640 \text{ 字节}$

每场 DCT 块的数量：

$$512 \times 720 / 8 / 8 = 5760$$

10 块/2 同步 → 1152 同步块

数据分组的长度 $> 368640 \times (1/2) / 1152 = 160$... (1)

- 20 - [625 行/60 场] 格式的视频信号 -

每场的视频数据量：

$$608 \times 720 \times (8 + 4 + 4) \text{ 比特} / 8 / 2 = 437760 \text{ 字节}$$

每场 DCT 块的数量：

$$608 \times 720 / 8 / 8 = 6840$$

- 25 10 块/2 同步 → 1368 同步块

数据分组的长度 $> 437760 \times (1/2) / 1368 = 160$... (2)

音频数据记录处理的实例如下：

- 音频数据 (24 比特, 48kHz 取样) -

设计条件：未压缩

- 30 AUX 数据：每场 6 字节

[525/60] 格式中每场的取样数量：

$48\text{k}/59.94\text{Hz} \times 24 \text{ 比特}/8 = 2402.4 \text{ 字节}$

(5 场序列)

12 字节的 AUX 数据→2415 字节(总数据量)

[625/50] 格式中每场的取样数量:

5 $48\text{k}/50\text{Hz} \times 24 \text{ 比特}/8 = 2880 \text{ 字节}$

12 字节的 AUX 数据-2892 字节(总数据量)

为确定音频数据的最佳同步块长度, 获得数据分组长度(162 和 163)与同步块数量的乘积如下。

	15	16	17	18
10	161: 2415	2576	2737	2898
	162: 2430	2592	2754	2916

现在, 定义视频压缩率是已压缩的视频数据的数据量与原始视频数据的数据量之比。选择数据分组长度以使视频压缩率变为 2 或更大。超出记录区的音频数据的数据分组长度在[525]格式和[625]格式二者中是 161。然而, 由于每个音频取样由 24 比特(3 字节)组成, 数据分组长度应是 3 的倍数。因此, 数据分组长度应是 162。因此, 在数字 VTR 格式中, 定义数据量如下:

[525/60] 格式的视频数据: $162 \times 1152 = 186624 \text{ 字节}$
 音频数据: $162 \times 15 = 2430 \text{ 字节}$
 20 [625/50] 格式的视频数据: $162 \times 1368 = 221616 \text{ 字节}$
 音频数据: $162 \times 18 = 2916 \text{ 字节}$

把纠错外码奇偶校验数据加到每个视频数据和音频数据。加到视频数据的外码奇偶校验的数量是其 10%。加到音频数据的外码奇偶校验的数量是其 100%。(换句话说, 音频码元的数量与奇偶校验的数量相同)。由于电
 25 路规模主要取决于奇偶校验的数量。奇偶校验的最大数量限定为 14。另外, 每场的磁道数是 6。因此, 数据块数量与外码奇偶校验数量之和应被 6 除。在视频数据的情况下, 一个磁道上形成两个 ECC 块。

- [525/60] 格式的视频数据 -
 $1152 = (96 \times 2) \times 6 \rightarrow \text{外码奇偶校验的数量} = 10$
 30 每个磁道 2 个 ECC 块
 每个磁道数据块的数量 + 外码奇偶校验的数量 = $(96 + 10) \times 2 = 212$

- [625/60] 格式的视频数据 -

$$1368 = (114 \times 2) \times 6 - \text{外码奇偶校验的数量} = 12$$

每个磁道 2 个 ECC 块

$$\text{每个磁道数据块的数量} + \text{外码奇偶校验的数量} = (114 + 10) \times 2 = 248$$

5 在音频数据的情况下，一场中形成一个 ECC 块。

- [525/60] 格式的音频数据 -

$$15 = (5 \times 3) \times 6 \rightarrow \text{外码奇偶校验的数量} = 5$$

每场 3 个 ECC 块

$$\text{每个磁道数据块的数量} + \text{外码奇偶校验的数量} = (15 + 5) / 6 = 5$$

10 每个通道不需要记录区中的字节数 = 21 字节/场

- [625/50] 格式的音频数据 -

$$18 = (9 \times 2) \rightarrow \text{外码奇偶校验的数量} = 9$$

每场 2 个 ECC 块

$$\text{每个磁道数据块的数量} + \text{外码奇偶校验的数量} = (18 + 18) / 6 = 6$$

15 每个通道不需要记录区中的字节数 = 30 字节/场

把 ID (2 字节)、块同步信号 (同步码型) (2 字节) 和内码奇偶校验 (14 字节) 加到每个数据分组，并由此形成同步块 (各 180 字节) 作为记录数据。因此，视频数据和音频数据作为同步块记录在磁带上。解码器利用同步信号检测每个同步块的开始，用内码校正其差错，用 ID 中记录的视频/音频数据识别标记把每个同步块分成视频同步块或音频同步块，用外码校正每个视频同步块和音频同步块的差错，并把视频同步块和音频同步块解码成视频数据和音频数据。

构成视频数据的每个同步块和音频数据的每个同步块，以使前者的长度与后者的长度相同。因此，可容易地检测每个同步块的开始。图 2A 和 2B 示出常规数字 VTR 的 ECC 块的结构。图 2C 示出一个同步块的结构。图 2A 示出一个视频 ECC 块的结构。图 2B 示出一个音频 ECC 块的结构。如图 2C 所示，每个视频同步块的长度是 180 字节。每个音频同步块的长度是 180 字节。因此，每个视频同步块的长度与每个音频同步块的长度相同。在 [625/50] 格式和 [525/60] 格式中，以每帧的块数是 12、磁头数量是 4 和每帧的磁道数是 6 这样的条件构成一个视频 ECC 块 (图 2A)。在 [625/50] 格式中，以每帧的块数是 1、磁头数量是 4 和每帧的磁道数是 6 这样的条件构成

一个音频 ECC 块(图 2B)。在[525/60]格式中,以每帧的块数是 1、磁头数量是 4 和每帧的磁道数是 6 这样的条件构成一个音频 ECC 块。

图 3 和 4 示出音频 ECC 块和音频取样之间的关系。图 3 示出在场频为 50Hz 的情况下取样的排列。图 4 示出在场频为 59.94Hz 的情况下取样的排列。在图 3 和 4 中,音频取样号从当前场的始端开始。AUX 是表示音频数据内容的系统数据。[525/60]格式(图 3)中取样的排列和一个 ECC 块的结构与 [625/50]格式(图 4)中那些不同。因此,音频编码器和音频解码器各需要一个根据所选模式来改变处理的电路。

下面考虑多速率格式。在常规 VTR 格式的视频速率降低 3 的格式中,在公式(1)和(2)中,当用 $1/3$ 取代 $1/2$ 时,每个数据分组的长度变为 107。另一方面,当每个音频数据分组的长度与每个视频数据分组的长度相同时,由于每个视频数据分组的长度应是音频取样数(3 字节)的倍数,每个视频数据分组的长度变为 108。

在[525/60]格式中,每场的音频数据的数据量是 2415 字节,而在 [625/50]格式中是 2892 字节。因此,在[525/60]格式中,每场音频数据的数据量变成 $108 \times 3 = 2484$ 字节。在[625/50]格式中,每场音频数据的数据量变为 $108 \times 27 = 2916$ 字节。

数据分组长度(108 字节)和同步块数量(其乘积表示总数据量)的组合例如是:

20		22	23	24	25	26	27	28
	108:	2376	2484	2592	2700	2808	2916	3024

下面考虑每个 ECC 块的结构。在视频数据的情况下,每个磁道形成两个 ECC 块

- [525/60]格式的视频数据 -

25 $1152 = (96 \times 3) \times 4 \rightarrow$ 外码奇偶校验的数量=10

每个磁道 3 个 ECC 块

每个磁道数据块的数量 + 外码奇偶校验的数量 = $(96 + 10) \times 3 = 318$

- [625/50]格式的视频数据 -

$1368 = (114 \times 3) \times 4 \rightarrow$ 外码奇偶校验的数量=12

30 每个磁道 3 个 ECC 块

每个磁道数据块的数量 + 外码奇偶校验的数量 = $(114 + 12) \times 3 = 378$

在音频数据的情况下，假设在一场中形成一个 ECC 块。这种情况下，每场的磁道数是 4。

- [525/60] 格式的音频数据 -

$23 = 23 \times 1 \rightarrow$ 外码奇偶校验的数量 = 23

5 每场 1 个 ECC 块

每个磁道数据块的数量 + 外码奇偶校验的数量 = $(23 + 23) / 4 = 11.5$

- [625/50] 格式的音频数据 -

$27 = (9 \times 3) \rightarrow$ 外码奇偶校验的数量 = 9

每场 3 个 ECC 块

10 每个磁道数据块的数量 + 外码奇偶校验的数量 = $(27 + 27) / 4 = 13.5$

这种情况下，在 NTSC 系统中，外码奇偶校验的数量太大。此外，在这两种情况下，每个磁道的块数不是整数。换句话说，不能形成 ECC 块。因此，在 [525/60] 格式中，选择 $108 \times 24 = 2592$ 字节；而在 [625/50] 格式中，选择 $108 \times 28 = 3024$ 字节。

15 - [525/60] 格式的音频数据 -

$24 = (8 \times 3) \rightarrow$ 外码奇偶校验的数量 = 8

每场 3 个 ECC 块

每个磁道数据块的数量 + 外码奇偶校验的数量 = $(24 + 24) / 4 = 12$

每个 CH(通道) 不需要的记录区的字节数 = 183 字节/场

20 - [625/50] 格式的音频数据 -

$28 = (7 \times 4) \rightarrow$ 外码奇偶校验的数量 = 7

每场 4 个 ECC 块

每个磁道数据块的数量 + 外码奇偶校验的数量 = $(28 + 28) / 4 = 14$

每个 CH(通道) 不需要的记录区中的字节数量 = 136 字节/场

25 在该实例中，在 [525/60] 格式中，出现每场 138 字节 $\times$ 4ch 的损失记录区(相当于 0.35Mbps)。因此，记录效率降低。损失的区域与音频通道数量成正比。

图 5A 示出其视频速率从 1/2 变到 1/3 的视频 ECC 块的结构。图 5B 示出其音频速率从 1/2 变到 1/3 的音频 ECC 块的结构。图 5C 示出在一个视频同步块的长度与一个音频同步块的长度相同的情况下同步块的结构。在 [625/50] 格式和 [525/60] 格式中，以每场的块数是 18、磁头数量是 4 和每

场的磁道数是 4 这样的条件构成一个视频 ECC 块(见图 5A)。在[625/50]格式中,以每场的块数是 4、磁头数量是 4 和每场的磁道数是 4 这样的条件构成一个音频 ECC 块(见图 5B)。在[525/60]格式中,以每场的块数是 3、磁头数量是 4 和每场的磁道数是 4 这样的条件构成一个音频 ECC 块。

5 图 6 示出音频 ECC 块与音频取样之间的关系。图 6 示出以 50Hz 的场频取样的排列。图 6 中所示的取样排列与图 3 和 4 中所示的原始样取的排列有很大区别。多速率型 VTR 还应记录和再现原始格式数据,它应处理所有不同排列的数据。因此,多速率型 VTR 需要与各种视频数据速率和各种帧频的所有格式对应的信号处理电路。因此,多速率型 VTR 的电路规模变大(由于 IC 成本增加)。

实际上,如图 7 所示,考虑 14 种格式作为视频数据速率(25Mbps 至 600Mbps),视频扫描模式(隔行和逐行),和帧频(59.94Hz, 50Hz, 29.97Hz, 25Hz, 和 23.976Hz)的组合。在图 7 中,NTSC 图像帧由 720×480 组成, PAL 图像帧由 720×576 组成。分别用 i 和 p 表示隔行模式和作为视频扫描模式的逐行模式。

需要定义图 7 所示所有格式的同步块的长度。每个同步块的长度与帧频、视频数据的数据量、音频数据的数据量等密切相关。因此,当每个视频同步块的长度与每个音频同步块的长度相同时,很难选择最佳的并在所有格式中公用的长度(数据分组长度)。另外,由于音频数据的结构主要受 20 视频速率的影响,应设置与所有视频速率对应的电路。如果由多速率型编码器和解码器进行的处理在各个格式中不同,电路规模变大。因此,IC 成本增加。

在常规数字 VTR 中,在一个同步块中放置一个可变长度数据的分组。因此,在多速率格式中,分组速率与比特率成正比。然而,由于加入到每个同步块的同步码型、ID 等具有固定长度,这些数据尺寸在一个同步块的整个尺寸中变大。换句话说,数据的冗余度变高。

另外,由于常规 VTR 再现系统的同步检测电路仅有一个同步码型检测部分,如果输入数据具有不同长度的多种类型的同步块,该电路不能正确地检测同步码型。

30

发明内容

因此，本发明的一个目的是提供允许在每个视频同步块的长度与每个音频同步块的长度不同的结构中以多种格式记录和再现视频数据和音频数据的数据记录装置，数据记录方法，数据记录与再现装置，数据记录与再现方法和数据记录介质。

- 5 本发明的另一个目的是提供允许记录和再现具有不同数据速率的多种类型的数据而不增加数据冗余度的数据记录装置，数据记录方法，数据记录与再现装置，数据记录与再现方法和数据记录介质。

- 本发明的再一个目的是提供允许从再现的数据序列自动检测带有不同长度的多种类型的同步块的同步检测装置，同步检测方法，数字数据再现
10 装置和数字数据再现方法。

- 本发明的第一方面是用于把视频数据和音频数据记录到记录介质的数据记录装置，视频数据具有多种类型的数据速率，音频数据具有多种类型的数据量作为数据编辑单元，该装置包括：第一纠错码编码装置，用于把视频数据分成第一数据分组，利用第一数据分组形成第一纠错码块，和对
15 每个第一纠错码块进行纠错码编码处理；第二纠错码编码装置，用于把音频数据分成第二数据分组，利用第二数据分组形成第二纠错码块，和对每个第二纠错码块进行纠错码编码处理；和用于把同步信号加到每个第一数据分组和第二数据分组并分别形成第一同步块和第二同步块的装置；和记录装置，用于把由第一同步块和第二同步块组成的数据记录到记录介质上，
20 其中每个第一同步块的长度与每个第二同步块的长度不同。

- 本发明的第二方面是用于把视频数据和音频数据记录到记录介质的数据记录装置，视频数据具有多种类型的数据速率，音频数据具有多种类型的数据量作为数据编辑单元，该装置包括：第一纠错码编码装置，用于把视频数据分成第一数据分组，利用第一数据分组形成第一纠错码块，并对
25 每个第一纠错码块进行纠错码编码处理；第二纠错码编码装置，用于把音频数据分成第二数据分组，利用第二数据分组形成第二纠错码块，并对每个第二纠错码块进行纠错码编码处理；和用于把同步信号加到每个第一数据分组和第二数据分组并分别形成第一同步块和第二同步块的装置；和记录装置，用于把由第一同步块和第二同步块组成的数据记录到记录介质上，
30 其中至少一个第一数据分组放置在每个第一同步块中，放置在每个第一同步块中的第一数据分组的数量是整数并取决于视频数据的数据速率。

本发明的第三方面是用于把视频数据和音频数据记录到记录介质和从记录介质再现视频数据和音频数据的数据记录与再现装置，视频数据具有多种类型的数据速率，音频数据具有多种类型的数据量作为数据编辑单元，该装置包括：第一纠错码编码装置，用于把视频数据分成第一数据分组，

5 利用第一数据分组形成第一纠错码块，并对每个第一纠错码块进行纠错码编码处理；第二纠错码编码装置，用于把音频数据分成第二数据分组，利用第二数据分组形成第二纠错码块，并对每个第二纠错码块进行纠错码编码处理；把同步信号加到每个第一数据分组和第二数据分组并分别形成第一同步块和第二同步块的装置；记录装置，用于把由第一同步块和第二同步块组成的数据记录到记录介质；再现装置，用于从记录介质再现由第一同步块和第二同步块组成的数据；同步检测装置，用于从再现的数据检测同步信号并对应于所检测的同步信号把再现的数据分成具有不同长度的第一同步块和第二同步块；第一纠错码解码装置，用于利用纠错码对每个第一纠错码块的分开的第一同步块的数据解码并产生再现的视频数据；和

10 第二纠错码解码装置，用于利用纠错码对每个第二纠错码块的分开的第二同步块的数据解码并产生再现的音频数据，其中每个第一同步块的长度与每个第二同步块的长度不同。

本发明的第四方面是用于把视频数据和音频数据记录到记录介质和从记录介质再现视频数据和音频数据的数据记录与再现装置，视频数据具有多种类型的数据速率，音频数据具有多种类型的数据量作为数据编辑单元，该装置包括：第一纠错码编码装置，用于把视频数据分成第一数据分组，

20 利用第一数据分组形成第一纠错码块，并对每个第一纠错码块进行纠错码编码处理；第二纠错码编码装置，用于把音频数据分成第二数据分组，利用第二数据分组形成第二纠错码块，并对每个第二纠错码块进行纠错码编码处理；用于把同步信号加到每个第一数据分组和第二数据分组并分别形成第一同步块和第二同步块的装置；记录装置，用于把由第一同步块和第二同步块组成的数据记录到记录介质；再现装置，用于从记录介质再现由第一同步块和第二同步块组成的数据；同步检测装置，用于从再现的数据检测同步信号并对应于检测的同步信号把再现的数据分成具有不同长度的

25 第一同步块和第二同步块；第一纠错码解码装置，用于利用纠错码对每个第一纠错码块的分开的第一同步块的数据解码并产生再现的视频数据；和

30

第二纠错码解码装置，用于利用纠错码对每个第二纠错码块的分开的第二同步块的数据解码并产生再现的音频数据，其中至少一个第一数据分组放置在每个第一同步块中，放置在每个第一同步块中的第一数据分组的数量是整数并取决于视频数据的数据速率。

- 5 本发明的第五方面是用于从记录介质再现视频数据和音频数据的数据再现装置，记录介质中存储的视频数据是从多种类型的数据速率中选择的视频数据，记录介质中存储的音频数据是从作为数据编辑单元的多种类型的数据量中选择的一种音频数据，视频数据分成第一数据分组，利用第一数据分组形成第一纠错码块，对每个第一纠错码块进行纠错码编码处理；
- 10 音频数据分成第二数据分组，利用第二数据分组形成第二纠错码块，对每个第二纠错码块进行纠错码编码处理；把同步信号加到每个第一数据分组和第二数据分组，并由此形成第一同步块和第二同步块；该装置包括：再现装置，用于从记录介质再现由第一同步块和第二同步块组成的数据；同步检测装置，用于从再现的数据检测同步信号并对应于检测的同步信号把
- 15 再现的数据分成第一同步块和第二同步块；第一纠错码解码装置，用于利用纠错码对每个第一纠错码块的分开的第一同步块的数据解码并由解码的第一数据分组形成视频数据；和第二纠错码解码装置，用于利用纠错码对每个第二纠错码块的分开的第二同步块的数据解码并由解码的第二数据分组形成音频数据。
- 20 本发明的第六方面是用于把视频数据和音频数据记录到记录介质的数据记录方法，视频数据具有多种类型的数据速率，音频数据具有多种类型的数据量作为数据编辑单元，该方法包括步骤：把视频数据分成第一数据分组，用第一数据分组形成第一纠错码块，并对每个第一纠错码块进行纠错码编码处理；把音频数据分成第二数据分组，用第二数据组形成第二纠错码块，并对每个第二纠错码块进行纠错码编码处理；把同步信号加到每个
- 25 第一数据分组和第二数据分组并分别形成第一同步块和第二同步块；把由第一同步块和第二同步块组成的数据记录到记录介质，其中每个第一同步块的长度与每个第二同步块的长度不同。

- 30 本发明的第七方面是用于把视频数据和音频数据记录到记录介质的数据记录方法，视频数据具有多种类型的数据速率，音频数据具有多种类型的数据量作为数据编辑单元，该方法包括步骤：把视频数据分成第一数据

分组，用第一数据分组形成第一纠错码块，并对每个第一纠错码块进行纠错码编码处理；把音频数据分成第二数据分组，用第二数据分组形成第二纠错码块，并对每个第二纠错码块进行纠错码编码处理；把同步信号加到每个第一数据分组和第二数据分组并分别形成第一同步块和第二同步块；

5 把由第一同步块和第二同步块组成的数据记录到记录介质，其中在每个第一同步块中放置至少一个第一数据分组，放置在每个第一同步块中的第一数据分组的数量是整数并取决于视频数据的数据速率。

本发明的第八方面是用于把视频数据和音频数据记录到记录介质和从记录介质再现视频数据和音频数据的数据记录与再现方法，视频数据具有

10 多种类型的数据速率，音频数据具有多种类型的数据量作为数据编辑单元，该方法包括步骤：把视频数据分成第一数据分组，用第一数据分组形成第一纠错码块，并对每个第一纠错码块进行纠错码编码处理；把音频数据分成第二数据分组，用第二数据分组形成第二纠错码块，并对每个第二纠错码块进行纠错码编码处理；把同步信号加到每个第一数据分组和第二数据

15 分组并分别形成第一同步块和第二同步块；把由第一同步块和第二同步块组成的数据记录到记录介质，从记录介质再现由第一同步块和第二同步块组成的数据；从再现的数据检测同步信号并对应检测的同步信号把再现的数据分成具有不同长度的第一同步块和第二同步块；利用纠错码对每个第一纠错码块的分开的第一同步块的数据解码并产生再现视频数据；和利用

20 纠错码对每个第二纠错码块的分开的第二同步块的数据解码并产生再现音频数据，其中每个第一同步块的长度与每个第二同步块的长度不同。

本发明的第九方面是用于把视频数据和音频数据记录到记录介质和从记录介质再现视频数据和音频数据的数据记录与再现方法，视频数据具有

25 多种类型的数据速率，音频数据具有多种类型的数据量作为数据编辑单元，该方法包括步骤：把视频数据分成第一数据分组，用第一数据分组形成第一纠错码块，并对每个第一纠错码块进行纠错码编码处理；把音频数据分成第二数据分组，用第二数据分组形成第二纠错码块，并对每个第二纠错码块进行纠错码编码处理；把同步信号加到每个第一数据分组和第二数据

30 分组并分别形成第一同步块和第二同步块；把由第一同步块和第二同步块组成的数据记录到记录介质，从记录介质再现由第一同步块和第二同步块组成的数据；从再现的数据检测同步信号并对应于检测的同步信号把再现

的数据分成具有不同长度的第一同步块和第二同步块；利用纠错码对每个第一纠错码块的分开的第一同步块的数据解码并产生再现视频数据；和利用纠错码对每个第二纠错码块的分开的第二同步块的数据解码并产生再现音频数据，其中在每个第一同步块中放置至少一个第一数据分组，放置在
5 每个第一同步块中的第一数据分组的数量是整数并取决于视频数据的数据速率。

本发明的第十方面是用于从记录介质再现视频数据和音频数据的数据再现方法，记录介质中存储的视频数据是从多种类型的数据速率中选择的视频数据，记录介质中存储的音频数据是从作为数据编辑单元的多种类型
10 的数据量选择的音频数据，视频数据分成第一数据分组，利用第一数据分组形成第一纠错码块，对每个第一纠错码块进行纠错码编码处理；音频数据分成第二数据分组，利用第二数据分组形成第二纠错码块，对每个第二纠错码块进行纠错码编码处理；把同步信号加到每个第一数据分组和第二数据分组并由此形成第一同步块和第二同步块；该方法包括步骤：从记录
15 介质再现由第一同步块和第二同步块组成的数据；从再现的数据检测同步信号并对应于检测的同步信号把再现的数据分成第一同步块和第二同步块；利用纠错码对每个第一纠错码块的分开的第一同步块的数据解码并由解码的第一数据分组形成视频数据；和利用纠错码对每个第二纠错码块的分开的第二同步块的数据解码并由解码的第二数据分组形成音频数据。

20 本发明的第十一方面是用于从记录介质再现数据块的数字数据再现装置，数据块具有至少两种数据长度，数据块各自具有用于检测同步的同步码型，包括同步码型检测装置，用于从再现的数据检测同步信号的同步码型；第一存储装置，用于顺序存储再现数据作为具有预定数据长度的数据块和以排序数据块的顺序输出存储的数据作为带有预定数据长度的数据
25 块，第一存储装置具有第一数据长度；第一比较装置，用于确定输入到第一存储装置的数据和由此输出的数据二者是否和与同步码型检测装置的检测结果对应的同步码型匹配；第二存储装置，用于输入与输入到第一存储装置的再现数据相同的再现数据，存储再现数据作为具有预定数据长度的数据块，和按较旧数据块的顺序输出存储的数据作为带有预定数据长度的
30 数据块，第二存储装置具有第二数据长度 K ，第二数据长度 K 小于第一数据长度 L ，第二数据长度 K 不是第一数据长度 L 的任何整数倍；和第二比较装

置, 用于确定输入到第二存储装置的数据和由此输出的数据二者是否和与同步码型检测装置的检测结果对应的同步码型匹配; 和输出装置, 用于输出再现数据作为具有与已检测同步码型匹配的第一比较装置或第二比较装置对应的数据长度的数据块。

- 5 本发明的第十二方面是从具有至少两种数据长度的每个数据块检测同步码型的同步检测装置, 数据块各自具有用于检测同步的同步码型, 该装置: 包括同步码型检测装置, 用于从输入数据检测同步码型; 第一存储装置, 用于顺序存储输入数据作为带有预定数据长度的数据块和以排序数据块的顺序输出存储的数据作为带有预定数据长度的数据块, 第一存储装置具有第一数据长度; 第一比较装置, 用于确定输入到第一存储装置的数据和由此输出的数据二者是否和与同步码型检测装置的检测结果对应的同步码型匹配; 第二存储装置, 用于输入与第一存储装置的输入数据相同的输入数据, 存储该输入数据作为具有预定数据长度的数据块, 并以较旧数据块的顺序输出存储的数据作为具有预定数据长度的数据块, 第二存储装置具有第二数据长度 K , 第二数据长度 K 小于第一数据长度 L , 第二数据长度 K 不是第一数据长度 L 的任何整数倍; 和第二比较装置, 用于确定输入到第二存储装置的数据和由此输出的数据二者是否和与同步码型检测装置的检测结果对应的同步码型匹配; 其中当在第一比较装置和第二比较装置之一检测到同步码型的匹配时, 意味着已检测到同步码型。
- 10 本发明的第十三方面是用于检测具有至少两种数据长度的每个数据块的同步的同步检测方法, 数据块各自具有用于检测同步的同步码型, 该方法包括步骤: (a) 把输入数据作为具有预定数据长度的数据块顺序存储到第一存储器, 并以较旧数据块的顺序从第一存储器输出作为具有预定数据长度的数据块的数据, 第一存储器具有第一数据长度; (b) 把输入数据输入到第二存储器, 存储输入数据作为具有预定数据长度的数据块, 并以较旧数据块的顺序输出存储的数据作为具有预定数据长度的数据, 该输入数据与第一存储器的输入数据相同, 第二存储器具有第二数据长度 K , 第二数据长度 K 小于第一数据长度 L , 第二数据长度 K 不是第一数据长度 L 的任何整数倍; (c) 从该输入数据检测同步码型; (d) 确定输入到第一存储器的数据和由此输出的数据二者是否和与在步骤 (c) 的检测结果对应的同步码型匹配; 和 (e) 确定输入到第二存储器的数据和由此输出的数据二者是否和与在步
- 15
- 20
- 25
- 30

骤(c)的检测结果对应的同步码型匹配,其中当在步骤(d)和步骤(e)之一检测到同步码型的匹配时,意味着已检测到同步码型。

附图说明

- 5 如附图中所说明的,根据下面描述的本发明的最佳模式实施例将使本发明的这些和其它目的、特性和优点变得更加显而易见。
- 图 1A、1B 和 1C 是表明常规数字 VTR 的磁带格式的示意图;
- 图 2A、2B 和 2C 是表明常规数字 VTR 的 ECC 块结构的示意图;
- 图 3 是表明常规数字 VTR 的音频取样排列的示意图;
- 10 图 4 是表明常规数字 VTR 的音频取样排列的示意图;
- 图 5A、5B 和 5C 是表明常规数字 VTR 的改进 ECC 块结构的示意图;
- 图 6 是表明常规数字 VTR 的改进 ECC 块的音频取样排列的示意图;
- 图 7 是表明多种格式实例的示意图;
- 图 8 是表明根据本发明实施例的记录侧结构的方框图;
- 15 图 9 是表明根据本发明实施例的再现侧结构的方框图;
- 图 10A 和 10B 是说明视频编码器的输出方法和可变长度码编码处理的示意图;
- 图 11A 和 11B 是说明视频编码器的输出数据重排的示意图;
- 图 12A 和 12B 是说明把重排数据组装成同步块的处理的示意图;
- 20 图 13 是表明记录信号处理部分更实用的结构方框图;
- 图 14 是表明本发明实施例中使用的存储器的存储空间的示意图;
- 图 15 是表明记录处理与再现处理中使用的格式的表;
- 图 16A、16B、16C 和 16D 是表明视频数据的多种类型的 ECC 块的示意图;
- 图 17A、17B、17C 和 17D 是表明音频数据的多种类型的 ECC 块的示意图;
- 25 图 18A 和 18B 是表明 ECC 块的音频取样排列的示意图;
- 图 19A、19B、19C、19D 和 19E 是表明同步块结构的多种实例的示意图;
- 图 20A、20B 和 20C 是表明加到每个同步块的 ID 和 DID 内容的示意图;
- 30 图 21 是表明第一磁带格式的示意图;
- 图 22 是表明第二磁带格式的示意图;

- 图 23 是表明第三磁带格式的示意图;
图 24 是表明第四磁带格式的示意图;
图 25 是表明第五磁带格式的示意图;
图 26 是表明第六磁带格式的示意图;
5 图 27A、27B、27C 和 27D 是说明形成同步块的结构示意图;
图 28 是说明纠错码的纠错能力的曲线图;
图 29 是表明根据本发明的同步检测电路结构实例的方框图;
图 30A、30B、和 30C 是说明输入数据的比特偏移操作的示意图;
图 31A、31B、和 31C 是说明输入数据和同步脉冲的示意图;
10 图 32A 和 32B 是说明使用移位寄存器的同步检测处理的示意图;
图 33 是表明比较电路(L)和比较电路(K)的结构实例的方框图;
图 34 是说明同步比较电路的同步码型检测处理的示意图;
图 35 是表明根据本发明的惯性电路结构实例的方框图;
图 36A、36B、36C、36D 和 36E 是表明惯性电路的操作定时实例的时序
15 图;
图 37 是说明用于向惯性电路提供同步码型的检测结果的方法示意图;
图 38 是说明用于向惯性电路提供同步码型的检测结果的方法示意图;
图 39 是说明用于向惯性电路提供同步码型的检测结果的方法示意图;
和
20 图 40A、40B、40C、40D 和 40E 是表明从输出控制电路输出的数据实例的时序图;

具体实施方式

下面描述根据本发明实施例的数字 VTR。数字 VTR 能够以多种格式记录
25 和再现视频信号,以便可在广播站的环境中正确使用数字 VTR。例如,数字 VTR 可按图 7 所示的格式记录与再现数据。

根据该实施例,可记录和再现压缩的视频信号和未压缩的视频信号。
作为压缩方法,例如,使用 MPEG 2 标准。MPEG 2 标准是运动补偿预测编码
处理和 DCT 压缩编码处理的组合。MPEG 2 标准的数据结构是分级结构,具
30 有一个块层(最低层)、一个宏块层、一个片层、一个图像层、一个 GOP(图
像组)层和一个序列层(最高层)。

块层由 DCT 块组成。对每个 DCT 块进行 DCT 处理。宏块层由多个 DCT 块组成。片层由标题部分和放置在一行而不是两行上的任意数量的宏块组成。图像层由一个标题部分和多个片组成。一个图像相当于一屏。GOP 层由一个标题部分, 一个 I 图像(作为帧内编码图像), 一个 P 图像(作为预测编码图像), 和一个 B 图像(作为双向预测编码图像)组成。

当对 I 图像编码时, 仅使用其信息。因此, 用其信息对 I 图像解码。P 图像使用 I 图像或已经被解码为用于获得差的参考图像的预测图像的 P 图像。对 P 图像与运动补偿预测图像之间的差编码。作为替换, 对 P 图像编码。从这些方法中选择一种对每个宏块有效的方法。一个 B 图像使用三种类型的图像作为预测图像, 该预测图像是 I 图像或在 B 图像前已被解码的 P 图像, I 图像或在 B 图像后已被解码的 P 图像, 和由这两个图像生成的内插图像。对 B 图像与已被运动补偿的三种类型的图像中的每一种之间的差编码。作为替换, 对 B 图像内编码。从这些方法中选择一种对每个宏块有效的方法。

因此, 有四种作为帧内编码宏块的宏块, 一个前向帧间预测宏块(未来宏块是用过去宏块预测的), 一个后向帧间预测宏块(过去宏块是用未来宏块预测的), 一个双向宏块(当前宏块是在前向和后向两个方向预测的)。I 图像的所有宏块是帧内编码宏块。P 图像包含帧内编码宏块和前向帧间预测宏块。B 图像包含所有四种宏块。

每个 GOP 包含至少一个 I 图像。换句话说, 每个 GOP 可不包含 P 图像和/或 B 图像。序列层(最高层)由标题部分和多个 GOP 组成。

在 MPEG 格式中, 片是一个可变长度码序列。可变长度码序列是一个除非对可变长度码解码否则不能检测数据边界的序列。

在每个序列层的开始, 放置 GOP 层、图像层、片层和宏块层, 并具有预定比特码型的识别码作为一字节。识别码被称为起始码。每层的标题部分包含标题、扩展数据、或用户数据。序列层的标题包含图像尺寸(垂直方向和水平方向的像素数量)。GOP 层的标题包含时间码和当前 GOP 的图像数量。

片层中包含的每个宏块是多个 DCT 块的集合。以把一系列量化 DCT 系数编码成 0 系数和非 0 系数的数值集合的方式组成 DCT 块的编码序列。不把排列成一字节的识别码加到每个宏块和每个宏块的每个 DCT 块。

宏块是把图像划分成 16 像素 × 16 行矩阵的元素。片由水平连接的宏块组成。两个连续片的第一片的最后宏块与其第二片的顶部宏块是连续的。禁止在两个连续片之间重叠的宏块。宏块的数量取决于图像的尺寸。

5 为防止信号在解码处理或编码处理中恶化，最好是编辑编码数据。此刻，P 图像需要按时间顺序在 P 图像之后的图像。另一方面，B 图像需要按时间顺序在 B 图像之后的图像和按时间顺序在 B 图像之前的图像。因此，不能逐帧地编辑数据。鉴于此，根据本发明的实施例，一个 GOP 由一个 I 图像组成。

10 预定一帧记录数据的记录区。在 MPEG 2 标准中，由于使用可变长度码编码处理，控制一帧的数据量，以便把一帧周期中产生的数据记录在预定记录区。另外，根据该实施例，一个片由一个宏块组成。另外，将一个宏块放置在具有预定长度的固定区中，以便把数据正确地记录到磁带。

15 在 MPEG 标准中，一个片由一片组成(16 行)。可变长度码编码处理从屏幕的左边开始并在其左边结束。当 VTR 把 MPEG 基本流记录在磁带上时，再现部分以高速再现模式集中在屏幕左侧。因此，不能同等地更新屏幕。另外，由于不能预测磁带上的数据排列，当以预定间隔跟踪磁带模式时，不能同等地更新屏幕。此外，当一部分屏幕出现差错时，传播到屏幕右边缘。直到检测到下一个片标题为止，不能检测正确的图像。因此，一个片由一个宏块组成。

20 图 8 示出根据本发明实施例的记录与再现装置记录侧结构的实例。在记录数据时，从端子 101 通过预定接口，例如 SDI (串行数据接口) 的接收部分输入数字视频信号。SDI 是由 SMPTE 定义的接口。通过 SDI 发送 (4: 2: 2) 分量视频信号、数字音频视频信号和附加数据，将输入的视频信号发送到视频编码器 102。视频编码器 102 对视频信号进行 DCT (离散余弦变换) 处理，以便将视频信号转换成系数数据并将系数数据编码成可变长度码 (VLC) 数据。从视频编码器 102 提供的可变长度码数据是与 MPEG 2 标准对应的基本流。可变长度码数据发送到选择器 103 的一个输入端。

25 通过输入端 104 输入 SDTI (串行数据变换接口) 格式中的数据。由 SDTI 接收部分 105 同步地检测该信号。信号临时存储在缓冲器中。在缓冲器中，从信号提取基本流。所提取的基本流发送到选择器 103 的其它输入端。

根据该实施例，为发射例如 MPEG ES，使用 SDTI (串行数据传送接

口)-CP(内容分组)。ES 是由(4: 2: 2)的分量组成的。ES 是由所有 I 图像组成的流。另外, ES 具有 1 GOP=1 个图像的关系。在 SDTI-CP 格式中, 把 MPEG ES 分到存取单元。将 MPEG ES 分组以作为与帧对应的分组。SDTI-CP 具有足够的传输频带(27MHz 或 36MHz 作为时钟速率, 270Mbps 或 360Mbps 作为流比特率)。可在一帧间隔中将一个 ES 作为一个脉冲串发射。在一个帧周期的 SAV 和 EAV 之间, 放置系统数据、视频流、音频流和 AUX 数据。数据不是均匀地放置在一个帧周期中。而是将数据作为脉冲串放置在一帧的预定周期的开始。在帧边界, 可将 SDTI-CP(视频数据和音频数据)作为流交换。当 SDTI-CP 是使用 SMPTE 时间码作为时钟基准的内容时, SDTI-CP 使音频数据与视频数据同步。另外, SDTI-CP 的格式允许其与 SDI 共存。

对于发射 TS(传送流)的情况, 在使用 SDTI-CP 的接口中, 不必向 VBV(视频缓冲器核对器)缓冲器和 TB(传送缓冲器)提供 SDTI-CP。因而可减少延迟。另外, 由于以非常高的速度发射 SDTI-CP, 可进一步减少延迟。结果是, 在可利用用于控制整个广播站的同步信号的环境中, 可有效地使用 SDTI-CP。

把由选择器 103 选择的基本流发送到流转换器 106。流变换器 106 对应于各个频率分量排列多个 DCT 块的 DCT 系数并重排所得到的频率分量。当基本流的一个片由一条组成时, 流转换器 106 使一个片由一个宏块组成。另外, 流转换器 106 把一个宏块的可变长度数据的最大长度限定到预定值(通过将高阶 DCT 系数设定为 0)。把重排的基本流发送到组装与混洗部分 107。

由于已经用可变长度码对基本流中的视频数据编码, 宏块的长度不同。组装和混洗部分 107 把每个宏块组装在固定区中。此刻, 未组装在固定区中的溢出部分顺序组装在与固定区的尺寸相对的空白区中。将包含视频格式、混洗码型版本等的系统数据从输入端 108 提供给组装与混洗部分 107。对于图像数据, 组装与混洗部分 107 对系统数据进行记录处理。将系统数据作为视频 AUX 记录。组装与混洗部分 107 重排已按扫描顺序采取的一帧的宏块并混洗磁带上记录的宏块。混洗处理允许改善以可变速度再现模式部分再现的数据的更新比例。

将视频数据和系统数据(除非说明, 在下面的描述中视频数据是指视频数据和系统数据二者)从组装与混洗部分 107 提供到外码编码器 109。外码编码器 109 使用乘积码作为视频数据和音频数据的纠错码。对于乘积码,

在垂直方向用外码和在水平方向用内码对视频数据或音频数据的二维矩阵编码。因此，对数据码元编码两次。可使用 Reed-Solomon 码作为外码和内码。

5 将外码编码器 109 的输出数据提供给混洗部分 110。混洗部分 110 对多个纠错块的同步块混洗。因此，可防止误差集中在特定纠错块上。可将混洗部分 110 进行的混洗处理称为交织处理。混洗部分 110 的输出数据提供给混频部分 111。混频部分 111 将混洗部分 110 的输出数据与音频数据混频。如后面将描述的，混频部分 111 由一个主存储器组成。

10 从输入端 112 接收音频数据。根据本发明的实施例，处理未压缩数字音频信号。由输入侧的 SDI 接收部分(未示出)或 SDTI 接收部分 105 分离数字音频信号。作为替换，通过音频接口输入数字音频信号。输入的数字音频信号通过延迟部分 113 提供给 AUX 相加部分 114。延迟部分 113 将音频信号的相位与视频信号的相位匹配。从输入端 115 接收的音频 AUX 是具有与如其取样频率之类的音频数据有关的信息的辅助数据。AUX 相加部分 114 把
15 音频 AUX 加到音频数据。以与音频数据相同的方式处理音频 AUX。

将音频数据和 AUX 数据(除非指出，在下面的描述中音频数据是指音频数据和 AUX 数据二者)提供给外码编码器 116。外码编码器 116 用外码对音频数据编码。将外码编码器 116 的输出数据提供给混洗部分 117。混洗部分 117 对外码编码器 116 的输出数据混洗。混洗部分 117 对每个同步块或每个
20 通道的音频数据混洗。

混洗部分 117 的输出数据提供给混频部分 111。混频部分 111 将视频数据与音频数据混频作为一个通道的数据。混频部分 111 的输出数据提供给 ID 相加部分 118。ID 相加部分 118 把具有表示同步块数量的信息的 ID 加到混频部分 111 的输出数据。将 ID 相加部分 118 的输出数据提供给内码编码器
25 器 119。内码编码器 119 用内码对 ID 相加部分 118 的输出数据编码。内码编码器 119 的输出数据提供给同步相加部分 120。同步加法部分 120 把同步信号加到每个同步块。因此，以连续记录数据的形式构成同步块。将记录数据通过记录放大器 121 提供给旋转磁头 122 并记录在磁带 123 上。实际上，旋转磁头 122 由具有不同方位的多个磁头和其上设置磁头的一个磁鼓
30 构成。

需要时，可对记录数据进行扰频处理。另外，记录数据时，可对其进

行数字调制。此外，可使用部分响应类别 4 和维特比编码处理。

图 9 示出根据本发明实施例的再现侧的结构实例。把由旋转磁头 122 从磁带 123 再现的信号通过再现放大器 131 提供给同步检测部分 132。对再现信号进行均衡处理和波形微调处理。需要时，进行数字解调处理和维特比解码处理。同步检测部分 132 检测同步块开始处的同步信号并提取同步块。

同步检测部分 132 的输出数据提供给内码编码器 133。内码编码器 133 用内码校正同步检测部分 132 的输出数据的误差。内码编码器 133 的输出数据提供给 ID 内插部分 134。ID 内插部分 134 用内部块内插已检测其误差的同步块的 ID (例如同步块号码)。ID 内插部分 134 的输出数据提供给分离部分 135。分离部分 135 把 ID 内插部分 134 的输出数据分成视频数据和音频数据。如上所述，视频数据包含在 MPEG 内编码处理中产生的 DCT 系数数据和系统数据。同样，音频数据包含 PCM (脉码调制) 数据和 AUX 数据。

去混洗部分 136 对从分离部分 135 接收的视频数据去混洗。去混洗部分 136 将由记录侧的混洗部分 110 混洗的混洗同步块恢复成原始同步块。去混洗部分 136 的输出数据提供给外码解码器 137。外码解码器 137 用外码校正去混洗部分 136 的输出数据的误差。当不能校正数据的误差时，向此处放置一个误差标记。

外码解码器 137 的输出数据提供给去混洗与拆开 (去组装) 部分 138。去混洗与拆开部分 138 对已由记录侧的组装和混洗部分混洗的宏块去混洗。另外，去混洗与拆开部分 138 对已在记录侧组装的数据进行拆开处理。换句话说，去混洗与拆开部分 138 把固定长度的宏块恢复成原始可变长度码。此外，去混洗与拆开部分 138 从外码解码器 137 的输出数据分离系统数据。从输出端 139 获得系统数据。

去混洗与拆开部分 138 的输出数据提供给内插部分 140。内插部分 140 校正具有误差标记的数据。当宏块有误差时，不能恢复剩余宏块的频率分量的 DCT 系数。这种情况下，用 EOB (块结束) 取代具有误差的数据。将 EOB 后频率分量的 DCT 系数设定为零。同样，在高速再现模式中，仅恢复与同步块的长度对应的 DCT 系数。用零数据取代同步块后的 DCT 系数。当在视频数据开始处的标题 (序列标题、GOP 标题、图像标题、用户数据等) 有误差时，内插部分 140 恢复该标题。

由于按从 DC 分量和从最低频率分量到最高频率分量的顺序排列多个 DCT 块的 DCT 系数,即使忽略特定位置后的 DCT 系数,可将 DC 分量和低频分量的 DCT 系数放置在组成宏块的每个 DCT 块中。

内插部分 140 的输出数据提供给流转换器 141。流转换器 141 进行与记录侧中的流转换器 106 的处理相反的处理。换句话说,流转换器 141 把 DCT 块中按频率分量顺序排列的 DCT 系数按 DCT 块顺序重排成 DCT 系数。因此,再现信号转换成与 MPEG 2 标准对应的基本流。

流转换器 141 的输入信号和输出信号具有与宏块的最大长度对应的足够传输速率(带宽)。在不限定宏块的长度时,最好确保比像素速率大三倍的带宽。

流转换器 141 的输出数据提供给视频解码器 142。视频解码器 142 对基本流解码并输出视频数据。换句话说,视频解码器 142 进行逆量化处理和逆 DCT 处理。从输出端 143 获得解码的视频数据。使用例如 SDI 作为到装置外部的接口。另外,流转换器 141 还把基本流提供给 SDTI 发射部分 144。还通过相关路径(未示出)把系统数据、再现音频数据、和 AUX 数据提供给 SDTI 发射部分 144。SDTI 发射部分 144 将这些信号转换成 SDTI 格式流。从 SDTI 发射部分通过输出端 145 向装置外部提供该流。

把由分离部分 135 分离的音频数据提供给去混洗部分 151。去混洗部分 151 进行与记录侧的混洗部分 117 相反的处理。去混洗部分 117 的输出数据提供给外码解码器 152。外码解码器 152 用外码校正去混洗部分 117 的输出信号的误差。外码解码器 152 输出其误差已被校正的音频数据。当不能校正音频数据的误差时,向此处设置一误差标记。

外码解码器 152 的输出数据提供给 AUX 分离部分 153。AUX 分离部分 153 从外码解码器 152 的输出数据分离音频 AUX。从输出端 154 获得分离的音频 AUX。分离的音频数据提供给内插部分 155。内插部分 155 内插有误差的取样。作为内插方法,可使用利用特定取样在其后的校正取样和特定取样在其前的校正取样的平均值内插特定取样的平均值内插方法。作为替换,可使用保持前置校正取样的前置值保持方法。内插部分 155 的输出数据提供给输出部分 156。输出部分 156 进行静噪处理,延迟量调节处理等。在静噪处理中,禁止输出具有不能补偿的误差的音频信号。在延迟量调节处理中,音频信号的相位与视步信号的相位匹配。输出部分 156 向输出端 157

提供再现的音频信号。

根据本发明实施例的再现侧还具有定时产生部分，系统控制器(即微计算机)等等(图8和9中未示出)。定时产生部分产生与输入数据同步的定时信号。系统控制器控制记录和再现装置的整个操作。

- 5 图10A示出从MPEG编码器的DCT电路输出的视频数据的DCT系数的顺序。以之字形扫描方法从在DCT块左上方位置的DC分量向更高水平/垂直频率分量的顺序输出DCT系数。因此，如图10B所示，按频率分量的顺序获得总共64个DCT系数(8个像素×8行)。

- 10 MPEG编码器的VLC部分利用可变长度码对DCT系数编码。换句话说，第一系数是作为固定分量的DC分量。将下一个分量(AC分量)分配给与后面的零游程和电平对应的代码。因此，由于以从最低频率分量(最低阶系数)向最高频率分量(最高阶系数)的顺序排列相对AC分量的系数数据的可变长度码编码的输出数据，例如 AC_1 ， AC_2 ， AC_3 ，...。一个基本流包含已利用可变长度码编码的DCT系数。

- 15 流转换器106重排接收信号的DCT数据。换句话说，流转换器106把每个DCT块中按频率分量顺序排列的DCT系数按宏块的所有DCT块的频率分量的顺序重排成DCT系数。

- 20 图11示出由流转换器106重排的DCT系数。在(4:2:2)分量信号的情况下，一个宏块由亮度信号Y的四个DCT块(Y_1 、 Y_2 、 Y_3 、和 Y_4)，色度信号Cb的两个DCT块(Cb_1 和 Cb_2)，以及色度信号Cr的两个DCT块(Cr_1 和 Cr_2)组成。

- 25 如上所述，视频编码器102对应于MPEG 2标准从DC分量到如图11A所示的每个DCT块的更高频率分量的顺序呈之字形扫描DCT系数。在视频编码器102已之字形扫描了一个DCT块的DCT系数后，视频编码器102之字形扫描下一个DCT块的DCT系数，以便排列DCT系数。

换句话说，按从DC分量到更高频率分量的顺序排列每个DCT块 Y_1 、 Y_2 、 Y_3 、和 Y_4 的DCT系数，和宏块的DCT块 Cb_1 、 Cb_2 、 Cr_1 、和 Cr_2 。以将代码指定给后面的游程和电平集合(例如DC、 AC_1 、 AC_2 、 AC_3 、...)的方式进行可变长度码编码处理。

- 30 流转换器106判读DCT系数的可变长度码，检测各个系数的结尾，和对应于宏块的DCT块的各个频率分量排列系数。图11B示出该重排处理。

首先，收集宏块的八个 DCT 块的 DC 分量。接下来，收集宏块的八个 DCT 块的最低频率 AC 系数分量。此后，收集宏块的八个 DCT 块的次最低频率 AC 系数分量。以该方式，为八个 DCT 块重排系数数据，以便收集对应于各个顺序的 AC 系数。

- 5 重排系数是 DC (Y_1)、DC (Y_2)、DC (Y_3)、DC (Y_4)、DC (Cb_1)、DC (Cb_2)、DC (Cr_1)、DC (Cr_2)、AC1 (Y_1)、AC1 (Y_2)、AC1 (Y_3)、AC1 (Y_4)、AC1 (Cb_1)、AC1 (Cb_2)、AC1 (Cr_1)、AC1 (Cr_2)、... (其中 DC、AC1、AC2, ... 表示后面的游程和电平集合指定的可变长度代码码元)，如图 10 所示。

- 10 将已由流转换器 106 重排系数数据的转换的基本流提供给组装与混洗部分 107。转换的基本流宏块的数据长度与未转换的基本流宏块的数据长度相同。在视频编码器 102 中，即使通过比特率控制操作固定每个 GOP (一帧) 的长度，改变每个宏块的长度。组装与混洗部分 107 把宏块的数据组装到固定区。

- 15 图 12A 和 12B 示出由组装与混洗部分 107 执行的宏块组装处理。在具有预定数据长度的固定区中组装宏块。固定区的数据长度与记录和再现的数据的最小单位的一个同步块的长度匹配。因此，可简化混洗处理和纠错码编码处理。在图 12A 和 12B 中，假设一帧包含八个宏块。

- 20 如图 12A 所示，在可变长度码编码处理中，各个宏块的长度相互不同。在该实例中，宏块#1 的数据、宏块#3 的数据、宏块#6 的数据中每一个数据的长度比作为固定区的一个同步块的长度大。另一方面，宏块#2 的数据、宏块#5 的数据、宏块#7 的数据、宏块#8 的数据中每一个数据的长度比一个同步块的长度小。宏块#4 的数据长度与一个同步块的数据长度几乎相等。

- 25 在组装处理中，在固定区中用一个同步块的长度组装每个宏块。这是因为将在一个帧周期中产生的数据量控制到固定量。如图 12B 所示，在与一个同步块的长度对应的位置划分比一个同步块长的宏块。将宏块相对一个同步块的长度的溢出部分组装到分别比一个宏块的长度短的其它宏块后面的空白部分。

- 30 在图 12B 所示的实例中，将宏块#1 相对一个同步块长度的溢出部分组装到宏块#2 后面的空白部分。当宏块#2 的长度和宏块#1 的溢出部分超出一个同步块的长度时，将宏块#1 的剩余溢出部分组装到宏块#5 后面的空白部分。接下来，将宏块#3 的溢出部分组装到宏块#7 后面的空白部分。另外，

将宏块#6 的溢出部分组装到宏块#7 后面的空白部分。将宏块#6 另外的溢出部分组装到宏块#8 后面的空白部分。以该方式, 利用一个同步块的长度将各个宏块组装到固定区。

5 流转换器 106 可预定每个宏块的长度。因此, 组装部分 107 可检测每个宏块的数据的最后结尾, 而不需要对 VLC 数据解码和检验其内容。

图 13 示出根据本发明实施例的记录侧结构更实用的实例。在图 13 中, 参考标号 164 是与外部主存储器 160 的接口。主存储器 160 由 SDRAM 组成。接口 164 相对于主存储器 160 协调从记录侧发出的请求并相对于主存储器 60 进行写处理和读处理。组装和混洗部分 107 由组装部分 107a, 视频混洗
10 部分 107b 和组装部分 107c 组成。

图 14 示出主存储器 160 的地址结构的实例。主存储器 160 由具有例如 64M 比特存储容量的 SDRAM 组成。主存储器 160 具有视频区 250、溢出区 251 和音频区 252。视频区域 250 由四个存储体(vbank #0, vbank#1, vbank #2 与 vbank #3)组成。四个存储体中每一个存储体能存储一个相等长度单位的
15 数字视频信号。一个相等长度单位是其生成数据量控制为接近目标值的单位。一个相等长度单元例如为一幅画面(I 画面)的视频信号。在图 14 中, 部分 A 代表视频信号的一个同步块的数据部分。放置在一个同步块中的数据量取决于使用的格式。为了处理多个格式, 一个同步块的数据大小超过格式字节的最大尺寸。因此, 作为一个同步块的数据大小, 选择适于此处
20 理的字节数(例如, 256 字节)。

视频区域的每个存储体分成用于内码编码器的组装区域 250A 与输出区域 250B。溢出区域 251 由对应视频区域的四个存储体组成。主存储器 160 具有用于处理音频数据的区域 252。

根据本发明的实施例, 对于每个宏块的数据长度标记 LT, 组装区域 107a
25 存储固定长度数据并将超过固定长度数据的数据溢出到主存储器 160 的相应区域。固定长度数据是其数据长度小于一个同步块的数据区域的数据。下面, 此固定长度数据称为块长度数据。块长度数据存储在每个存储体的组装处理区域 250A 中。当宏块的数据长度小于块长度时, 在主存储器 160 的相关区域中出现空白。视频混洗部分 107b 控制主存储器 160 的写地址以
30 便执行混洗处理。视频混洗部分 107b 仅混洗块长度数据。视频混洗部分 107b 不混洗溢出部分, 但将它写到主存储器 160 的分配区域。

组装部分 107c 组装溢出部分并将溢出部分读出到用于外码编码器 109 的存储器。换句话说,块长度数据从主存储器 160 中读出到用于外码编码器 109 的一个 ECC 块的存储器。如果块长度数据具有空白部分,将溢出部分组装到空白部分。当读出一个 ECC 块的数据时,暂时停止读处理。此时, 5 外码编码器 109 生成外码奇偶校验,此外码奇偶校验存储在外码编码器 109 的存储器中。当外码编码器 109 已处理一个 ECC 块时,外码编码器 109 以用于内码编码处理的顺序重新安排数据和外码奇偶校验,并随后将得到的数据写到不同于组装处理区域 250A 的输出区域 250B。视频混洗部分 110 控制主存储器 160 的地址以便混洗已利用每个同步块的外码编码的数据。

- 10 对每个 ECC 块执行用于将数据分成块长度数据与溢出数据并将块长度数据写到主存储器 160 的第一区域 250A 的处理(第一组装处理),用于将溢出数据组装并写到用于外码编码器 109 的存储器的处理(第二组装处理)和用于生成外码奇偶校验并将数据与外码奇偶校验写到主存储器 160 的第二区域 250B 的处理。当外码编码器 109 具有拥有一个 ECC 块大小的存储器时, 15 能减少对主存储器的存取操作的存取频率。

- 在完成包含在一个画面中的预定数量的 ECC 块(例如,32 个 ECC 块)的处理(即,完成一幅画面的组装处理与外码编码处理)之后,从主存储器 160 的区域 250B 中读出的数据通过接口 164 提供给 ID 相加部分 118、内码编码器 119 与同步相加部分 120。ID 相加部分 118、内码编码器 119 与同步相加 20 部分 120 执行相应处理。同步相加部分 120 的输出数据提供给并-串行变换部分 124,并-串行变换部分 124 将同步相加部分 120 的输出数据变换为比特串行数据,此比特串行数据提供给部分响应类别 4 预编码器 125。预编码器 125 的输出数据在必要时进行数字调制。预编码器 125 的输出数据通过记录放大器 121 提供给旋转磁头。

- 25 不具有有效数据的同步块(此同步块称为零同步)可以放置在 ECC 块中,以使它相对于记录视频信号的格式类型具有灵活性。零同步由组装与混洗块 107 的组装部分 107a 生成并写到主存储器 160。因而,由于零同步具有数据记录区域,所以它能用作记录溢出部分的同步。

- 在音频数据的情况中,一个字段的音频数据的偶编号的样本与奇编号 30 的样本组成不同的 ECC 块。由于一个 ECC 块的外码序列以输入顺序由音频样本组成,所以一旦输入外码序列的音频样本,外码编码器 116 生成外码

奇偶校验。混洗部分 117 控制主存储器 160 的区域 252 的地址，以便混洗外码编码器 116 (对于每个通道或每个同步块) 的输出数据。

另外，配置 CPU 接口 126。CPU 接口 126 从用作系统控制器的外部 CPU 127 中接收数据并设置参数给内部块。为了处理多个格式，CPU 接口 126 能设置
5 诸如同步块长度与奇偶校验长度的许多参数。

作为一个参数，“组装长度数据”发送给组装部分 107a 与 107b。组装部分 107a 与 107b 将 VLC 数据组装为对应“组装长度数据”的相应固定部分 (具有图 12 所示的“同步块长度”所表示的长度)。

作为一个参数，“组装量数据”发送给组装部分 107b。组装部分 107b
10 确定对应“组装量数据”每个同步块所组装的数据量并将用于所确定的“组装量数据”的数据提供给外码编码器 109。

作为一个参数，“视频外码奇偶校验数数据”发送给外码编码器 109。外码编码器 109 利用对应“视频外码奇偶校验数据”的奇偶校验编码视频数据。

15 作为一个参数，“音频外码奇偶校验数数据”发送给外码编码器 109。外码编码器 109 利用对应“音频外码奇偶校验数数据”的奇偶校验编码音频数据。

作为一个参数，“ID 信息” (图 19A 所示的每种类型的信息) 和“DID 信息” (图 19B 与 19C 所示的每种类型的信息) 发送给 ID 相加部分 118。ID 相
20 加部分 118 将 ID 信息与 DID 信息加到从主存储器 160 中读出的具有单位长度的每个数据序列。

作为一个参数，“视频内码奇偶校验数数据”与“音频内码奇偶校验数数据”发送给内码编码器 119。内码编码器 119 利用分别对应“视频内码奇偶校验数数据”与“音频内码奇偶校验数数据”的奇偶校验编码视频数据
25 与音频数据。作为一个参数，“同步长度数据”也发送给内码编码器 119。根据“同步长度数据”限制已利用内码编码的数据的单位长度 (同步长度)。

作为一个参数，“混洗表数据”存储在视频混洗表 (RAM) 128v 与音频混洗表 (RAM) 128a。混洗表 128v 变换视频混洗部分 107b 与 110 的地址。混洗表 128a 变换音频混洗部分 117 的地址。

30 如上所述，流转换器 106 生成其宏块的系数数据 (可变长度码) 的相同频率成分已进行组合 (分类) 的视频数据 (视频数据)。通过向 SDTI 接收部分

105 发出读请求，流转换器 106 从 SDTI 接收部分 105 的缓冲器中读出流。
可选择地，组装与混洗部分 107 可以发出这样的读请求。

流转换器 106 也生成诸如标题信息的非视频数据。非视频数据是在 MPEG 语法中定义的标题(它们是 PES 标题、序列标题、GOP 标题和图像标题)
5 和作为图像标题的用户数据包含的辅助数据(此辅助数据例如是闭路的字幕、图文电视、VITC 等)。非视频数据是可变长度数据，其数据量根据图像格式、用户数据的数据量等而变化。另外，估算每帧非视频数据的最大长度是困难的。在视频基本流的情况中，估算每个宏块的数据的最大长度也是困难的。MPEG 语法允许每个宏块的数据量超过原始数据的数据量。例如，
10 一帧的所有宏块可以包含其数据量大于视频数据量的用户数据。

根据本发明的实施例，由于以相同方式处理非视频数据与视频数据，所以流转换器 106 也提供非视频数据给组装与混洗部分 107。组装与混洗部分 107 与视频数据一起组装非视频数据。至于一个宏块的视频数据，给非视频数据分配一个固定部分。在固定部分的开头，加上长度标记。因而，
15 在控制一个编辑单元(例如，一个帧周期)的生成的数据量时，将视频数据与非视频数据组装到其数量比一帧的所有宏块的数量大 1 的固定部分。根据本发明的实施例，一个 GOP 由一个 I 图像组成；一个片(slice)由一个宏块组成；而视频数据从片 1 开始。因此，为方便起见，非视频数据称为片 0。每片的视频数据称为片 X。

20 扩展与用户数据 () 包含视频索引(在垂直消隐间隔放置在特定行中的编码信息)、视频辅助数据、闭路字幕、图文电视、VITC(在垂直消隐间隔记录的时间码)、LTC(在磁带的纵向上记录的时间码)等等。

根据上述实施例，能以各种格式(多格式)记录视频数据与音频数据。接下来，将描述根据此实施例的多格式的功能。图 15 表示多格式的功能表。
25 在图 15 中，“编辑频率”表示数据编辑单元(例如，帧频率)。“编辑频率”字段的值与频率(例如，23.976Hz、25Hz、29.9Hz、50Hz 与 59.9Hz)成比例。逐行扫描系统的帧周期与隔行扫描系统的帧周期相同。隔行扫描系统的帧与场分别利用“(帧)Frame”与“Field(场)”来表示。逐行扫描系统的帧利用“Pframe”来表示。在图 15 中，根据行数、扫描系统(隔行/逐行)和视频速率分类视频数据。
30 视频速率分类视频数据。

图 15 所示的表具有表示每样本的比特数(16 比特/24 比特)和信道数的

“音频”字段。另外，此表具有“磁道”字段、“磁头”字段和“ECC”字段。“磁道”字段表示每数据编辑单元的磁道数。“磁头”字段表示使用的旋转磁头数。“ECC”字段表示模式(SD1-SD4 或 HL1-HL4)。SD 模式表示标准级别分辨率的模式。HL 模式表示高等级分辨率的模式。在此表中，“*”表示不根据例如 MPEG 标准等压缩的数据。从图 15 中可以看出，本发明能处理 SD/HL、压缩/非压缩和隔行/逐行扫描系统组合的各种格式。在下面的描述中，将主要考虑 SD 模式。

图 16A、16B、16C 与 16D 表示视频数据的 ECC 格式，图 16A 表示 SD1 格式，图 16B 表示 SD2 模式，图 16C 表示 SD3 格式，图 14D 表示 SD4 模式。这些图各表示一个 ECC 块。在图 16A，16B，16C 与 16D 中，从组装与混洗部分 107 中接收 VLC 数据。将同步码型、ID 与 DID 加到 VLC 数据的每行，将内码奇偶校验加到 VLC 数据。结果，形成一个同步块。换句话说，利用安排在 VLC 数据阵列的垂直方向中的预定数量的码元(字节)生成预定数量字节的外码奇偶校验。利用外码奇偶校验的水平方向中的预定数量字节的 ID、DID 与 VLC 数据(或外码奇偶校验)生成内码奇偶校验。

在(图 16A 所示的)SD1 模式中，同步块长度根据帧频率而变化。例如，在帧频率是 29.97Hz 时，同步块长度是 171。当帧频率是 25Hz 时，同步块长度是 151。当帧频率是 23.976Hz 时，同步块长度是 163。同样，能改变外码奇偶校验的数量与内码奇偶校验的数量。同样，在(图 16B 所示的)SD2 模式中，同步块长度根据帧频率而变化。当帧频率是 29.97Hz 时，同步块长度是 164。当帧频率是 25Hz 时，同步块长度是 168。当帧频率是 23.976Hz 时，同步块长度是 172。能改变外码奇偶校验的数量和内码奇偶校验的数量。在(图 16C 所示的)SD3 模式中，同步块长度根据帧频率而变化。当帧频率是 59.94Hz 时，同步块长度是 165。当帧频率是 50Hz 时，同步块长度是 139。同样，能改变外码奇偶校验的数量与内码奇偶校验的数量。在(图 16D 所示的)SD4 模式中，同步块长度根据帧频率而变化。当帧频率是 59.94Hz 时，同步块长度是 145。当帧频率是 50Hz 时，同步块长度是 126。同样，能改变外码奇偶校验数量与内码奇偶校验数量。作为真实的纠错码，可以使用 Reed Solomon(里德-索络蒙)码。

在 SD 模式中，能从 10、12 与 14 中选择内码奇偶校验的数量。能从 10、12、13、14、16、18 与 20 中选择视频外码奇偶校验数量。能从 10 与 12 中

选择音频外码奇偶校验的数量。

图 17A、17B、17C 与 17D 表示音频数据的 ECC 块的结构示例。音频数据的取样频率是 48kHz。一个样本由 16 比特或 24 比特组成。在图 17A、17B、17C 与 17D 所示的示例中，一个样本由 16 比特组成。图 17A、17B、17C 与 17D 表示纠错码编码处理的数据单元的字节数。两个 ECC 块由每信道一场的音频数据组成。一个 ECC 块包含偶数编号的音频样本或奇数编号的音频样本和音频 AUX。

图 17A 表示在隔行帧频率是 29.97Hz 或逐行帧频率是 59.95Hz 的情况下 ECC 块的结构。图 17B 表示在隔行帧频率是 25Hz 或逐行帧频率是 50Hz 的情况下 ECC 块的结构。图 17C 表示在逐行帧频率是 23.976Hz 的情况下 ECC 块的结构。将同步码型、ID 和 DID 加到 ECC 码的一行中。结果，形成图 17D 所示的音频同步块。音频数据分组长度(根据帧频率变化的 102、122 与 125)不同于上述的视频数据分组长度。

图 18A 与 18B 表示音频 ECC 块的样本的安排，在图 18A 与 18B 中，虽然省略内码奇偶校验，但表示出 10 字节(PV0-PV9)的外码奇偶校验。图 18A 表示由一场的音频数据的偶数编号的样本组成的 ECC 块。图 18B 表示由一场的音频数据的奇数编号的样本组成的 ECC 块。如图 18A 与 18B 所示，一场中的样本数根据帧频率而变化。如从图 17A、17B、17C、17D、18A 与 18B 中可看出的，外码奇偶校验数量(=10)和内码奇偶校验数量(=12)不根据帧频率而变化。

接下来，将具体描述音频数据的格式。在此示例中，音频数据是非压缩数据。一个样本由 16 比特组成，取样频率是 48kHz，AUX 数据由每场 12 字节组成。接下来，将描述各个帧频率上的 ECC 块的结构。

[59.94Hz]: $48k/59.94Hz \times 16 \text{ 比特}/8=1602 \text{ 字节}$
 + 12 字节的 AUX 数据→1614 字节: 2 ECC 块
 $102 \times 8 \times 2=1632 \text{ 字节}$
 [50Hz]: $48k/50Hz \times 16 \text{ 比特}/8=1920 \text{ 字节} +$
 12 字节的 AUX 数据→1932 字节: 2 个 ECC 块
 $122 \times 8 \times 2=1952 \text{ 字节}$
 [29.97Hz]: $[59.94Hz] \times 2 \rightarrow 3228 \text{ 字节: 4 个 ECC 块}$
 $102 \times 8 \times 4=3264 \text{ 字节}$

[25Hz]: [50Hz] × 2 → 3864 字节: 4 个 ECC 块

$102 \times 8 \times 4 = 3904$ 字节

[23.976Hz]: $48k / 23.976Hz \times 16$ 比特/8 =

4004 字节 + 12 字节的 AUX 数据 × 2 → 4028 字节: 4 个 ECC 块

5 $126 \times 8 \times 4 = 4032$ 字节

接下来, 参见图 19A、19B、19C、19D 与 19E, 将描述同步块的结构。

根据本发明的实施例, 对应记录的视频数据格式的一个同步块包含一个或两个宏块的数据 (VLC 数据)。一同步块的大小取决于使用的视频信号的格式。如图 19A 所示, 一个同步块由两个字节的同步码型、两个字节的 ID、
10 一个字节的 DID、从 112 字节至 206 字节范围中的数据区域和连续安排的 12 字节的奇偶校验 (这是内码奇偶校验) 组成。数据区域也称为有效负载。

两字节的同步码型用于检测同步。同步码型具有预定的比特模式。通过检测对应预定模式的同步码型, 检测同步。

图 20A 表示 ID 0 与 ID 1 的比特赋值的示例。ID 1 包含当前同步块独
15 特的重要信息。每个 ID 0 与 ID 1 的数据大小是一个字节。ID 0 包含用于识别一个磁道中的同步块的识别信息 (这是同步 ID), 同步 ID 是扇区的同步块的顺序号, 此同步 ID 由 8 比特组成。给视频数据的同步块与音频数据的同步块指定不同的同步 ID。

ID 1 包含相对当前同步块的磁道信息。当 MSB 侧与 LSB 侧分别是比特
20 7 与比特 0 时, 比特 7 代表当前同步块是在磁道的上侧还是在磁道的下侧。比特 5 至 2 代表磁道上的分段。比特 1 代表对应磁道方位的磁道号。比特 0 代表当前同步块是视频数据还是音频数据。

图 20B 表示在当前同步块的数据区域是视频数据的情况中 DID 的比特
25 赋值的示例。DID 包含当前同步块的有效负载信息, DID 的内容取决于 ID 1 的比特 0 的值。当 ID 1 的比特 1 代表视频数据时, 保留 DID 的比特 7 至 4。DID 的比特 3 与 2 代表有效负载的模式。此模式例如是有效负载的类型。DID 的比特 3 与 2 代表辅助信息。DID 的比特 1 代表有效负载存储一个还是两个宏块。DID 的比特 0 代表存储在有效负载中的视频数据是否是外码奇偶校验。

图 20C 表示在当前同步块的数据区域是音频数据的情况中 DID 的比特
30 赋值示例。保留 DID 的比特 7 至 4, DID 的比特 3 代表存储在当前同步块的有效负载中的数据是音频数据还是常规数据。当有效负载存储压缩编码的

音频数据时，DID 的比特 3 代表数据。DID 的比特 2 至 0 存储 NTSC 5 场序列的信息。换句话说，在 NTSC 标准中，当取样频率是 48kHz 时，一场的视频信号等于 800 个样本或 801 个样本的音频信号。每 5 个场完成此序列。DID 的比特 2 至 0 代表此序列的位置。

- 5 图 19B-19E 表示有效负载的示例。在图 19B 与 19C 中，有效负载分别存储一个或两个宏块的视频数据(作为可变长度的数据)。在图 19B 中，有效负载存储一个宏块。在这种情况下，有效负载前 3 个字节包含表示随后的宏块长度的数据长度标记 LT，此数据长度标记 LT 可以或可以不包含其长度。在图 19C 中，有效负载存储两个宏块。在这种情况下，顺序配置第一宏块的数据长度标记 LT、第一宏块、第二宏块的数据长度标记 LT 和第二宏块。需要数据长度标记 LT 来拆开宏块。
- 10

图 19D 表示有效负载存储视频 AUX(辅助)数据的情况。在图 19D 中，在有效负载的开头，配置数据长度标记 LT，此数据长度标记 LT 代表视频 AUX 数据的长度。此数据长度标记 LT 后面是 5 字节的系统信息、12 字节的 PICT 信息和 92 字节的用户信息。保留有效负载的剩余区域。

15

图 19E 表示有效负载存储音频数据的情况。能在所有长度的有效负载中组装音频数据。此音频信号例如是未压缩的 PCM 信号。可选择地，此音频信号可以根据特定方法进行压缩编码。不给音频数据设置数据长度标记 LT。

- 20 根据此实施例，根据同步块是视频同步块还是音频同步块优化作为每个同步块的数据存储区域的有效负载长度。因此，每个视频同步块的有效负载长度不等于每个音频同步块的有效负载长度。另外，每个视频同步块的长度与每个音频同步块的长度根据所使用的信号格式进行最佳设置。因此，能完整地处理多种不同的信号格式。

25 根据本发明的实施例，利用螺旋扫描方法在磁带上记录信号。在螺旋扫描方法中，利用配置在旋转磁头上的磁头形成倾斜磁道。在旋转磁鼓的相反位置上配置多个磁头。在磁带以约 180° 的缠绕角度缠绕到旋转磁头的情况中，当旋转磁头旋转 180° 时，能一次形成多个磁道。具有不同方位的两个磁头作为一组配置在旋转磁鼓上，以使相邻磁道具有不同的方位角。

- 30 图 21-24 表示 SD 模式中的磁道格式。图 25 与 26 表示 HL 模式中的磁道格式。在 SD 模式中，在一个磁道上形成两个视频扇区、八个音频扇区和

两个 SAT。在这些图中，SAT 1(Tr)和 SAT 2(Tm)表示其中记录伺服锁定信号的区域。具有预定大小的间隔(Vg1, Sg1, Ag, Sg2, Sg3 和 Vg2)形成在相邻记录区域之间。

图 21 表示 SD1 模式中的磁道格式。图 22、23 与 24 分别表示 SD2 模式、SD3 模式与 SD4 模式中的磁道格式。在 SD1 模式中，音频通道数量是 4，在其他模式中，音频通道数是 8。如图 15 所示，在 SD1 模式中，每帧的视频数据与音频数据记录在 4 个磁道上。在 SD2 模式中，每帧的视频数据与音频数据记录在 8 个磁道上。在 SD3 模式中，每帧(逐帧)的视频数据与音频数据记录在 4 个磁道上。在 SD4 模式中，每帧(逐帧)的视频数据与音频数据记录在六个磁道上。

在 SD2 模式中，记录隔行信号(480i 信号)和音频信号。480i 信号是其帧频率为 29.97Hz、数据速率是 50Mbps、有效行数为 480 以及有效水平像素数是 720 的信号。在 SD2 模式中，记录隔行信号(576i)与音频信号。576i 信号是其帧频率为 25Hz、数据速率为 50Mbps、有效行数是 576 以及有效水平像素数是 720 的信号。

一个分段由具有不同方位的两个磁道形成。换句话说，在 SD2 模式中(参见图 22)，八个磁道由 4 个分段组成。形成一个分段的一对磁道根据方位表示为磁道号[0]与磁道号[1]。在图 22 所示的示例中，第一批 8 个磁道的磁道号不同于第二批 8 个磁道的磁道号。给每帧指定唯一的磁道序列。因而，即使因阻塞等原因成对的磁头之一不能读出信号，也能使用前一帧的数据。因此，能使差错的影响最小化。

在每一种磁道格式中，在每个磁道的纵向上在两个边缘侧上形成视频扇区。在视频扇区之间形成用于音频数据的音频扇区。在 SD2 模式中，能处理 8 个通道的音频数据。A1-A8 分别代表通道 1-8 的音频数据扇区。各个通道的音频数据位置逐个分段进行变化。在音频数据中，在一个场周期中生成的音频样本(在取样频率是 48kHz 的情况中为 800 样本或 801 样本)分成偶数编号的样本与奇数编号的样本。这些样本组和 AUX 数据将一个纠错块组成为乘积码。

在 SD2 模式中，一场的数据记录在四个磁道上。因而，每个音频数据通道的两个纠错块记录在四个磁道上。两个纠错块的数据(包括外码奇偶校验)分成四个扇区。如图 22 所示，所划分的数据分散地记录在四个磁道上。

混洗包含在两个纠错块中的多个同步块。例如，具有例如标号 A1 的四个扇区形成通道 1 的两个纠错块。

在此示例中，对每个磁道的四个纠错块的数据进行混洗(交织)并记录到上侧扇区与下侧扇区，在每个下侧视频扇区的预定位置上形成系统区域 5 (sys)。SD4 模式是每帧六个磁道的格式。在此示例中，磁道序列仅为[0]。

图 25 表示 HL 1 模式与 HL 2 模式中的磁道格式。在 HL 1 模式中，每帧的视频数据与音频数据记录在 12 个磁道上。在 HL 2 模式中，每个逐帧的视频数据与音频数据记录在 12 个磁道上。图 26 表示 HL 3 模式与 HL 4 模式中的磁道格式。在 HL 3 格式中，每帧的视频数据与音频数据记录在 20 10 个磁道上。在 HL 4 模式中，每个逐帧的视频数据与音频数据记录在 20 个磁道上。

根据本发明，如上所述，为了处理多格式，视频数据分组长度与音频数据分组长度不相同，但是最佳指定的。仅根据帧频率指定音频数据分组长度。如图 18A 与 18B 所示，ECC 块的音频样本的安排不根据帧频率而改变。 15 只有数据分组长度根据帧频率而改变。指定音频数据的同步块长度而与视频数据的同步块长度无关。另外，由于 ECC 块与音频样本之间的关系固定，所以编码器与解码器能使用公用信号处理电路来处理具有不同视频速率的各种格式。因此，能显著地减小电路规模。

另外，如图 19C 所示，用于两个宏块的 VLC 数据分组能放置在一个同步块中。因此，在记录或再现低数据速率的视频数据时，能阻止数据冗余度变高。 20

接下来，将描述视频数据。根据此实施例，MPEG 2 标准用作视频数据压缩系统。宏块是一组 8×8 DCT 块。“同步数”代表其中设置相关数据的同步块的数量。在下面的描述中，使用这些符号。

25 Fq(频率): 59.94/50/29.97/25/23.976Hz

Video MB(视频 MB): 视频宏块的数量

[625/50] 720 × 608 → 1710 宏块

[525/60] 720 × 512 → 1440 宏块

(Ecc nb)ECC 数: 一个磁道中交织的 ECC 块数量。

30 SYS SYNCnb: SYNC(系统同步)数

其中

设置每个数据编辑单元的系统数据

分组长度: 数据分组长度

Tr nb: 每个数据编辑单元的磁道数

VLC SYNCnb: 设置在每个数据编辑单元的 VLC 分组中的 SYNC 数

5 VSYNBnb: 每个数据编辑单元的视频数据总的同步块数

首标 SYNCnb: 其中设置用户数据的同步块数

零 SYNCnb: 零同步(除 VLC 同步、磁头同步和系统同步之外)的数量

在 MPEG 2 压缩方法中, 除非至少安排宏块, 否则不能解码为视频数据。

10 在往复再现模式中, 利用每个同步块更新数据。因此, 为提高图像的更新比率, 宏块的数据应放置在与相关宏块信息相同的同步块中。为此, 重新安排 DCT 系数。包含已以重要性顺序安排的宏块信息和分量的块称为 VLC 分组。当更新一个 VLC 分组时, 更新包含在此分组中的图像的 DC 分量与频率分量。另外, 如上所述, 对 VLC 分组执行组装处理。零同步用于组装未

15 放置在同步块中的数据。控制视频数据的数据速率, 以便组装视频数据的总量。通过增加同步码型、块 ID 和纠错奇偶校验给此分组, 形成一个同步块。

假定: 首标 SYNCnb=1, Ecc nb=4 和 SYS SYNCnb=Tr nb, 在满足以下条件时,

20
$$\text{VLC SYNCnb} = \text{Video MB} \dots (3)$$

由下式给出一个 ECC 块的同步 Vd 的数量:

$$\text{Vd} = (\text{int}) (\text{VLC SYNCnb} + \text{SYS SYNCnb} + \text{首标 SYNCnb}) / \text{Ecc nb} / \text{Tr nb} + 1) \dots (4)$$

由下式给出每个数据编辑单元的零同步的总数:

25
$$\text{VSYNBnb} = \text{Vd} \times \text{Ecc nb} \times \text{Tr nb} \dots (5)$$

由下式给出零同步数:

$$\text{Null SYNCnb} = \text{VSYNBnb} - \text{VLC SYNCnb} - \text{SYS SYNCnb} - \text{首标 SYNCnb} \dots (6)$$

选择零同步的数量, 以使同步块的数量对应磁道数与 ECC 块的结构变为合适。另一方面, 由下式给出视频数据的平均比特率。

30

$$\text{Avr 比特率} = (\text{VLC SYNCnb} + \text{零 SYNCnb} + \text{首标 SYNCnb}) \times \text{Fq} \times 8 \text{ 比特} \times \text{分}$$

组长度 ... (7)

式(7)表示视频数据的平均比特率与分组长度(数据分组长度)成比例。换句话说,通过调整视频数据的分组长度(即,视频数据的同步块长度),能获得所需的视频数据的比特。在此示例中,由于视频数据的分组长度与音频数据的分组长度无关,所以能调整视频数据的比特率而无需改变音频数据的信号处理。

由于视频数据的平均比特率与数据分组长度成比例,所以在降低比特率时,应成比例地降低数据分组长度。图 27A, 27B, 27C 与 27D 表示数据分组与同步块之间的关系。由同步块长度/分组长度 $\times 100\%$ 给出冗余度。

图 27A 表示在视频数据的平均比特率是正常值的情况中同步块的结构。在此示例中,数据分组长度是 180 字节。同步块长度是 197 字节。在这种情况下,冗余度是 $(197/180) \times 100 = 109\%$ 。当图 27A 所示的同步块的平均比特率减半时,形成图 27B 所示的同步块。由于固定同步码型、ID 与 DID 的长度,所以冗余度变得与 118% 一样大。为了解决这样的问题,如图 27C 所示,能根据数据分组长度降低内码的纠错奇偶校验的数量。

然而,在降低奇偶校验数量时,降低纠错能力。利用内码编码从同步块中除去两字节的同步码型的数据。图 28 表示纠错能力。在图 28 中,水平轴与垂直轴分别代表纠错之前的误码率和纠错之后的误码率。如上所示,在奇偶校验数量减半时,利用实线表示的纠错能力降低为虚线所示的纠错能力。

根据此实施例,为了解决这样的问题,定义 VPnum(每个同步块的 VLC 分组的数量)以便在一个同步块中设置多个 VLC 分组。图 27D 表示在一个同步块中设置两个 VLC 分组的示例。在种情况中,冗余度是 109%。在此实施例中,如结合图 19 所述的,VPnum 的最大值是 2 并且代表每个同步块的分组数量的数据记录在 DID 中。由于在一个同步块中设置多个 VLC 分组,式(3)能改写为下式:

VLC SYNCnb=视频 MB/VP num ... (8)

由于在一个同步块中设置多个 VLC 分组,所以能降低冗余度。因此,能提高记录效率。

接下来,将具体描述图 29 所示的同步检测电路 132。图 29 表示根据本发明的同步检测电路 132 的结构示例。同步检测电路 132 自动检测具有不

同数据长度的同步块。同步检测电路 132 是本发明的一个主要特征。

在下面的描述中,同步检测电路 132 检测具有不同的数据长度 L 与 K (其中 $L > K$ 和 $2K > L$) 的两种类型的同步块。数据长度 L 与 K 等效于具有预定频率的 L 时钟周期和 K 时钟周期。

- 5 作为比特串行信号的输入数据输入到端子 1, 输入数据提供给移位寄存器 L10、移位寄存器 K11、比较 (L) 电路 12 和比较 (K) 电路 13 的第一端子以及同步比较电路 14 的输入端。

- 移位寄存器 L10 与移位寄存器 K11 分别具有对应数据长度 L 与数据长度 K 的比特长度。移位寄存器 L10 的输出数据提供给延迟线 19 与比较 (L) 电路 12 的第二输入端。延迟线 19 将输入数据延迟 $2L$ 。比较 (L) 电路 12 对
10 应具有长度 L 的同步码型。移位寄存器 K11 的输出数据提供给对应具有长度 K 的同步码型的比较 (K) 电路 13 的第二输入端。同步比较电路 14 将同步码型的检测结果和比特移位量信息提供给比较 (L) 电路 12 与比较 (K) 电路 13。比特移位量信息代表同步模式的比特匹配位置。

- 15 比较 (L) 电路 12 将检测结果和移位量作为信号 CL 提供给同步检测电路 15。同样, 比较 (K) 电路 13 将检测结果和移位量作为信号 CK 提供给同步检测电路 15。同步检测电路 15 检测并保持对应信号 CL 或信号 CK 的同步信息。同步信息提供给相位控制电路 16, 相位控制电路 16 控制同步信息的相位并将所得到的数据写入 RAM 17。从同步 RAM 17 中读出在等效于长度 $(2L-K)$
20 的位置上开始的同步信息。读出的同步信息提供给惯性电路 18。

- 另一方面, 已延迟 $(3L-K)$ 的同步信息从同步 RAM 17 提供给输出控制电路 20。另外, 由惯性电路 18 生成的同步脉冲提供给输出控制电路 20。根据所提供的同步信息与同步脉冲, 从延迟线 19 中读出输入数据, 所读出的数据作为同步块提供给输出端 21, 由惯性电路 18 生成的同步脉冲也提供给
25 输出端 22。

接下来, 将具体描述由同步检测电路 132 执行的处理。如上所述, 每个同步块包含同步码型 (在前面两个字节上)、ID 号 (ID 0) (在第三字节上) 和附加信息 (ID 1) (在第四字节上)。附加信息代表当前同步块的数据类型。

- 由于每个同步块用于一个字节数据, 其中从记录介质中再现的串行数据以 8 比特间隔变换为并行数据。因此, 在比特移位状态中输入原始同步
30 块的数据。图 30A、30B 与 30C 表示输入数据的比特移位状态。如图 30A 所

示, 输入数据当作 8 比特(一个八比特组)数据进行处理。如图 30B 所示, 每个数据单元的输入数据的末尾不总是匹配原始(记录)数据每个数据单元的末尾。如图 30C 所示, 输入数据的每个数据单元从原始数据的每个数据单元移位 3 比特。

- 5 根据预定同步码型确定输入数据与原始数据之间的比特移位量。在此示例中, 假定: 输入数据序列的比特移位量是 0, 并且输入数据序列与原始数据序列同步。在此示例中, 参照输入数据和相对输入数据延迟 L 时钟周期与 K 时钟周期的数据。确定比特移位值是否匹配预定同步码型、ID 号码的连续性和 ID 信息的识别。在它们匹配时, 检测到同步码型。

- 10 图 31A 表示从输入端 1 接收的输入数据的示例。在开始具有同步码型的每个同步块的长度是 L。输入数据顺序提供给移位寄存器 L10 与移位寄存器 K11。输入数据顺序存储在图 32A 所示的移位寄存器 L10。在图 32A 中, SYNC(L) 与 SYNC(H) 分别代表同步码型的第一批 8 比特与第二批 8 比特。

- 15 从输入端 1 接收的输入数据提供给比较(L)电路 12 的第一输入端。移位寄存器 L10 的输出数据提供给比较(L)电路 12 的第二输入端。例如, 提供给比较(L)电路 12 的第一输入端的数据是在图 32A 所示的位置“A”上的数据。提供给比较(L)电路 12 的第二输入端的数据是在图 32A 所示的位置“B”上的数据。

- 20 图 33 表示比较(L)电路 12 的结构示例。比较(K)电路 13 的结构与比较(L)电路 12 的结构相同。通过端子 30 从移位寄存器 L10 接收的数据存储到 8 比特并行寄存器 31 和 32。8 比特并行寄存器 31 与 32 均存储 8 比特。同样, 通过端子 34 从输入端 1 接收的输入数据存储到 8 比特并行寄存器 35 与 36。8 比特并行寄存器 35 与 36 均存储 8 比特。利用 EXOR(异或)电路 33 与 37 以及 NOR(或非)电路 38, 确定存储在寄存器 31 与 32 中的数据是否匹
25 配存储在图 32B 所示的寄存器 35 与 36 中的数据。比较结果从“或非”电路 38 提供给输出端 39。

- 30 同步比较电路 14 确定输入数据是否匹配同步码型并将确定结果提供给比较(L)电路 12 与比较(K)电路 13。如图 34 所示, 同步比较电路 14 将锁存的输入数据与每个比特位置上的 8 比特同步码型进行比较。在同步比较电路已检测到同步码型时, 将同步码型的检测结果和代表同步码型的比特匹配位置的比特移位量提供给比较(L)电路 12 与比较(K)电路 13。

因此，在以对应数据长度 L 的间隔输入同步码型时，比较 (L) 电路 12 能在与同步比较电路 14 相同的比特位置上检测到同步码型。所检测的结果和比特移位量作为信号 CL 输出。因此，能检测图 31A 所示的各个同步块的位置。

- 5 由于移位寄存器 K11 的比特长度小于每个输入同步块的字节数量，所以检测电路不能在图 32A 所示的状态中检测同步码型。

同样，在连续输入数据长度均是 K 的同步块时，由于移位寄存器 K11 与比较 (K) 电路 13 在图 32A 与 32B 所示的状态中，所以能检测同步码型的匹配。相反地，由于移位寄存器 L10 与比较 (L) 电路 13 未处在图 32A 与 32B
10 所示的状态中，所以不能检测同步码型的匹配。

因而，图 29 所示的电路能检测多种类型的同步块而无需设置包含在输入数据中的数据长度信息。理论上，利用对应同步块的相应数据长度的移位寄存器和比较电路，能增加一次能检测列的数据长度数量。

- 接下来，将描述用于生成代表输出的同步块的开始位置的同步脉冲的方法，如图 31A 所示，由同步检测电路 132 处理的数据是顺序输入的同步
15 块。然而，由于出现在记录系统与发送系统中的差错，可能丢失一部分或特定区域的数据。由于同步块的数据部分(即，数据分组)由纠错码块组成，即使丢失包括同步码型的一部分数据，也可以纠正差错。然而，为了执行纠错处理，必须正确检测纠错码的开始(即，同步块的开始位置)。

- 20 当在同一扇区中顺序记录具有相同长度的同步块时，一旦检测到具有特定数据长度的同步码型，则意味着以对应此时数据长度的间隔安排同步块。因此，即使未检测到同步码型，在已检测的同步脉冲顺序输出直至检测到同步码型时，可以根据同步脉冲再现数据。例如，如图 31C 所示，能根据具有同步块长度的同步脉冲正确再现同步块脉冲。

- 25 为此，一旦检测到同步码型，以对应输出数据开始的预定间隔输出脉冲。由等效于上述惯性电路 18 的电路执行此处理。

图 35 表示惯性电路 18 的结构示例。惯性电路 18 处理两种类型的数据长度 L 与 K 。识别数据长度 L 或 K 的识别信号 L/K 提供给端子 50。识别信号 L/K 表示已由移位寄存器 L10 还是由移位寄存器 K11 检测到同步码型。

- 30 另外，对应同步码型检测的信号(是开始脉冲)提供给端子 51。

开始脉冲提供给 L/K 计数器 52 的开始端子 ST。另外，开始脉冲通过连

到作为初始端子位置的端子 51 的开关电路 54 提供给“或”电路 58 的第一输入端。“或”电路 58 的输出数据提供给计数器 59 的负载输入端(将在下面进行描述)。

5 从端子 50 接收的识别信号 L/K 提供给 L/K 计数器 52 的允许端 EN。另外, 识别信号 L/K 用作开关电路 53 的选择控制信号。开关电路 53 选择对应识别信号 L/K 值的输入端 53A 或 53B。根据输入端 53A 或 53B 的选择, 对应数据长度 L 或 K 的初始值例如从系统控制器(未示出)中提供和装载给计数器 59 的负载数据端子。

10 计数器 59 从对应预定时钟信号的装载的初始值开始递减计数。当计数值变成[0]时, 输出对应一个时钟周期的同步脉冲。输出的同步脉冲提供给输出端 80。另外, 输出同步脉冲提供给“或”电路 58 的第二输入端。因此, 通过开关电路 53 装载初始值。因而, 计数器 59 重新开始递减计数。

计数器 59 利用从“或”电路 58 接收的脉冲开始递减计数。换句话说, 计数器 59 利用从端子 51 接收的开始脉冲或从计数器 59 接收的同步脉冲开始递减计数。在计数器 59 正在递减计数的同时, 在脉冲从“或”电路 58 15 提供给计数器 59 时, 从负载数据端子中装载初始值。计数器 59 从此初始值开始递减计数。因此, 即使输入数据的同步码型的检测位置改变, 但由于在计数器递减计数的同时装载初始值, 所以能输出对应输入数据的同步脉冲。开关电路 54 根据电路 18 的操作选择端子 53A 或 53B。开关电路 54 20 根据 L/K 计数器 52 的输出信号操作(这将在下面进行描述)。

图 36 表示在每个同步块的数据长度是 L 的情况中惯性电路 18 的操作时序示例。计数器 59 根据图 36A 所示的时钟信号递减计数。在定时 A, 输入开始脉冲和识别信号 L/K(参见图 36B 与 36C)。在下一个时钟周期, 对应数据长度 L 的初始值从负载数据端输入。计数器 59 从此初始值开始递减计数(参见图 36D)。当计数值变为[0](在定时 B)时, 即使不输入开始脉冲, 25 也如图 36E 所示输出同步脉冲。因此, 一旦计数器 59 开始, 以预定间隔输出同步脉冲。

另外, 在定时 C, 在计数器 59 正在递减计数的同时输入开始脉冲时, 装载初始值。在定时 D, 当计数值变成[0]并且输入开始脉冲时, 如同定时 30 B 一样装载初始值。

因此, 在输入开始脉冲并随后生成 L 时钟周期之后, 输出同步脉冲。

另一方面，即使数据长度是 K ，惯性电路 18 将延迟调整 $(L-K)$ 时钟周期，如下面将进行描述的。此后，计数器 59 开始递减计数。因此，输出数据(同步块)应延迟 L 时钟周期。利用图 29 所示的延迟线 19 的延迟装置 19B 延迟输出数据。

5 接下来，参见图 37-39，将描述用于提供同步码型的检测结果给惯性电路 18 的方法。接下来，参见图 38，将描述数据长度是 L 的情况。在图 37 中，定时 A 表示最新定时。同步码型以定时 D、C、B 与 A 的顺序输入到输入端 1。对应于定时 A、B、C 与 D 输入的同步码型的同步块分别称为同步块 A、B、C 与 D。

10 当在定时 A 与 B 检测到同步码型时，移位寄存器 L10 和延迟线 19 存储图 38 所示的数据。换句话说，同步块 C 存储在延迟线 19 的延迟装置 19B 中。同步块 B 存储在延迟装置 19A 中。另一方面，同步块 A 存储在移位寄存器 L10 中。

 惯性电路 18 应相对于同步块 B 进行操作。相对同步块 B 的开始，同步
15 RAM 17 的存储位置是同步 RAM 17 的位置 $(L-K)$ 。换句话说，位置 $(L-K)$ 是从同步 RAM 17 的最后输出位置往回追溯 $2L$ 的位置。同步 RAM 17 存储同步码型检测信息、同步块长度和每个同步块的比特移位量。从最后输出位置回溯 L 时钟周期的存储位置，将同步码型检测信息输出到惯性电路 18。同步码型检测信息例如是识别信号 L/K 。

20 图 39 表示数据长度是 K 的情况。在这种情况下，执行与数据长度是 L 的情况相同的操作，在数据长度是 K 时，同步块 B 的同步码型检测信息设置在同步 RAM 17 的开始(即，从最后输出位置回溯 $(3L-K)$ 的位置)。因此，延迟线 19 中同步块 B 的定时与同步 RAM 17 中的相关数据的定时相同。

 从同步 RAM 17 提供给惯性电路 18 的数据的输出位置是从同步 RAM 17
25 的最后输出位置回溯 L 时钟周期的位置而不管同步块长度是 L 还是 K 。另一方面，在同步块长度是 K 时，由于惯性电路 18 以 K 时钟周期的间隔输出同步脉冲，所以同步脉冲的相位偏离延迟线 19 的同步块数据相位 $(L-K)$ 时钟周期。

 为了解决该问题，使用惯性电路 18 的 L/K 计数器 52(参见图 35)。 L/K
30 计数器 52 是对数据长度 L 与数据长度 K 之间的差计数的计数器。 L/K 计数器 52 仅在同步块长度是 K 时根据从端子 50 提供给允许端子 EN 的识别信号

L/K 递减计数。系统控制器(未示出)将数据长度 L 与 K 作为初始值提供给 L/K 计数器 52。L/K 计数器 52 利用通过端子 51 从开始端子 ST 接收的开始脉冲开始递减计数。L/K 计数器 52 从(L-K)开始递减计数。在 L/K 计数器 52 的计数值变为[0]时, L/K 计数器 52 输出一个时钟周期的脉冲。

- 5 当提供给同步 RAM 17 的惯性电路 18 的输出数据的数据长度是同步块长度 K 时, 开关电路 54 选择 L/K 计数器 52 的输出数据。L/K 计数器 54 的输出脉冲通过开关电路 54 与“或”电路 58 提供给计数器 59 的负载端子。因此, 计数器 59 从负载数据端子读出初始值并重新开始递减计数。由于 L/K 计数器 52 使计数器 59 延迟重新计数操作, 所以惯性电路 18 的同步脉冲的
10 输出定时与延迟线 19 和同步 RAM 17 的输出数据的定时匹配。

相位控制电路 16 控制相对于同步 RAM 17 的写操作、当比较(L)电路 12 或比较(K)电路 13 将同步码型的检测结果提供给同步检测电路 15 时, 提供同步码型的检测定时(即, 代表比较(L)电路 12 或比较(K)电路 13 的检测结果的信息)给相位控制电路 16。

- 15 根据接收的信息, 相位控制电路 18 获得同步 RAM 17 的写地址并生成同步 RAM 17 的写数据。如上所述, 同步检测标志块长度信息(L/K)和比特移位量写到同步 RAM 17。同步检测标志块长度信息(L/K)和比特移位量由相位控制电路 16 生成。如结合图 38 与 39 所述的, 在由惯性电路 18 处理的同步块 B 的数据长度是 K 时, 从同步 RAM 17 的开始写入同步块 B。在同步
20 块 B 的数据长度是 L 时, 从同步 RAM 17 的开始被延迟(L-K)时钟周期的位置开始写入同步块 B。

在数据序列记录到记录介质之前, 识别数据长度与同步块的识别信息可以存储到同步块的数据。因而, 在再现数据时, 能校验数据长度的有效性和同步块类型。结果, 能阻止应用软件处理被不正确地执行。

- 25 作为实施例的应用示例, 预先指定视频数据与音频数据的同步块长度。仅在 ID 信息(ID 1)的音频/视频标志与检测的同步块的数据长度匹配时, 假定已检测到正确的同步码型。

作为这样的识别信息, 例如能使用同步块的 ID 1、DID 和长度信息 LT。

- 根据此实施例, 同步检测电路 15 执行这样的校验处理。当同步检测电
30 路 15 确定检测的同步码型由于校验处理的结果不正确时, 同步检测电路 15 执行处理就好像它未检测到同步码型并且未提供这样的信息给相位控制电

路 18。

影响同步检测信息以便输出数据。换句话说，在最后输出级上的输出控制电路 20 将延迟线 19 的输出数据移动对应惯性电路 18 的输出数据与同步码型的检测信息的比特移位量并从而逐个字节地恢复原始数据。

- 5 图 40 表示从输出控制电路 20 输出的数据示例。在此示例中，数据长度 L 是 [6]。根据图 40A 所示的时钟信号执行所有操作。从输入端 1 接收的输入数据由具有数据长度 [6] 的同步块 A、具有数据长度 [4] 的数据间隙和具有数据长度 [6] 的同步块 C 组成。以这样一种方式，从输入数据中检测同步码型。计数器 59 从数据长度 L 开始递减计数。在计数器 59 的计数值变成
- 10 [0] 时，生成同步脉冲并从而输出数据。在数据长度是 [6] 的情况中，即使输入具有不同于 [6] ($L >$) 的数据间隙，在输入正常同步块 C 时，在计数值变为 [0] 之前，计数器 59 从对应数据长度 L 的值开始递减计数。因而，正常输出同步块。

- 在上面的示例中，以对应数据长度 L 与 K 的间隔参照同步码型。然而，
- 15 本发明不限于这样的示例。换句话说，在此处理中，能以 L 、 $2L$ 、 $3L$...、 nL 、 K 、 $2K$ 、 $3K$ 、...、或 mK 的间隔参照同步码型。

本发明能应用于诸如光带(除磁带之外)和光盘(磁光盘和相位改变类型盘)的记录介质。另外，本发明能应用于通过传输路径发送数据的情况。

- 根据本发明，由于视频数据的同步块长度不同于音频数据的同步块长度，所以能最佳地选择这些数据。因此，利用一个信号处理电路，能执行具有不同比特速率的视频数据的各种格式的编码处理与解码处理。结果，
- 20 能显著地减小电路规模。结果，能减少处理这些信号的 IC 的费用。另外，由于音频数据不取决于视频速率和图像帧，所以能调整视频数据的比特率而无需改变音频数据的信号处理。

- 25 根据本发明，根据视频数据的比特率最佳选择设置在一个同步块中的数据分组数量。因此，由于冗余度变低，所以能提高记录效率。

 根据本发明，在从由具有不同长度的同步块组成的数字数据序列中检测每个同步块的相位时，不需要输入使块长度改变的外部信号。因此，能简化再现设备的系统结构。

- 30 根据本发明，对应输入同步块长度之间的差输出数据。因此，能阻止数据在改变同步块长度时丢失。

虽然已根据其最佳模式实施例表示和描述本发明，但本领域技术人员应理解：可以对其形式和具体细节进行前述和各种其他改变、省略和增加而不脱离本发明的精神与范畴。

图 1A

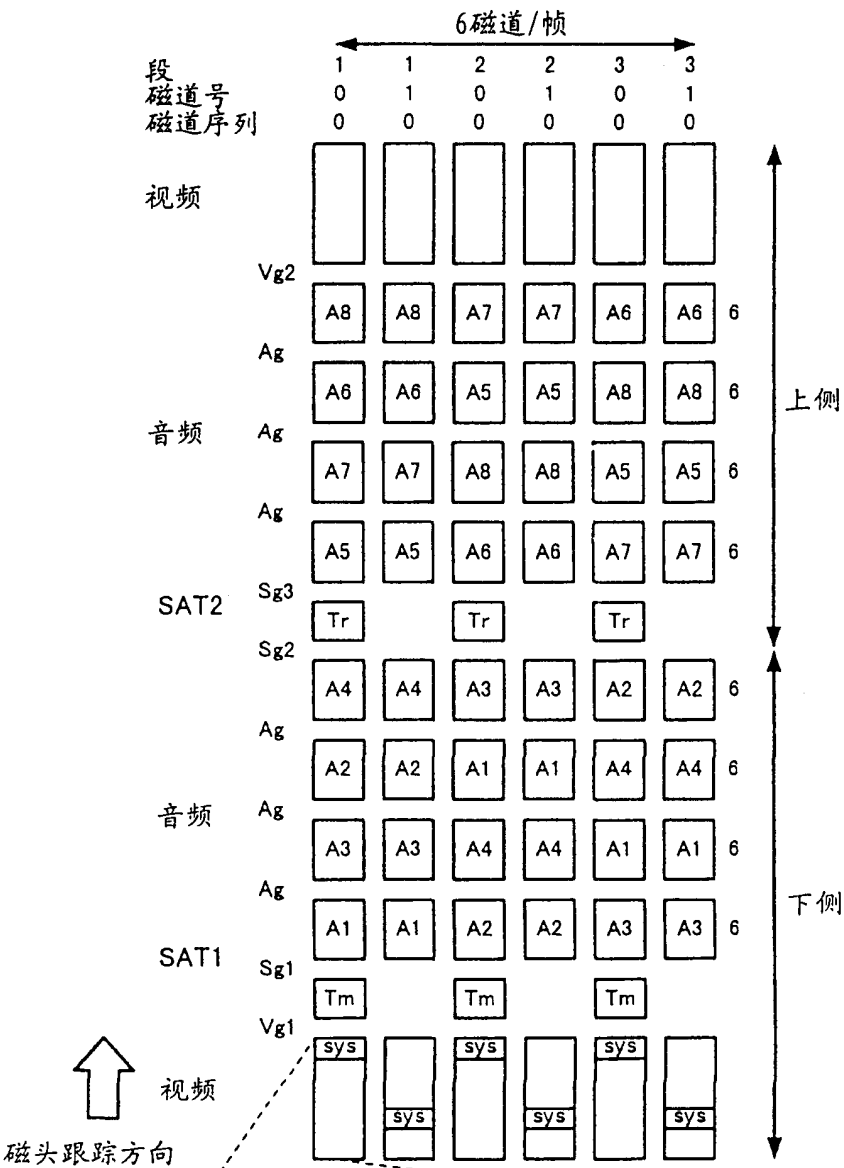
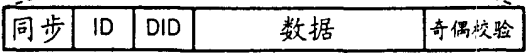


图 1B



图 1C



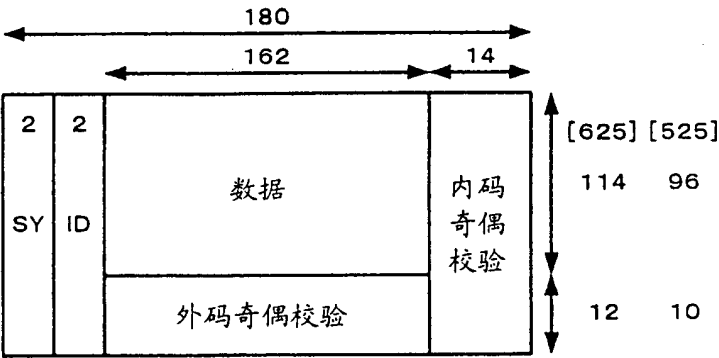


图 2A

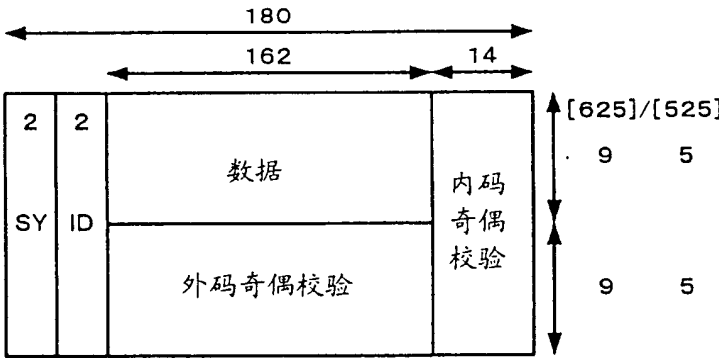


图 2B

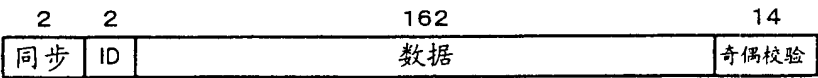


图 2C

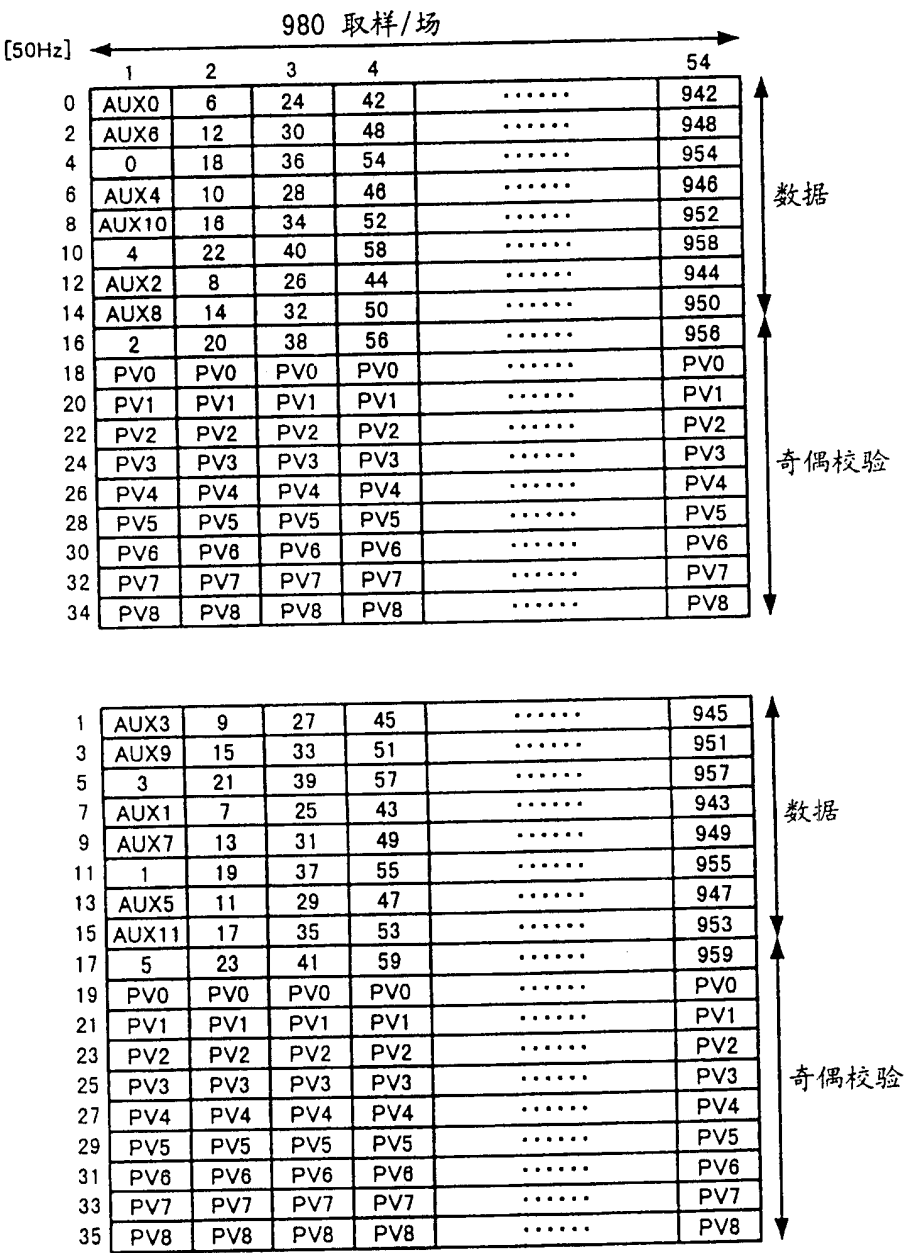


图 3

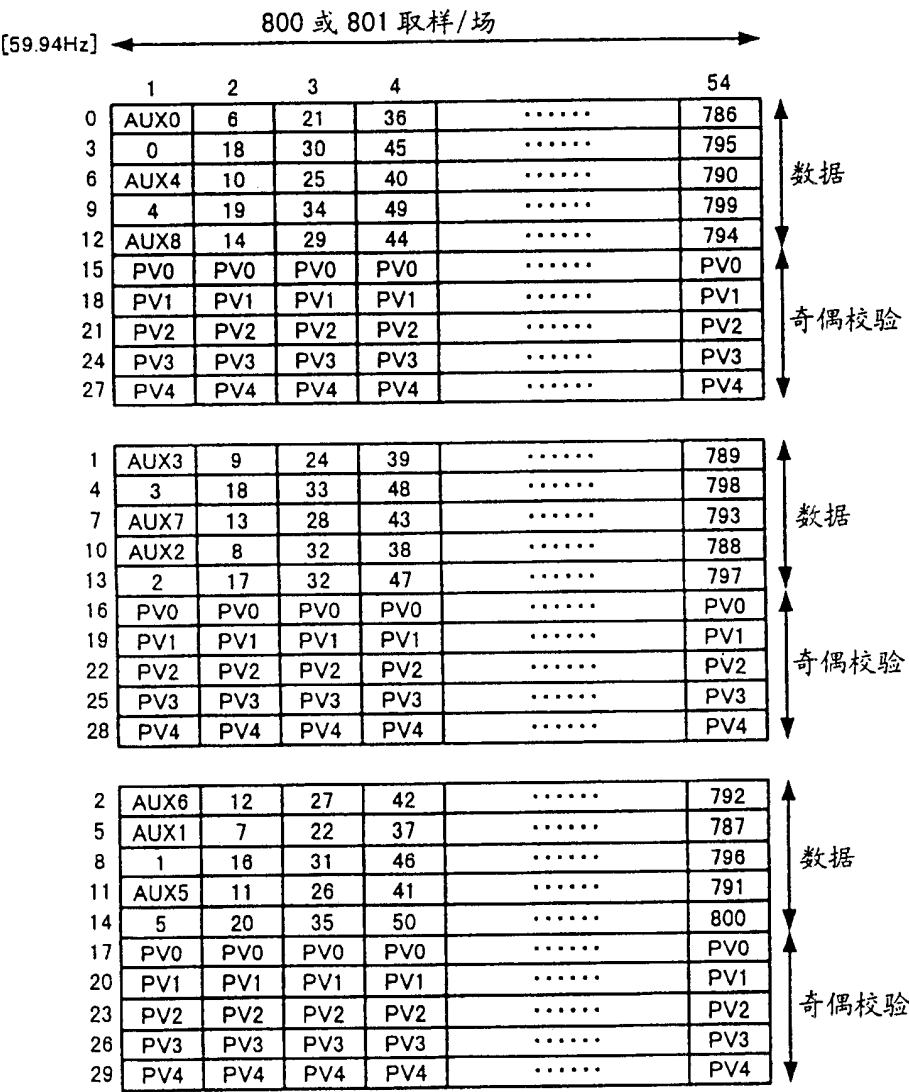


图 4

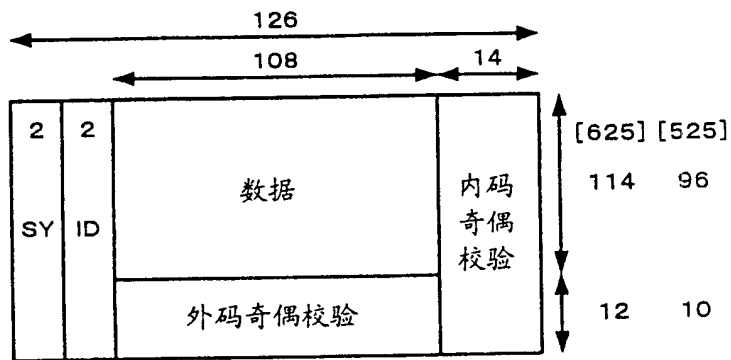


图 5A

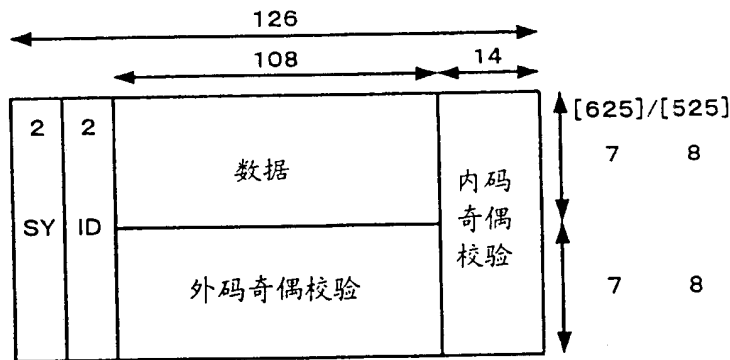


图 5B

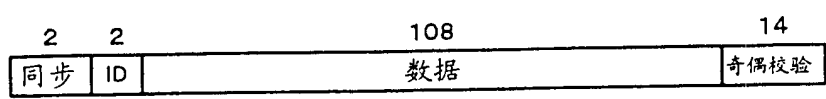


图 5C

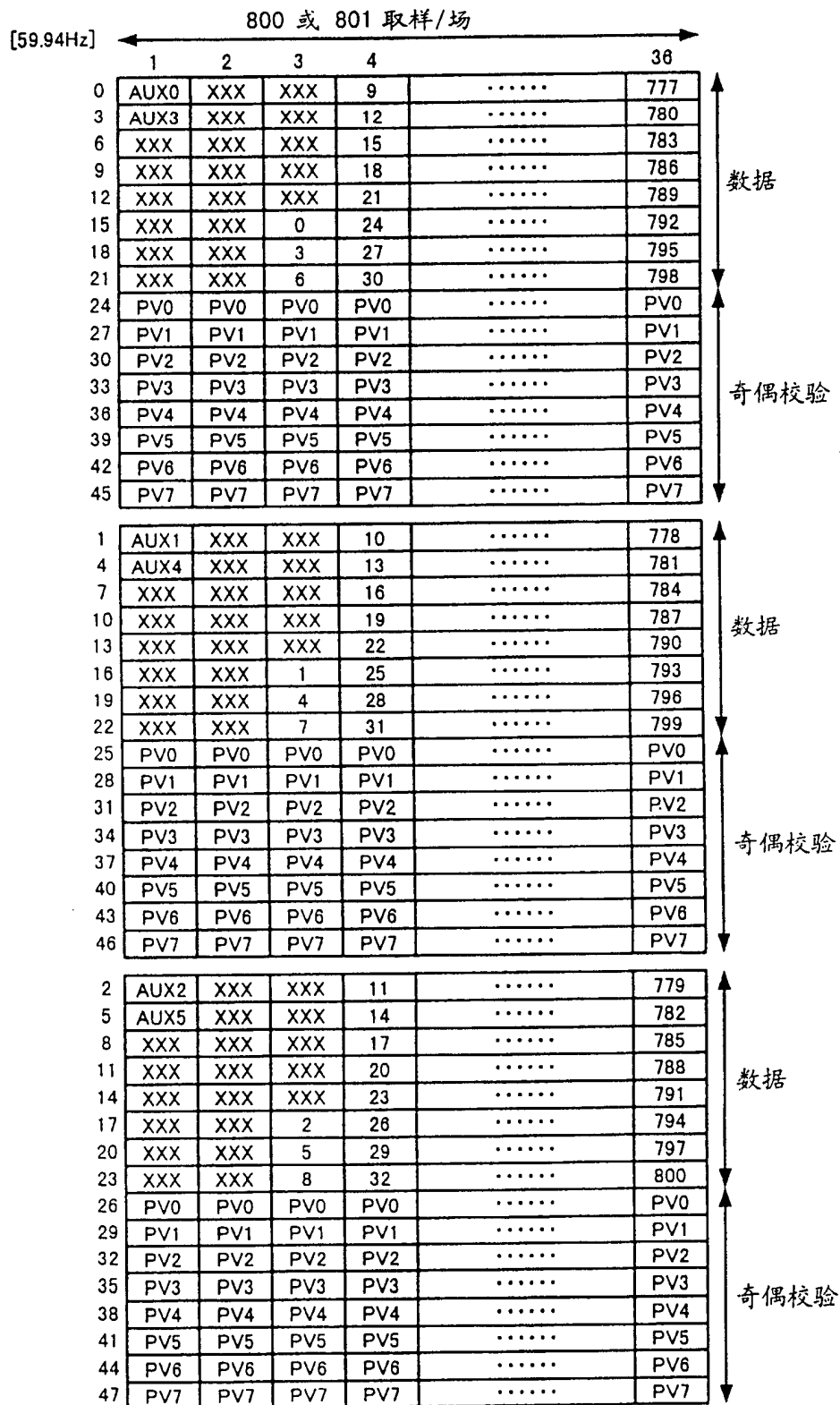


图 6

图像帧	扫描模式	帧频	视频速率	每个数据编辑单元的磁道数
720 × 480	隔行	29.97Hz	27Mbps	4
720 × 576	隔行	25Hz	24Mbps	4
720 × 480	隔行	29.97Hz	50Mbps	8
720 × 576	隔行	25Hz	50Mbps	8
720 × 480	逐行	29.97Hz	27Mbps	4
720 × 576	逐行	25Hz	24Mbps	4
720 × 480	逐行	23.976Hz	20Mbps	4
720 × 480	逐行	59.94Hz	51Mbps	4
720 × 576	逐行	50Hz	42Mbps	4
720 × 480	逐行	29.97Hz	50Mbps	8
720 × 576	逐行	25Hz	50Mbps	8
720 × 480	逐行	23.976Hz	36Mbps	8
720 × 480	逐行	59.94Hz	91Mbps	6
720 × 576	逐行	50Hz	75Mbps	6

图 7

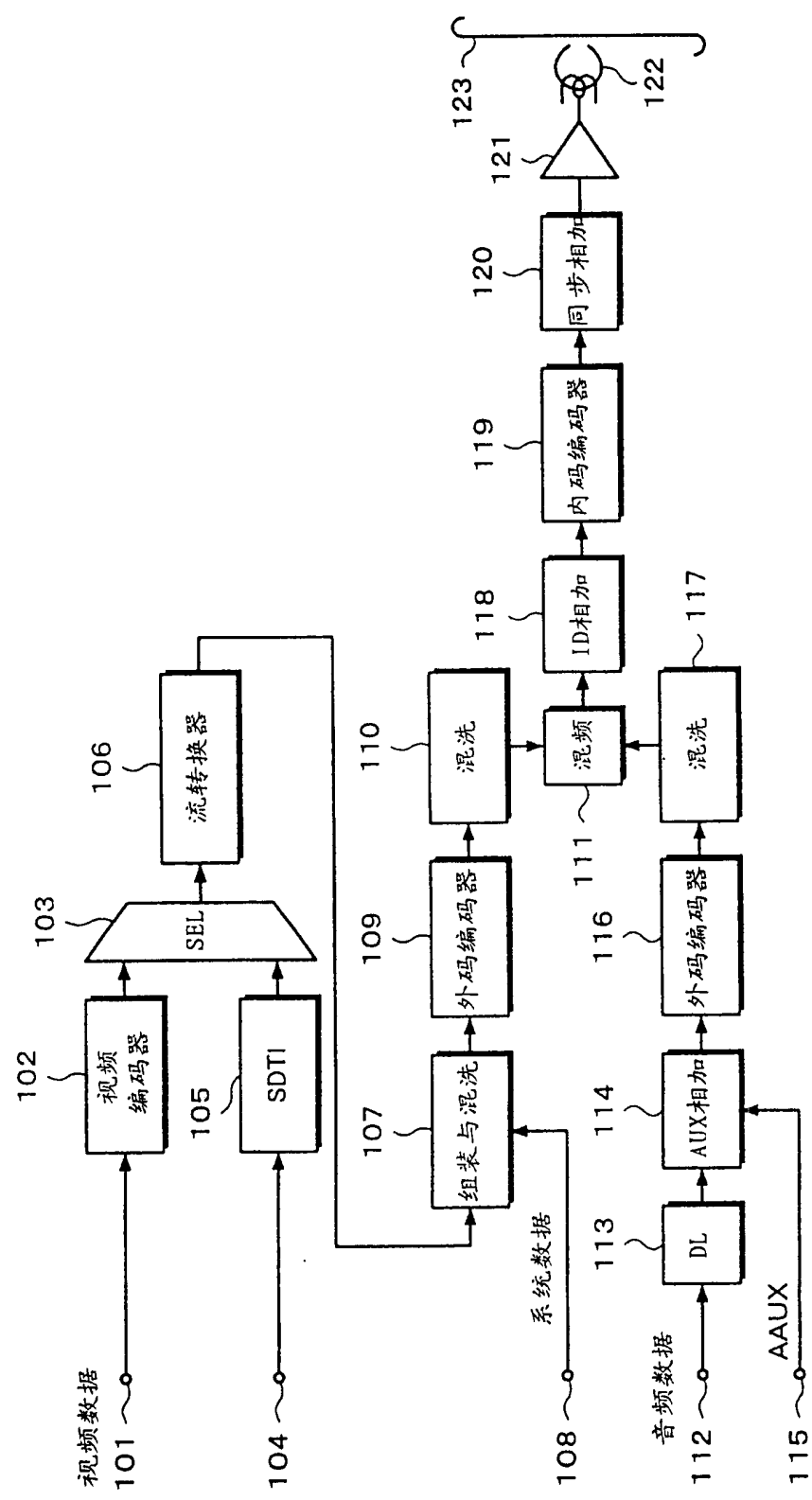
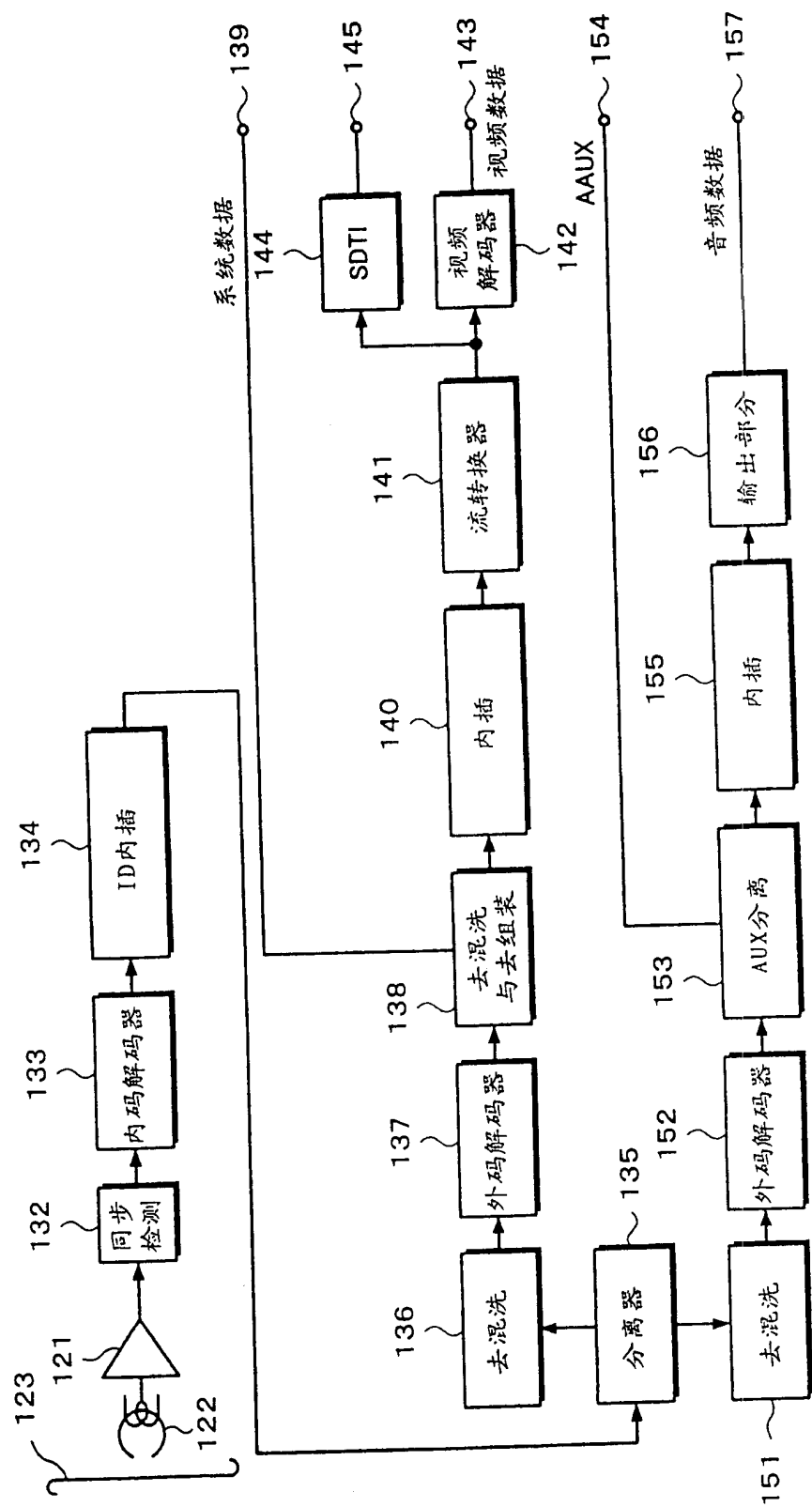


图 8



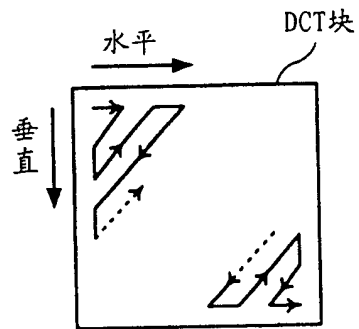


图 10A

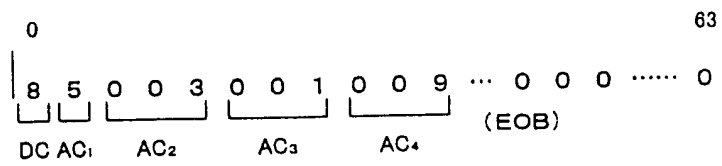


图 10B

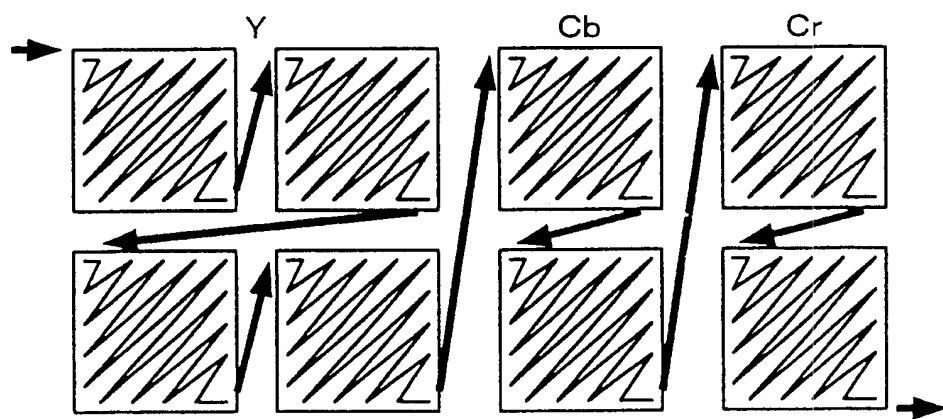


图 11A

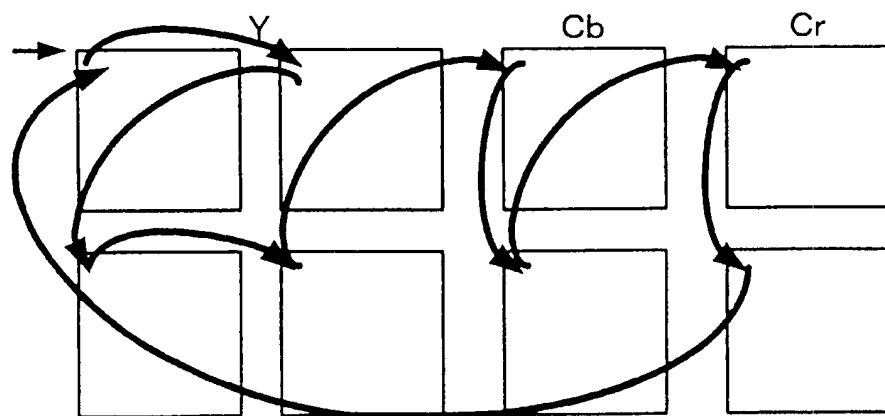


图 11B

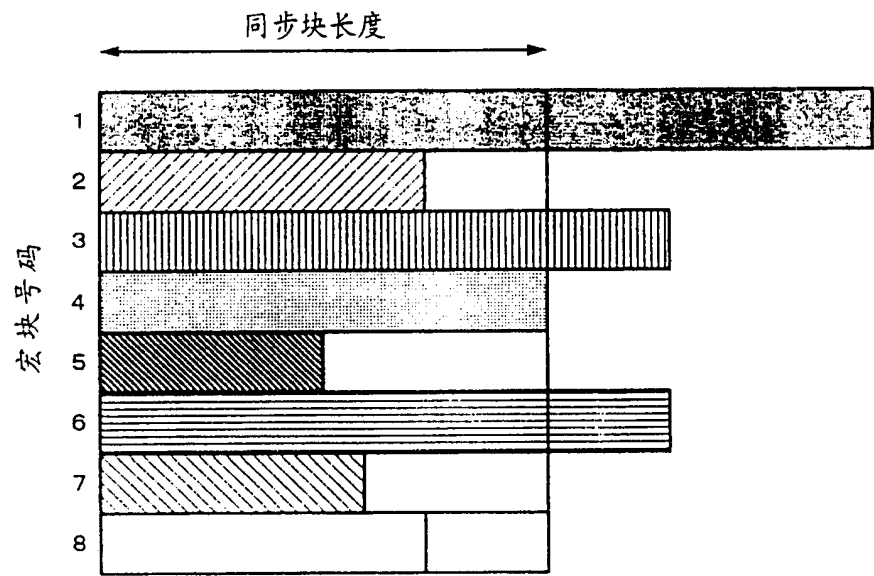


图 12A

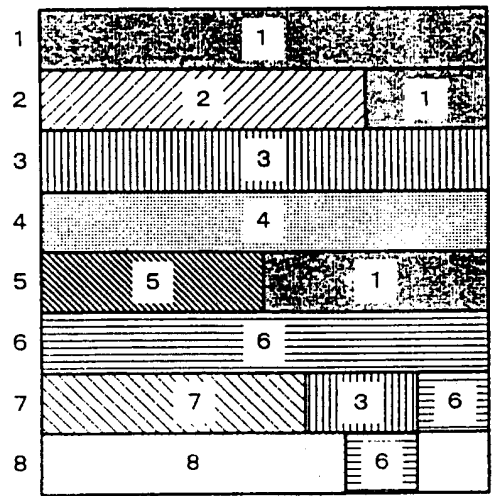


图 12B

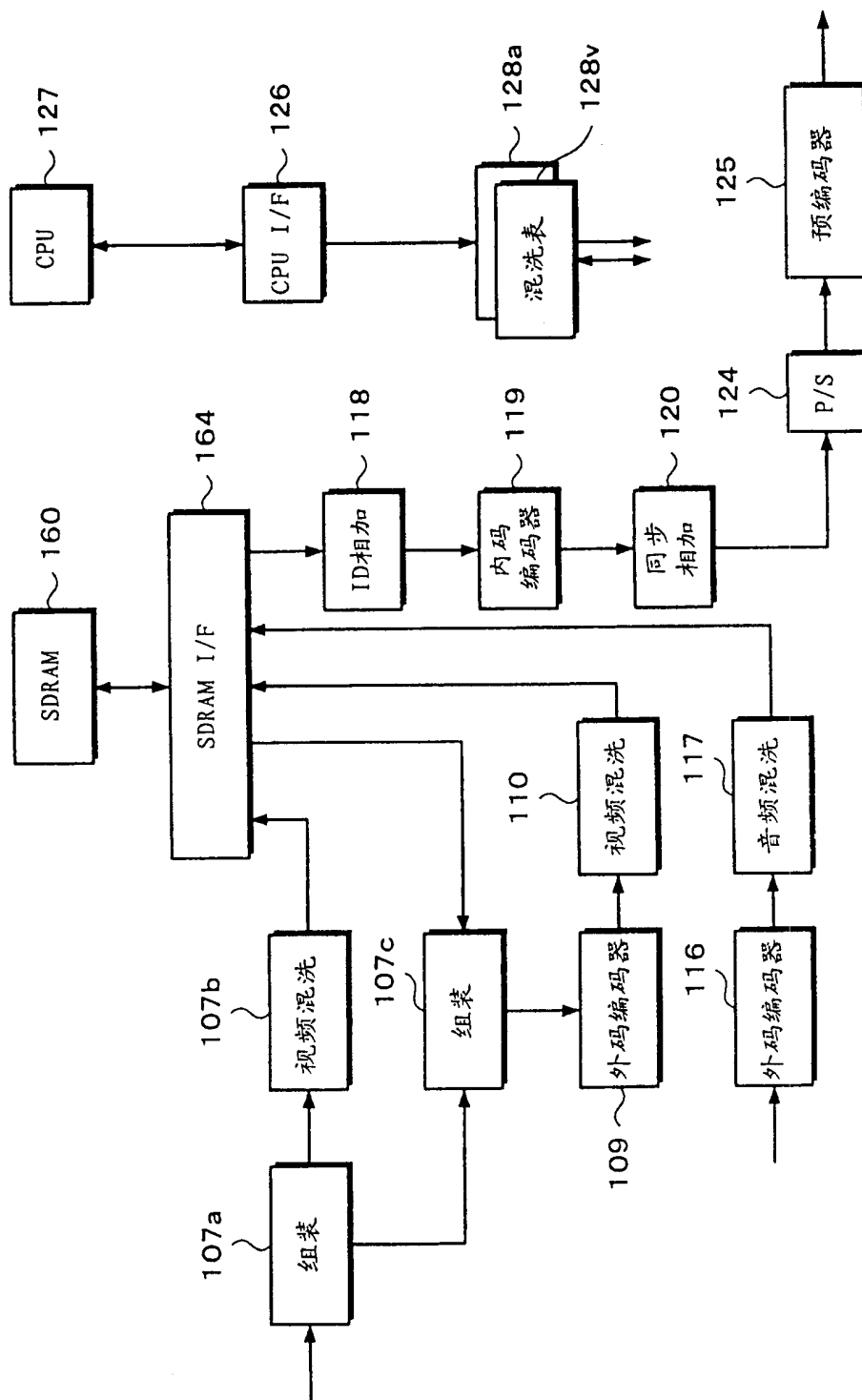


图 13

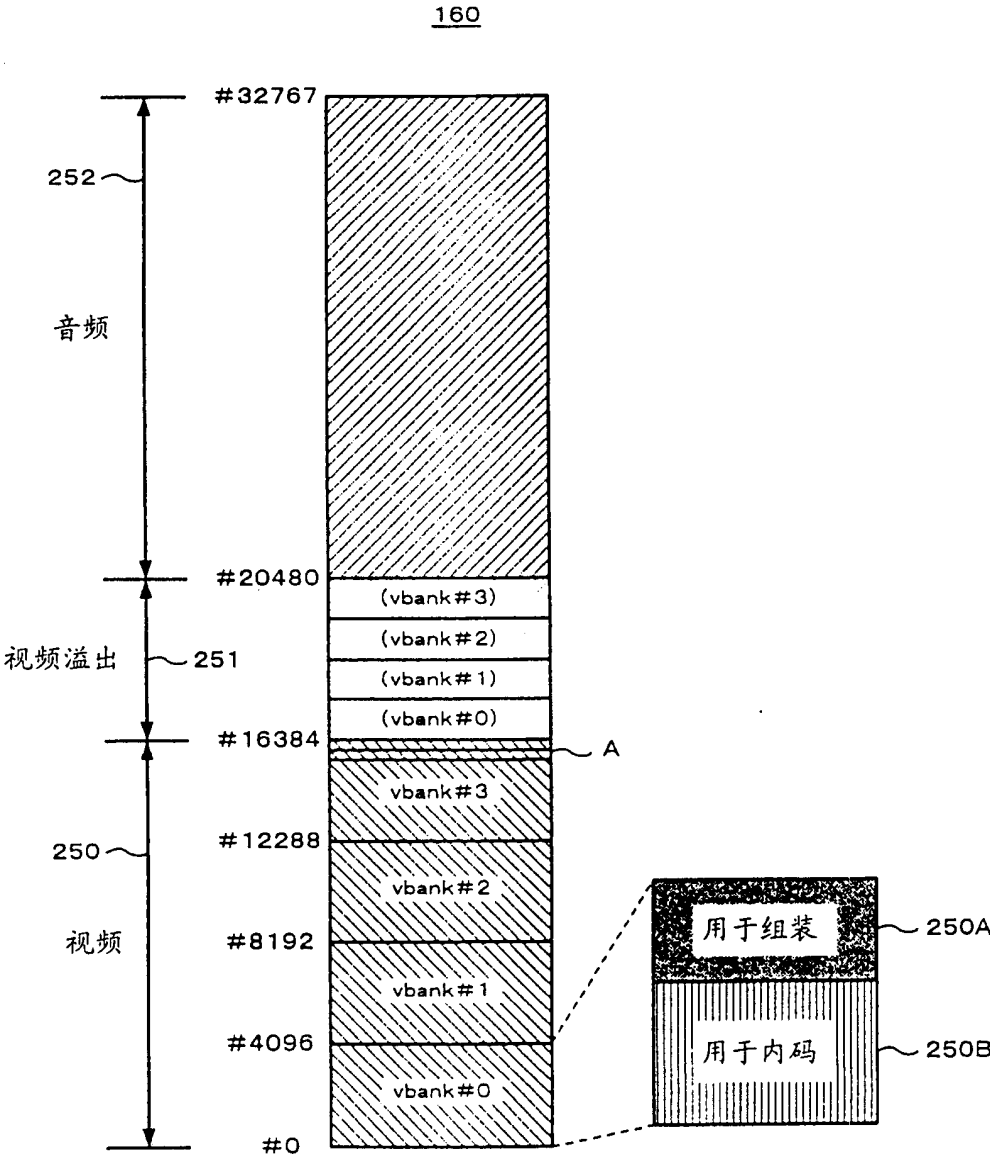


图 14

编辑频率 行扫描速率	6	5	3	2		0	音频	序列	磁道	磁头	ECC
				59.9Hz	50Hz						
1 0 0	...	...	480i (27M) (720 × 480)	576i (24M) (720 × 576)	...	16比特4通道	帧	4	4	SD1	
1 0 1	...	...	480i (50M) (720 × 480)	576i (50M) (720 × 576)	...	16比特8通道	帧	8	4	SD2	
1 0 3	* 480i (224M) (720 × 240)	* 576i (220M) (720 × 288)	...	...	...	24比特8通道	场	12	8	HL2	
1 1 0	...	...	480p (27M) (720 × 480)	576p (24M) (720 × 576)	480p (20M) (720 × 480)	16比特4通道	P 帧	4	4	SD1	
1 1 0	480p (51M) (720 × 480)	576p (42M) (720 × 576)	...	...	...	16比特8通道	P 帧	4	4	SD3	
1 1 1	...	...	480p (50M) (720 × 480)	576p (50M) (720 × 576)	480p (43M) (720 × 480)	16比特8通道	P 帧	8	4	SD2	
1 1 1	480p (91M) (720 × 480)	576p (75M) (720 × 576)	...	...	...	16比特8通道	P 帧	6	4	SD4	
1 1 3	* 480p (447M) (720 × 480)	* 576p (440M) (720 × 576)	...	...	...	24比特8通道	P 帧	24	8	HL3	
2 1 0	...	...	720p (124M) (1280 × 720)	720p (103M) (1280 × 720)	720p (99M) (1280 × 720)	24比特8通道	P 帧	12	8	HL1	
2 1 0	720p (247M) (1280 × 720)	720p (206M) (1280 × 720)	...	...	...	24比特8通道	P 帧	12	8	HL2	
3 0 0	1080i (272M) (1920 × 544)	1080i (227M) (1920 × 544)	...	...	...	24比特8通道	场	12	8	HL2	
3 0 1	1080i (560M) (1920 × 544)	1080i (467M) (1920 × 544)	...	...	...	24比特8通道	场	24	8	HL3	
3 1 0	...	...	1080p (280M) (1920 × 1088)	1080p (238M) (1920 × 1088)	1080p (224M) (1920 × 1088)	24比特8通道	P 帧	12	8	HL1	
3 1 0	1080p (577M) (1920 × 1088)	1080p (481M) (1920 × 1088)	...	...	...	24比特8通道	P 帧	24	8	HL3	
3 1 2	...	...	...	...	2048p (223M) (2048 × 2048)	24比特8通道	P 帧	24	8	HL4	

*: 非压缩

图 15

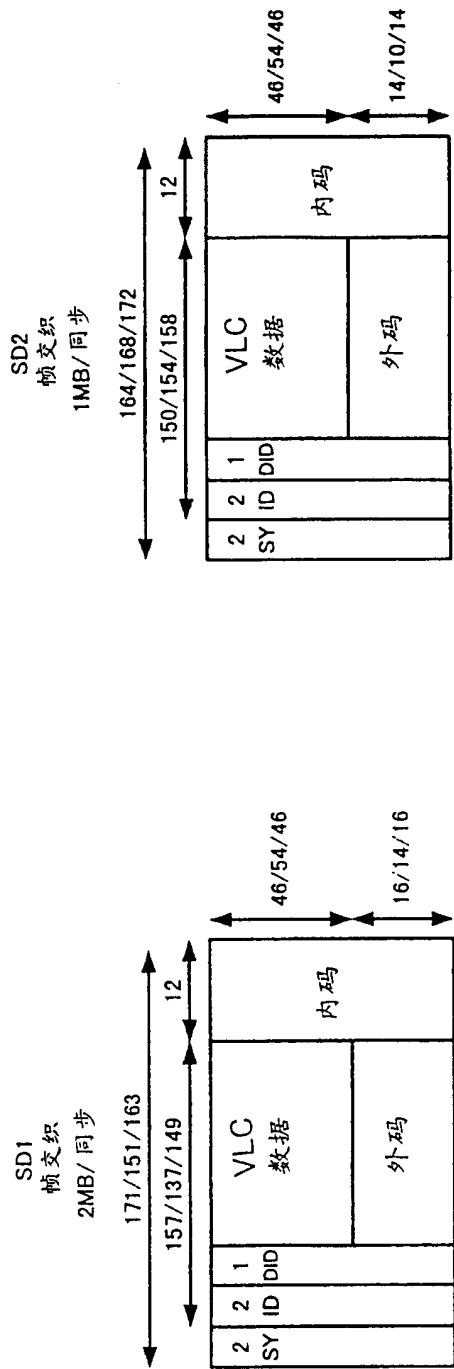


图 16A

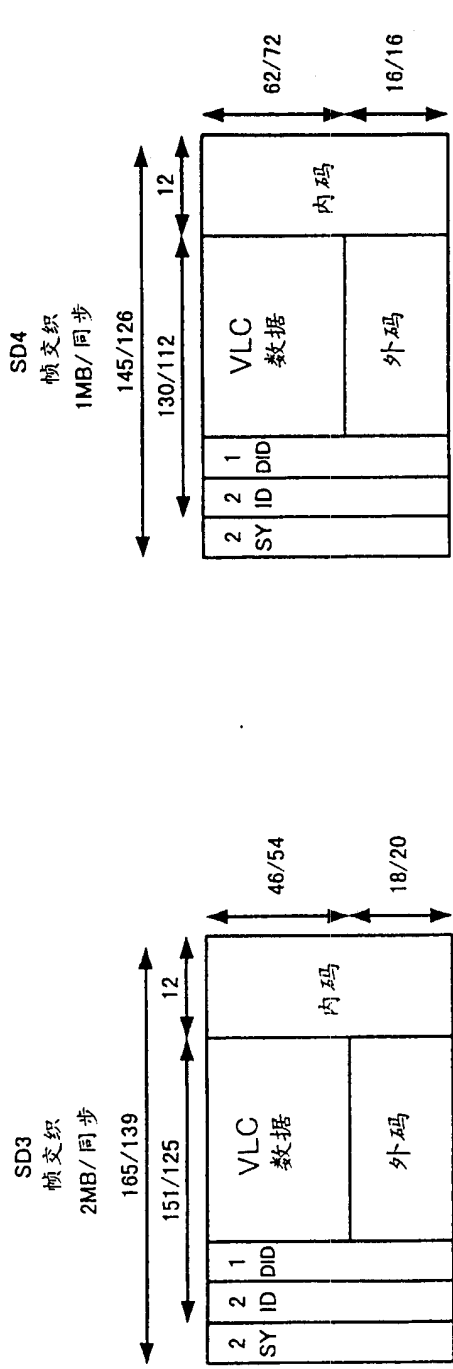


图 16C

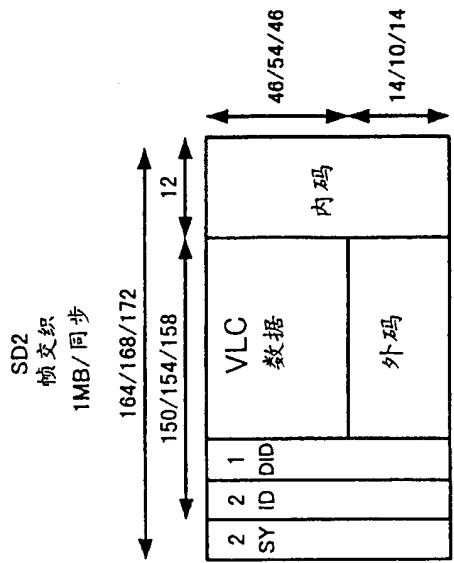


图 16B

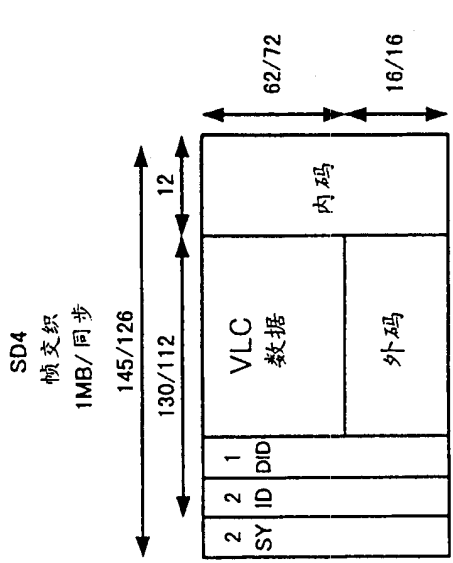


图 16D

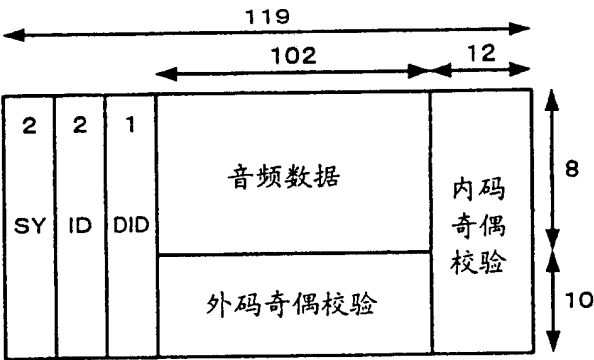


图 17A

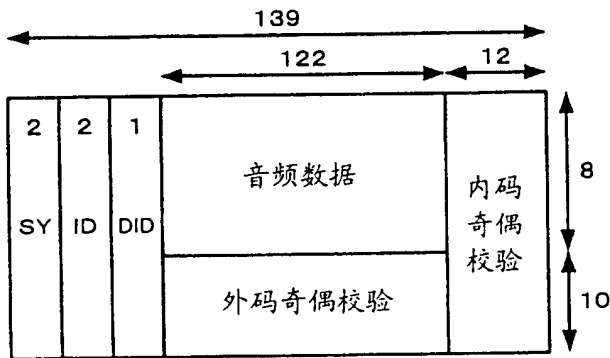


图 17B

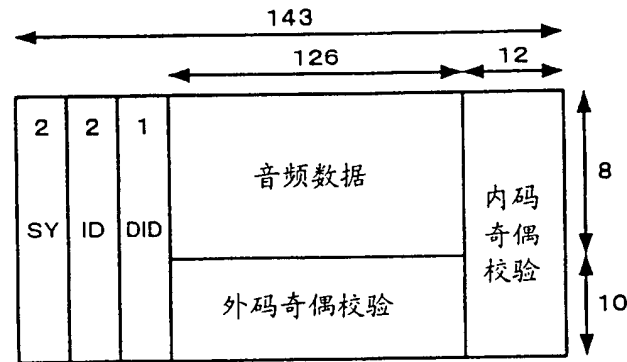


图 17C

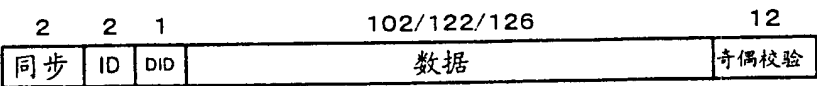


图 17D

图 18A

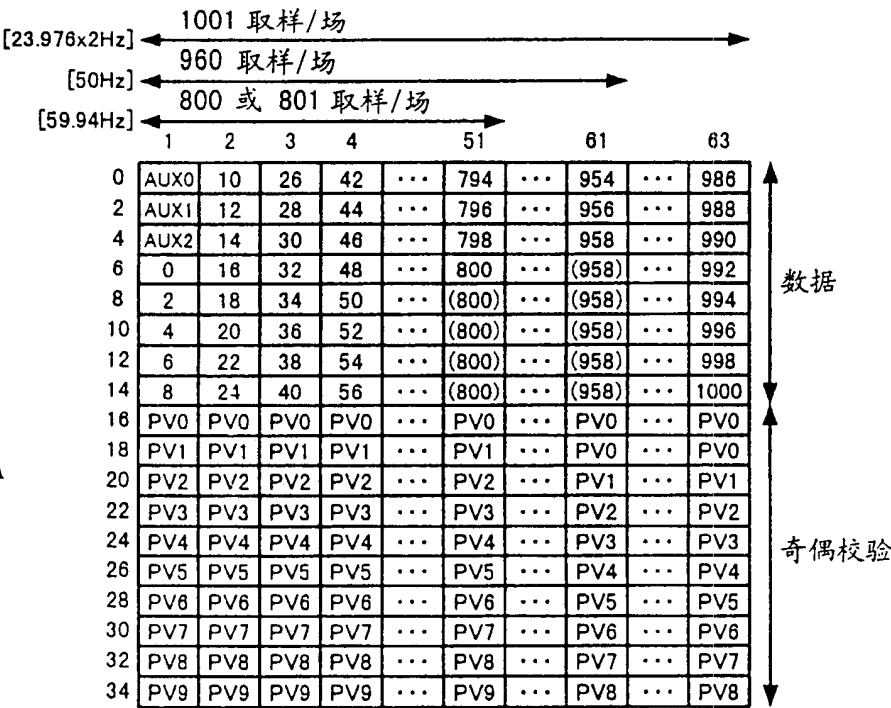
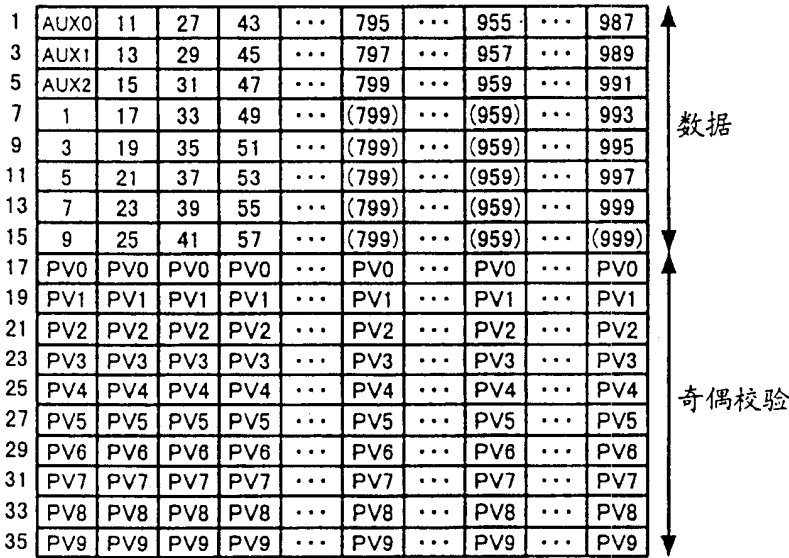


图 18B



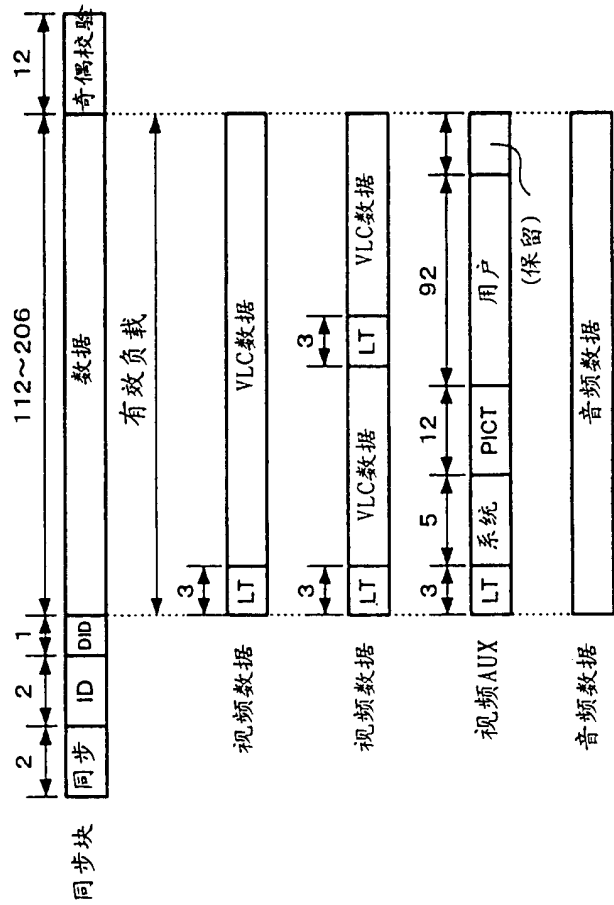


图 19A

图 19B

图 19C

图 19D

图 19E

MSB

ID0	ID1
7 同步 ID7	上/下
6 同步 ID6	(保留)
5 同步 ID5	SEG NB3
4 同步 ID4	SEG NB2
3 同步 ID3	SEG NB1
2 同步 ID2	SEG NB0
1 同步 ID1	磁道
0 同步 ID0	视频/音频

LSB

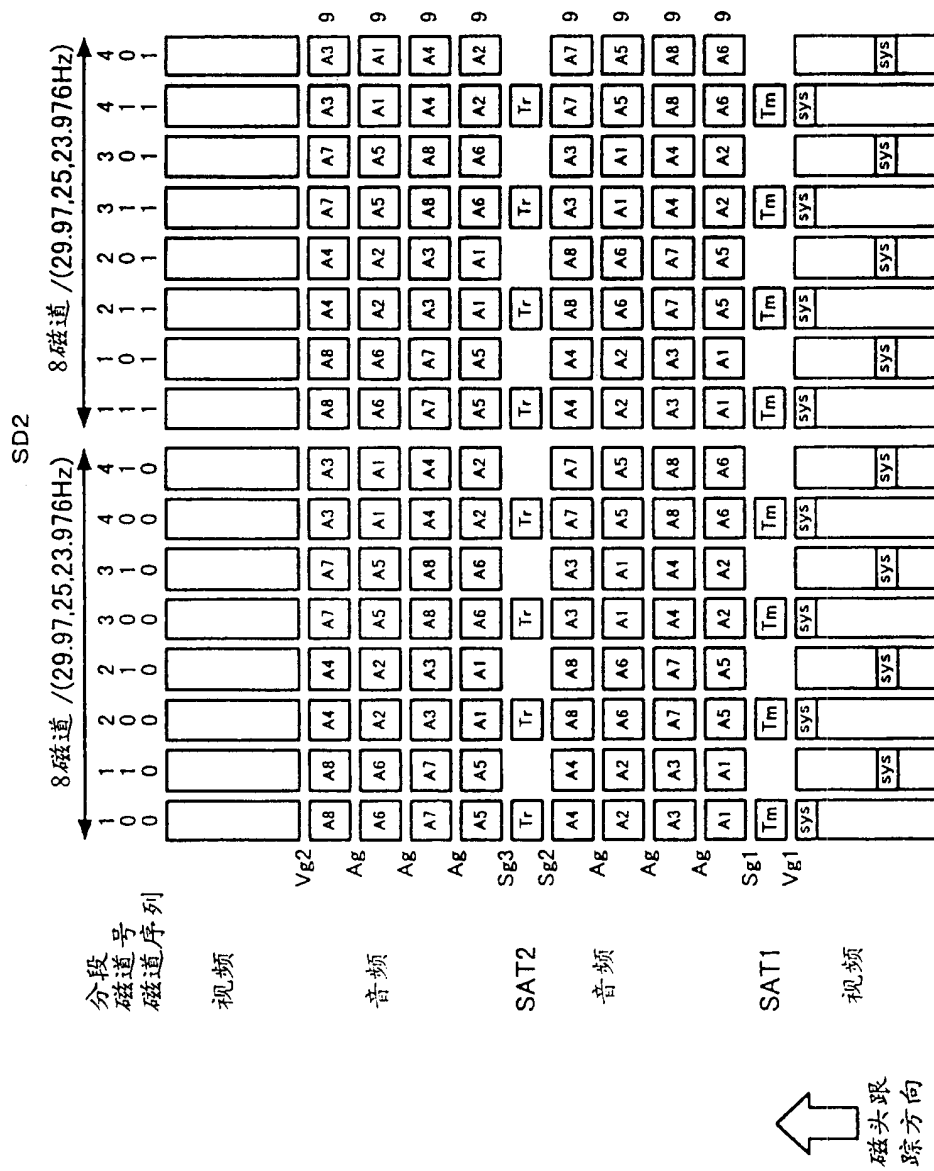
图 20A

DID (视频)
(保留)
(保留)
(保留)
(保留)
有效负载 MD1
有效负载 MD0
2MB/IMB
Vouter

图 20B

DID (音频)
(保留)
(保留)
(保留)
(保留)
数据/音频
5F Seg2
5F Seg1
5F Seg0

图 20C



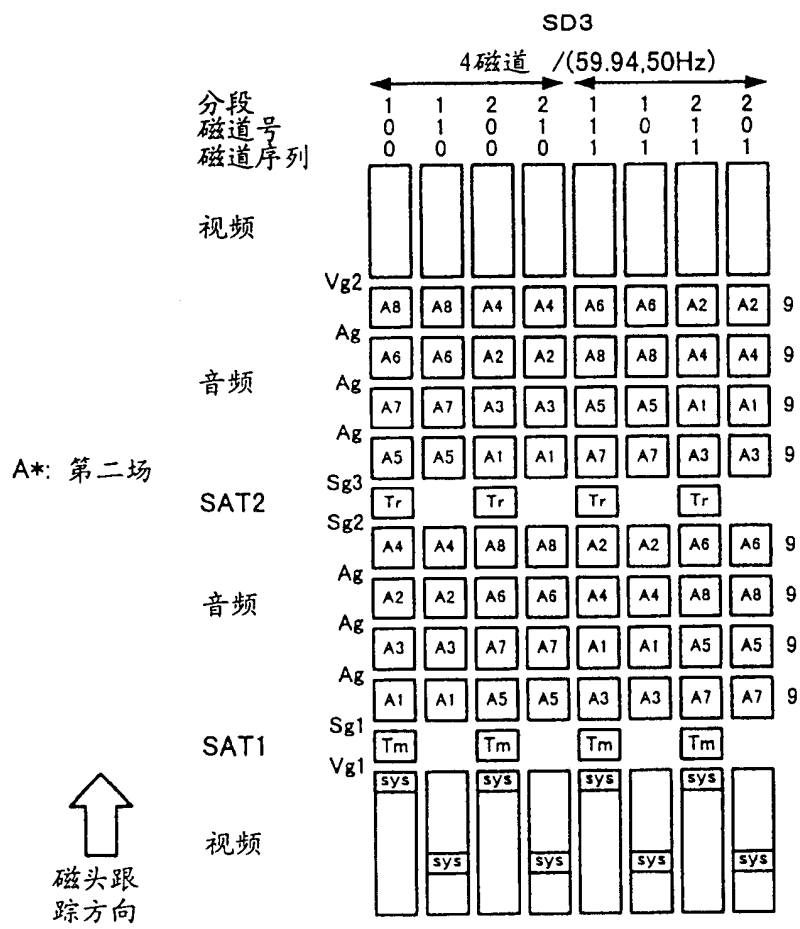


图 23

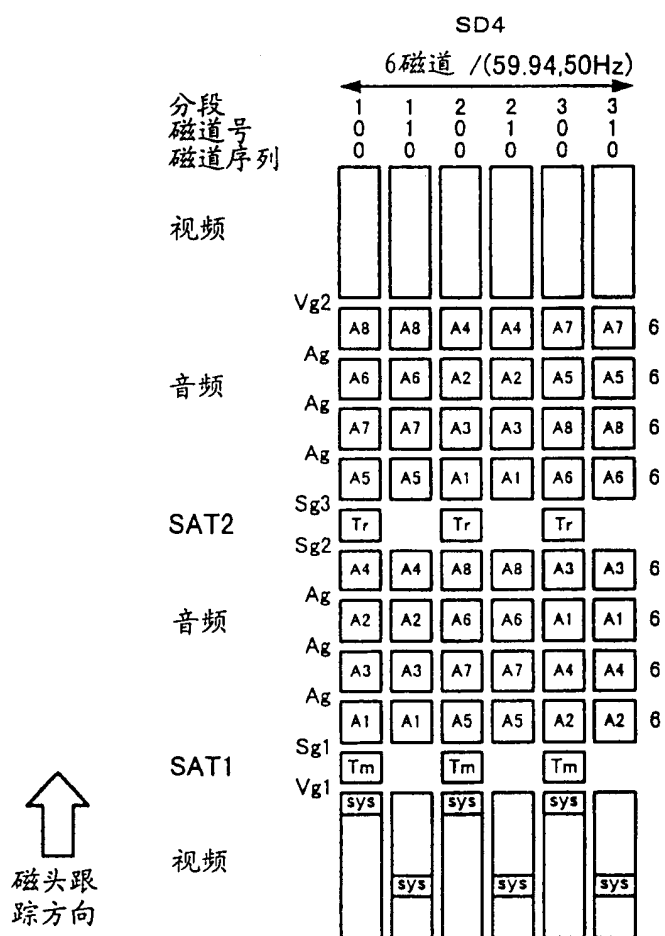


图 24

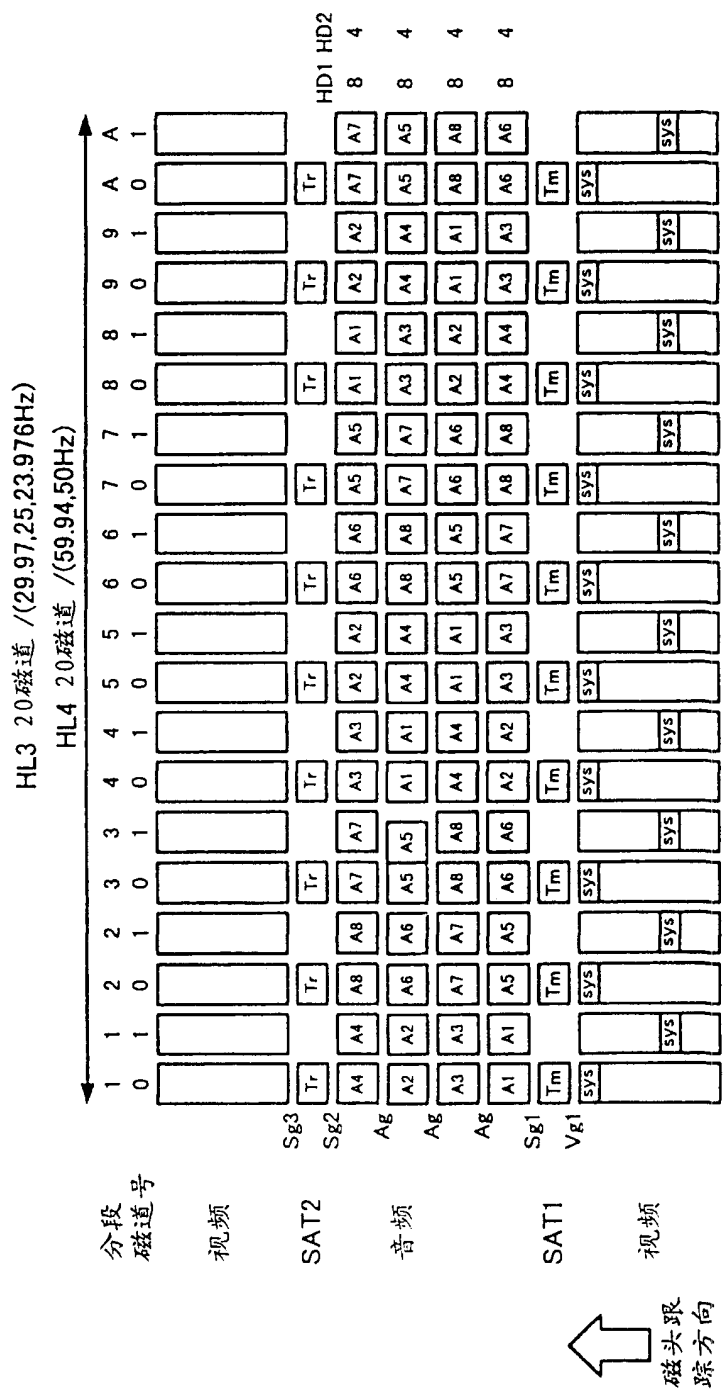
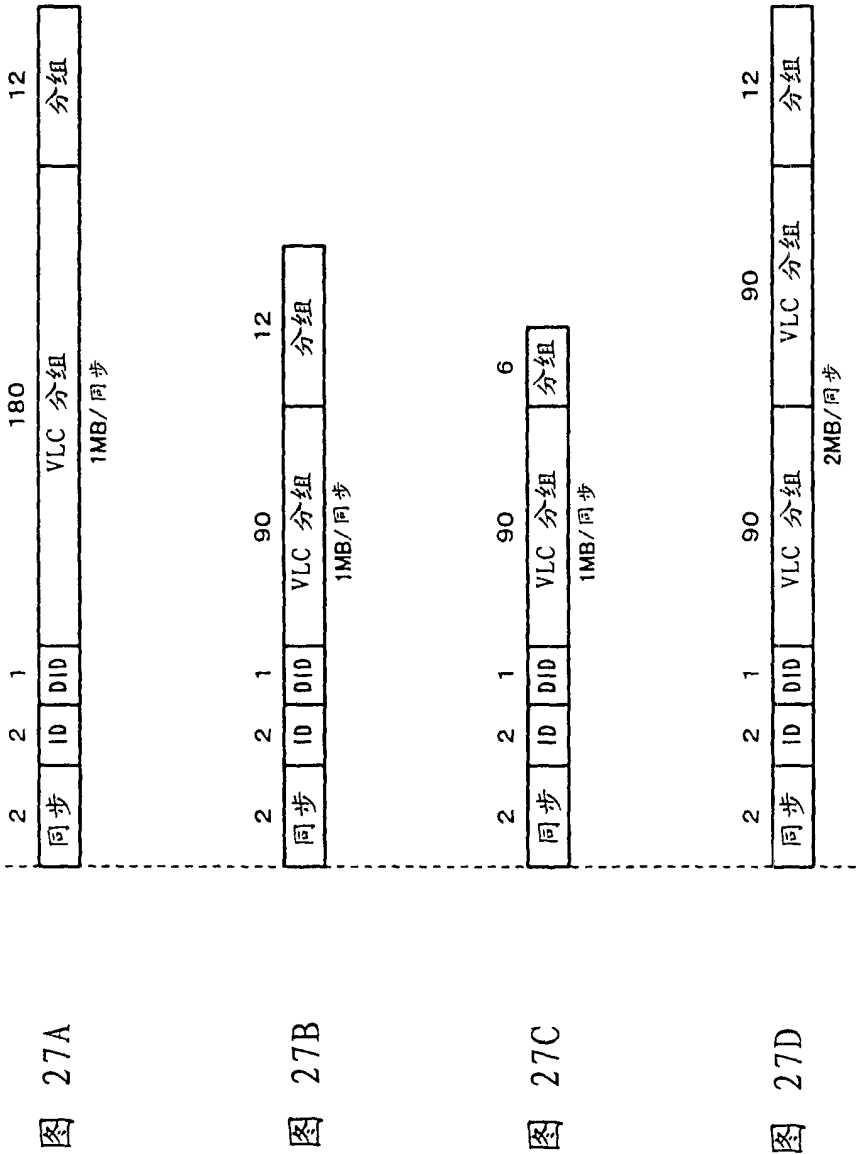


图 26



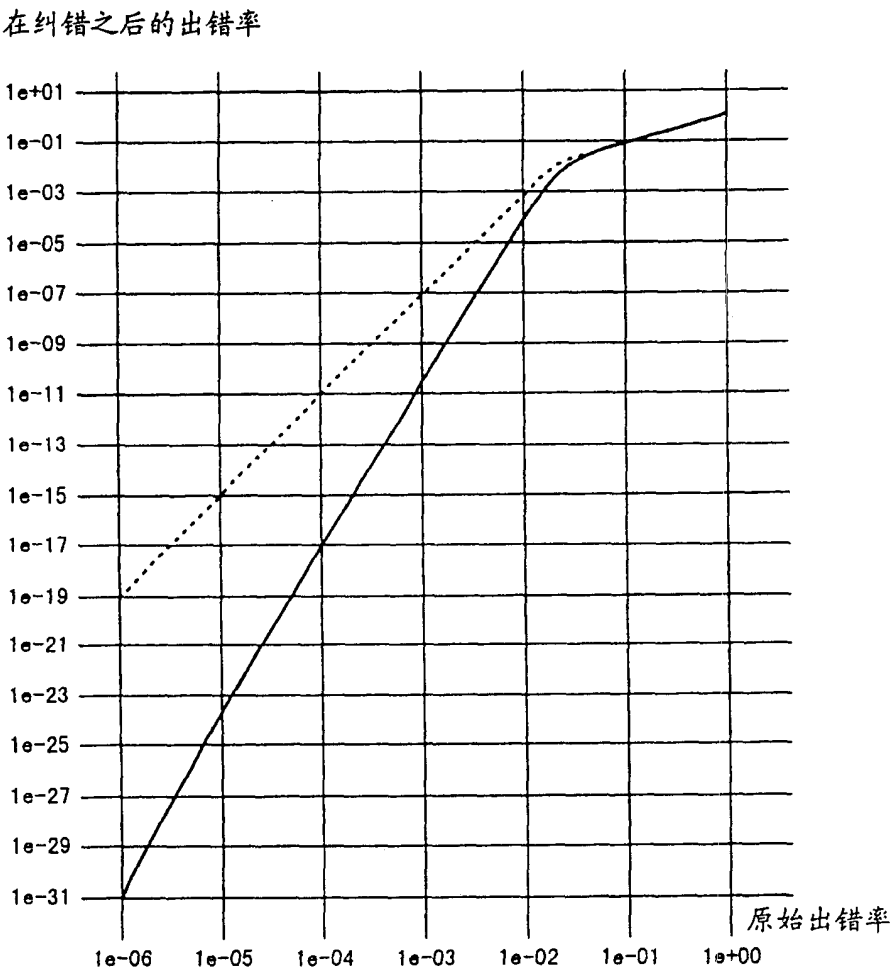


图 28

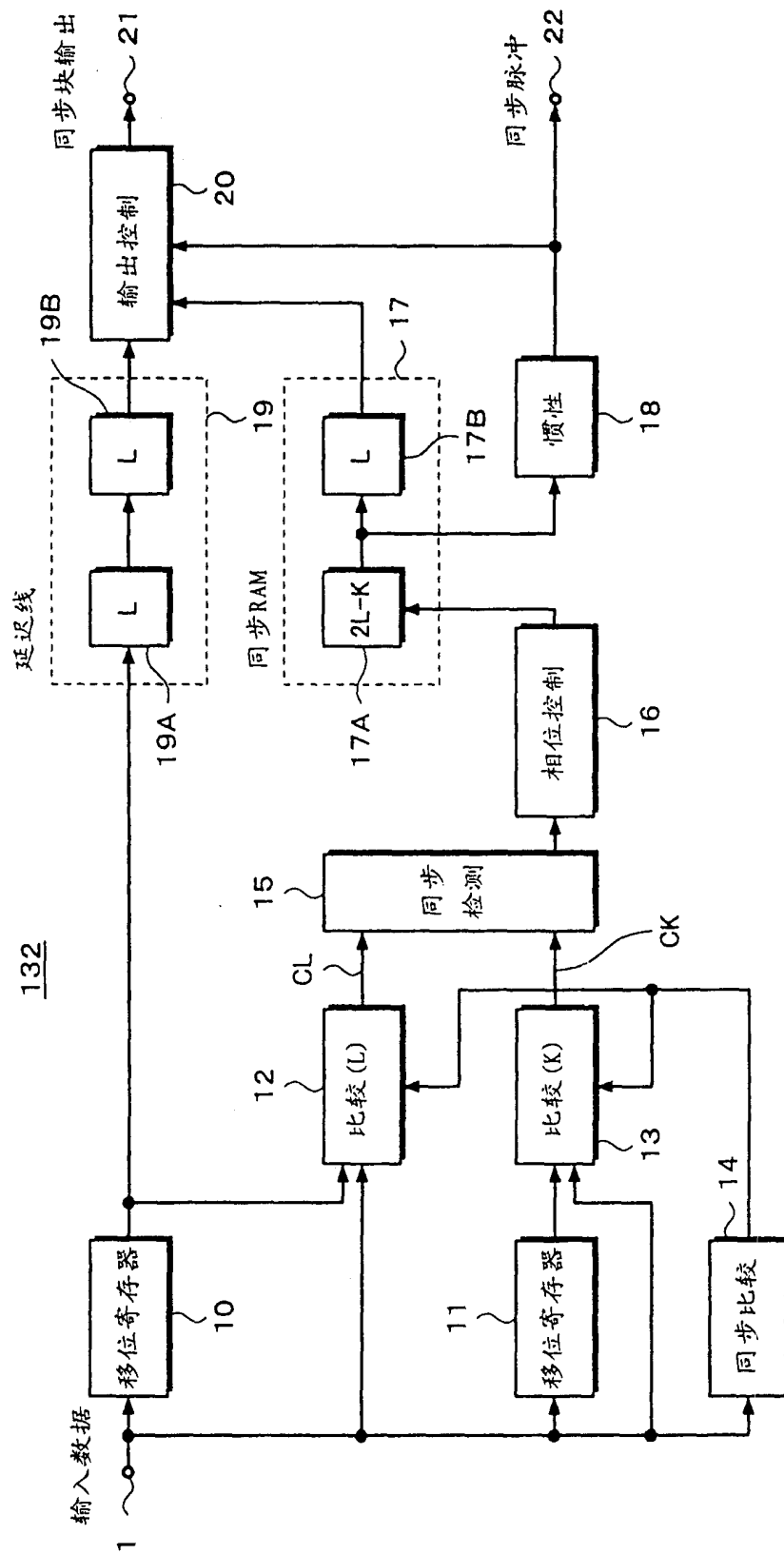
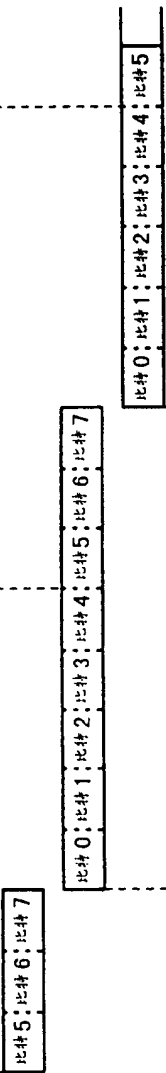
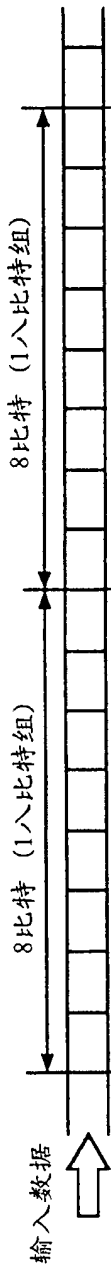
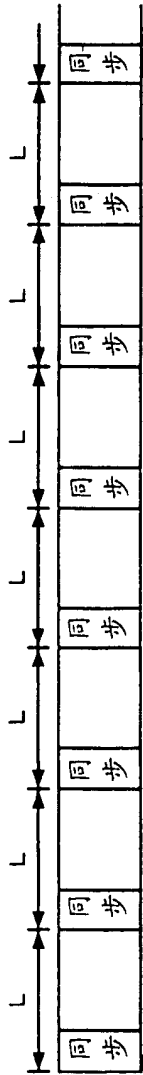


图 29





输入数据

图 31A



输出数据

图 31B



同步脉冲

图 31C

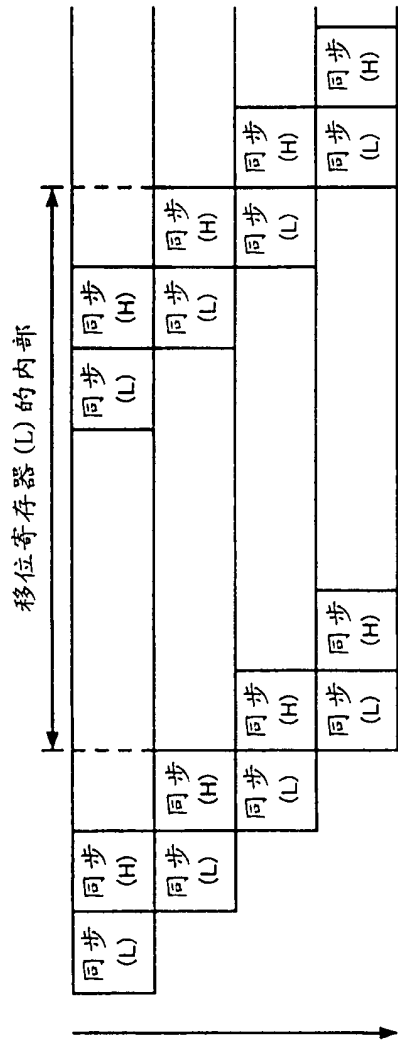


图 32A

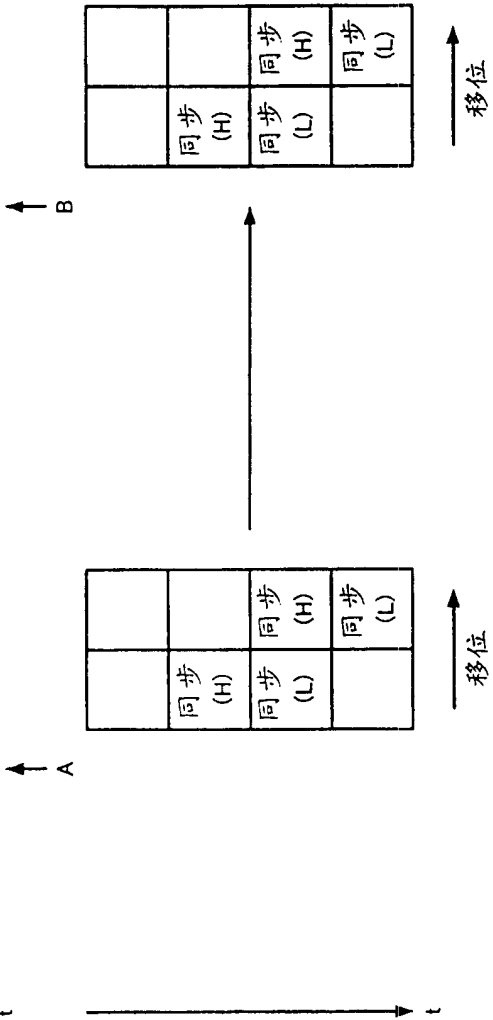


图 32B

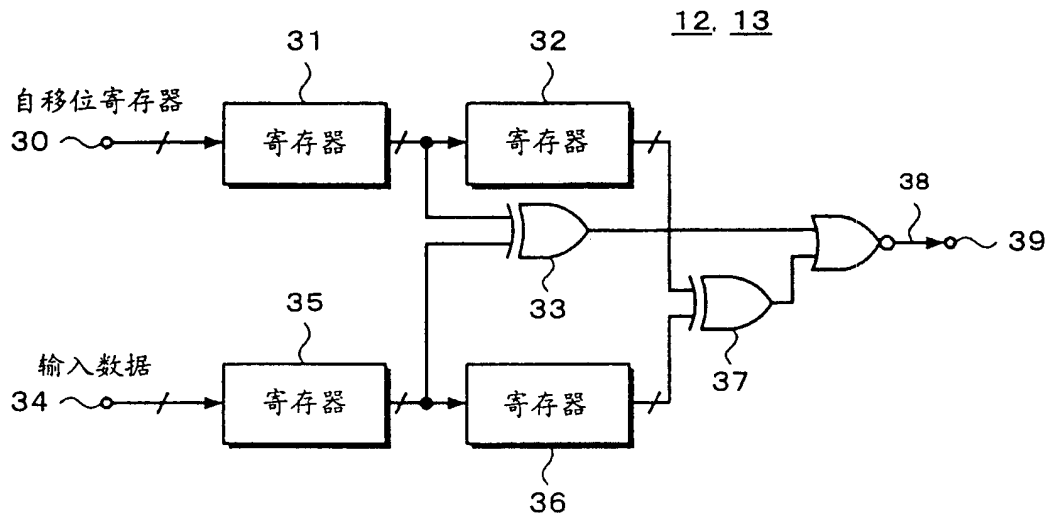


图 33

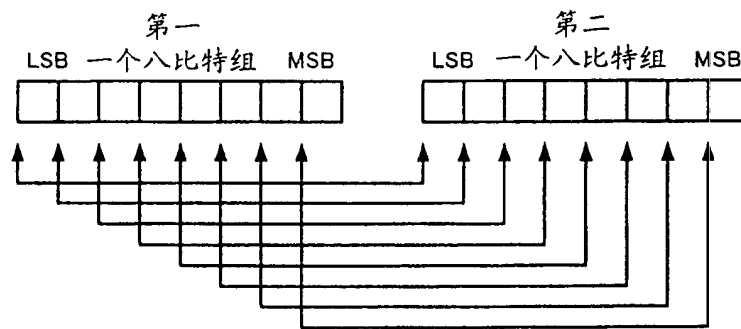


图 34

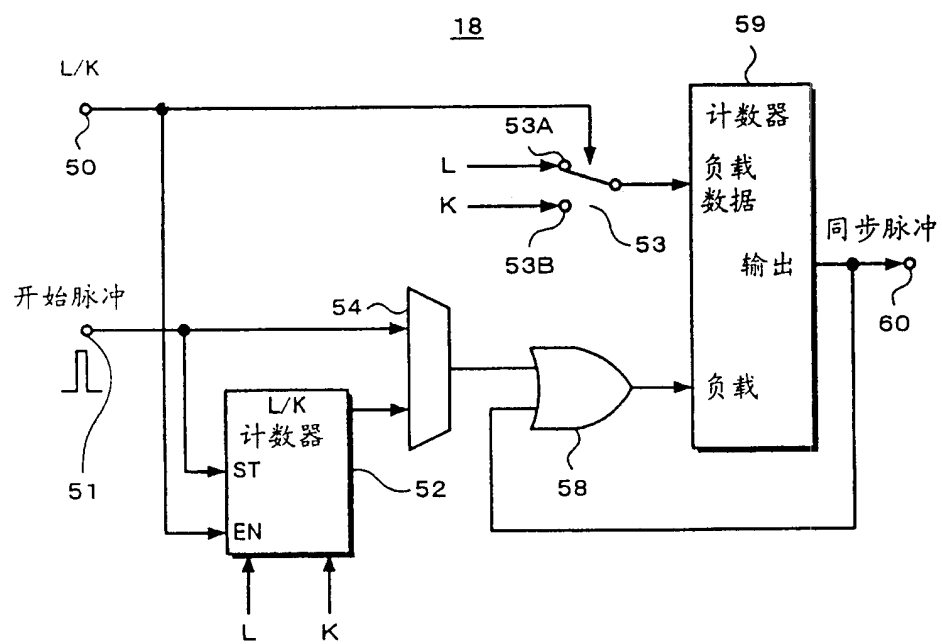
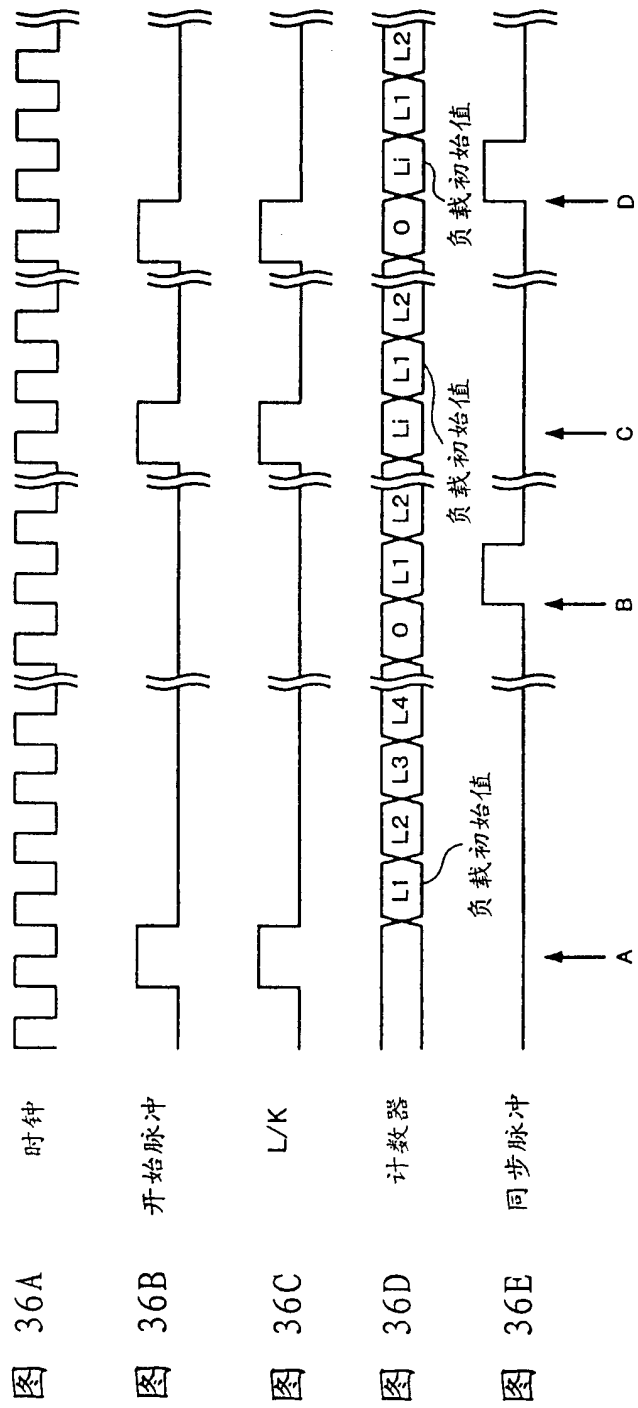


图 35



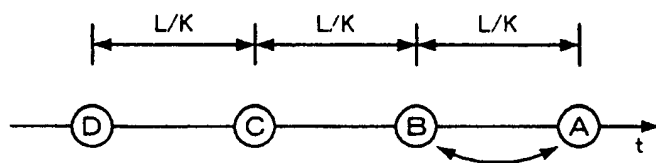


图 37

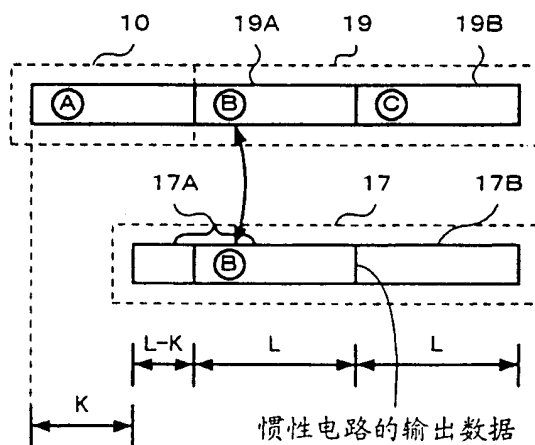


图 38

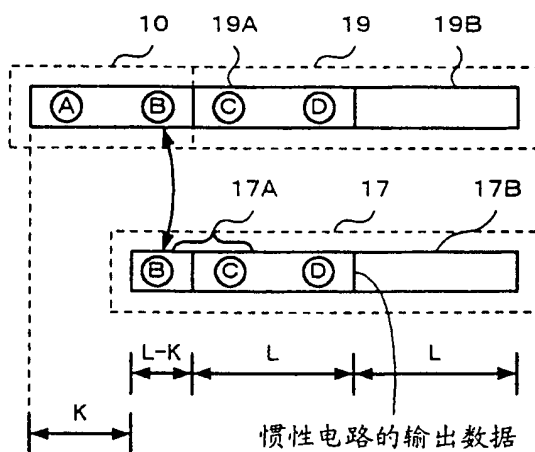


图 39

