



JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种阵列基板、其制备方法及显示屏, 其中, 阵列基板包括显示区(10)和位于显示区(10)一侧的走线区, 走线区包括层叠的上层走线层(56)和下层走线层(60), 上层走线层(56)和下层走线层(60)由绝缘层组间隔开, 绝缘层组包括绝缘子层(61)和形成在绝缘子层上的绝缘有机补偿体(57), 绝缘有机补偿体(57)用于补偿绝缘子层(61)上表面的至少部分凹陷。通过设置绝缘有机补偿体(57)来填充绝缘子层(61)中的凹陷, 从而能够防止用于形成上层走线层(56)的金属进入到绝缘子层(61)的凹陷中, 避免了因金属滞留在凹陷中而导致的短路现象, 进而降低了对阵列基板的不良影响, 提高了阵列基板的良品率以及显示屏的显示效果。

阵列基板、其制备方法及显示屏

技术领域

5 本公开涉及显示技术领域，尤其涉及一种阵列基板、其制备方法及显示屏。

背景技术

随着显示技术的飞速发展，高屏占比的显示屏越来越受欢迎。目前较常用的一种显示屏是将扇出区(fan out area)、弯折区(bending area)、焊盘区(Pad area)和芯片设置在显示屏的同一侧，而其他三侧则不设置扇出区、弯折区或焊盘区，从而实现高屏占比。

在上述显示屏中，扇出区内存在多层走线，多层走线由绝缘层绝缘隔开，当绝缘层存在凹陷或缝隙等缺陷时，这些缺陷会影响显示屏的显示效果。

15

发明内容

本公开实施例提供一种阵列基板、其制备方法及显示屏，用以解决显示屏显示效果差的问题。

20 为了实现上述目的，一方面，本公开实施例提供了一种阵列基板，其包括显示区和位于所述显示区一侧的走线区，其中，

所述走线区包括层叠的上层走线层和下层走线层，所述上层走线层和所述下层走线层由绝缘层组间隔开，

所述绝缘层组包括绝缘子层和形成在所述绝缘子层上的绝缘有机补偿体，所述绝缘有机补偿体用于补偿所述绝缘子层上表面的至少部分凹陷。

25 与现有技术相比，本公开实施例提供的阵列基板具有如下优点：

本公开实施例提供的阵列基板中，通过在绝缘子层上设置绝缘有机补偿体，利用绝缘有机补偿体填充绝缘子层中的凹陷，从而能够防止用于形成上

层走线层的金属进入到绝缘子层的凹陷中，因此能够避免出现凹陷中的金属难以去除的问题，从而避免了因用于形成上层走线层的金属滞留在凹陷中而导致的短路现象，进而降低了对阵列基板的不良影响，提高了阵列基板的良品率以及窄边框显示屏的显示效果。

5 作为本公开实施例阵列基板的一种改进，所述绝缘有机补偿体为有机胶。

作为本公开实施例阵列基板的一种改进，所述有机胶为聚酰亚胺胶黏剂或丙烯酸双酯厌氧胶。

作为本公开实施例阵列基板的一种改进，所述绝缘有机补偿体覆盖所述绝缘子层。

10 作为本公开实施例阵列基板的一种改进，所述绝缘有机补偿体覆盖所述绝缘子层的整个上表面或者部分上表面。

作为本公开实施例阵列基板的一种改进，所述下层走线层包括第一走线子层、第二走线子层以及用于隔离开所述第一走线子层和所述第二走线子层的层间绝缘层。

15 作为本公开实施例阵列基板的一种改进，所述第一走线子层与所述显示区的栅极层同层设置，所述层间绝缘层与所述显示区的栅极绝缘层同层设置。

作为本公开实施例阵列基板的一种改进，所述层间绝缘层的部分区域与所述第二走线子层之间形成第一凹陷区，所述绝缘子层的上表面的部分区域形成第二凹陷区，所述绝缘有机补偿体包括填充于所述第二凹陷区的填充部。

20 作为本公开实施例阵列基板的一种改进，所述层间绝缘层覆盖所述第一走线子层，且对应所述第一走线子层的部分形成凸出体，所述凸出体与所述第二走线子层之间形成所述第一凹陷区；所述绝缘子层覆盖所述层间绝缘层、所述第一凹陷区和所述第二走线子层，所述绝缘子层对应所述第一凹陷区的部分形成所述第二凹陷区。

25 作为本公开实施例阵列基板的一种改进，所述绝缘子层还包括位于所述第二凹陷区周围的平坦区，所述绝缘有机补偿体还包括延伸至所述平坦区表面的平坦子层。

作为本公开实施例阵列基板的一种改进，所述绝缘子层包括层叠设置的第一电介质层和第二电介质层。

30 作为本公开实施例阵列基板的一种改进，所述绝缘子层为氧化硅层和氮

化硅层两层的叠层。

作为本公开实施例阵列基板的一种改进，所述阵列基板包括处于显示区一侧的扇出区，所述走线区处于所述扇出区内。

5 作为本公开实施例阵列基板的一种改进，所述扇出区的膜层与所述显示区的对应膜层同层设置。

另一方面，本公开实施例提供了一种显示屏，其包括芯片以及上述阵列基板。

本公开实施例提供的显示屏所具有的优点与上述阵列基板相对于现有技术所具有的优点相同，在此不再赘述。

10 再一方面，本公开实施例提供了一种制作阵列基板的方法，包括形成第一金属层；

对所述第一金属层进行图案化处理，形成包括第一走线子层的图形；

在所述第一走线子层上形成覆盖所述第一走线子层的层间绝缘层；

在所述层间绝缘层上形成第二金属层；

15 对所述第二金属层进行图案化处理，形成包括第二走线子层的图形；

在所述第二走线子层上形成覆盖所述第二走线子层的绝缘子层；

利用自流平原理在所述绝缘子层上形成覆盖所述绝缘子层的绝缘有机补偿体；

在所述绝缘有机补偿体上形成第三金属层；

20 对所述第三金属层进行图案化处理，形成包括上层走线层的图形。

作为本公开实施例的制作阵列基板的方法的一种改进，所述第一金属层、第二金属层以蒸镀、溅射或物理气相沉积的方式形成。

作为本公开实施例的制作阵列基板的方法的一种改进，对所述第一金属层、第二金属层和第三金属层进行所述图案化处理的处理方式包括黄光、刻蚀或黄光与刻蚀相结合。
25

作为本公开实施例的制作阵列基板的方法的一种改进，所述绝缘有机补偿体通过液体凝固形成，形成在所述绝缘子层上表面的至少部分凹陷内以及所述凹陷周围的区域，或者只形成在所述凹陷内。

除了上面所描述的本公开实施例解决的技术问题、构成技术方案的技术

术特征以及由这些技术方案的技术特征所带来的有益效果外，本公开实施例提供的阵列基板及显示屏所能够解决的其他技术问题、技术方案中包含的其他技术特征以及这些技术特征带来的有益效果，将在具体实施方式中作出进一步详细的说明。

5

附图说明

为了更清楚地说明本公开实施例的技术方案，下面将对本公开实施例描述中所需要使用的附图作简单地介绍。显而易见地，下面描述中的附图仅仅是本公开的一部分实施例，这些附图和文字描述并不是为了通过任何方式限制本公开构思的范围，而是通过参考特定实施例为本领域技术人员说明本公开的概念。对于本领域的普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其它的附图。

10

图 1 为阵列基板的结构示意图；

图 2 为本公开实施例中阵列基板及芯片的结构示意图；

15

图 3 为图 2 中扇出区的剖视图；

图 4 为沿图 3 中 A-A 平面的俯视图；

图 5 为本公开实施例中阵列基板的制作方法的流程图。

具体实施方式

为了解决显示屏显示效果差的问题，本公开实施例提供了一种阵列基板、其制备方法及显示屏，其中阵列基板包括显示区和位于显示区一侧的走线区，走线区包括层叠的上层走线层和下层走线层，上层走线层和下层走线层由绝缘层组间隔开，绝缘层组包括绝缘子层和形成在绝缘子层上的绝缘有机补偿体，绝缘有机补偿体用于补偿绝缘子层上表面的至少部分凹陷。本公开实施例通过在绝缘子层上设置绝缘有机补偿体，利用绝缘有机补偿体填充绝缘子层中的凹陷区域，从而能够防止用于形成上层走线层的金属进入到绝缘子层的凹陷区域中，因此能够避免出现凹陷区域中的金属难以去除的问题，从而

20

25

避免了因用于形成上层走线层的金属滞留在凹陷中而导致的短路现象，进而降低了对阵列基板的不良影响，提高了阵列基板的良品率以及窄边框显示屏的显示效果。

为了使本公开实施例的上述目的、特征和优点能够更加明显易懂，下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本公开的一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有作出创造性劳动的前提下所获得的所有其它实施例，均属于本公开保护的范围。

实施例一

请参阅图 2-图 4，本公开实施例一提供了一种阵列基板，该阵列基板包括显示区 10 和位于显示区 10 一侧的走线区，走线区包括层叠的上层走线层 56 和下层走线层 60，上层走线层 56 和下层走线层 60 由绝缘层组间隔开，绝缘层组包括绝缘子层 61 和形成在绝缘子层 61 上的绝缘有机补偿体 57，绝缘有机补偿体 57 用于补偿绝缘子层 61 上表面的至少部分凹陷。

上层走线层 56 形成在绝缘层组的上方，当绝缘层组的上表面存在凹陷或缝隙等缺陷时，会影响显示屏的显示效果。在本实施例中，绝缘层组包括绝缘子层 61 和绝缘有机补偿体 57，其中，绝缘有机补偿体 57 位于上层走线层 56 与绝缘子层 61 之间。当绝缘子层 61 的上表面存在凹陷时，绝缘有机补偿体 57 能够补偿所述凹陷，从而为上层走线层 56 提供平坦的形成表面，降低或避免对显示效果的影响。

绝缘子层 61 的上表面的凹陷的形成原因有多种，例如，在通过化学气相沉积（CVD）工艺形成绝缘子层时，由于位于绝缘子层 61 下方的基底平整度差，导致绝缘子层 61 上表面不平整；又如，由于沉积工艺存在误差，导致绝缘子层 61 上表面出现缝隙或凹陷。本实施例以由于绝缘子层 61 下方的基底平整度差而造成绝缘子层 61 上表面不平整的情况为例进行描述。

如图 1 所示的阵列基板，该阵列基板包括依次层叠设置的下层走线层 60、绝缘子层 61 和上层走线层 56。在显示屏尤其是窄边框的显示屏中，下层

走线层 60 包括多层走线层，由于多层走线层之间的间距 L 较小，且通常该间距 L 小于或等于 $1\mu\text{m}$ ，而且各走线层的厚度不同，因此各走线层之间存在明显的缝隙。当通过化学气相沉积工艺在下层走线层 60 的上方形成绝缘子层 61 时，绝缘子层 61 对应于上述缝隙的部位形成凹陷；当在绝缘子层 61 上方通过物理气相沉积（PCD）工艺形成金属层时，金属粉末会进入到凹陷中，当对金属层进行刻蚀形成上层走线层 56 时，凹陷中的金属难以刻蚀或去除，导致金属残留在凹陷中，造成由金属层刻蚀而成的上层走线层 56 的走线之间容易短路。

本实施例中通过在绝缘子层 61 的上方设置绝缘有机补偿体 57 补偿凹陷，从而防止上层走线层 56 的走线在上述凹陷内发生短路。图 3 为本实施例中扇出区 50 对应的阵列基板的结构示意图，如图 3 所示，走线区包括依次层叠设置的上层走线层 56 和下层走线层 60，绝缘层组包括位于上层走线层 56 与下层走线层 60 之间的、依次层叠设置的绝缘有机补偿体 57 和绝缘子层 61。具体地，绝缘子层 61 包括多层电介质层，例如电介质层可以为两层，如图 3 所示，绝缘子层 61 包括层叠设置的第一电介质层 54 和第二电介质层 55。

在本实施例中，绝缘有机补偿体 57 用于补偿绝缘子层 61 上表面的至少部分凹陷。具体地，绝缘有机补偿体 57 可以形成在上述凹陷内以及上述凹陷周围的区域，也可以只形成在上述凹陷内，绝缘有机补偿体 57 可以为液体凝固形成，例如可以设置为胶体，利用自流平原理对凹陷进行填充，从而为上层走线层 56 提供平坦的表面。

此外，阵列基板还包括弯折区 20、焊盘区 30 和扇出区 50，走线区可以设置在扇出区 50 内。以图 2 所示的阵列基板所在方位为例，本实施例中弯折区 20、焊盘区 30 和扇出区 50 位于显示区 10 的下侧，本实施例中扇出区 50 的数量可以为多个，本实施例不对扇出区 50 的数量做具体限定。

综上所述，本公开实施例提供的阵列基板通过在绝缘子层 61 上设置绝缘有机补偿体 57，绝缘有机补偿体 57 能够填充绝缘子层 61 上表面的凹陷，从而防止了上层走线层 56 的金属进入到绝缘子层 61 的凹陷中，因此能够避免

出现凹陷中的金属难以去除的问题，从而避免了上层走线层 56 由于金属滞留在凹陷中而导致的短路现象，进而降低了对阵列基板的不良影响，提高了阵列基板的良品率以及窄边框显示屏的显示效果。

在一种可能的实现方式中，绝缘有机补偿体 57 为有机胶。具体地，当绝缘有机补偿体 57 设置为有机胶时，有机胶在流动过程中能够填充绝缘子层 61 中的凹陷，避免了后续用于形成上层走线层 56 的金属渗入凹陷后导致的残留。进一步地，有机胶可以为聚酰亚胺胶黏剂，也可以为丙烯酸双酯厌氧胶。

在一种可能的实现方式中，绝缘有机补偿体 57 覆盖绝缘子层 61。在本实施例中，绝缘有机补偿体 57 可以覆盖在绝缘子层 61 的整个上表面上，也可以覆盖在绝缘子层 61 的部分上表面上。

进一步地，如图 3 所示，下层走线层 60 包括第一走线子层 51、第二走线子层 53 以及用于隔离开第一走线子层 51 和第二走线子层 53 的层间绝缘层 52，层间绝缘层 52 的部分区域与第二走线子层 53 之间形成第一凹陷区 58，绝缘子层 61 的上表面的部分区域形成第二凹陷区 59，绝缘有机补偿体 57 包括填充于第二凹陷区 59 的填充部。

本实施例中，第一走线子层 51 内的第一走线数量有多个，多个第一走线排布在阵列基板上，例如等间隔且相互平行排列在阵列基板上。第一走线子层 51 的上方设置有层间绝缘层 52，层间绝缘层 52 的上方设置有第二走线子层 53，本实施例中层间绝缘层 52 用于将第一走线子层 51 和第二走线子层 53 隔开，防止第一走线子层 51 和第二走线子层 53 接触导致短路。由于第一走线子层 51 与第二走线子层 53 之间存在间隙，因此层间绝缘层 52 与第二走线子层 53 之间形成第一凹陷区 58。

第二走线子层 53 内的第二走线数量有多个，多个第二走线排布在层间绝缘层 52 上，例如等间隔且相互平行排列在层间绝缘层 52 上。绝缘子层 61 形成在第二走线子层 53 和层间绝缘层 52 的上方，因此，绝缘子层 61 在对应上述第一凹陷区 58 的部位的上表面形成第二凹陷区 59，绝缘有机补偿体 57 包括位于第二凹陷区 59 内的填充部，用于补偿第二凹陷区 59。

如图 3 和图 4 所示，层间绝缘层 52 覆盖第一走线子层 51，且对应第一走线子层 51 的部分形成凸出体，凸出体与第二走线子层 53 之间形成第一凹

陷区 58；绝缘子层 61 覆盖层间绝缘层 52、第一凹陷区 58 和第二走线子层 53，绝缘子层 61 对应第一凹陷区 58 的部分形成第二凹陷区 59。在上述实施方式的基础上，绝缘子层 61 还包括位于第二凹陷区 59 周围的平坦区，绝缘有机补偿体 57 还包括延伸至平坦区表面的平坦子层 571。在本实施方式中，
5 绝缘有机补偿体 57 不仅包括填充在第二凹陷区 59 内的填充部，还包括覆盖在绝缘子层 61 上方的平坦子层 571。这样的设置方式便于利用自流平原理制作绝缘有机补偿体 57，更准确地填充第二凹陷区 59。

在一种可能的实现方式中，绝缘子层 61 为氧化硅层和氮化硅层两层的叠层。例如，绝缘子层 61 可以为一层或多层电介质层，具体地，包括第一电介
10 质层 54 和第二电介质层 55，其中，第一电介质层 54 为氧化硅层，第二电介质层 55 为氮化硅层。具体地，如图 3 所示，本实施例中的电介质层设置有两层，第一电介质层 54 设置在第二走线子层 53 的上方，第二电介质层 55 设置在第一电介质层 54 的上方，第一电介质层 54 可以设置为氧化硅层，第二电介质层 55 可以设置为氮化硅层，此外，第一电介质层 54 也可以设置为氮化
15 硅层，第二电介质层 55 也可以设置为氧化硅层。

阵列基板的层级结构不限于上述层级结构，还可以根据需要增加、减少层级，也可以根据需要选择上述层级中的任意一层或多层，且上述层级的排列顺序不限于图 3 所示的排列顺序。

在一种可能的实现方式中，阵列基板包括处于显示区 10 一侧的扇出区
20 50，走线区处于扇出区 50 内。具体地，扇出区 50 包括间隔设置的第一扇出区 50a 和第二扇出区 50b，弯折区 20 和焊盘区 30 中的至少一个设置在第一扇出区 50a 和第二扇出区 50b 之间。扇出区 50 的数量还可以为三个、四个或五个，本实施例不对扇出区 50 的数量做具体限定。弯折区 20 和焊盘区 30 的排列顺序有多种方式，例如，弯折区 20 和焊盘区 30 可以都设置在第一扇出区
25 50a 和第二扇出区 50b 之间，又如，弯折区 20 和焊盘区 30 中的一个设置在第一扇出区 50a 和第二扇出区 50b 之间。

进一步地，在上述实施方式的基础上，弯折区 20 设置在第一扇出区 50a 和第二扇出区 50b 之间。如图 2 所示，本实施例中弯折区 20 设置在第一扇出区 50a 和第二扇出区 50b 之间，焊盘区 30 设置在第二扇出区 50b 背离弯折区

20 的一侧。

在一种可能的实现方式中，第一走线子层 51 与显示区 10 的栅极层同层设置，层间绝缘层 52 与显示区 10 的栅极绝缘层同层设置。也就是说，第一走线子层 51 和栅极层由同一次构图工艺形成，层间绝缘层 52 与栅极绝缘层
5 由同一次构图工艺形成，以减少阵列基板制作过程中掩膜板的数量。扇出区的其他膜层也与显示区的对应膜层同层设置，例如，扇出区的电介质层可与显示区的电介质层同层设置。

请参阅图 5，本公开实施例一提供的阵列基板的制作方法包括：

S100：形成第一金属层；

10 S110：对第一金属层进行图案化处理，形成包括第一走线子层 51 的图形；

S120：在第一走线子层 51 上形成覆盖第一走线子层 51 的层间绝缘层 52；

S130：在层间绝缘层 52 上形成第二金属层；

S140：对第二金属层进行图案化处理，形成包括第二走线子层 53 的图形；

S150：在第二走线子层 53 上形成覆盖第二走线子层 53 的绝缘子层 61；

15 S160：利用自流平原理在绝缘子层 61 上形成覆盖绝缘子层 61 的绝缘有机补偿体 57；

S170：在绝缘有机补偿体 57 上形成第三金属层；

S180：对第三金属层进行图案化处理，形成包括上层走线层 56 的图形。

具体地，图 5 为本公开实施例中阵列基板的制作方法的流程图，如图
20 5 所示，在 S100 形成第一金属层的步骤中，通常需要先提供一衬底基板，使第一金属层形成在衬底基板的非显示区，具体地，第一金属层可以以蒸镀、溅射或物理气相沉积的方式形成在衬底基板上。在 S110 和 S140 中，对第一金属层和第二金属层进行图案化处理时，处理方式可以为黄光、刻蚀或黄光与刻蚀相结合。在 S120 中，层间绝缘层 52 设置在第一走线子层 51 上方并将
25 第一走线子层 51 覆盖，层间绝缘层 52 用于隔绝第一走线子层 51 与第二走线子层 53，防止两者接触发生短路，层间绝缘层 52 的形成方式可以为蒸镀、溅射或化学气相沉积。在 S130 中，第二金属层可以以蒸镀、溅射或物理气相沉积的方式形成在层间绝缘层 52 上。

在一种实现方式中，所述第一金属层可以同时形成在显示区 10 与非显示区，其中形成在显示区 10 的第一金属层图案化之后形成栅极层，非显示区的第一金属层图形化之后形成第一走线子层 51。

在 S150 中，绝缘子层 61 可以采用氧化硅或氮化硅制成，绝缘子层 61 可以设置为多层，绝缘子层 61 覆盖在第二走线子层 53 的上方，用于隔开第二走线子层 53 与上层走线层 56，同时用于为上层走线层 56 提供支撑。在 S160 中，绝缘有机补偿体 57 的材料可以采用液态有机胶，通过液态有机胶的自流平原理，使其填充到绝缘子层 61 中的凹陷内，此外，绝缘有机补偿体 57 还可以覆盖在衬底基板的显示区 10。在 S170- S180 中，待绝缘有机补偿体 57 凝固后，在绝缘有机补偿体 57 的上方形成第三金属层，并对第三金属层进行图案化处理，同样的，图案化处理的方式可以为黄光、刻蚀或黄光与刻蚀相结合，从而形成上层走线层 56。

本实施例提供的阵列基板的制作方法中，绝缘有机补偿体 57 能够填充绝缘子层 61 中的凹陷，为后续第三金属层的形成提供了平整的支撑面，避免了在形成第三金属层时部分金属进入凹陷内难以去除，从而避免了因用于形成上层走线层 56 的金属滞留在凹陷中而导致的短路现象，降低了对阵列基板的不良影响，进而提高了窄边框显示屏的显示效果。

在一种可能的实现方式中，对第三金属层进行图案化处理，形成包括上层走线层 56 的图形的步骤包括黄光步骤和刻蚀步骤，其中，黄光步骤包括对第三金属层进行涂光刻胶、曝光和显影。本实施例中刻蚀步骤可以为干法刻蚀。干法刻蚀是指通过电离特定气体产生等离子体，用等离子体轰击靶材，使靶材产生靶材粒子，靶材粒子脱离靶材，从而形成所需要的图案的一种刻蚀方式。

实施例二

本公开实施例二提供了一种显示屏，其包括芯片 40 以及上述阵列基板。进一步地，芯片 40 与阵列基板的弯折区 20、焊盘区 30 和扇出区 50 位于阵列基板的显示区 10 的同一侧，芯片 40 与显示区 10 电连接。如图 2 所示，芯片 40 位于焊盘区 30 所在的一侧，且芯片 40 与第一走线子层 51、第二走线

子层 53 和上层走线层 56 电连接。

5 本实施例提供的显示屏包含实施例一所提供的阵列基板，因此具有实施例一中阵列基板所具有的优点，即避免了用于形成上层走线层 56 的金属进入到凹陷中，从而防止上层走线层 56 中的走线短路，进而提高了显示屏的显示效果。应用有本实施例中的窄边框显示屏的显示装置可以应用于不同的产品中，例如可以应用在手机、平板电脑、电子书等产品中，在此不一

10 一列举说明。

本说明书中各实施例或实施方式采用递进的方式描述，每个实施例重点说明的都是与其他实施例的不同之处，各个实施例之间相同或相似部分相互

10 参见即可。

在本说明书中，各实施例中描述的具体特征、结构或者材料可以以合适的方式相互结合。

最后应说明的是：以上各实施例仅用以说明本公开的技术方案，而非对其限制；尽管参照前述各实施例对本公开进行了详细的说明，本领域的普通

15 技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案

权 利 要 求 书

1、一种阵列基板，包括：

显示区；和

5 位于所述显示区一侧的走线区，其中，所述走线区包括层叠的上层走线层和下层走线层，所述上层走线层和所述下层走线层由绝缘层组间隔开，所述绝缘层组包括绝缘子层和形成在所述绝缘子层上的绝缘有机补偿体，所述绝缘有机补偿体用于补偿所述绝缘子层上表面的至少部分凹陷。

2、根据权利要求 1 所述的阵列基板，其中，所述绝缘有机补偿体为有机胶。

10 3、根据权利要求 2 所述的阵列基板，其中，所述有机胶为聚酰亚胺胶黏剂或丙烯酸双酯厌氧胶。

4、根据权利要求 1 所述的阵列基板，其中，所述绝缘有机补偿体覆盖所述绝缘子层。

15 5、根据权利要求 4 所述的阵列基板，其中，所述绝缘有机补偿体覆盖所述绝缘子层的整个上表面或者部分上表面。

6、根据权利要求 4 所述的阵列基板，其中，所述下层走线层包括第一走线子层、第二走线子层以及用于隔离开所述第一走线子层和所述第二走线子层的层间绝缘层。

20 7、根据权利要求 6 所述的阵列基板，其中，所述第一走线子层与所述显示区的栅极层同层设置，所述层间绝缘层与所述显示区的栅极绝缘层同层设置。

25 8、根据权利要求 6 所述的阵列基板，其中，所述层间绝缘层的部分区域与所述第二走线子层之间形成第一凹陷区，所述绝缘子层的上表面的部分区域形成第二凹陷区，所述绝缘有机补偿体包括填充于所述第二凹陷区的填充部。

9、根据权利要求 8 所述的阵列基板，其中，所述层间绝缘层覆盖所述第一走线子层，且对应所述第一走线子层的部分形成凸出体，所述凸出体与所述第二走线子层之间形成所述第一凹陷区。

30 10、根据权利要求 8 所述的阵列基板，其中，所述绝缘子层覆盖所述层间绝缘层、所述第一凹陷区和所述第二走线子层，所述绝缘子层对应所述第

一凹陷区的部分形成所述第二凹陷区。

11、根据权利要求 9 所述的阵列基板，其中，所述绝缘子层还包括位于所述第二凹陷区周围的平坦区，所述绝缘有机补偿体还包括延伸至所述平坦区表面的平坦子层。

5 12、根据权利要求 1 所述的阵列基板，其中，所述绝缘子层包括层叠设置的第一电介质层和第二电介质层。

13、根据权利要求 11 所述的阵列基板，其中，所述绝缘子层为氧化硅层和氮化硅层两层的叠层。

10 14、根据权利要求 1 所述的阵列基板，其中，所述阵列基板包括处于显示区一侧的扇出区，所述走线区处于所述扇出区内。

15、根据权利要求 14 所述的阵列基板，其中所述扇出区的膜层与所述显示区的对应膜层同层设置。

16、一种显示屏，包括芯片以及权利要求 1-15 中任一项所述的阵列基板。

15 17、一种制备阵列基板的方法，包括
形成第一金属层；
对所述第一金属层进行图案化处理，形成包括第一走线子层的图形；
在所述第一走线子层上形成覆盖所述第一走线子层的层间绝缘层；
在所述层间绝缘层上形成第二金属层；
对所述第二金属层进行图案化处理，形成包括第二走线子层的图形；
20 在所述第二走线子层上形成覆盖所述第二走线子层的绝缘子层；
利用自流平原理在所述绝缘子层上形成覆盖所述绝缘子层的绝缘有机补偿体；

在所述绝缘有机补偿体上形成第三金属层；

对所述第三金属层进行图案化处理，形成包括上层走线层的图形。

25 18、根据权利要求 17 所述的方法，其中，所述第一金属层、第二金属层以蒸镀、溅射或物理气相沉积的方式形成。

19、根据权利要求 17 所述的方法，其中，对所述第一金属层、第二金属层和第三金属层进行所述图案化处理的处理方式包括黄光、刻蚀或黄光与刻蚀相结合。

30 20、根据权利要求 17 所述的方法，其中，所述绝缘有机补偿体通过液体

凝固形成，形成在所述绝缘子层上表面的至少部分凹陷内以及所述凹陷周围的区域，或者只形成在所述凹陷内。

1/5

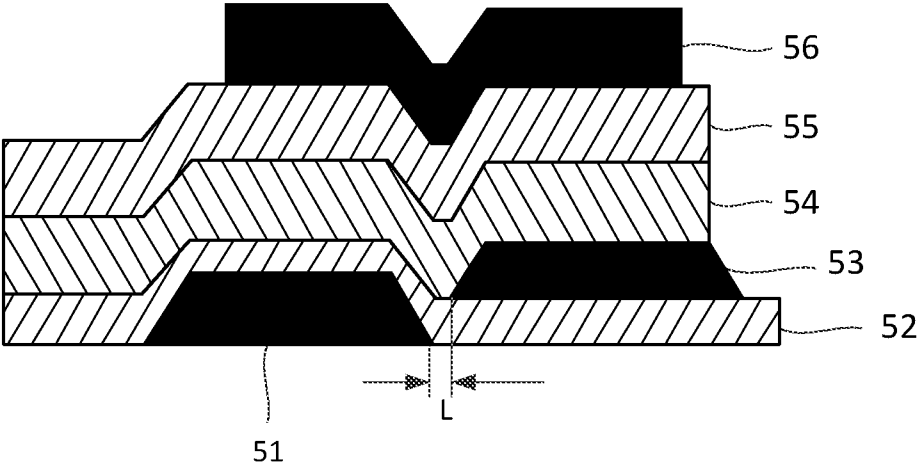


图 1

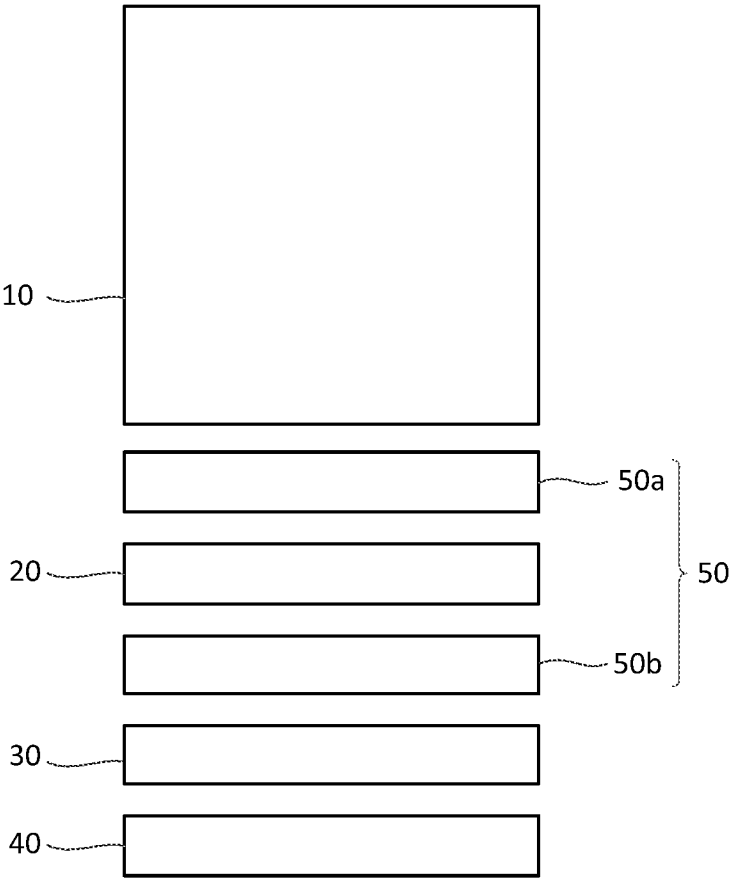


图 2

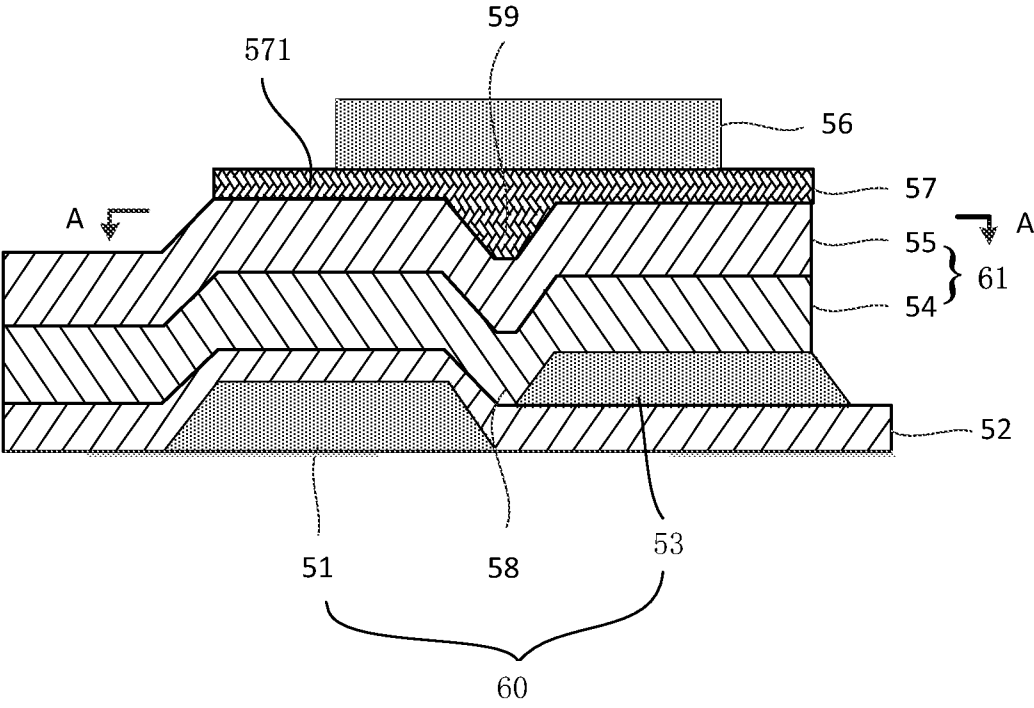


图 3

4/5

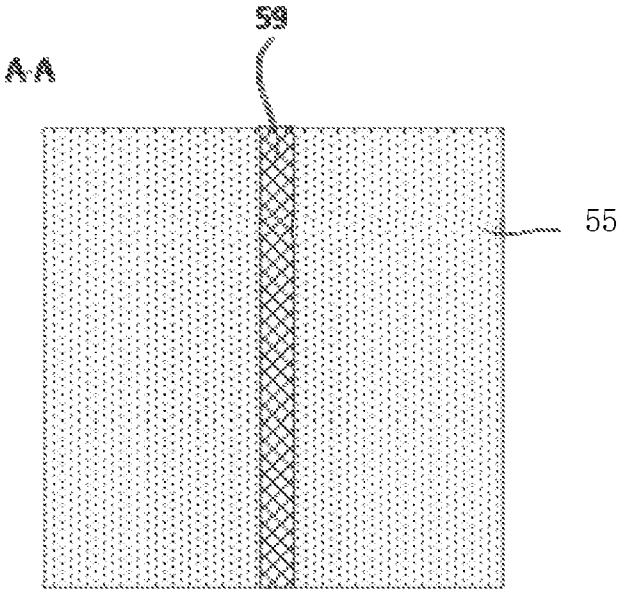


图 4

5/5

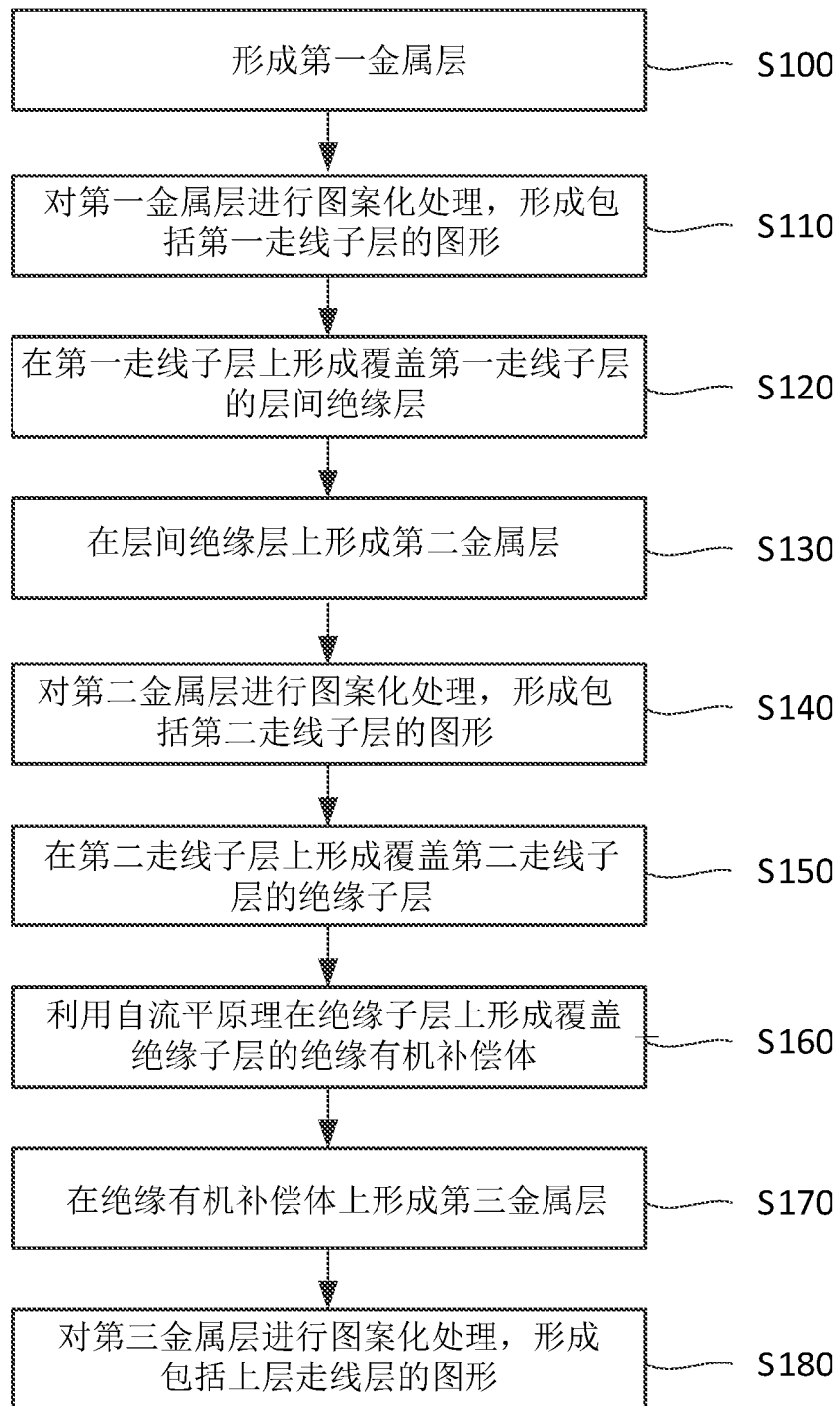


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/100924

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, CNKI, IEEE: 阵列, 显示, 有机, 平坦, 线, 绝缘, 凹, 缺陷, array, display, organic, wire, insulat+, recess, defect, hole

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 109768054 A (YUNGU (GU'AN) TECHNOLOGY CO., LTD.) 17 May 2019 (2019-05-17) description, paragraphs [0004]-[0074]	1-20
X	CN 104777692 A (XIAMEN TIANMA MICROELECTRONICS CO. LTD. et al.) 15 July 2015 (2015-07-15) description, paragraphs [0033]-[0053], and figure 2	1-20
A	JP 3351774 B2 (NEC CORPORATION) 03 December 2002 (2002-12-03) entire document	1-20
A	CN 105448933 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.) 30 March 2016 (2016-03-30) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

14 October 2019

Date of mailing of the international search report

30 October 2019

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/100924

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN	109768054	A	17 May 2019	None	
CN	104777692	A	15 July 2015	CN 104777692 B	04 September 2018
				US 9811191 B2	07 November 2017
				US 2016328058 A1	10 November 2016
				DE 102015113639 A1	10 November 2016
JP	3351774	B2	03 December 2002	JP 2001215483 A	10 August 2001
CN	105448933	A	30 March 2016	JP 6564139 B2	21 August 2019
				GB 2561117 B	03 April 2019
				GB 2561117 A	03 October 2018
				GB 201810335 D0	08 August 2018
				US 9759941 B2	12 September 2017
				US 2017199407 A1	13 July 2017
				DE 112015007141 T5	02 August 2018
				WO 2017088179 A1	01 June 2017
				JP 2019504338 A	14 February 2019
				CN 105448933 B	30 October 2018
				KR 20180087304 A	01 August 2018

国际检索报告

国际申请号

PCT/CN2019/100924

A. 主题的分类 H01L 27/12 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																	
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNPAT, WPI, CNKI, IEEE: 阵列, 显示, 有机, 平坦, 线, 绝缘, 凹, 缺陷, array, display, organic, wire, insulat+, recess, defect, hole																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 109768054 A (云谷固安科技有限公司) 2019年 5月 17日 (2019 - 05 - 17) 说明书第[0004]-[0074]段</td> <td>1-20</td> </tr> <tr> <td>X</td> <td>CN 104777692 A (厦门天马微电子有限公司等) 2015年 7月 15日 (2015 - 07 - 15) 说明书第[0033]-[0053]段, 图2</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>JP 3351774 B2 (NEC CORP.) 2002年 12月 3日 (2002 - 12 - 03) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 105448933 A (深圳市华星光电技术有限公司等) 2016年 3月 30日 (2016 - 03 - 30) 全文</td> <td>1-20</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 109768054 A (云谷固安科技有限公司) 2019年 5月 17日 (2019 - 05 - 17) 说明书第[0004]-[0074]段	1-20	X	CN 104777692 A (厦门天马微电子有限公司等) 2015年 7月 15日 (2015 - 07 - 15) 说明书第[0033]-[0053]段, 图2	1-20	A	JP 3351774 B2 (NEC CORP.) 2002年 12月 3日 (2002 - 12 - 03) 全文	1-20	A	CN 105448933 A (深圳市华星光电技术有限公司等) 2016年 3月 30日 (2016 - 03 - 30) 全文	1-20
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
PX	CN 109768054 A (云谷固安科技有限公司) 2019年 5月 17日 (2019 - 05 - 17) 说明书第[0004]-[0074]段	1-20															
X	CN 104777692 A (厦门天马微电子有限公司等) 2015年 7月 15日 (2015 - 07 - 15) 说明书第[0033]-[0053]段, 图2	1-20															
A	JP 3351774 B2 (NEC CORP.) 2002年 12月 3日 (2002 - 12 - 03) 全文	1-20															
A	CN 105448933 A (深圳市华星光电技术有限公司等) 2016年 3月 30日 (2016 - 03 - 30) 全文	1-20															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																	
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																	
国际检索实际完成的日期 2019年 10月 14日		国际检索报告邮寄日期 2019年 10月 30日															
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 陈龙 电话号码 86-(10)-53961219															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/100924

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	109768054	A	2019年 5月 17日	无	
CN	104777692	A	2015年 7月 15日	CN	104777692 B 2018年 9月 4日
				US	9811191 B2 2017年 11月 7日
				US	2016328058 A1 2016年 11月 10日
				DE	102015113639 A1 2016年 11月 10日
JP	3351774	B2	2002年 12月 3日	JP	2001215483 A 2001年 8月 10日
CN	105448933	A	2016年 3月 30日	JP	6564139 B2 2019年 8月 21日
				GB	2561117 B 2019年 4月 3日
				GB	2561117 A 2018年 10月 3日
				GB	201810335 D0 2018年 8月 8日
				US	9759941 B2 2017年 9月 12日
				US	2017199407 A1 2017年 7月 13日
				DE	112015007141 T5 2018年 8月 2日
				WO	2017088179 A1 2017年 6月 1日
				JP	2019504338 A 2019年 2月 14日
				CN	105448933 B 2018年 10月 30日
				KR	20180087304 A 2018年 8月 1日