

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-294902

(P2006-294902A)

(43) 公開日 平成18年10月26日(2006.10.26)

(51) Int. Cl.	F I	テーマコード (参考)
H01L 27/04 (2006.01)	H01L 27/04 E	5F038
H01L 21/822 (2006.01)	H03F 3/45 Z	5F082
H03F 3/45 (2006.01)	H01L 27/04 A	5J500
H01L 21/822 (2006.01)	H01L 27/06 I01B	
H01L 27/06 (2006.01)		

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願2005-114345 (P2005-114345)
 (22) 出願日 平成17年4月12日 (2005.4.12)

(71) 出願人 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100112128
 弁理士 村山 光威
 (72) 発明者 中村 政則
 大阪府門真市大字門真1006番地 松下
 電器産業株式会社内
 (72) 発明者 小島 蔵
 大阪府門真市大字門真1006番地 松下
 電器産業株式会社内
 Fターム(参考) 5F038 BE07 BH19 CA06 CA07 CA10
 DF01 DF14 EZ08 EZ20

最終頁に続く

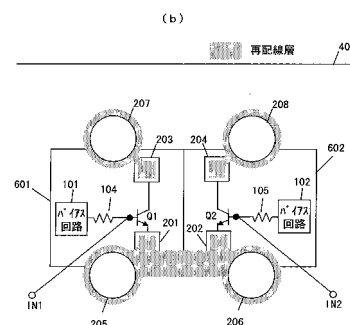
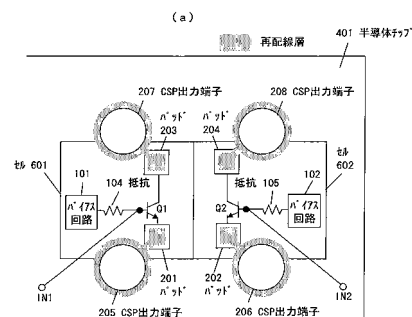
(54) 【発明の名称】 差動増幅回路及び無線通信装置

(57) 【要約】

【課題】 高周波特性の良好な差動増幅回路を提供する。

【解決手段】 半導体チップ上に再配線層が形成されるチップサイズパッケージを備える半導体基板上に形成する差動増幅回路において、差動対をトランジスタQ1とトランジスタQ2により構成し、ペアのトランジスタQ1、Q2のエミッタを夫々別のボンディングパッド201、202及びCSP出力端子205、206に接続して接地することにより、エミッタ部での共通インピーダンスを無くすようにする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

チップ上に再配線層が形成されるチップサイズパッケージを備える半導体基板上に形成する差動増幅回路において、差動対を構成する第 1 トランジスタのエミッタ又はソースが第 1 パッドに接続され、差動対を構成する第 2 トランジスタのエミッタ又はソースが前記第 1 パッドとは異なる第 2 パッドに接続され、前記第 1 パッドが再配線を介して第 1 の C S P 出力端子に接続され、前記第 2 パッドが再配線を介して前記第 1 の C S P 出力端子とは異なる第 2 の C S P 出力端子に接続され、接地されていることを特徴とする差動増幅回路。

【請求項 2】

10

再配線により前記第 1 及び第 2 の C S P 出力端子が接続されていることを特徴とする請求項 1 記載の差動増幅回路。

【請求項 3】

一方端が前記第 1 トランジスタのベース又はゲートに接続される第 1 抵抗の他方端に第 1 バイアス回路が接続され、一方端が前記第 2 トランジスタのベース又はゲートに接続される第 2 抵抗の他方端に前記第 1 バイアス回路と同じ構造を持つ第 2 バイアス回路が接続されることを特徴とする請求項 1 又は 2 記載の差動増幅回路。

【請求項 4】

前記第 1 トランジスタのコレクタ又はドレインに接続される第 3 パッド、前記第 1 トランジスタ、前記第 1 パッド、前記第 1 抵抗及び前記第 1 バイアス回路を互いに隣接して配置したものを第 1 セルとし、前記第 2 トランジスタのコレクタ又はドレインに接続される第 4 パッド、前記第 1 トランジスタ、前記第 1 パッド、前記第 2 抵抗及び前記第 2 バイアス回路を前記第 1 セルと同じ構造を持つよう配置したものを第 2 セルとし、前記第 1 セルと前記第 2 セルを隣接して線対称となるよう配置することを特徴とする請求項 3 記載の差動増幅回路。

20

【請求項 5】

前記第 1 及び第 2 セルの周囲に第 1 サブコンタクト部を配置し、前記第 1 サブコンタクト部で前記第 1 及び第 2 セルを囲うことを特徴とする請求項 4 記載の差動増幅回路。

【請求項 6】

前記第 1 サブコンタクト部を第 5 パッドに接続し、前記第 5 パッドが前記第 1 及び第 2 C S P 出力端子とは異なる C S P 出力端子に接続され、接地されることを特徴とする請求項 5 記載の差動増幅回路。

30

【請求項 7】

前記第 1 サブコンタクト部と前記第 5 パッドを隣接させることを特徴とする請求項 5 記載の差動増幅回路。

【請求項 8】

送信又は受信回路を備え、前記送信又は受信回路に請求項 1 ~ 8 のいずれか 1 項記載の差動増幅回路が用いられている無線通信装置。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、半導体集積回路装置のレイアウト方法に関するものであり、特に高周波差動増幅回路のレイアウト方法に関するものである。

【背景技術】

【0002】

図 7 は一般的な高周波差動増幅回路のレイアウト図、図 8 は図 7 の等価回路図である（特許文献 1 参照）。

【0003】

高周波差動増幅回路は、差動対を構成するトランジスタ Q 1 及びトランジスタ Q 2、トランジスタ Q 1 のベースに接続される抵抗 104 及びトランジスタ Q 2 のベースに接続さ

50

れる抵抗105を介してトランジスタQ1, Q2に動作点を与えるバイアス回路103、トランジスタQ1, Q2のエミッタが接続される接地用パッド201、接地用パッド201が接続されるCSP出力端子205、トランジスタQ1のコレクタが接続される出力用パッド203、トランジスタQ2のコレクタが出力用パッド204によって構成される。

【0004】

そして、トランジスタQ1及びトランジスタQ2に差動信号が入力されることにより、トランジスタQ1及びトランジスタQ2のコレクタに差動の信号が増幅され出力されることになる。

【特許文献1】特開2003-133862号公報

【発明の開示】

10

【発明が解決しようとする課題】

【0005】

上述した従来の高周波差動増幅回路では、トランジスタQ1及びトランジスタQ2のエミッタが短絡され接地用パッド201に接続されている。図2～図4はウェハレベルチップサイズパッケージの外観図及び断面図である。

【0006】

図2, 図3に示すように、ウェハレベルチップサイズパッケージは、半導体チップ401とその上に積層された樹脂213とこの樹脂213表面に配列した半田ボール211とからなる。

【0007】

20

次に、図4を用いてウェハレベルチップサイズパッケージの断面構造について説明する。ウェハレベルチップサイズパッケージにおいては、アルミパッド217からヴィアを介して再配線層214に接続される。再配線層214は半田ボール211の形成位置の真下まで配線され、樹脂213で覆われた銅ポスト212に接続される。この銅ポスト212上に半田ボール211が形成される。この半田ボール211がCSP出力端子となり、外部端子として使用される。この際、パッド217からCSP出力端子までには再配線層214及び銅ポスト212が存在するため、寄生インダクタンス成分が存在する。この寄生インダクタンス成分は図8の等価回路においてL1として示す。

【0008】

この寄生インダクタンス成分L1が存在すると、トランジスタQ1及びトランジスタQ2のエミッタにおいて共通インピーダンスとなり、エミッタにおいて入力の差動信号の2倍高調波が生じることになる。この2倍高調波が存在すると、入力信号に対して妨害する方向に働き、差動増幅回路の歪み特性の劣化が生じることになる。

30

【0009】

さらにトランジスタQ1及びトランジスタQ2のベースにバイアスを与えるための抵抗104及び抵抗105が夫々存在しており、これはトランジスタQ1及びトランジスタQ2のベース間に抵抗を挿入したことになり、入力信号にロスが生じ、利得の減少を引き起こす。

【0010】

さらに、高周波差動増幅回路を変復調回路部及び周波数シンセサイザ部と1チップ化する場合、半導体基板(サブストレート)を経由して生じる互いの信号の干渉が問題となる。干渉が生じると、スプリアスの発生や雑音の劣化など様々な特性劣化を引き起こす。例えば、送信ドライバンプを変復調回路部及び周波数シンセサイザ部と1チップ化する場合、送信ドライバンプの出力が発振器に回り込み干渉すると、発振器の周波数ずれが生じることになる。あるいは、変調器に入力されるローカル信号が直接送信ドライバンプに回り込むと、キャリアリークとなり変調精度の劣化を引き起こす。

40

【0011】

このように、従来の高周波差動回路においては、高周波差動増幅回路と変復調回路部及び周波数シンセサイザ部間で互いの信号が半導体基板(サブストレート)を経由して干渉しあい、前記のような様々な特性劣化を引き起こすことになる。

50

【 0 0 1 2 】

本発明は、このような問題点を解決し、歪み特性及び利得が向上し、さらに同じ半導体基板上に存在する他の回路間との信号干渉による特性劣化の少ない高周波差動回路を実現した差動増幅回路及び無線通信装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 3 】

前記目的を達成するため、請求項 1 に係る発明は、チップ上に再配線層が形成されるチップサイズパッケージを備える半導体基板上に形成する差動増幅回路において、差動対を構成する第 1 トランジスタのエミッタ又はソースが第 1 パッドに接続され、差動対を構成する第 2 トランジスタのエミッタ又はソースが前記第 1 パッドとは異なる第 2 パッドに接続され、前記第 1 パッドが再配線を介して第 1 の C S P 出力端子に接続され、前記第 2 パッドが再配線を介して前記第 1 の C S P 出力端子とは異なる第 2 の C S P 出力端子に接続され、接地されていることを特徴とする。

10

【 0 0 1 4 】

請求項 2 に係る発明は、請求項 1 に係る発明において、再配線により前記第 1 及び第 2 の C S P 出力端子が接続されていることを特徴とする。

【 0 0 1 5 】

請求項 3 に係る発明は、請求項 1 又は 2 に係る発明において、一方端が前記第 1 トランジスタのベース又はゲートに接続される第 1 抵抗の他方端に第 1 バイアス回路が接続され、一方端が前記第 2 トランジスタのベース又はゲートに接続される第 2 抵抗の他方端に前記第 1 バイアス回路と同じ構造を持つ第 2 バイアス回路が接続されることを特徴とする。

20

【 0 0 1 6 】

請求項 4 に係る発明は、請求項 3 に係る発明において、前記第 1 トランジスタのコレクタ又はドレインに接続される第 3 パッド、前記第 1 トランジスタ、前記第 1 パッド、前記第 1 抵抗及び前記第 1 バイアス回路を互いに隣接して配置したものを第 1 セルとし、前記第 2 トランジスタのコレクタ又はドレインに接続される第 4 パッド、前記第 1 トランジスタ、前記第 1 パッド、前記第 2 抵抗及び前記第 2 バイアス回路を前記第 1 セルと同じ構造を持つよう配置したものを第 2 セルとし、前記第 1 セルと前記第 2 セルを隣接して線対称となるよう配置することを特徴とする。

【 0 0 1 7 】

請求項 5 に係る発明は、請求項 4 に係る発明において、前記第 1 及び第 2 セルの周囲に第 1 サブコンタクト部を配置し、前記第 1 サブコンタクト部で前記第 1 及び第 2 セルを囲うことを特徴とする。

30

【 0 0 1 8 】

請求項 6 に係る発明は、請求項 5 に係る発明において、前記第 1 サブコンタクト部を第 5 パッドに接続し、前記第 5 パッドが前記第 1 及び第 2 C S P 出力端子とは異なる C S P 出力端子に接続され、接地されることを特徴とする。

【 0 0 1 9 】

請求項 7 に係る発明は、請求項 5 に係る発明において、前記第 1 サブコンタクト部と前記第 5 パッドを隣接させることを特徴とする。

40

【 0 0 2 0 】

請求項 8 に係る発明は、無線通信装置において、送信又は受信回路を備え、前記送信又は受信回路に請求項 1 ～ 8 のいずれか 1 項記載の差動増幅回路が用いられているものである。

【発明の効果】

【 0 0 2 1 】

本発明によれば、上記レイアウトとすることにより、歪み特性及び利得が向上し、さらに同じ半導体基板上に存在する他の回路間との信号干渉による特性劣化の少ない高周波差動回路を実現できる。

【発明を実施するための最良の形態】

50

【 0 0 2 2 】

以下、本発明の実施の形態を、図面を参照しながら説明する。

【 0 0 2 3 】

(第 1 の実施形態)

図 1 は本発明の第 1 の実施形態の構成図である。チップ上に再配線層が形成されるチップサイズパッケージを備える半導体基板上に形成する差動増幅回路において、図 1 (a) に示すように、差動対を構成するトランジスタ Q 1 のエミッタがパッド 2 0 1 に接続され、差動対を構成するトランジスタ Q 2 のエミッタがパッド 2 0 1 とは異なるパッド 2 0 2 に接続され、パッド 2 0 1 及びパッド 2 0 2 が夫々 C S P 出力端子 2 0 5 及び C S P 出力端子 2 0 6 に接続され、接地される。図 1 (b) に示すように C S P 出力端子 2 0 5 及び C S P 出力端子 2 0 6 は再配線層 2 1 4 (図 4 参照) を介して接続される。

【 0 0 2 4 】

トランジスタ Q 1 のベースに接続される抵抗 1 0 4 の一方端にバイアス回路 1 0 1 が接続され、トランジスタ Q 2 のベースに接続される抵抗 1 0 5 の一方端にバイアス回路 1 0 1 と同じ構造を持つバイアス回路 1 0 2 が接続される。さらにトランジスタ Q 1 のコレクタに接続されるパッド 2 0 3、トランジスタ Q 1、パッド 2 0 1、抵抗 1 0 4 及びバイアス回路 1 0 1 を互いに隣接して配置したものをセル 6 0 1 とし、トランジスタ Q 2 のコレクタに接続されるパッド 2 0 4、トランジスタ Q 2、パッド 2 0 2、抵抗 1 0 5 及びバイアス回路 1 0 2 をセル 6 0 1 と同じ構造を持つよう配置したものをセル 6 0 2 とし、セル 6 0 1 とセル 6 0 2 を隣接して線対称となるよう配置する。

【 0 0 2 5 】

トランジスタ Q 1 及びトランジスタ Q 2 のエミッタから C S P 出力端子 2 0 5 , 2 0 6 後のベタ G N D 間には再配線及び銅ポスト部分の寄生インダクタンス成分が存在するが、トランジスタ Q 1 及びトランジスタ Q 2 のエミッタは夫々独立して接地されているため、共通インピーダンスとはならず、2 次高調波などの振幅成分を持つことがない。すなわち 2 次高調波による歪み特性の劣化を抑えることが可能となる。また、図 1 (b) に示すように、C S P 出力端子 2 0 5 及び C S P 出力端子 2 0 6 を樹脂 2 1 3 (図 4 参照) 上において再配線層を介して接続した場合は、複数の C S P 出力端子が再配線層によって接地されることになるため、再配線層を低インピーダンスにすることができ、パッド 2 0 1 及びパッド 2 0 2 からベタ G N D までの寄生インダクタンスを抑えることが可能となる。したがって、図 1 (a) に示すレイアウトの場合と同様に、トランジスタ Q 1 及びトランジスタ Q 2 のエミッタ間の共通インピーダンスによる歪み特性の劣化を抑えることが可能となる。

【 0 0 2 6 】

また差動対を構成するトランジスタ Q 1 及びトランジスタ Q 2 のベースに接続される抵抗 1 0 4 及び抵抗 1 0 5 の一方端を、共通の一つのバイアス回路ではなく、同じ構造を持つ二つのバイアス回路 1 0 1 およびバイアス回路 1 0 2 で接続しているため、従来例のようなトランジスタ Q 1 及びトランジスタ Q 2 のベース間に存在する抵抗がなくなり、入力端での信号ロスが減少し、利得の向上が可能となる。

【 0 0 2 7 】

(第 2 の実施形態)

図 5 は本発明の第 2 の実施形態の構成図である。チップ上に再配線層が形成されるチップサイズパッケージを備える半導体基板上に形成する差動増幅回路において、差動対を構成するトランジスタ Q 1 のエミッタがパッド 2 0 1 に接続され、差動対を構成するトランジスタ Q 2 のエミッタがパッド 2 0 1 とは異なるパッド 2 0 2 に接続され、パッド 2 0 1 及びパッド 2 0 2 が夫々 C S P 出力端子 2 0 5 及び C S P 出力端子 2 0 6 に接続され、接地される。あるいは C S P 出力端子 2 0 5 及び C S P 出力端子 2 0 6 は再配線層 2 1 4 (図 4 参照) を介して接続される。

【 0 0 2 8 】

トランジスタ Q 1 のベースに接続される抵抗 1 0 4 の一方端にバイアス回路 1 0 1 が接

続され、トランジスタQ2のベースに接続される抵抗105の一方端にバイアス回路101と同じ構造を持つバイアス回路102が接続される。

【0029】

さらにトランジスタQ1のコレクタに接続されるパッド203、トランジスタQ1、パッド201、抵抗104及びバイアス回路101を互いに隣接して配置したものをセル601とし、トランジスタQ2のコレクタに接続されるパッド204、トランジスタQ2、パッド202、抵抗105及びバイアス回路102をセル601と同じ構造を持つよう配置したものをセル602とし、セル601とセル602を隣接して線対称となるよう配置する。

【0030】

さらにセル601の周囲にサブコンタクト301を配置し、サブコンタクト301でセル601及びセル602を囲い、サブコンタクト301をパッド209に接続し、パッド209が、パッド201、202が接続されるCSP出力端子205、206とは異なるCSP出力端子210に接続され、接地される。パッド209はサブコンタクト301と隣接させるように配置する。

【0031】

このような構造を持つ差動増幅回路は、差動増幅回路を構成するトランジスタQ1、Q2、パッド201、202、203、204、抵抗104、105、バイアス回路101、102をサブコンタクト301で囲んでいることにより、変復調回路部又は周波数シンセサイザ部といった他ブロックとの半導体基板を経由しての信号の干渉が生じてても、差動増幅回路部周辺がサブコンタクト301で低インピーダンスとなっているため、差動増幅回路部内への信号の回り込みが少ない。なお、このサブコンタクト301の面積を大きくするほど干渉の抑制効果が大きいため、可能な範囲で大きくする。また、サブコンタクト301を単独のパッド209及び単独のCSP出力端子210で接地することにより、干渉抑制効果がさらに大きくなる。この単独のパッド209はサブコンタクト301から可能な限り近い距離で配置し、またパッド209は可能な限り短い距離でCSP出力端子210に接続することが望ましい。さらにサブコンタクト301に接続されるパッド及びCSP出力端子は複数個以上接続した場合の方が効果的である。

【0032】

(第3の実施形態)

図6は本発明の第3の実施形態にかかる無線回路装置の回路構成図である。図6に示す無線回路装置はアンテナ701と、デュプレクサ702と、パワーアンプ703と、フィルタ704、713と、ドライバアンプ705と、変調器706と、発信器708、710と、ローカルアンプ709、711と、低雑音増幅器712と、復調器707から構成される。

【0033】

上記構成において、第1、2の実施形態の差動増幅回路は、送信ドライバアンプ705、低雑音増幅器712及びパワーアンプ703に適用可能であり、上記構成が1チップ化される場合に発明の効果が大きい。

【0034】

図6の無線回路装置において、送信時は、ベースバンド(BB)からの信号が変調器706に入力され、発信器708で発生しローカルアンプ709で増幅されたローカル信号により変調される。変調された信号は送信ドライバアンプ705で増幅されフィルタ704で不要周波数成分をフィルタリングし、パワーアンプ703でさらに増幅された後、デュプレクサ702を介してアンテナ701から送信される。受信時はアンテナ701で受信された信号はデュプレクサ702を介して低雑音増幅器712で増幅される。増幅された信号はフィルタ713によりフィルタリングされた後、復調器707に入力され、発信器710で発生しローカルアンプ711で増幅されたローカル信号により復調され、ベースバンド信号としてベースバンドLSI(図示せず)に入力される。

【0035】

上記動作において、発信器 708 で発生する信号及びローカルアンプ 709 で増幅される信号が送信ドライバアンプ 705 に半導体基板を經由して回り込むと、キャリアリークとなり、変調精度の劣化を起こす。しかし、本発明の差動増幅回路を用いることによりキャリアリークの回り込みを低減できる。さらに他ブロックからの干渉によるスプリアス、雑音なども低減できる。また、低雑音増幅器 712 は無線システムの構成上特に低雑音が要求されるが、本発明の差動増幅回路を用いることにより、他ブロックからの干渉を抑えることができ、低雑音かつ低歪みとすることが可能である。

【0036】

この第 3 の実施形態のように、図 6 の無線回路装置に第 1, 2 の実施形態にかかる差動増幅回路を適用させることで無線特性の良好な（低雑音及び低歪みな）無線回路装置を実現できる。 10

【産業上の利用可能性】

【0037】

本発明の差動増幅回路は、通信用半導体集積回路内の送信ドライバアンプや低雑音増幅器として有用であり、特に高周波回路として使用した場合、本発明の効果が大きい。

【図面の簡単な説明】

【0038】

【図 1】本発明の第 1 の実施形態に係る差動増幅回路のレイアウト図

【図 2】図 1 のウェハレベルチップサイズパッケージの端子面外観図

【図 3】図 1 のウェハレベルチップサイズパッケージの側面外観図 20

【図 4】図 1 のウェハレベルチップサイズパッケージの断面図

【図 5】本発明の第 2 の実施形態に係る差動増幅回路のレイアウト図

【図 6】本発明の第 3 の実施形態に係る無線回路装置の回路構成図

【図 7】従来の差動増幅回路のレイアウト図

【図 8】従来の差動増幅回路の等価回路図

【符号の説明】

【0039】

Q1, Q2 トランジスタ

L1 寄生インダクタ成分

101 ~ 103 バイアス回路 30

104, 105 抵抗

201 ~ 204, 209 パッド

205 ~ 208, 210 C S P 出力端子

211 半田ボール

212 銅ポスト

213 樹脂

214 再配線

215 ポリイミド層

216 アルミパッド開口層

217 アルミパッド 40

301 サブコンタクト

401 半導体チップ

601, 602 セル

701 アンテナ

702 デュプレクサ

703 パワーアンプ

704, 713 フィルタ

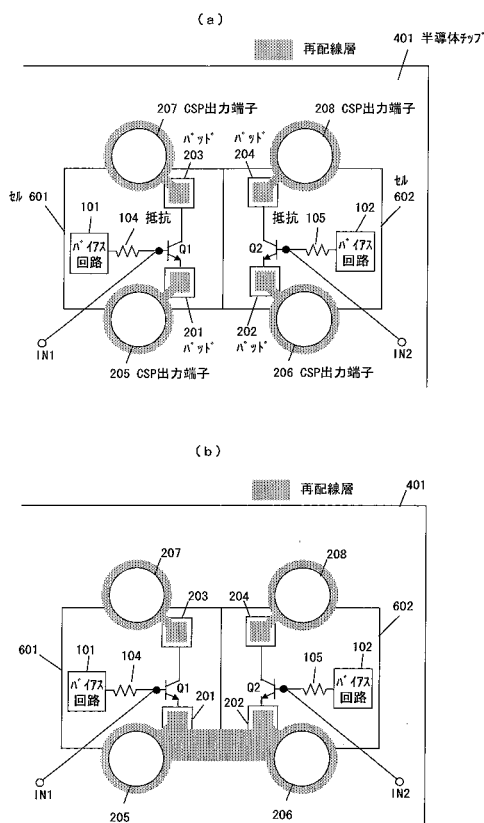
705 ドライバアンプ

706 変調器

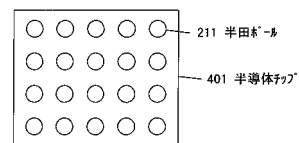
707 復調器 50

708, 710 発信器
 709, 711 ローカルアンプ
 712 低雑音増幅器

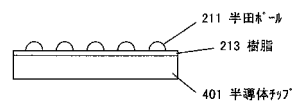
【図1】



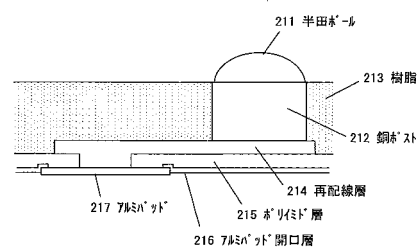
【図2】



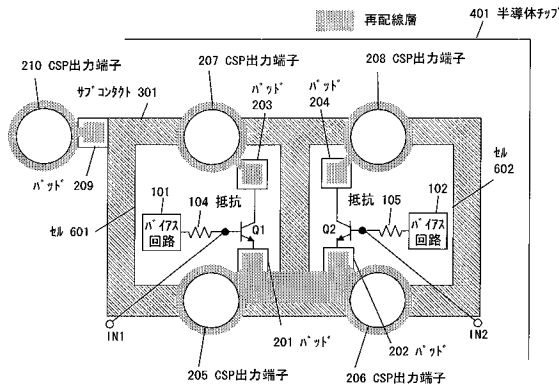
【図3】



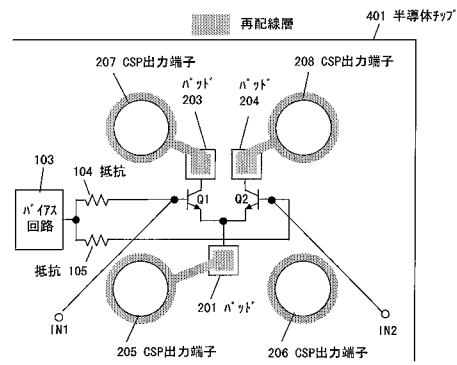
【図4】



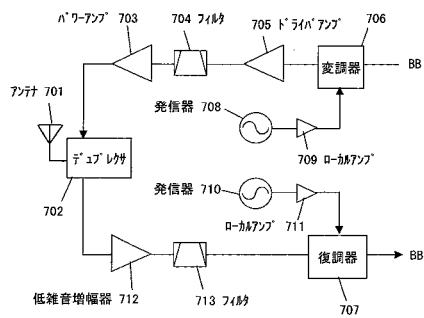
【図 5】



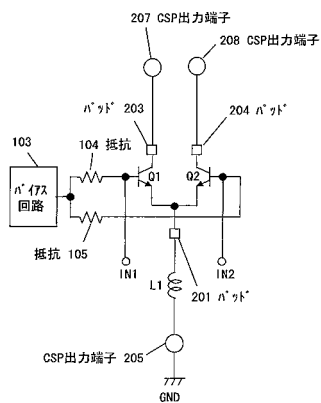
【図 7】



【図 6】



【図 8】



フロントページの続き

F ターム(参考) 5F082 AA22 AA24 AA36 BC03 BC15 DA03 DA06 DA09 FA03 GA02
GA04
5J500 AA01 AA12 AC27 AC35 AC51 AF16 AH02 AH25 AK02 AK32
AK44 AK53 AK55 AK59 AQ02 AQ03 AS13 DN01