

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5590886号
(P5590886)

(45) 発行日 平成26年9月17日(2014.9.17)

(24) 登録日 平成26年8月8日(2014.8.8)

(51) Int.Cl.

H01L 21/316 (2006.01)

F 1

H01L 21/316

X

H01L 21/316

P

請求項の数 15 (全 15 頁)

(21) 出願番号 特願2009-530575 (P2009-530575)
 (86) (22) 出願日 平成19年9月26日 (2007.9.26)
 (65) 公表番号 特表2010-505281 (P2010-505281A)
 (43) 公表日 平成22年2月18日 (2010.2.18)
 (86) 國際出願番号 PCT/US2007/079544
 (87) 國際公開番号 WO2008/039845
 (87) 國際公開日 平成20年4月3日 (2008.4.3)
 審査請求日 平成22年9月17日 (2010.9.17)
 審判番号 不服2013-16944 (P2013-16944/J1)
 審判請求日 平成25年9月3日 (2013.9.3)
 (31) 優先権主張番号 60/827,023
 (32) 優先日 平成18年9月26日 (2006.9.26)
 (33) 優先権主張國 米国(US)

(73) 特許権者 390040660
 アプライド マテリアルズ インコーポレイテッド
 APPPLIED MATERIALS, INCORPORATED
 アメリカ合衆国 カリフォルニア州 95054 サンタクララ バウアーズ アベニュー 3050
 (74) 代理人 100109726
 弁理士 園田 吉隆
 (74) 代理人 100101199
 弁理士 小林 義教

最終頁に続く

(54) 【発明の名称】欠陥パシベーションのための高Kゲート積層構造に対するフッ素プラズマ処理

(57) 【特許請求の範囲】

【請求項1】

半導体デバイスを形成する方法であって、
 基板を第1処理チャンバに導入する工程と、
 所望の厚さを有する高k誘電体層を前記第1処理チャンバ内の前記基板の表面に形成する工程と、

前記基板を周囲空気に曝すことなく、第2処理チャンバに移す工程と、

前記基板を、前記第2処理チャンバ内に生成された、フッ素ソースガスを含む低エネルギー・プラズマに曝して、フッ素化された高k誘電体層を前記基板の上に、前記第2処理チャンバ内の高k誘電体層をエッチングすることなく形成する工程と、

10

前記基板を周囲空気に曝すことなく、第3処理チャンバに移す工程と、

ゲート電極を前記第3処理チャンバ内のフッ素化された高k誘電体層の上に形成する工程と、を含む、方法。

【請求項2】

フッ素ソースガスは、F₂, NF₃, HF、及びこれらのガスの組み合わせから成るグループから選択される、請求項1記載の方法。

【請求項3】

フッ素ソースガスは、炭素を含まないガスを含む、請求項1記載の方法。

【請求項4】

基板を、フッ素ソースガスを含む低エネルギー・プラズマに曝す工程は、100未満の

20

基板温度で行なわれる、請求項 1 記載の方法。

【請求項 5】

低エネルギー plasma は誘導パルス plasma ソースを使用して形成される、請求項 1 記載の方法。

【請求項 6】

低エネルギー plasma は、連続波誘導及び容量結合の混合 plasma ソースを使用して形成される、請求項 1 記載の方法。

【請求項 7】

前記ゲート電極は、チタン、窒化チタン、タンタル、窒化タンタル、タングステン、及び窒化タングステンから成るグループから選択される金属ゲート電極である、請求項 1 記載の方法。 10

【請求項 8】

基板を、フッ素ソースガスを含む低エネルギー plasma に曝す工程は、所望の厚さを有する高 k 誘電体層を基板の表面に形成する工程の後に行なわれる、請求項 1 記載の方法。

【請求項 9】

フッ素化された高 k 誘電体層に含まれるフッ素の濃度は、 1×10^4 原子 / cm^2 ~ 4×10^5 原子 / cm^2 である、請求項 1 記載の方法。

【請求項 10】

前記高 k 誘電体層は、酸化ハフニウム、酸化ジルコニウム、珪酸ハフニウム、アルミニ酸ハフニウム、酸化ランタンハフニウム、酸化ランタン、及び酸化アルミニウムから成るグループから選択される少なくとも一つの材料を含む、請求項 1 記載の方法。 20

【請求項 11】

高 k ゲート積層構造を形成する方法であって、

高 k 誘電体層を基板の上に形成する工程と、

前記高 k 誘電体層をアニールする工程と、

前記基板を、処理チャンバ内に生成された、低イオンエネルギー フッ素含有 plasma に曝して、フッ素化された高 k 誘電体層を形成して、高 k ゲート積層構造中の酸素空孔及び他の結合欠陥をパシベートする工程と、

前記フッ素化された高 k 誘電体層をアニールする工程と、

ゲート電極を前記フッ素化された高 k 誘電体層の上に形成する工程と、を含む、方法。 30

【請求項 12】

基板を、低イオンエネルギー フッ素含有 plasma に曝す工程では、約 50 ワット ~ 約 1000 ワットの RF 電力を供給することを含む、請求項 11 記載の方法。

【請求項 13】

基板を、低イオンエネルギー フッ素含有 plasma に曝す工程は、誘導パルス plasma、連続波容量結合 plasma ソース、及び連続波誘導及び容量結合の混合 plasma ソースから成るグループから選択されるパルス無線周波数 plasma プロセスを行なうことを含む、請求項 11 記載の方法。

【請求項 14】

基板を、フッ素ソースガスを含む低エネルギー plasma に曝す工程は、100 未満の基板温度で行なわれる、請求項 11 記載の方法。 40

【請求項 15】

アルゴン、ヘリウム、窒素、酸素、及びそれらの組み合わせからなるグループから選択されるガスをフッ素ソースガスと同時に流す工程をさらに含む、請求項 2 記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の態様は概して、高 k 誘電体材料を基板に堆積させる方法及び装置に関し、特に高 k ゲート積層構造を形成しながら誘電体材料を堆積させ、そして安定させる方法に関する。 50

【背景技術】

【0002】

半導体処理、フラットパネルディスプレイ処理、または他の電子デバイス処理の分野では、気相堆積プロセスが、材料を基板に堆積させるために重要な役割を果たしてきた。電子デバイスの形状が縮小し続け、そしてデバイスの密度が増加し続けるにつれて、パターンのサイズ及びアスペクト比が益々実現困難な値になっている、例えば65nm以下のパターンサイズ、及び10以上のアスペクト比が選択されている。デバイスパターンを小さくしたいという要求が常に存在するので、新規のゲート誘電体材料及び／又はプロセスが必要になる。

【0003】

10

二酸化シリコン(SiO₂)を、高k誘電体材料のような新規のゲート誘電体材料に置き換えるために、非常に困難な解決課題が投げかけられている。例えば、高k誘電体材料は通常、化学気相堆積法(CVD)または原子層堆積法(ALD)を使用して堆積し、これらの堆積法によって、前駆体材料を含む炭素、及び他の汚染物質が堆積膜に取り込まれ易くなる。炭素及び汚染物質は、ゲート誘電体層の誘電特性に悪影響を及ぼす。また、化学気相堆積法(CVD)または原子層堆積法(ALD)により堆積する高k誘電体膜とチャネル領域との界面の品質は二酸化シリコン層ほどには優れていない。

【0004】

更に、高k誘電体材料のような誘電体材料には、後続の形成プロセス中に高温(>500)に曝されると形態変化が生じる。例えば、窒化チタンは多くの場合、酸化ハフニウムまたは酸化ジルコニアの上に、CVDプロセスによって約600で堆積する。このような高い温度では、酸化ハフニウムまたは酸化ジルコニアが結晶化して、非晶質性及び低リード特性が損なわれる。また、誘電体材料の完全な結晶化が回避される場合でも、高温に曝されると誘電体材料の結晶粒成長及び／又は相分離が生じて、リード電流増大によりデバイス性能が低下する。

20

【0005】

従って、結合欠陥が少なくなった状態でモルフォロジーが安定な誘電体材料、特に高k誘電体材料を形成するプロセスが必要になる。

【発明の概要】

【0006】

30

本発明の実施形態は一般的に、結合欠陥を低減した状態の誘電体材料を基板の上に形成する方法を提供する。一の実施形態では、本方法は、所望の厚さを有する誘電体層を基板の表面に形成する工程と、基板を、フッ素ソースガスを含む低エネルギープラズマに曝して、フッ素化された誘電体層を基板の上に、誘電体層をエッチングすることなく形成する工程と、そしてゲート電極を基板の上に形成する工程と、を含む。或る実施形態では、フッ素ソースガスは、炭素を含まないガスである。或る実施形態では、本方法は更に、アルゴン、ヘリウム、N₂、O₂、及びこれらのガスの組み合わせから成るグループから選択されるガスを、フッ素ソースガスと同時に流す工程を含む。或る実施形態では、低エネルギープラズマは、誘導結合パルス無線周波数プラズマプロセスを使用して形成される。或る実施形態では、プラズマは連続波容量結合プラズマソースを使用して形成される。或る実施形態では、プラズマは、連続波誘導及び容量結合の混合プラズマソースを使用して形成される。

40

【0007】

別の実施形態では、高kゲート積層構造を形成する方法が提供される。本方法は、高k誘電体層を基板の上に形成する工程を含む。基板を、低イオンエネルギーフッ素含有プラズマに曝して、高kゲート積層構造中の酸素空孔及び他の結合欠陥をパシベートする。ゲート電極を基板の上に形成する。或る実施形態では、高k誘電体層は金属酸化物含有層である。或る実施形態では、高k誘電体層をアニールする。

【図面の簡単な説明】

【0008】

50

本発明に関して上に列挙した特徴を詳細に理解することができるような態様で、上に簡単に要約した本発明に関する更に詳細な記述を種々の実施形態を参照しながら行なうことができ、これらの実施形態の内の幾つかの実施形態が添付の図面に示される。しかしながら、添付の図面は本発明の代表的な実施形態を示しているに過ぎず、従って本発明の範囲を制限するものではないと解釈されるべきであり、従って本発明は他の効果的な実施形態にも同じように適用することができることに留意されたい。

【0009】

【図1】図1は、本発明の一の実施形態によるフロー図である。

【図2】図2A～Dは、図1に示すプロセスシーケンスの種々の段階における基板を示している。

10

【図3】図3は、本発明の実施形態に使用されるプラズマ反応装置の模式図である。

【図4】図4は、本発明の一の実施形態によるフロー図である。

【図5】図5は、本発明の実施形態に使用される統合処理システムの模式図である。

【図6】図6は、本発明の実施形態に使用されるプラズマチャンバの等角断面図である。

【0010】

理解を容易にするために、同じ参照番号を出来る限り使用することにより、複数の図に共通する同じ構成要素を指すようにしている。一の実施形態の構成要素及び／又はプロセス工程は他の実施形態に、更に別の列挙を行なうことなく、有利に組み込むことができるものと考えられる。

【発明を実施するための形態】

20

【0011】

本発明の実施形態は概して、高k誘電体材料を基板の上に堆積させる方法及び装置に関し、特に高kゲート積層構造を形成しながら誘電体材料を堆積させ、そして安定させる方法に関する。フッ素含有プラズマを使用して、高kゲート積層構造の酸素欠損部位及び他の結合欠陥に保護膜を形成する。プラズマフッ素化はin-situ法で行なう（その場で行なう）ことができ、この場合、単一のウェハプラズマ反応装置で高k誘電物質堆積処理または事後堆積処理を集中的に行なうので、大気に曝す前に処理を進めることができる。プラズマフッ素化を上首尾に行なうためには、低エネルギーイオンプラズマによってイオン衝突ダメージ及び関連するハロゲンエッチングを防止する必要がある。低エネルギーイオンプラズマは、誘導パルスプラズマ、連続波容量結合プラズマソース、及び連続波誘導及び容量結合の混合プラズマソースを使用して形成することができる。

30

【0012】

本明細書において使用するように、「高k誘電体」という用語は一般的に、均質な、異質な、濃度傾斜付きの、そして／または多層化された積層体または積層構造である広範囲の種類の化合物を指す。高k誘電体は、ハフニウム、ジルコニウム、チタン、タンタル、ランタン、アルミニウム、シリコン、酸素、及び／又は窒素の組み合わせを含むことができる。高k誘電体材料は、酸窒化シリコン(SiO_xN_y)、酸化ハフニウム(HfO_2 を含む HfO_x)、珪酸ハフニウム(HfSiO_4 を含む HfSi_xO_y)、酸窒化シリコンハフニウム($\text{HfSi}_x\text{O}_y\text{N}_z$)、酸窒化ハフニウム(HfSi_xN_y)、アルミニン酸ハフニウム(HfAl_xO_y)、珪酸アルミニウムハフニウム($\text{HfAl}_x\text{Si}_y\text{O}_z$)、酸窒化シリコンアルミニウムハフニウム($\text{HfAl}_w\text{Si}_x\text{O}_y\text{N}_z$)、酸化ランタンハフニウム(HfLa_xO_y)、のようなハフニウム含有材料、酸化ジルコニウム(ZrO_2 を含む ZrO_x)、珪酸ジルコニウム(ZrSiO_4 を含む ZrSi_xO_y)、酸窒化シリコンジルコニウム($\text{ZrSi}_x\text{O}_y\text{N}_z$)、酸窒化ジルコニウム(ZrSi_xN_y)、アルミニン酸ジルコニウム(ZrAl_xO_y)、珪酸アルミニウムジルコニウム($\text{ZrAl}_x\text{Si}_y\text{O}_z$)、酸窒化シリコンアルミニウムジルコニウム($\text{ZrAl}_w\text{Si}_x\text{O}_y\text{N}_z$)、酸化ランタンジルコニウム(ZrLa_xO_y)のようなジルコニウム含有材料、酸化アルミニウム(Al_2O_3 または AlO_x)、珪酸アルミニウム(AlSi_xO_y)、酸窒化シリコンアルミニウム($\text{AlSi}_x\text{O}_y\text{N}_z$)、酸化アルミニウムランタン(LaAl_xO_y)、酸化ランタン(LaO_x または La_2O_3)のような他のアルミニ

40

50

ウム含有材料またはランタン含有材料、他の適切な材料、これまでに列挙した材料の複合物及び混合物を含むことができる。誘電体層に有用な他の高K誘電体材料は、酸化チタン(TiO_x または TiO_2)、酸窒化チタン(TiO_xN_y)、酸化タンタル(TaO_x または Ta_2O_5)、及び酸窒化タンタル(TaO_xN_y)を含むことができる。高K誘電体層に有用な誘電体材料である積層膜は、 HfO_2/AI_2O_3 , HfO_2/SiO_2 , La_2O_3/AI_2O_3 , 及び $HfO_2/SiO_2/AI_2O_3$ を含む。

【0013】

本明細書において使用するように、「基板」という用語は一般的に、いずれかの基板、または膜処理が施される基板の上に形成される材料基板を指す。例えば、処理を施すことができる基板は、シリコン、酸化シリコン、歪みシリコン、シリコンオンインシュレータ(SOI)、炭素添加シリコン酸化物、窒化シリコン、ドープシリコン、ゲルマニウム、砒化ガリウム、ガラス、サファイアのような材料、及び金属、金属窒化物、金属合金、及び他の導電材料のような用途によって変わる他のいずれかの材料を含む。基板表面上のバリア層、金属、または金属窒化物は、チタン、窒化チタン、窒化タングステン、タンタル、及び窒化タンタルを含む。基板は、200mmまたは300mm径のウェハだけでなく、矩形枠(rectangular pane)または方形枠(square pane)のような種々の寸法を有することができる。特に断らない限り、本明細書に記載される実施形態及び実施例は、200mm直径または300mm直径、更に好ましくは300mm直径の基板の上に形成されることが好ましい。本明細書に記載される実施形態のプロセスでは、誘電体材料を多くの基板及び表面に堆積させる。本発明の実施形態が有用となり得る基板は、これらに制限されないが、結晶シリコン(例えば、Si<100>またはSi<111>)、酸化シリコン、歪みシリコン、シリコンゲルマニウム、ドープまたはアンドープポリシリコン、ドープまたはアンドープシリコンウェハ、及びパターニングされた、またはパターニングされていないウェハを含む。基板に予備処理プロセスを施すことにより、基板表面を研磨する、エッチングする、薄くする、酸化する、水酸化する、アニールする、そして/またはベークすることができる。

【0014】

本明細書において使用するように、「原子層堆積」または「周期的堆積」という用語は一般的に、2つ以上の反応性化合物を連続的に導入して、材料層を基板表面に堆積させる方法を指す。別の方針として、2つ、3つ、またはこれらよりも多くの反応性化合物をプロセスチャンバの反応ゾーンに導入することができる。普通、各反応性化合物は、時間を遅らせて分離することにより、各化合物を基板表面に固着させる、そして/または基板表面で反応させることができる。一の態様では、第1の前駆体または化合物Aを反応ゾーンにパルス状に導入し、この後に第1の遅延時間が続く。次に、第2の前駆体または化合物Bを反応ゾーンにパルス導入し、この後に第2の遅延時間が続く。各遅延時間経過待ち状態では、窒素のようなバージガスをプロセスチャンバに導入して反応ゾーンをバージする、または残留反応化合物または副生成物を全て反応ゾーンから除去する。別の方針として、バージガスを堆積プロセスが行なわれている間ずっと継続的に流して、バージガスのみが遅延時間経過待ち状態で反応化合物のパルス状の導入と導入との間に流れるようにすることができる。別の方針として、反応化合物を、所望の膜または膜厚が基板表面に形成されるまでパルス状に導入する。いずれのシナリオにおいても、化合物A、バージガス、化合物B、及びバージガスをパルス状に導入するALDプロセスが1サイクルである。1サイクルは、化合物Aまたは化合物Bのいずれかから始まることができ、そして所望の膜厚の膜が得られるまで、それぞれの順番のサイクルとして続けることができる。別の実施形態では、化合物Aを含む第1の前駆体、化合物Bを含む第2の前駆体、及び化合物Cを含む第3の前駆体はそれぞれ個別にプロセスチャンバにパルス状に導入される。別の方針として、第1の前駆体のパルス状の導入を第2の前駆体のパルス状の導入と時間軸上でオーバーラップさせるとともに、第3の前駆体のパルス状の導入を第1及び第2の前駆体のパルス状の導入のいずれの導入とも時間軸上でオーバーラップするようとする。

【0015】

10

20

30

40

50

本明細書において使用するように、「パルス（pulse）」という用語は一般的に、処理チャンバの反応ゾーンに間欠的に、または不連続的に導入される特定化合物の量を指す。各パルス内の特定化合物の量は、例えば用いるプロセスチャンバのボリューム容量、チャンバに接続される真空システム、及び特定化合物自体の揮発度／反応度のような多くの要素によって変わり得る。本明細書において使用するように、「半反応（half-reaction）」という用語は、前駆体をパルス状に導入する工程の後に、ページ工程が行なわれる状態を指すために使用される。

【0016】

理解を容易にするために、以下の記述は、高K誘電体積層構造に組み込まれる高K誘電体層のプラズマフッ素化に関して行なわれる。しかしながら、この技術分野の当業者であれば、本明細書に記載されるプラズマフッ素化プロセスは、多くの異なる半導体用途に使用することができる理解できるであろう。10

【0017】

例示的な実施形態

図1は、フッ素化高K誘電体層を基板表面に形成する方法100の一の実施形態のフローチャートである。図2A～2Dを方法100に対応させて、トランジスタまたはキャパシタのような半導体素子に使用される誘電体材料を形成する様子を示している。工程110では、高K誘電体層202を基板201の上に形成する。工程120では、基板201を、フッ素ソースを含むプラズマに曝して、フッ素化高K誘電体層204を形成する。工程130では、ゲート電極206を基板201の上に形成する。20

【0018】

工程110の高K誘電体層202は基板の上に、原子層堆積法(ALD)、化学気相堆積法(CVD)、物理気相堆積法(PVD)、熱酸化法、及びプラズマ堆積法、及びこれらの方法の組み合わせのような従来の堆積法によって堆積させることができる。好適な実施形態では、高K誘電体層202をALDプロセス及び装置によって堆積させるが、このALDプロセス及び装置は、例えば2005年12月8日公開の「ハフニウム含有高K誘電体材料を原子層堆積させる装置及び方法」と題し、かつアプライドマテリアルズ社に譲渡される同時係属中の米国特許出願公開公報第2005/0271812号に記載されており、この特許文献を本明細書において参考することにより当該特許文献の内容が本明細書に組み込まれる。高K誘電体層202は普通、約10オングストローム～約1000オングストローム、好ましくは約20オングストローム～約500オングストローム、更に好ましくは約50オングストローム～約200オングストローム、例えば約100オングストロームの膜厚に堆積させる。任意の予備クリーニング工程は、高K誘電体層202を基板201の上に堆積させる前に行なうことができる。高K材料を堆積するための適切なチャンバの例として、FLEXSTAR(登録商標)を挙げることができ、FLEXSTAR(登録商標)は、カリフォルニア州サンタクララ市に本拠を置くアプライドマテリアルズ社が市販している。30

【0019】

高K誘電体層202をフッ素化して、工程120のフッ素化高K誘電体層204を形成している間、基板に、F₂、及びアルゴンのような不活性ガスプラズマを同時に流すことにより形成されるフッ素原子を衝突させる。F₂の他に、他のフッ素含有ガスを使用して、NF₃、HF、またはこれらの組み合わせのようなフッ素プラズマを形成することができる。使用することができる他の不活性ガスとして、ヘリウム、ネオン、及びキセノンを挙げることができる。窒素及び酸素のような他のガスを、不活性ガスの代わりに使用する、または不活性ガスと組み合わせて使用することができる。好適には、このプロセスに使用されるガスは炭素を含まない。一の実施形態では、フッ素化プロセスは、約10秒～約360秒、好ましくは約30秒～約180秒、例えば約120秒の時間に亘って行なわれる。フッ素化プロセスは普通、100未満、例えば約50～100未満の温度で行なわれる。また、フッ素化プロセスは、約50ワット～約2,500ワット、例えば約70ワット～約200ワットのように、約50ワット～約1,000ワットのプラズマ電力4050

値、及び約 10 mTorr ~ 約 100 mTorr の圧力で行なわれる。フッ素は、約 0.1 s1m ~ 約 1.0 s1m の流量を有する。処理ガスの個々のガス流量及び合計ガス流量は、処理チャンバのサイズ、処理チャンバの温度、及び処理対象の基板のサイズのような多数の処理要素に従って変わり得る。好適な実施形態では、フッ素化プロセスにおいては、中密度の低イオンエネルギー-フッ素プラズマを使用する。低イオンエネルギー-パルス状フッ素含有プラズマによって、フッ素を高 k 誘電体ゲート積層構造に、十分大きいエネルギーをイオンエッチングに利用することなく、取り込むことができる。或る実施形態では、フッ素化誘電体層中のフッ素の濃度は、1 E 14 原子 / cm² ~ 4 E 15 原子 / cm² である。

【0020】

別の実施形態では、プラズマフッ素化はチャンバ内で、約 5 ~ 20 mTorr または約 10 ~ 20 mTorr の範囲の圧力、200 ~ 800 ワット、例えば約 250 ワット ~ 約 600 ワットのプラズマ電力の条件で行なわれる。フッ素ガスはチャンバに、約 100 ~ 200 sccm の範囲の流量で流し込むことができる。一の実施形態においては、プラズマフッ素化では、約 10 ~ 20 MHz のパルス無線周波数プラズマプロセス、及び約 5 ~ 15 kHz のパルスを使用する。プラズマフッ素化プロセスパラメータは、チャンバサイズ及び容積、更には誘電体膜の所望の厚さによって変わるように変化させることができる。任意のアニール工程は、プラズマフッ素化プロセスの前に、または後に行なうことができる。プラズマフッ素化プロセスパラメータは、誘電体をエッチングするために十分大きいエネルギーを利用できることなく済むように選択される。

【0021】

工程 130 のゲート電極 206 は、基板 201 の上に、構造をプラズマに曝し、そしてアニールする前に堆積させることができ、ポリシリコン層、アモルファスシリコン層のようなゲート電極 206、またはチタン、窒化チタン、タンタル、窒化タンタル、タンゲステン、窒化タンゲステン、及び他の高融点金属のような金属層、または他の適切な電極材料をフッ素化高 k 誘電体層 204 の上に堆積させることができる。

【0022】

図 3 は、カリフォルニア州サンタクララ市に本拠を置くアプライドマテリアルズ社が製造するプラズマプロセス反応装置 300 の模式図である。プラズマプロセス反応装置は、本発明を実施するために使用することができる反応装置の一例である誘導プラズマソース反応装置である。

【0023】

反応装置 300 は、静電チャック 316 を導電性ボディ（壁）330 の内部に有するプロセスチャンバ 310 と、そしてコントローラ 340 と、を備える。チャンバ 310 には、ほぼ平坦な誘電性天井部 320 を設ける。チャンバ 310 の他の変形例は他のタイプの天井部、例えばドーム状天井部を有することができる。天井部 320 の上には、少なくとも一つの誘導コイル素子 312（2つの同軸素子 312 が示される）が配置される。誘導コイル素子 312 は、第 1 整合回路 319 を介してプラズマ電源 318 に接続される。プラズマ電源 318 は通常、最大 300 W の電力を、例えば 50 kHz ~ 13.56 MHz の範囲の調整可能な周波数で生成することができる。

【0024】

静電チャック 316 は、第 1 電極 354 と、そして誘電体材料に埋め込まれる第 2 電極 356 と、を含む。第 1 電極 354 及び第 2 電極 356 を DC 電位でバイアスすることにより、基板 314 を保持する吸着作用を起こす。吸着電圧を静電チャック 316、及びマスクから離間するウェハに印加することにより、電荷分布を基板 314 の下面に沿って、かつ静電チャック 316 の表面を覆うように発生させる。これらの電荷の極性を逆にすることにより、吸着静電力が基板 314 と静電チャック 316 との間に生じる。この力は基板 314 をチャック 316 の上に、処理チャンバ 310 内のプラズマを介在させることなく保持するので、基板 314 の導通接地経路が得られる。静電チャック 316 は単極チャックとすることもできる。

10

20

30

40

50

【0025】

静電チャック316は、第2整合回路324を介してバイアス電源322に接続される。バイアス電源322は普通、50kHz～13.56MHzの調整可能な周波数、及び0～5000ワットの電力を有するRF信号を生成する機能を備える。任意であるが、バイアス電源322はDC電源またはパルスDC電源とすることができます。コントローラ340は、中央処理ユニット(CPU)344と、メモリ342と、そしてCPU344のサポート回路346と、を備え、そしてチャンバ310の、従って上に議論した窒化プロセスの構成要素に対する制御を容易にする。

【0026】

別の実施形態では、静電チャック316を作動させる電圧は、別の「チャック」電源(図示せず)によって供給することができる。チャック電源の一方の出力端子はチャック電極に接続される。他方の出力端子は通常、電気接地に接続されるが、別の構成として、静電チャック316の金属ボディ部分に接続することができる。作動状態では、基板は誘電体材料と接触するように配置され、そして直流電圧を電極に印加して静電吸着力を、または静電吸着バイアスを生成することにより、基板を静電チャック316の上側表面に固着させる。

10

【0027】

作動状態では、半導体ウェハ314を静電チャック316の上に載置し、そしてプロセスガスをガスパネル338から流入ポート326を通じて供給してガス混合物350を生成する。ガス混合物350に点火して、プラズマ355をチャンバ310内に、電源をプラズマ電源318から印加することにより生成する。チャンバ310の内部の圧力は、スロットルバルブ327及び真空ポンプ336を使用して制御される。通常、チャンバ壁330は電気接地334に接続される。壁330の温度は、壁330を貫通して走る液体収容導管(図示せず)を使用して制御される。

20

【0028】

基板314の温度は、静電チャック316の温度を安定させることにより制御される。一の実施形態では、ガス供給源348からのヘリウムガスは、ガス導管349を経由して、静電チャック316の表面に、基板314の裏面と静電チャック316の上側表面との間に形成される微小空間に達するように形成される流路(図示せず)に供給される。処理中、静電チャック316は、静電チャック316の台座の内部の抵抗加熱ヒータ(図示せず)によって定常温度にまで加熱することができ、そして次に、ヘリウムガスによって基板314に対する均一な加熱が容易になる。

30

【0029】

プロセスチャンバ310の制御を上に記載したように容易にするために、コントローラ340は、産業現場において使用することにより種々のチャンバ及びサブプロセッサを制御することができるいずれかの形態の汎用コンピュータプロセッサの内の一つの汎用コンピュータプロセッサとすることができます。CPU344のメモリ342またはコンピュータ読み取り可能な媒体は、ランダムアクセスメモリ(RAM)、リードオンリメモリ(ROM)、フロッピィディスク、ハードディスクのような容易に入手することができるメモリ、または他のいずれかの形態の自律動作型の、または遠隔操作型のデジタルストレージの内の一つ以上とすることができます。サポート回路346はCPU344に接続されてプロセッサを従来の態様でサポートする。これらの回路はキャッシュ、電源、クロック回路、入力/出力回路、及びサブシステムなどを含む。本発明による方法は一般的に、メモリ342にソフトウェアルーチンとして保存される。ソフトウェアルーチンは、CPU344によって制御されているハードウェアから遠く離れて位置する第2CPU(図示せず)によって保存する、そして/または実行することもできる。

40

【0030】

プラズマによる窒素ガスの分解過程が窒化に影響する現象を利用するプロセス反応装置300についての他の詳細は、アプライドマテリアルズ社に譲渡され、かつ米国特許第7,179,754号として2004年12月2日に発行された「ゲート誘電体のプラズマ窒

50

化を振幅変調無線周波数エネルギーを使用して行なう方法及び装置」と題する米国特許出願公開公報第2004/0242021号に記載されており、この特許文献の内容の内、本発明と矛盾するところがない部分を本明細書において参照することにより、当該部分が本明細書に組み込まれる。適切なDPNチャンバの例として、カリフォルニア州サンタクララ市に本拠を置くアプライドマテリアルズ社が市販しているDPN CenturaTMを挙げることができる。他の適切なプラズマチャンバとして、アプライドマテリアルズ社が市販しているP3iチャンバを挙げることができる。

【0031】

図4は、本発明の一の実施形態による方法400のフロー図である。任意であるが、基板の表面をクリーニングして基板の表面に形成されている可能性のある自然酸化膜を除去することができる。プロセスは、シリコン基板を第1処理チャンバに導入する工程402から始まる。約5オングストローム～約100オングストロームの珪酸ハフニウム(HfSiO_x)をシリコンウェハ上に工程404で成長させる。表面クリーニング及び高k誘電体層形成についての詳細は、アプライドマテリアルズ社に譲渡され、かつ2003年12月18日に発行された「高誘電率材料の核形成を促進する表面前処理」と題する米国特許出願公開公報第2003/0232501号に記載されており、この特許文献を本明細書において参照することにより、この特許文献の内容が本明細書に組み込まれる。珪酸ハフニウム層は、この方法を使用して堆積する材料の一例である。本発明は、4.0よりも大きい誘電率を有する高K誘電体材料とすることができる他の種類のゲート誘電体に適用することができる。

10

【0032】

任意であるが、基板は、カリフォルニア州サンタクララ市に本拠を置くアプライドマテリアルズ社が市販しているCENTURATM RADIANCETM高速熱処理(RTP)チャンバのようなアニールチャンバに搬送することにより、HfSiO_x膜の堆積後アニールを行うことができる。堆積後アニールは、基板を約500～約1200、好ましくは約550～約700の温度で約30秒～約90秒に亘ってアニールする、例えば650で約60秒に亘ってアニールすることにより行なうことができる。一般的に、アニールチャンバ雰囲気は、O₂, N₂, NH₃, N₂H₄, NO, N₂O, またはこれらのガスの組み合わせのような少なくとも一つのアニールガスを含む。アニールチャンバは、約5Torr～約100Torr、例えば約50Torrの圧力に維持される。

20

【0033】

工程406では、基板を次に、フッ素含有ガスを少なくとも含むプラズマチャンバに搬送する。好適な実施形態においては、フッ素化プロセスでは、中密度の低イオンエネルギー-フッ素プラズマを使用する。低イオンエネルギー-パルス状フッ素含有プラズマによって、フッ素を高kゲート積層構造に、イオンエッチング用の十分に大きいエネルギーを用いることなく取り込むことができる。フッ素化プロセスは、誘導パルスプラズマ、容量結合プラズマソース、または連続波誘導及び容量結合の混合プラズマソースを使用して行なうことができる。

30

【0034】

任意であるが、基板をRTP処理チャンバに戻すように搬送し、このRTP処理チャンバでは、ポストフッ素化アニール工程が行なわれる。ポストフッ素化アニールを施している間、基板は約600～約1200、好ましくは約700～約1100の温度で、約1秒～約120秒、好ましくは約30秒～約90秒の時間に亘って、例えば約1000で約60秒に亘ってアニールされる。一般的に、アニールチャンバ雰囲気は、O₂, N₂, NH₃, N₂H₄, NO, N₂O, またはこれらのガスの組み合わせのような少なくとも一つのアニールガスを含む。アニールチャンバは、約5Torr～約100Torr、例えば約15Torrの圧力に維持される。別の方法として、ポスト窒化アニールは2ステッププロセスにより行なわれ、2ステッププロセスでは、不活性化ステップまたは還元ステップの後に酸化ステップを行なう。

40

【0035】

50

フッ素化された高 K 誘電体層を形成した後、ポリシリコンのようなゲート電極を、低圧化学気相堆積法（LPCVD）、原子層エピタキシー法（ALE）、熱分解法、またはこの技術分野で公知の他の方法により堆積させることができる。ポリシリコン層は一般的に、ボロン、リン、または砒素のようなドーパントを含む。ゲート電極は金属層とすることもできる。

【0036】

図5は、本明細書に開示されるプロセスを実施する機能を備える統合処理システム500の模式図である。統合処理システム500は、クリーニングモジュール510と、そして熱処理／堆積メインフレームシステム530と、を備える。図5に示すように、クリーニングモジュール510は、カリフォルニア州サンタクララ市に本拠を置くアプライドマテリアルズ社から入手することができるOASIS CLEANTMシステムである。熱処理／堆積メインフレームシステム530は、CENTURA（登録商標）システムであり、これもまたカリフォルニア州サンタクララ市に本拠を置くアプライドマテリアルズ社から市販されている。本明細書に開示されるプロセスを実行するシステムのこの特定の実施形態は、本発明を例示するために提供されるのであり、本発明の範囲を制限するために使用されるものとして捉えられるべきではない。10

【0037】

クリーニングモジュール510は一般的に、一つ以上の基板カセット512と、基板搬送領域内に配置される一つ以上の搬送ロボット514と、そして一つ以上の枚様式基板クリーニングチャンバ516と、を含む。枚様式基板クリーニングシステムの他の態様及び形態については、2002年3月14日に発行された「ウェハクリーニング方法及び装置」と題する米国特許出願公開公報第2002/0029788号、及び2002年5月30日に発行された「枚様式ウェハ処理装置のウェハスプレー構造」と題する米国特許出願公開公報第2002/0063169号に開示されており、これらの特許文献の両方の内容の内、本開示と矛盾する部分を本明細書において参照することにより、当該部分の全体が本明細書に組み込まれる。20

【0038】

熱処理／堆積メインフレームシステム530は一般的に、ロードロックチャンバ532と、搬送チャンバ534と、そして処理チャンバ536A, 536B, 536C, 及び536Dと、を含む。搬送チャンバ534は好ましくは、1 mTorr～約100 Torrの圧力であり、そして好ましくは、N₂雰囲気のような不活性雰囲気を含む。ロードロックチャンバ532によって、搬送チャンバ534が低い圧力の非反応性環境になっている状態で、基板を熱処理／堆積メインフレームシステム530に搬入し、そして熱処理／堆積メインフレームシステム530から搬出することができる。搬送チャンバ534は一つ以上のブレードを有するロボット540を含み、これらのブレードによって基板をロードロックチャンバ532と処理チャンバ536A, 536B, 536C, 及び536Dとの間で搬送する。処理チャンバ536A, 536B, 536C, または536Dの内のいずれかの処理チャンバを、熱処理／堆積メインフレームシステム530から、システム530によって行なわれることになる特定のプロセスに必要ではない場合に取り外すことができる。30

【0039】

任意の前処理工程、及び高K誘電体層形成をメインフレームシステムで行なって、高K誘電体層を形成する前に自然酸化膜の形成を抑制し、そして／または基板の前処理表面の汚染を低減すると有利であると考えられている。他の実施形態では、前処理工程では、研磨、エッティング、還元、酸化、水酸化、アニール、及び／又はベークを行なうことができる。基板を空気に前処理工程と高K誘電体層形成との間で曝すことにより、高K誘電体材料の基板上での核形成の効果を低減することができる。図5に示すように、クリーニングモジュール510をメインフレームシステム530に接続することにより、基板上での自然酸化膜の形成を更に抑制し、そして／またはクリーニング工程と他の処理工程との間での基板の汚染を更に低減することは任意である。勿論、他の実施形態では、クリーニング4050

工程は、熱処理 / 堆積メインフレームシステムとは別のクリーニングモジュールにおいて行なうことができる。

【0040】

更に、ゲート電極、すなわち金属またはポリシリコンのいずれかを堆積させる前に、高 k ゲート積層構造を in - situ でフッ素化する（その場でフッ素化する）ことにより、ゲート誘電体とゲート電極との間の界面での不所望の化学反応を防止することができると考えられる。ゲート電極を堆積させる前に高 k 材料の酸素空孔をパシベートすることにより、反応性の低い表面を、堆積金属または堆積ポリシリコンに持たせることができると考えられる。その結果、全ての工程、すなわち高 k 堆積工程、フッ素化を含むポスト堆積処理工程、及びゲート電極堆積工程を、大気に曝すことなく一つの装置内で一括して行なうプロセスは、一つの装置内で一括して行なわれることがない他のプロセスよりも優れていると考えられる。10

【0041】

高 K 誘電体層を形成するように構成される統合処理システム 500 の一の実施形態は、フッ素化プロセスを上述したように行なうように適合させた処理チャンバ 536A と、ハフニウム含有層のような高誘電率材料を堆積させるように適合させた化学気相堆積チャンバまたは原子層堆積チャンバのような、或るプロセスを実施するように適合させた処理チャンバ 536B と、を備える。別の実施形態では、処理チャンバ 536C は、高速熱処理 (RTP) チャンバを含み、高速熱処理 (RTP) チャンバでは、構造をアニールすることができる。RTP チャンバは、アプライドマテリアルズ社から入手することができる XE チャンバ、XE Plus チャンバ、または Radiance チャンバとすることができます。別の実施形態では、処理チャンバ 536D は、アプライドマテリアルズ社から入手することができ、かつゲート誘電体層を堆積するように適合させた POLYgen のような低圧化学気相堆積チャンバ (LPCVD) を含む。システム 500 の他の実施形態は本発明の範囲に含まれる。例えば、システム上での特定の処理チャンバの位置は変更することができる、または処理チャンバの数は変更することができる。20

【0042】

図 6 は、プラズマチャンバ 1 の一の実施形態の等角断面図であり、プラズマチャンバ 1 は、プラズマ支援化学気相堆積 (PECVD) プロセス、高密度プラズマ化学気相堆積 (HDPCVD) プロセス、イオン注入プロセス、エッチングプロセス、及び他のプラズマプロセスを行なうように構成される。プラズマチャンバ 1 は、チャンバ 1 の本体 3 に接続されるトロイダルプラズマソース 600 を含む。本体 3 は、蓋部 10 及び底面 15 に接続される側壁 5 を含み、底面 15 によって内部容積 20 を区切っている。プラズマチャンバ 1 の他の例は、2002 年 6 月 5 日に出願され、かつ 2005 年 9 月 6 日に発行された米国特許第 6,939,434 号、及び 2004 年 2 月 24 日に出願され、かつ 2005 年 5 月 17 日に発行された米国特許第 6,893,907 号に記載されており、これらの特許文献の両方を本明細書において参照することにより、これらの特許文献の内容全体が本明細書に組み込まれる。30

【0043】

内部容積 20 には、シャワーヘッド 700 と基板支持体 800 との間に形成される処理領域 25 が含まれる。ポンプ領域 30 が支持体 800 の一部を取り囲む。ポンプ領域 30 は、真空ポンプ 40 と、底面 15 に形成されるポート 45 に配置されるバルブ 35 を介して選択的に連通する。一の実施形態では、バルブ 35 はスロットルバルブであり、スロットルバルブは、内部容積 20 からポート 45 を介して真空ポンプ 40 に達するガスまたは蒸気の流れを制御する。一の実施形態では、バルブ 35 は、Oリングを使用することなく動作し、そして 2005 年 4 月 26 日に出願された米国特許出願公開公報第 2006/0237136 号に詳細に記載されており、この特許文献を本明細書において参照することにより、この特許文献の内容全体が本明細書に組み込まれる。40

【0044】

トロイダルプラズマソース 600 は、ほぼ「 U 」字形の第 1 導管 650A と、そしてほ50

ぼ「M」字形の第2導管650Bを含む。第1導管650A及び第2導管650Bはそれぞれ、少なくとも一つのアンテナ670A, 670Bを含み、これらのアンテナを使用して誘導結合プラズマを、導管650A, 650Bの各導管の内部領域655A, 655Bの内部にそれぞれ形成する。各アンテナ670A, 670Bは、RF電源671A, 672Aのような電源に接続される巻き線またはコイルとすることができます。RFインピーダンス整合システム671B, 672Bは各アンテナ670A, 670Bに接続することもできる。ヘリウム、アルゴン、及び他のガスのようなプロセスガスは、導管650A, 650Bの各導管の内部領域655A, 655Bにそれぞれ供給することができます。一の実施形態では、プロセスガスは、各導管650A, 650Bの内部領域655A, 655Bに供給されるドーパント含有ガスを含むことができる。一の実施形態では、プロセスガスはガスソース630Aから供給され、ガスソース630Aは、チャンバー1の本体3に形成されるポート55に接続される。

【0045】

一の実施形態では、導管650A, 650Bの各対向端部は、チャンバー1の蓋部10に形成される該当するポート（導管650Bに対応するポート50A及び50Bがこの図において示される）に接続される。処理中、プロセスガスは、導管650A, 650Bの各導管の内部領域655A, 655Bに供給され、そしてRFパワーが各アンテナ670A, 670Bに印加されて、ポート群、例えば50A～50B、及び処理領域25を通過する循環プラズマ経路が形成される。詳細には、図6では、循環プラズマ経路は、ポート50Aを通ってポート50Bに、または逆にポート50Bを通ってポート50Aに、ガス供給アセンブリ700と基板支持体800との間の処理領域25を通過するようにして達することができる。各導管650A, 650Bは、導管及びポート、例えば50A～50Bの該当する端部の間に接続されるプラズマ流動手段606を含み、プラズマ流動手段606は、導管650A, 650Bの各導管の内部に形成されるプラズマ経路を分岐させ、そして広くするように構成される。

【0046】

ガス供給プレート700またはシャワーヘッドは、プレナム730を蓋部10と穿孔プレート720との間に画定する環状壁710を含む。穿孔プレート720は、プレートを貫通するように対称パターンに、または非対称パターンに形成される複数の孔を含む。ドーパント含有ガスのようなプロセスガスはプレナム730にポート55から供給することができる。一般的に、ドーパント含有ガスは、ボロン（シリコン内のp型不純物）またはリン（シリコン内のn型不純物）のようなドーパント不純物原子、及びフッ素及び/又は水素のような揮発性化学種から成る化学物質である。従って、ボロン、リン、または砒素、アンチモンなどの他のドーパント化学種のフッ素化物及び/又は水素化物はドーパントガスとすることができます。例えば、ボロンドーパントが使用される場合、ドーパント含有ガスは、三フッ化ホウ素（BF₃）またはジボラン（B₂H₆）を含むことができる。ガスは孔を通り抜け、そして穿孔プレート720下方の処理領域25に達するように流れることができる。一の実施形態では、穿孔プレート720はRFバイアスされて、処理領域25内でのプラズマの生成、及び/又は維持を容易にする。

【0047】

基板支持体800は一般的に、上側層または水平円盤810と、そしてカソードアセンブリ820と、を含む。水平円盤810は、平滑な基板支持表面と、そして埋め込み電極815と、を含み、埋め込み電極815は、DC電源806を使用してバイアスすることにより基板と、水平円盤810の基板支持表面との間の静電吸着力を強めることができます。埋め込み電極815は、RFエネルギーを処理領域25に供給し、そしてRFバイアスを処理中に形成する電極として使用することもできる。埋め込み電極815は、RF電源805Aに接続することができ、そしてインピーダンス整合部805Bを含むこともできる。一の実施形態では、基板支持体800は、基板接触式冷却静電チャックであり、このチャックでは、チャックの内、基板と接触する部分が冷却される。冷却は、カソードアセンブリ820内に配置されて冷却剤を流路内で循環させる冷却剤流路（図示せず）によつ

10

20

30

40

50

て行なわれる。

【0048】

基板支持体 800 はリフトピンアセンブリ 900 を含むこともでき、リフトピンアセンブリ 900 は複数のリフトピン 910 を含む（この図には、一つしか示していない）。これらのリフトピン 910 によって、一つ以上の基板の搬送が、基板を水平円盤 810 の上方に選択的に持ち上げ、そして水平円盤 810 の上方で支持することにより容易になり、そしてこれらのリフトピン 910 を離間させることにより、ロボットブレード（図示せず）をこれらのリフトピンの間に位置させることができる。リフトピンアセンブリ 900 は、ピンブッシング 920 を含み、これらのピンブッシング 920 は水平円盤 810 及びカソードアセンブリ 820 の内の一方、または両方に接続される。

10

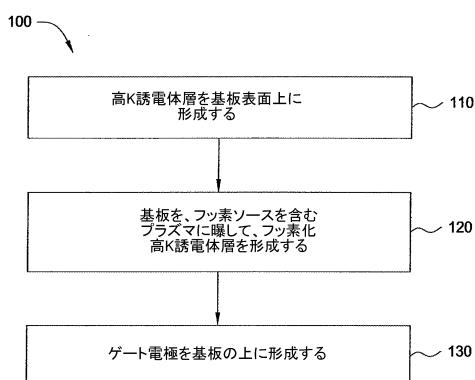
【0049】

上述の実施形態について図 4, 5, 及び 6 を参照しながら記載しているが、他の統合処理システム及びチャンバの組み合わせを、本明細書に記載される実施形態に使用することができることを理解されたい。更に、どのような数の処理チャンバも、統合システム以外の統合システムの一部とすることができます。

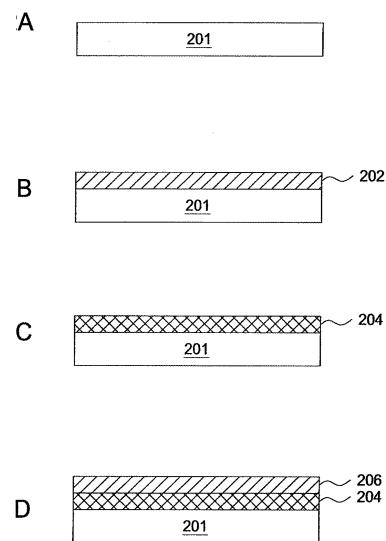
【0050】

これまでの記述は、本発明の実施形態に関して行なわれているが、本発明の他の実施形態及び別の実施形態を、本発明の基本的範囲から逸脱しない範囲で想到することができ、そして本発明の範囲は以下に示す請求項によって規定される。

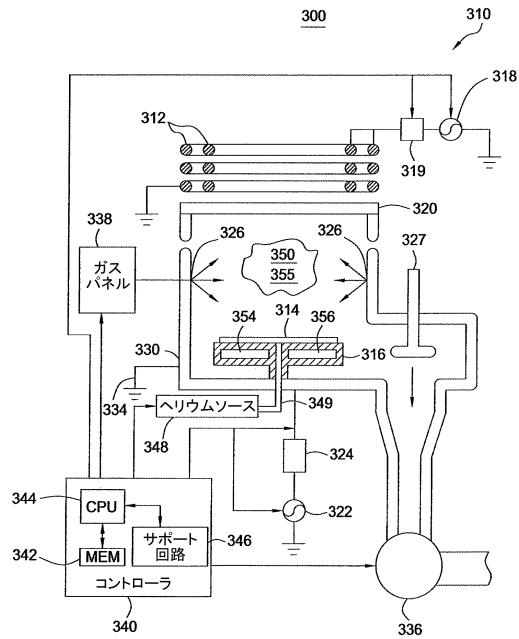
【図 1】



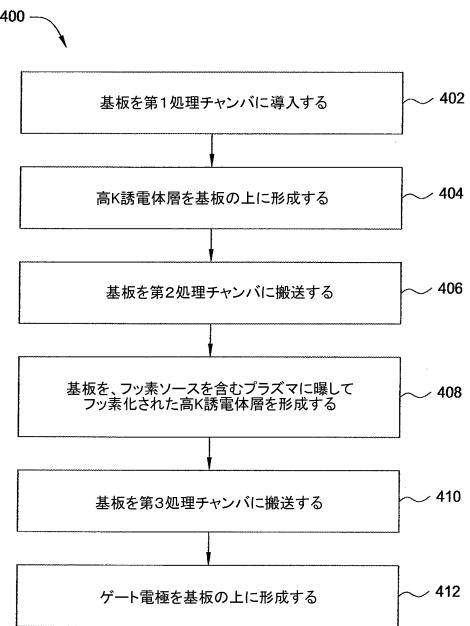
【図 2】



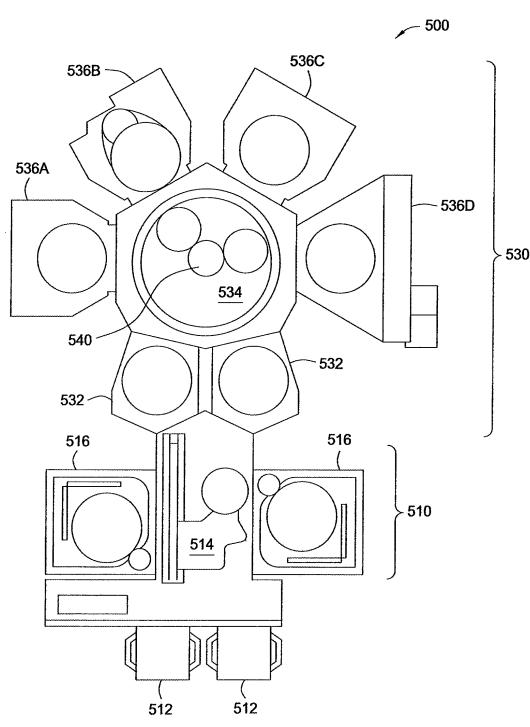
【図3】



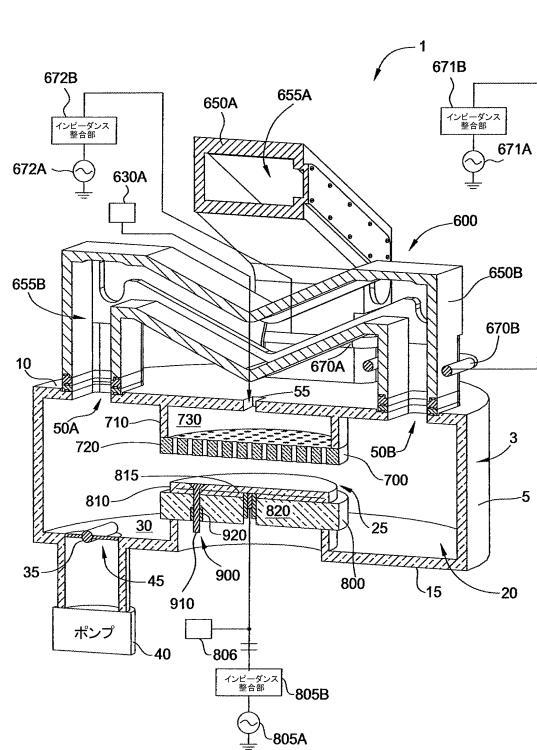
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 クラウス， フィリップ， エー.

アメリカ合衆国 カリフォルニア 95123， サンノゼ， マカティ サークル 5697-
ビー

合議体

審判長 飯田 清司

審判官 恩田 春香

審判官 加藤 浩一

(56)参考文献 特開2006-114747(JP, A)

国際公開第2005/062345(WO, A2)

特開平10-321620(JP, A)

特開平9-102492(JP, A)

特開2005-150228(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L21/31-21/32

H01L21/205

C23C16/00-16/56

H01L21/336

H01L29/788-29/792