



添付公開書類：
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

from an AC power source (100) is lowered, the step-up amount detected by the step-up amount detection unit (103) increases unless the output voltage changes. When the signal level of the step-up amount detection signal becomes higher than the reference voltage (ES12), the control unit (106) lowers a target level of switching current. When the switching current target level is lowered, the output voltage is lowered and the energy loss by the step-up is reduced.

(57) 要約:

昇圧量検出部(103)は、インダクタ(L11)の昇圧量を検出する。制御部(106)のオペアンプ(113)は、昇圧量検出部(103)が検出した昇圧量を基準電圧(ES12)と比較する。交流電源(100)から供給された供給電圧が低下した場合、出力電圧が変化しなければ、昇圧量検出部(103)が検出する昇圧量は大きくなる。昇圧量検出信号の信号レベルが基準電圧(ES12)よりも高くなると、制御部(106)は、スイッチング電流の目標レベルを低下させる。スイッチング電流の目標レベルが低下することにより、出力電圧は低下し、昇圧によるエネルギーロスが低減する。

明細書

力率改善コンバータ及びその制御方法

5 技術分野

本発明は、力率改善コンバータ及びその制御方法に関するものである。

背景技術

力率は、電力／（電流×電圧）によって表され、交流（AC）回路の電流と電
10 圧の位相差ともいわれている。

コンデンサインプット型コンバータにおいては、波形が歪むことにより位相差
が発生し、入力電流に高調波成分が含まれる。このため、脈流電圧が供給される
1 次側に平滑用コンデンサを用いずに、スイッチング電流を、脈流電圧の波形に
追従するように制御して力率を改善した力率改善コンバータがある。

15 この力率改善コンバータには、スイッチング電流を臨界モードで制御する電流
制御型のものがある。

電流制御型の力率改善コンバータは、コンバータを、例えば、インダクタと、
スイッチング素子と、ダイオードと、出力コンデンサと、を用いて構成された昇
圧チョッパ回路を備える。

20 この力率改善コンバータは、スイッチング素子をオンしてインダクタに電流を
流し、インダクタにエネルギーを蓄積させる。スイッチング電流が、供給された脈
流電圧と出力電圧とに基づいて設定された目標レベルに達すると、力率改善コン
バータは、スイッチング素子をオフする。

スイッチング素子がオフすると、インダクタからダイオードを介して出力コン
25 デンサに電流が流れ、インダクタに蓄積されたエネルギーが放出される。力率改善
コンバータは、インダクタに流れる電流が臨界（電流値が零）に達したことを検
出してスイッチング素子を再びオンする。

力率改善コンバータがこのような動作を繰り返すことにより、出力側に設けら
れた出力コンデンサの電圧は一定に保たれる。それと同時に、供給された脈流電
30 圧による電流波形は、この脈流電圧の波形に追従して正弦波となり、力率が改善

される。

しかし、かかる従来の力率改善コンバータでは、出力電圧が一定になるように制御しているため、交流電源から供給される交流電圧が、例えば、実効値でAC 200VからAC 100Vに低下した場合、昇圧比（出力電圧と脈流電圧の比）
5 が大きくなり、昇圧エネルギーが大きくなる。特に、2次側の出力電流が大きいと、昇圧によるスイッチングロスが大きくなり、効率が低下する。

発明の開示

本発明は、効率を向上させることが可能な力率改善コンバータ及びその制御方法
10 法を提供することを目的とする。

上記目的を達成するために、本発明の第1の観点に係る力率改善コンバータは、脈流電圧が印加されるインダクタ（L11, L21, L31）と、

前記インダクタ（L11, L21, L31）の一端に接続され、前記脈流電圧に従って前記インダクタ（L11, L21, L31）に流れる電流をスイッチン
15 グするスイッチング素子（Q11, Q21, Q31）と、

前記スイッチング素子（Q11, Q21, Q31）がスイッチングすることにより前記インダクタ（L11, L21, L31）の両端に発生した電圧を整流し、平滑化して直流電圧を生成する直流電圧生成部（D16, C11, D21, C
21, D31, C31）と、

20 前記スイッチング素子の電流路に流れるスイッチング電流の目標レベルを前記脈流電圧の電圧レベルに基づいて設定し、前記スイッチング電流が目標レベルとなるように、前記スイッチング素子（Q11, Q21, Q31）をオン、オフ制御する制御部（106, 205, 305）と、を備え、

前記制御部（106, 205, 305）は、前記脈流電圧の実効値と前記直流
25 電圧生成部（D16, C11, D21, C21, D31, C31）が生成する直流電圧の電圧値との比が変化することによって変化するパラメータを取得し、取得したパラメータの値に従って前記スイッチング電流の目標レベルを制御する、ことを特徴とする。

前記インダクタ（L11）に電磁結合する2次巻線（n10）を有し、前記2
30 次巻線（n10）の両端に発生する前記インダクタ（L11）の昇圧量を検出す

る昇圧量検出部（103）を備え、

前記制御部（106，205，305）は、前記パラメータとして、前記昇圧量検出部（103）が検出した昇圧量を取得するものであってもよい。

前記昇圧量検出部（103）は、脈流電圧の実効値、平均値及びピーク値のいずれか1つから昇圧量を検出するものであってもよい。

前記制御部（205）は、前記スイッチング素子（Q21）をオン、オフ制御する制御信号のデューティ比を検出するデューティ比検出部（221）を有し、前記パラメータとして、前記デューティ比検出部（221）が検出したデューティ比を取得するものであってもよい。

10 前記デューティ比検出部（221）は、前記制御信号のオンデューティ又はオフデューティを検出するものであってもよい。

前記デューティ比検出部（221）は、一定周期で前記制御信号のデューティ比を検出し、

前記制御部（106）は、前記デューティ比検出部（221）が検出した前記
15 制御信号のデューティ比に基づいて前記スイッチング電流の目標レベルを制御するものであってもよい。

前記デューティ比検出部（221）は、前記脈流電圧の周期とほぼ一致する一定周期で前記制御信号のデューティ比を検出するものであってもよい。

前記制御部（205）は、負荷に供給する電力を測定する電力測定部（237
20）を備え、さらなるパラメータとして、前記電力測定部（237）が測定した電力を取得し、制御信号のデューティ比と電力とに従って前記スイッチング電流の目標レベルを制御するものであってもよい。

前記制御部（305）は、前記脈流電圧の1周期で前記インダクタ（L31）に供給される供給電流の電流レベルを検出する供給電流検出部（321）を備え
25、前記パラメータとして、前記供給電流検出部（321）が検出した供給電流の電流レベルを取得するものであってもよい。

前記供給電流検出部（321）は、前記脈流電圧の1周期で前記インダクタ（L31）に供給される供給電流の電流レベルとして、前記スイッチング素子（Q31）の電流路に流れるスイッチング電流の電流レベルを検出するものであ
30 もよい。

前記供給電流検出部（321）は、前記脈流電圧の1周期で前記インダクタ（L31）に供給される供給電流の電流レベルとして、前記直流電圧生成部（D31, C31）に流れ込む電流の電流レベルを検出するものであってもよい。

前記供給電流検出部（321）は、積分器からなるものであってもよい。

- 5 前記供給電流検出部（321）は、前記供給電流の電流レベルとして前記脈流電圧1周期における供給電流の実効値を求める実効値検出回路又はピーク値を求めるピーク値検出回路を備えたものであってもよい。

前記制御部（305）は、前記直流電圧生成部（D16, C11, D21, C21, D31, C31）が生成した直流電圧の電力レベルを検出する電力検出部
10（237）を備え、さらなるパラメータとして、前記供給電流の電流レベルで除して求められた電圧レベルを取得し、前記供給電流の電流レベルと電圧レベルとに従って前記スイッチング電流の目標レベルを制御するものであってもよい。

前記直流電圧生成部（D16, C11, D21, C21, D31, C31）の一端が、前記インダクタ（L11, L21, L31）と前記スイッチング素子（
15 Q11, Q21, Q31）との接続点に接続され、前記スイッチング素子（Q11, Q21, Q31）の電流路の他端と前記直流電圧生成部（D16, C11, D21, C21, D31, C31）の他端とが負極に接続され、

前記インダクタ（L11, L21, L31）の他端に、整流電圧が印加される昇圧形チョッパ回路からなるものであってもよい。

- 20 前記インダクタ（L21）を1次巻線（n21）として前記インダクタ（L21）に電磁結合する2次巻線（n22）を備え、前記2次巻線（n22）の両端に直流電圧生成部（D21, C21）が接続されたトランス（T）を備え、前記インダクタ（L21）の他端に整流電圧が印加されるものであってもよい。

前記直流電圧生成部（D16, C11, D21, C21, D31, C31）は
25、生成した直流電圧の電圧レベルが設定レベルを越えると前記スイッチング電流の目標レベルを低下させるような過電圧保護信号を前記制御部（106, 205, 305）に供給する過電圧保護部（105）を備えたものであってもよい。

前記制御部（106, 205, 305）は、

出力電圧に対応する出力電圧信号の信号レベルと所定の参照信号の信号レベル
30とを比較して両信号レベルの差信号を、前記スイッチング電流の目標レベルを制

御する信号として出力する増幅器（113，223，323）と、

前記パラメータの値と設定値とを比較し、比較結果に基づいて、前記脈流電圧の実効値と前記直流電圧生成部（D16，C11，D21，C21，D31，C31）が生成する直流電圧の電圧値との比が増加するに従って前記スイッチング素子（Q11，Q21，Q31）のスイッチング電流の目標レベルが低下するような参照信号を前記増幅器（113，223，323）に供給する参照信号生成回路（121，222，322）と、を備えたものであってもよい。

前記参照信号生成回路（121，222，322）は、ヒステリシス特性を有するものであってもよい。

10 前記制御部（106，205，305）は、

出力電圧に対応する出力電圧信号の信号レベルと所定の参照信号の信号レベルとを比較して両信号レベルの差信号を、前記スイッチング電流の目標レベルを制御する信号として出力する増幅器（113，223，323）と、

前記パラメータの値と比較するための複数の設定値を有し、前記パラメータの値が大きくなって前記各設定値を越える毎に、順次、前記スイッチング素子（Q11，Q21，Q31）のスイッチング電流の目標レベルを低下させるような参照信号を前記増幅器（113，223，323）に供給する参照信号生成回路（121，222，322）と、を備えたものであってもよい。

前記参照信号生成回路（121，222，322）は、ヒステリシス特性を有するものであってもよい。

前記増幅器（113，223，323）は、前記参照信号生成回路（121，222，322）から参照信号が供給されると、前記パラメータの値と前記差信号の信号レベルの変化との関係を示す所定の関数に従って、前記差信号の信号レベルが小さくなるような差信号を出力するものであってもよい。

25 前記所定の関数は、取得したパラメータの値が前記設定値を越えたときからの時間と前記差信号の信号レベルとの関係が1次関数で表される関数であってもよい。

前記参照信号生成回路（121，222，322）は、前記直流電圧生成部（D16，C11，D21，C21，D31，C31）が生成した直流電圧に対応する上限値又は下限値を設定するように参照信号の信号レベルを規制するもので

あってもよい。

前記制御部（106，205，305）は、

出力電圧に対応する出力電圧信号の信号レベルと所定の参照信号の信号レベルとを比較して両信号レベルの差信号を、前記スイッチング電流の目標レベルを制
5 御する信号として出力する増幅器（323）と、

前記取得したパラメータの値と設定値とを比較し、取得したパラメータの値が設定値を越えると、前記スイッチング素子（Q11，Q21，Q31）のスイッチング電流の目標レベルが低下するように前記増幅器（323）に供給される出力電圧信号の信号レベルを低下させる出力電圧信号制御回路（331）と、を備
10 えたものであってもよい。

前記制御部（106，205，305）は、取得したパラメータの値が設定値を越えたとき、前記参照信号生成回路（121，222，322）から前記増幅器への参照信号の出力を所定時間だけ遅延させるタイマ（236）を備えたものであってもよい。

15 また、この本発明の第2の観点に係る力率改善コンバータの制御方法は、

脈流電圧が印加されるインダクタ（L11，L21，L31）と、

前記インダクタ（L11，L21，L31）の一端に接続され、前記脈流電圧に従って前記インダクタ（L11，L21，L31）に流れる電流をスイッチングするスイッチング素子（Q11，Q21，Q31）と、

20 前記スイッチング素子（Q11，Q21，Q31）がスイッチングすることにより前記インダクタ（L11，L21，L31）の両端に発生した電圧を整流し、平滑化して直流電圧を生成する直流電圧生成部（D16，C11，D21，C21，D31，C31）と、を備えた力率改善コンバータを制御する力率改善コンバータの制御方法であって、

25 前記脈流電圧の電圧レベルに基づいて前記スイッチング素子（Q11，Q21，Q31）の電流路に流れるスイッチング電流の目標レベルを設定するステップと、

前記スイッチング電流が目標レベルとなるように、前記スイッチング素子（Q11，Q21，Q31）をオン、オフ制御するステップと、

30 前記脈流電圧の実効値と前記直流電圧生成部（D16，C11，D21，C2

1, D 3 1, C 3 1) が生成する直流電圧の電圧値との比が変化することによって変化するパラメータを取得するステップと、

前記設定されたスイッチング電流の目標レベルを、前記取得したパラメータの値に従って制御するステップと、を備えたことを特徴とする。

- 5 前記インダクタ (L 1 1, L 2 1, L 3 1) の昇圧量を検出するステップと、検出した昇圧量をパラメータとして取得するステップと、をさらに備えたものであってもよい。

前記スイッチング素子 (Q 1 1, Q 2 1, Q 3 1) をオン、オフ制御する制御信号のデューティ比を検出するステップと、

- 10 検出したデューティ比をパラメータとして取得するステップと、をさらに備えたものであってもよい。

前記脈流電圧に従って前記インダクタ (L 1 1, L 2 1, L 3 1) に流れる電流の電流レベルを検出するステップと、

- 15 前記検出した供給電流の電流レベルを前記パラメータとして取得するステップと、をさらに備えたものであってもよい。

図面の簡単な説明

図 1 は、本発明の第 1 の実施形態に係る力率改善コンバータの構成を示す回路図である。

- 20 図 2 は、図 1 の力率改善コンバータの動作を示すタイミングチャートである。

図 3 は、供給電圧が変化したときの図 1 の力率改善コンバータの動作を示すタイミングチャートである。

図 4 は、本発明の第 2 の実施形態に係る力率改善コンバータの構成を示す回路図である。

- 25 図 5 は、図 4 の力率改善コンバータが備える基準電圧生成回路の構成を示す回路図である。

図 6 は、図 4 の力率改善コンバータの動作を示すタイミングチャートである。

図 7 は、本発明の第 3 の実施形態に係る力率改善コンバータの構成を示す回路図である。

- 30 図 8 は、図 7 の力率改善コンバータの動作を示す説明図である。

図 9 は、本発明の第 4 の実施形態に係る力率改善コンバータの構成を示す回路図である。

図 10 は、図 9 の力率改善コンバータの動作を示す説明図である。

図 11 は、本発明の第 5 の実施形態に係る力率改善コンバータの構成を示す回路図である。

図 12 は、本発明の第 6 の実施形態に係る力率改善コンバータの構成を示す回路図である。

図 13 は、図 12 の力率改善コンバータが備えるフィルタの構成を示す回路図である。

10 図 14 は、図 12 の力率改善コンバータが備えるパルス幅検出回路と基準電圧生成回路の構成を示す回路図である。

図 15 は、図 12 の力率改善コンバータの動作を示す説明図である。

図 16 は、図 12 の力率改善コンバータの動作を示す説明図である。

図 17 は、本発明の第 7 の実施形態に係る力率改善コンバータの構成を示す回路図である。

図 18 は、図 17 の力率改善コンバータの動作を示す説明図である。

図 19 は、本発明の第 7 の実施形態に係る力率改善コンバータの別の構成を示す回路図である。

図 20 は、図 19 に示す力率改善コンバータの動作を示す説明図である。

20 図 21 は、本発明の第 8 の実施形態に係る力率改善コンバータが備える基準電圧生成回路の構成を示す回路図である。

図 22 は、本発明の第 8 の実施形態に係る力率改善コンバータの動作を示す説明図である。

図 23 は、本発明の第 8 の実施形態に係る力率改善コンバータを応用したもの
25 の動作を示す説明図である。

図 24 は、本発明の第 9 の実施形態に係る力率改善コンバータの構成を示す回路図である。

図 25 は、図 24 の力率改善コンバータの動作を示す説明図である。

図 26 は、本発明の第 9 の実施形態に係る力率改善コンバータを応用したもの
30 の構成を示す回路図である。

図 27 は、図 26 の力率改善コンバータの動作を示す説明図である。

図 28 は、本発明の第 10 の実施形態に係る力率改善コンバータの構成を示す回路図である。

図 29 は、図 28 の力率改善コンバータが備える電力検出回路の構成を示す回路図である。

図 30 は、本発明の第 11 の実施形態に係る力率改善コンバータの構成を示す回路図である。

図 31 は、本発明の第 12 の実施形態に係る力率改善コンバータの構成を示す回路図である。

10 図 32 は、本発明の第 13 の実施形態に係る力率改善コンバータの構成を示す回路図である。

図 33 は、図 32 の力率改善コンバータが備える分圧比設定回路の構成を示す回路図である。

15 図 34 は、本発明の第 14 の実施形態に係る力率改善コンバータの構成を示す回路図である。

図 35 は、本発明の第 6 の実施形態に係る力率改善コンバータの制御部の別の構成を示す回路図である。

図 36 は、図 35 に示す構成の制御部を備えた力率改善コンバータの動作を示す説明図である。

20

発明を実施するための最良の形態

以下、本発明の実施の形態に係る力率改善コンバータを図面を参照して説明する。

[第 1 の実施の形態]

25 第 1 の実施の形態に係る力率改善コンバータは、パラメータとしてインダクタの昇圧量を取得し、取得した昇圧量に従ってスイッチング電流の目標レベルを制御するようにしたものである。

第 1 の実施の形態に係る力率改善コンバータの構成を図 1 に示す。

第 1 の実施の形態に係る力率改善コンバータは、整流部 101 と、電圧変換部 30 102 と、昇圧量検出部 103 と、スイッチング電流検出部 104 と、過電圧保

護部105と、制御部106と、からなる。

整流部101は、交流電源100から供給された交流電力を全波整流して脈流電圧を生成するものであり、ダイオードD11～D14からなるブリッジ整流回路によって構成される。

- 5 ダイオードD11のカソードとダイオードD13のカソードとは、互いに接続されている。ダイオードD12のカソードは、ダイオードD11のアノードに接続されている。ダイオードD14のカソードは、ダイオードD13のアノードに接続されている。ダイオードD12のアノードとダイオードD14のアノードとは、互いに接続されている。交流電源100は、ダイオードD11、D12の接
- 10 続点と、ダイオードD13、D14の接続点と、の間に接続されている。

電圧変換部102は、整流部101が生成した脈流電圧を直流の出力電圧に変換するものであり、昇圧チョッパ回路によって構成されている。即ち、電圧変換部102は、インダクタL11と、トランジスタQ11と、ダイオードD16と、コンデンサC11と、を備える。

- 15 インダクタL11は、整流部101から供給された脈流電圧に従って流れる電流により、エネルギーを蓄積し、起電力を発生させるものであり、その一端は、整流部101のダイオードD11、D13のカソードに接続されている。

- トランジスタQ11は、オン、オフすることによってインダクタL11に流れる電流を変化させ、インダクタL11に起電力を励起させるものであり、Nチャ
- 20 ネルの電界効果トランジスタ（FET）によって構成されている。トランジスタQ11は、ゲートにハイレベルの信号が供給されてオンする。また、トランジスタQ11は、ゲートにローレベルの信号が供給されてオフする。トランジスタQ11のドレインは、インダクタL11の他端（出力端）に接続され、ソースは、抵抗R14を介して整流部101のダイオードD12、D14のアノードに接
- 25 続されている。

ダイオードD16は、トランジスタQ11がオンしたときに、電流がコンデンサC11から逆流するのを防止し、電流を整流するためのダイオードである。ダイオードD16のアノードは、インダクタL11の他端に接続されている。

- コンデンサC11は、ダイオードD16を介してインダクタL11から供給さ
- 30 れた電流を平滑化するものである。コンデンサC11の一端（正極）は、ダイオ

ードD 1 6のカソードに接続されている。コンデンサC 1 1の他端（負極）は、整流部1 0 1のダイオードD 1 2, D 1 4のアノードに接続されている。

尚、コンデンサC 1 1の他端（負極）は接地されている。

5 スイッチング電流検出部1 0 4は、トランジスタQ 1 1に流れるスイッチング（ドレイン）電流を検出するためのものであり、スイッチング（ドレイン）電流を電圧信号に変換して出力する。スイッチング電流検出部1 0 4は、抵抗R 1 4からなる。抵抗R 1 4は、スイッチング（ドレイン）電流を電圧信号に変換するためのものであり、トランジスタQ 1 1のソースと接地間に接続されている。

10 昇圧量検出部1 0 3は、インダクタL 1 1による昇圧量を検出するためのものである。この昇圧量は、脈流電圧の実効値と出力電圧の電圧値との比が変化することによって変化する。即ち、この昇圧量は、脈流電圧の実効値と出力電圧の電圧値との比を表すパラメータになる。

昇圧量検出部1 0 3は、巻線n 1 0と、ダイオードD 1 5と、実効値変換回路1 1 1と、を備える。

15 巻線n 1 0は、インダクタL 1 1の臨界電流を検出するとともに、インダクタL 1 1に発生した電圧を検出するためのものである。巻線n 1 0の一端は、接地されている。

ダイオードD 1 5は、巻線n 1 0に発生した電圧に従って流れる電流を整流するためのものである。ダイオードD 1 5のアノードは、巻線n 1 0の他端に接続20 されている。

実効値変換回路1 1 1は、巻線n 1 0に発生した昇電圧の実効値を求めるためのものである。実効値変換回路1 1 1は、抵抗R 1 1～R 1 3と、コンデンサC 1 2と、を備える。

抵抗R 1 1の一端は、ダイオードD 1 5のカソードに接続されている。抵抗R 25 1 2の一端は、抵抗R 1 1の他端に接続されている。抵抗1 2の他端は接地されている。コンデンサC 1 2の一端は、抵抗R 1 1, R 1 2の接続点に接続されている。コンデンサC 1 2の他端は、接地されている。また、抵抗R 1 3の一端は、コンデンサC 1 2の一端に接続され、他端は、制御部1 0 6のオペアンプ1 1 3の一端に接続されている。

30 尚、抵抗R 1 2の抵抗値を抵抗R 1 1の抵抗値と比較して非常に大きくし、コ

ンデンサC 1 2の容量を小さくすることにより、実効値変換回路1 1 1は、昇電圧のピーク値を検出する。このように、抵抗R 1 1、R 1 2と、コンデンサC 1 2と、の定数を調整することにより、実効値変換回路1 1 1は、昇電圧の実効値を検出するだけでなく、ピーク値又は平均値の検出回路としても機能する。

- 5 過電圧保護部1 0 5は、出力端に接続されている負荷を過電圧から保護するためのものであり、抵抗R 1 5～R 1 7と、コンパレータ1 1 2と、ダイオードD 1 7と、からなる。

抵抗R 1 5の一端はコンデンサC 1 1の一端（正極）に接続されている。抵抗R 1 6の一端は、抵抗R 1 5の他端に接続されている。抵抗R 1 6の他端は、
10 ンデンサC 1 1の他端（負極）に接続されている。

コンパレータ1 1 2は、抵抗R 1 5と抵抗R 1 6とによって分圧された電圧と基準電圧E S 1 1とを比較することにより、出力電圧の過電圧を検出するためのものである。

コンパレータ1 1 2の一端子（反転入力端子）には、基準電圧E S 1 1が供給
15 される。基準電圧E S 1 1は、過電圧を判別するために予め設定された電圧である。コンパレータ1 1 2の+端子（非反転入力端子）は、抵抗R 1 5、R 1 6の接続点に接続されている。コンパレータ1 1 2の出力端は、抵抗R 1 7を介してダイオードD 1 7のアノードに接続されている。

コンパレータ1 1 2は、+端子に供給された信号の信号レベルが基準電圧を越
20 えると、ハイレベルの信号を出力する。

制御部1 0 6は、トランジスタQ 1 1のゲートにパルス信号としての信号S 1を供給することにより、トランジスタQ 1 1のオン、オフ制御を行うものである。制御部1 0 6は、オペアンプ1 1 3と、乗算器1 1 4と、コンパレータ1 1 5、
1 1 6と、フリップフロップ1 1 7と、抵抗R 1 8～R 2 0と、を備えている
25。

オペアンプ1 1 3は、昇圧量検出部1 0 3が検出した昇圧量と基準電圧E S 1 2とを比較して、その誤差電圧を増幅するものである。オペアンプ1 1 3の+端子には、基準電圧E S 1 2が供給される。オペアンプ1 1 3の-端子は、過電圧保護部1 0 5のダイオードD 1 7のカソードに接続されている。オペアンプ1 1
30 3は、昇圧量と基準電圧E S 1 2との誤差電圧を示す信号を出力する。

抵抗R 1 8と抵抗R 1 9とは、整流部1 0 1によって整流された供給電圧を検出するための分圧抵抗である。抵抗R 1 8の一端は、ダイオードD 1 1, D 1 3のカソードに接続され、抵抗R 1 9の一端は、抵抗R 1 8の他端に接続されている。抵抗R 1 9の他端は、ダイオードD 1 2, D 1 4のアノードに接続されている。

乗算器1 1 4は、供給電圧と昇圧量（実効値）とに基づいてスイッチング電流の目標レベルを設定するためのものである。乗算器1 1 4は、抵抗R 1 8, R 1 9の接続点と、オペアンプ1 1 3の出力端と、の間に接続されている。また、乗算器1 1 4は、抵抗R 1 8, R 1 9の接続点から出力された信号の信号レベルと
10 オペアンプ1 1 3から出力された信号の信号レベルとを乗算したレベルの信号をコンパレータ1 1 6の一端子に供給する。

コンパレータ1 1 5は、インダクタL 1 1の臨界電流が検出されるタイミングでフリップフロップ1 1 7をセットするものである。コンパレータ1 1 5の+端子には、基準電圧E S 1 3が供給される。この基準電圧E S 1 3は、臨界電流を
15 検出するために予め設定された電圧である。コンパレータ1 1 5の一端子は、抵抗R 2 0を介して巻線n 1 0の他端に接続されている。コンパレータ1 1 5の出力端は、フリップフロップ1 1 7のS（セット）端子に接続されている。コンパレータ1 1 5は、巻線n 1 0に発生した電圧が基準電圧E S 1 3以下になると、ハイレベルの信号S 2をフリップフロップ1 1 7のS端子に供給する。

20 コンパレータ1 1 6は、スイッチング電流が目標レベルに達するタイミングでフリップフロップ1 1 7をリセットするものである。

コンパレータ1 1 6の+端子は、トランジスタQ 1 1のソース端子とスイッチング電流検出部1 0 4の抵抗R 1 4との接続点に接続されている。

フリップフロップ1 1 7は、コンパレータ1 1 5の出力信号S 2とコンパレー
25 タ1 1 6から出力された信号S 3とに基づいて信号S 1を生成するものである。

フリップフロップ1 1 7は、生成した信号S 1をゲート信号としてトランジスタQ 1 1のゲートに供給する。フリップフロップ1 1 7のセット端子Sは、コンパレータ1 1 5の出力端子に接続されている。フリップフロップ1 1 7のリセット端子は、コンパレータ1 1 6の出力端子に接続されている。フリップフロップ1
30 1 7の出力端子Qは、トランジスタQ 1 1のゲート端子に接続されている。

次に、第1の実施の形態に係る力率改善コンバータの動作を図2に基づいて説明する。

尚、図2において、 I_q 、 V_{q1} は、それぞれ、トランジスタQ11に流れるドレイン電流、トランジスタQ11のドレインソース間に印加されるドレイン電圧を示す。また、 V_L は、インダクタL11の両端に印加される電圧を示す。 V_{out} は、出力電圧を示す。

交流電源100は、整流部101に交流電力を供給する。

整流部101のダイオードD11～D14は、交流電源100から供給された交流電力を整流し、図2(a)に示すような脈流の整流電圧を生成する。整流部101は、この整流電圧を電圧変換部102に供給する。

時刻 t_{10} において、インダクタL11のエネルギーが放出される。巻線n10の昇電圧が基準電圧 E_{S13} よりも低下すると、コンパレータ115の出力信号がハイレベルとなる。コンパレータ115の出力信号がハイレベルとなると、図2(c)に示すように、フリップフロップ117はセットされる。フリップフロップ117は、セットされると、図2(b)に示すように、トランジスタQ11のゲートに供給する信号S1の信号レベルをハイレベルに立ち上げる。トランジスタQ11のゲートに、このハイレベルの信号S1が供給されると、トランジスタQ11は、オンする。

トランジスタQ11がオンすると、電圧 V_{q1} は、図2(f)に示すように0になる。このため、電流 I_q は、図2(e)に示すように、整流部101が生成した整流電圧に従って、ダイオードD11、D13のカソードから、インダクタL11、トランジスタQ11、抵抗R14を介してダイオードD12、D14のアノードに流れる。これにより、インダクタL11にエネルギーが蓄積される。

トランジスタQ11がオンしている間、トランジスタQ11のドレイン端子の電圧は、出力電圧 V_{out} よりも低くなるものの、ダイオードD16が電流の逆流を阻止する。このため、図2(h)に示すようにダイオードD16には電流 I_d は流れず、インダクタL11の両端には、図2(g)に示すような電圧 V_L が発生する。

トランジスタQ11がオンしている間、図2(e)に示すように、電流 I_q は次第に増えていく。

スイッチング電流検出部104の抵抗R14は、トランジスタQ11に流れるスイッチング（ドレイン）電流を電圧信号として検出し、その検出信号をコンパレータ116の+端子に出力する。

図2（e）に示す破線は、スイッチング電流の目標レベルを示す。時刻t115において、電流I_qがこの目標レベルに達すると、図2（d）に示すように、コンパレータ116は、出力端から出力する信号S3の信号レベルをハイレベルに立ち上げる。

信号S3の信号レベルがハイレベルになると、フリップフロップ117は、リセットされる。フリップフロップ117は、リセットされると、図2（b）に示すように、信号S1の信号レベルをローレベルに立ち下げる。

信号S1の信号レベルがローレベルになると、トランジスタQ11は、オフする。トランジスタQ11がオフすると、インダクタL11に蓄積されたエネルギーに整流電圧を加算した電圧がダイオードD16を介してコンデンサC11に印加される。コンデンサC11は、この電圧で充電される。コンデンサC11は、供給された電圧のピーク値よりも高い電圧を出力する。

インダクタL11に蓄積されたエネルギーがすべて放出されると、インダクタL11に流れる電流I_dはほぼ0になる。巻線n10には、リングングによる電圧が発生し、巻線n10の電圧は反転する。

反転するとき、巻線n10の電圧が基準電圧ES13よりも低下すると、コンパレータ115は、図2（c）に示すように、信号S2をハイレベルに立ち上げる。

信号S2がハイレベルになると、フリップフロップ117は、再び、セットされる。そして、トランジスタQ11は、再び、オンする。

このようにしてトランジスタQ11は、オン、オフを繰り返す。

次に、時刻t13になると、整流電圧は、図2（a）に示すように、V20になる（V20>V10）。

時刻t10、t13における電流I_qの目標レベルは、それぞれ、電圧V10、V20に対応し、電圧V20のときの電流I_qの目標レベルは、電圧V10のときのレベルよりも高くなる。

しかし、整流電圧が高くなると、インダクタL11に流れる電流I_qも急速に

増える。このため、信号S 1のパルス幅は、図2 (b)に示すように小さくなる

。

このようにして、電流 I_q のピーク値は、整流電圧 V_{in} の電圧レベル（脈流）に追従する。そして、電流 I_q が脈流の整流電圧に追従することにより、力率は5改善される。

尚、負荷電流一定とすると、1周期中のオン期間の割合を示すオンデューティは、小さくなり、整流電圧が変化しても平均スイッチング電流は一定となる。

昇圧量検出部103の巻線n10には、インダクタL11の電圧 V_L に対応する電圧が発生する。ダイオードD15は、この電圧を整流する。ダイオードD15が整流した電圧は、インダクタL11の昇圧量を示す。実効値変換回路111の抵抗R11とR12とは、ダイオードD15が整流した電圧を分圧する。コンデンサC12は、抵抗R11とR12とによって分圧された電圧を平滑化する。この電圧は、昇圧量の実効値を示す。昇圧量検出部103は、この昇圧量の実効値の検出信号を制御部106のオペアンプ113に出力する。

15 オペアンプ113は、この昇圧量（実効値）の検出信号の信号レベルを基準電圧ES12と比較する。オペアンプ113は、比較結果として、昇圧量（実効値）と基準電圧ES12との誤差電圧を増幅して、その出力信号を乗算器114に供給する。

20 尚、負荷一定で入力電圧の実効値がほぼ一定であれば、昇圧量は、ほぼ一定となる。昇圧量がほぼ一定であれば、スイッチング電流の実効値はほぼ一定となり、出力電圧も一定となる。

尚、起動時や入出力急変時において、実効値変換回路111に遅れが生ずる。この遅れにより出力電圧が上昇し、コンパレータ112の+端子に供給された信号の信号レベルが基準電圧ES11を超えた場合、コンパレータ112は、ハイ25レベルの信号を出力する。

コンパレータ112の出力信号の信号レベルが実効値変換回路111から出力される信号の信号レベルよりも高くなると、オペアンプ113は、出力信号を低下させる。このため、スイッチング電流の目標レベルが大きく低下し、スイッチング電流 I_q も大きく低下するから、出力電圧 V_{out} も低下する。このようにして30、出力端に接続されている負荷を過電圧から保護する。

次に、交流電源 100 の供給電圧が、例えば、実効値で AC 200 V から AC 100 V に低下した場合、制御部 106 は、昇圧エネルギーが低減されるよう出力電圧 V_{out} を低下させる制御を行う。

この動作を図 3 に基づいて説明する。

- 5 図 3 (a) に示すように、時刻 $t_{20} \sim t_{21}$ では、供給電圧の実効値が v_{in1} であったのが、時刻 t_{21} において、低下し、時刻 t_{22} において、 v_{in2} ($v_{in1} > v_{in2}$) になるとする。供給電圧の実効値が v_{in1} から v_{in2} に低下すると、図 3 (b) に示すように、実効値変換回路 111 から出力される昇圧量 (実効値) は増加する。
- 10 従来の力率改善コンバータでは、供給電圧が低下すると、昇圧量は、図 3 (b) の破線で示すように、そのまま増加する。昇圧量が大きくなると、昇圧ロスが大きくなり、効率が低下する。

しかし、本実施の形態に係る力率改善コンバータでは、図 3 (b) の実線で示すように昇圧量が僅かに高くなると、オペアンプ 113 の出力信号は、僅かに下
15 がり、スイッチング電流 I_q の目標レベルも図 3 (c) に示すように僅かに低くなる。このため、フリップフロップ 117 がリセットされるタイミングも僅かに早くなり、スイッチング電流 I_q は僅かに小さくなる。スイッチング電流 I_q が僅かに小さくなると、出力電圧 V_{out} は、図 3 (d) に示すように、 v_{out1} から低下して v_{out2} になる。

- 20 尚、電圧の昇圧比 α は、次の式 (1) によって表される。

$$\alpha = v_{out} / v_{in} \cdots (1)$$

但し、 α : 昇圧比

v_{out} : 出力電圧 V_{out} の電圧値

v_{in} : 脈流電圧 V_{in} の電圧値

- 25 従来のように、整流電圧の実効値 V_{in} が低くなっても出力電圧 V_{out} 一定とすると、昇圧比 α は大きくなり、昇圧エネルギーは大きくなる。

しかし、本実施の形態に係る力率改善コンバータでは、交流電源 100 の供給電圧が低下すると、出力電圧 V_{out} が低下するので、式 (1) が示すように、昇圧比 α は小さくなり、昇圧エネルギーが低下する。このため、スイッチングロスが
30 減り、効率は良くなる。

以上説明したように、本実施の形態によれば、入出力条件が昇圧エネルギーを必要とするような条件に変化した場合、昇圧量を検出することにより、この入力条件の変化を検出し、出力電圧を変えるようにした。従って、入力条件が変化して入力電圧が低くなっても、昇圧比を下げることにより、昇圧エネルギーも下がる。

5 従って、スイッチングロスを低減することができ、効率を大幅に改善することができる。

また、軽負荷時、スイッチング電流が少なくなると出力電圧は上昇し、出力コンデンサに高い電圧が蓄積されるため、負荷急変時の電圧ディップを防止することができる。

10 また、軽負荷時においても、力率は維持される。

[第2の実施の形態]

第2の実施の形態に係る力率改善コンバータは、昇圧量の実効値に基づいて出力電圧の基準電圧を可変することにより、出力電圧の制御を行えるようにしたものである。

15 第2の実施の形態に係る力率改善コンバータの構成を図4に示す。

第2の実施の形態に係る力率改善コンバータは、制御部106に基準電圧生成回路121を備える。

この基準電圧生成回路121は、昇圧量検出部103の実効値変換回路111の出力電圧に基づいて基準電圧を可変し、この基準電圧ES12をオペアンプ12013の+端子に供給するものである。

この基準電圧生成回路121の回路構成を図5に示す。

基準電圧生成回路121は、オペアンプ122と、抵抗R21~R24と、からなる。オペアンプ122の+端子には、抵抗R23を介して基準電圧ES14が供給される。

25 基準電圧生成回路121は、昇圧量が高くなるに従って基準電圧ES12を下げるように動作する。

また、第2の実施の形態では、オペアンプ113の-端子には、抵抗R15、R16によって、出力電圧を分圧した電圧検出信号が供給される。

次に、第2の実施の形態に係る力率改善コンバータの動作を説明する。

30 オペアンプ113は、抵抗R15、R16によって分圧された電圧検出信号の

信号レベルと基準電圧 E_{S12} とを比較する。

昇圧量がほぼ一定であれば、基準電圧 E_{S12} もほぼ一定となる。

この場合、出力電圧 V_{out} は、ほぼ一定となるように制御される。即ち、出力電圧 V_{out} が高くなって、電圧検出信号の信号レベルが基準電圧 E_{S12} を越えれば、オペアンプ 113 は、出力する誤差信号の信号レベルを低下させる。誤差信号の信号レベルが低下すれば、スイッチング電流の目標レベルは低下し、スイッチング電流の平均値は低下する。このため、出力電圧 V_{out} は低下する。また、電圧検出信号の信号レベルが基準電圧 E_{S12} 以下になれば、オペアンプ 113 は、誤差信号の信号レベルを増加させる。誤差信号の信号レベルが増加すれば、スイッチング電流の目標レベルは増加し、スイッチング電流の平均値は増加する。このため、出力電圧 V_{out} は上昇する。

また、昇圧量が増加して、昇圧量検出信号がオペアンプ 122 の + 端子の信号レベルよりも高くなると、第 1 の実施の形態と同様に、オペアンプ 122 は、基準電圧 E_{S12} を僅かに下げる。基準電圧 E_{S12} が僅かに下がると、オペアンプ 113 は、出力信号の信号レベルを僅かに下げる。オペアンプ 113 の出力信号の信号レベルが僅かに下がると、スイッチング電流 I_q の目標レベルは僅かに小さくなる。このため、スイッチング電流 I_q が僅かに小さくなり、出力電圧 V_{out} は、低下する。

以上説明したように、本実施の形態によれば、基準電圧 E_{S12} を昇圧量に基づいて可変し、この基準電圧 E_{S12} と電圧検出信号とを比較するようにした。

従って、昇圧量が増加すると、昇圧比を低下させて昇圧エネルギーを低下させることができる。また、それとともに、昇圧量が一定であれば、出力電圧 V_{out} がほぼ一定になるようなフィードバック制御を行うこともできる。

[第 3 の実施の形態]

第 3 の実施の形態に係る力率改善コンバータは、出力電圧に上限値と下限値とを設けるようにしたものである。

第 3 の実施の形態に係る力率改善コンバータは、図 4 に示される第 2 の実施の形態と同様に構成されている。

第 3 の実施の形態に係る力率改善コンバータは、図 7 に示すように構成された基準電圧生成回路 121 を備える。

第3の実施の形態に係る基準電圧生成回路121は、図5に示す基準電圧生成回路121に振幅制限回路124を備える。

振幅制限回路124は、抵抗R25と、ダイオードD18と、ツェナーダイオードZD11と、を備える。抵抗R25の一端は、オペアンプ122の出力端に5 接続される。抵抗R25の他端は、オペアンプ113の+端子に接続される。

ツェナーダイオードZD11は、オペアンプ122から出力された信号の上限値を規定するためのものである。ツェナーダイオードZD11には、出力電圧V_{out}の上限値に対応するツェナー電圧を有するものを用いる。ツェナーダイオードZD11のカソードは、抵抗R25の他端に接続されている。ツェナーダイオードZD11のアノードは、接地されている。10

オペアンプ113の+端子には、ダイオードD18のカソードが接続される。オペアンプ113の+端子には、ダイオードD18を介して基準電圧E_{S16}が供給される。この基準電圧E_{S16}は、出力電圧V_{out}の下限値を設定する。

次に、第3の実施の形態に係る力率改善コンバータの動作を説明する。

15 振幅制限回路124は、オペアンプ122から出力される出力電圧を抵抗R25を介して入力する。

図8に示すように、出力電圧V_{out}が上限値V_{omax}まで上昇すると、オペアンプ122の出力信号の信号レベルは、ツェナーダイオードZD11のツェナー電圧に達する。オペアンプ122の出力信号の信号レベルが高くなっても、ツェナーダイオードZD11は、オペアンプ122の出力信号の信号レベルをこのツェナー電圧に制限する。従って、出力電圧V_{out}は、上限値V_{omax}を越えることが20 ない。

また、オペアンプ122の出力信号の信号レベルが基準電圧E_{S16}以下になっても、オペアンプ113の+端子には、ダイオードD18を介して基準電圧E_{S16}が供給される。このため出力電圧V_{out}は下限値V_{omin}未満には低下しない。25

以上説明したように、本実施の形態によれば、基準電圧生成回路121に振幅制限回路124を備えるようにしたので、整流電圧が上下しても、出力電圧V_{out}を下限値V_{omin}～上限値V_{omax}の範囲内に設定することができる。

30 [第4の実施の形態]

第4の実施の形態に係る力率改善コンバータは、昇圧量と出力電圧との関係において、ヒステリシス特性を設けるようにしたものである。

第4の実施の形態に係る力率改善コンバータにおいて、基準電圧生成回路121は、図9に示すように、コンパレータ125と、ダイオードD19と、抵抗R526~R28と、を備える。

コンパレータ125は、ヒステリシス特性を有するものである。実効値変換回路111は、コンパレータ125の一端子に昇圧量検出信号を供給する。コンパレータ125の+端子には、基準電圧ES17が供給される。

ダイオードD19のカソードは、コンパレータ125の出力端に接続される。

10 抵抗R26の一端は、ダイオードD19のアノードに接続される。

抵抗R27の一端には、基準電圧ES18が印加される。抵抗R28の一端は、抵抗R27の他端に接続される。抵抗R28の他端は接地される。抵抗R26の他端は、抵抗R27と抵抗R28との接続点に接続される。また、オペアンプ113の+端子は、抵抗R27と抵抗R28との接続点に接続される。

15 次に、第4の実施の形態に係る力率改善コンバータの動作を説明する。

コンパレータ125は、昇圧量検出信号の信号レベルと基準電圧ES17とを比較する。昇圧量検出信号の信号レベルが上昇して、基準電圧ES17に達すると、コンパレータ125は、ローレベルの信号を出力する。コンパレータ125の出力信号がローレベルになると、ダイオードD19に電流が流れる。このとき
20 、抵抗R28、R26はほぼ並列接続になる。このときのオペアンプ113の+端子に供給される電圧をVref1とする。

一方、コンパレータ125からハイレベルの信号が出力されると、ダイオードD19には、電流が流れなくなる。このとき、抵抗R27と抵抗R28とが直列に接続される。このとき、オペアンプ113の+端子に供給される電圧をVref2
25 とする。Vref1<Vref2であるから、力率改善コンバータは、図10に示すような特性を有することになる。

即ち、整流電圧Vinが上昇するときは、整流電圧Vinがvin2になったときに出力電圧VoutがVomaxに上昇する。また、整流電圧Vinが低下するときは、整流電圧Vinがvin1になったときに出力電圧VoutがVominに低下する。

30 以上説明したように、本実施の形態によれば、昇圧量と出力電圧との関係にお

いて、ヒステリシス特性を設けるようにしたので、出力電圧 V_{out} の切り替え時において、ノイズによる影響を防止することができ、動作が安定する。

[第5の実施の形態]

第5の実施の形態に係る力率改善コンバータは、発振器を備え、臨界電流の検出信号の代わりに、この発振器から出力されるパルス信号を用いてフリップフロップをセットするようにしたものである。

第5の実施の形態に係る力率改善コンバータの構成を図11に示す。

第5の実施の形態に係る力率改善コンバータは、制御部106に発振器（図中、「OSC」と記す。）126を備える。この発振器126は、第1～第4の実施の形態に係る力率改善コンバータの制御部106のコンパレータ115の代わりに備えられたものである。

このように発振器126を備えることにより、本実施の形態に係る力率改善コンバータは、第1～第4の実施の形態に係る力率改善コンバータと同様に動作する。

15 [第6の実施の形態]

第6の実施の形態に係る力率改善コンバータは、パラメータとしてスイッチング素子のオンデューティを取得し、取得したオンデューティに従ってスイッチング電流の目標レベルを制御するようにしたものである。

第6の実施の形態に係る力率改善コンバータの構成を図12に示す。

20 第6の実施の形態に係る力率改善コンバータは、整流部201と、電圧変換部202と、スイッチング電流検出部203と、出力電圧検出部204と、制御部205と、を備える。

整流部201は、図1に示す整流部101と同様に、交流電源100から供給された交流電力を全波整流して脈流電圧を生成するものである。整流部201は、25、フィルタ211と、ブリッジ整流回路212と、フィルタ213と、を備える。

フィルタ211、213は、交流電源100の電源ノイズ又は力率改善コンバータからのノイズを除去するためのものである。フィルタ211は、交流電源100に接続され、フィルタ213は、ブリッジ整流回路212に接続されている

このフィルタ 211、213 の構成を図 13 (a) ~ 図 13 (c) に示す。

図 13 (a) に示すものは、 π 型のノーマルモードのフィルタである。このフィルタは、コイル L 22 の両端に、それぞれ、コンデンサ C 22 の一端と、コンデンサ C 23 の一端と、が接続されている。コンデンサ C 22 の他端とコンデンサ C 23 の他端とは接続されている。

図 13 (b) に示すものは、最も簡単なノーマルモードフィルタである。このフィルタは、対をなす 2 つのラインにコンデンサ C 24 の両端がそれぞれ接続されている。

図 13 (c) に示すものは、ノーマルモードフィルタとコモンモードフィルタとを組合わせたフィルタである。このフィルタは、4 端子のうちの 2 つの入力端子に、それぞれ、コンデンサ C 25 の両端が接続されている。また、出力端子にコンデンサ C 26 の両端が接続されている。そして、コイル L 23 の一方のライン側の両端は、コンデンサ C 25 の一端とコンデンサ C 26 の一端との間に接続されている。また、コイル L 23 の他方のライン側の両端は、コンデンサ C 25 の他端とコンデンサ C 26 の他端との間に接続されている。

図 12 に戻り、ブリッジ整流回路 212 は、図 1 に示す整流部 101 のように、ダイオード D 11 ~ D 14 からなる。

電圧変換部 202 は、図 1 に示す電圧変換部 102 と同様に、整流部 201 が生成した脈流電圧を直流の出力電圧に変換するものである。電圧変換部 202 は、インダクタ L 21 と、トランジスタ Q 21 と、ダイオード D 21 と、コンデンサ C 21 と、を備える。

スイッチング電流検出部 203 は、図 1 に示すスイッチング電流検出部 104 と同様に、トランジスタ Q 21 に流れるスイッチング (ドレイン) 電流を検出するためのものである。スイッチング電流検出部 203 は、抵抗 R 41 からなる。抵抗 R 41 は、スイッチング (ドレイン) 電流を電圧信号に変換するためのものであり、トランジスタ Q 21 のソースと接地間に接続されている。

出力電圧検出部 204 は、出力電圧 V_{out} を検出し、その電圧検出信号を出力するものであり、抵抗 R 42, 43 からなる。

抵抗 R 42 の一端は、コンデンサ 21 の一端に接続され、抵抗 R 43 の一端は、抵抗 R 42 の他端に接続され、抵抗 R 43 の他端は接地されている。

制御部 205 は、図 1 に示す制御部 106 と同様に、トランジスタ Q21 のゲートにゲート信号としてのパルス信号を供給することにより、トランジスタ Q21 のオン、オフ制御を行うものである。制御部 205 は、パルス幅検出回路 221 と、基準電圧生成回路 222 と、オペアンプ 223 と、乗算器 224 と、コンパレータ 225, 226 と、フリップフロップ 227 と、抵抗 R44~R46 と、を備えている。

パルス幅検出回路 221 は、トランジスタ Q21 のゲートに供給される信号 S1 の脈流電圧 1 周期における平均オンデューティを検出するためのものである。この平均オンデューティは、脈流電圧の実効値と出力電圧の電圧値との比が変化することによって変化する。即ち、この平均オンデューティは、脈流電圧の実効値と出力電圧の電圧値との比を表すパラメータになる。

パルス幅検出回路 221 は、図 14 に示すように、オペアンプ 231 と、抵抗 R51 と、コンデンサ C27 と、からなる積分器によって構成される。

抵抗 R51 の一端には、信号 S1 が供給される。抵抗 R51 の他端は、オペアンプ 231 の + 端子に接続されている。コンデンサ C27 の一端は、抵抗 R51 の他端に接続されている。コンデンサ C27 の他端は接地されている。オペアンプ 231 の出力端は、出力信号を負帰還させるため、- 端子に接続されている。

パルス幅検出回路 221 は、オペアンプ 231 の出力端から出力される出力信号を平均オンデューティ検出信号（以後、単に「デューティ検出信号」と記す。）として基準電圧生成回路 222 に出力する。デューティ検出信号の信号レベルは、トランジスタ Q21 のゲートに供給される信号 S1 のオンデューティ（スイッチング周期の 1 周期におけるハイレベル期間の時比率）を示す。

基準電圧生成回路 222 は、パルス幅検出回路 221 から出力されたデューティ検出信号の信号レベルに基づいて、オペアンプ 223 の + 端子に供給する基準電圧 ES21 を設定するものである。基準電圧生成回路 222 は、図 14 に示すように、オペアンプ 232 と、抵抗 R52~R55 と、からなる。

抵抗 R52 の一端は、パルス幅検出回路 221 のオペアンプ 231 の出力端に接続されている。抵抗 R52 の他端は、オペアンプ 232 の - 端子に接続されている。抵抗 R53 の一端はオペアンプ 232 の - 端子に接続されている。抵抗 R53 の他端は、オペアンプ 232 の出力端に接続されている。この抵抗 R53 は

、オペアンプ 232 の出力信号を負帰還させるための負帰還抵抗である。抵抗 R54 の一端には、基準電圧 ES23 が供給される。抵抗 R54 の他端は、オペアンプ 232 の + 端子に接続されている。抵抗 R55 の一端は、オペアンプ 232 の + 端子に接続されている。抵抗 R55 の他端は、接地されている。

- 5 このように構成された力率改善コンバータは、デューティ検出信号の信号レベルに基づいて出力電圧の電圧レベルを制御する。

次に、第 6 の実施の形態に係る力率改善コンバータのこの動作を説明する。

- トランジスタ Q21 のゲートに供給される信号 S1 の平均オンデューティは、供給された整流電圧に従って変化する。平均オンデューティは、供給電圧の実効値が低いときほど、大きくなる。即ち、図 15 に示すように、供給電圧が実効値で 100V、200V の場合の平均オンデューティをそれぞれ、d1、d2 とする (d2 < d1) 。

供給電圧が 200V から 100V に低下すると、平均オンデューティは、d2 から d1 になる。

- 15 基準電圧生成回路 222 は、平均オンデューティが d2 から d1 になると、デューティ検出信号の信号レベルは Vd2 から Vd1 に変化する。デューティ検出信号の信号レベルは Vd2 から Vd1 になると、図 4 に示す基準電圧生成回路 121 と同様に動作する。

- 即ち、パルス幅検出回路 221 のデューティ検出信号の信号レベルが増大すると、基準電圧 ES21 は低下する。基準電圧 ES21 が低下すると、スイッチング電流の目標レベルは低下するため、出力電圧 Vout も低下する。

- 以上説明したように、本実施の形態によれば、スイッチング素子のオンデューティに基づいて供給電圧の実効値を判別し、供給電圧の実効値に基づいて出力電圧を制御するようにした。従って、入力条件が変化して入力電圧が低くなると、昇圧比を下げることにより、昇圧エネルギーも下がるので、スイッチングロス
25 を低減することができ、効率を大幅に改善することができる。

- また、トランジスタ Q21 のゲートに与えるゲート信号に基づき、平均オンデューティを求め、出力電圧 Vout の切替えを行うので、制御部 205 内部だけで出力電圧 Vout の切替え処理を行うことができ、制御部 205 を IC 化したとき
30 のピン数が少なく済み、IC のコストを低減できる。

尚、負荷急変時の電圧ディップを防止することもできる。その動作を図16に示す。

まず、図16において、出力電力が定格出力 P_0 の場合の200V入力時と100V入力時とを比較する。200V入力時のデューティ検出信号の信号レベルが V_{d2} であれば、100V入力時のデューティ検出信号の信号レベルは V_{d1} になる ($V_{d2} < V_{d1}$)。デューティ検出信号の信号レベルが高いほど、スイッチング電流の目標レベルは低下する。また、スイッチング電流の目標レベルが低下すれば、出力電圧 V_{out} は低下する。従って、100V入力時の出力電圧 V_{out} は、200V入力の時よりも低くなる。

10 また、100V入力時において、軽負荷時と重負荷時とを比較する。重負荷時のデューティ検出信号の信号レベルは、軽負荷の時よりも大きくなる。このため、重負荷時の出力電圧 V_{out} は、軽負荷の時よりも低くなる。

ここで、出力電圧 V_{out} を切り替える場合を想定すると、図16に示すように、デューティ検出信号の信号レベルの閾値 V_d を $V_{d2} < V_d < V_{d1}$ となるように設定する。

デューティ検出信号が V_d よりも高くなると、出力電圧 V_{out} は低くなる。また、デューティ検出信号が V_d よりも低くなると出力電圧 V_{out} は高くなる。即ち、軽負荷時には、出力電圧 V_{out} は高くなり、重負荷時には、出力電圧 V_{out} は低くなる。

20 このように、トランジスタQ21のゲートに与えるゲート信号に基づき、出力電圧 V_{out} の切替えを行うので、入力条件ばかりでなく、出力条件である負荷の軽重も切替えの条件に加わり、合理的に直流出力電圧 V_{out} を切替えることができる。

また、軽負荷のときには、平滑コンデンサが高い電圧で充電されるので、負荷が急激に変化しても、直流出力電圧 V_{OUT} における電圧ディップを防止できる。

[第7の実施の形態]

第7の実施の形態に係る力率改善コンバータは、平均オンデューティに基づいて出力電圧を2段階で切り替えるように構成されたものである。さらに、この力率改善コンバータは、平均オンデューティと出力電圧との関係において、ヒステ

リシス特性を設けるように構成されたものである。

第7の実施の形態に係る力率改善コンバータは、図12に示される第6の実施の形態と同様に構成されている。

但し、第7の実施の形態に係る力率改善コンバータは、図17に示すように構成された基準電圧生成回路222を備える。

この基準電圧生成回路222は、図14に示すオペアンプ232のかわりに、コンパレータ233を用いる。また、基準電圧生成回路222は、さらに、トランジスタQ22と、抵抗R56～R58と、を備える。また、コンパレータ233の+端子には、抵抗R52を介して平均オンデューティの検出信号が供給される。コンパレータ233の-端子には、基準電圧ES23が供給される。

このトランジスタQ22は、NPN形のバイポーラトランジスタによって構成される。

抵抗R56は、コンパレータ233の出力端とトランジスタQ22のベースとの間に接続される。抵抗R57の一端は、オペアンプ223の+端子に接続される。抵抗R57の他端は、トランジスタQ22のコレクタに接続される。トランジスタQ22のエミッタは、接地される。抵抗R58の一端は抵抗R57の一端に接続される。抵抗R58の他端には、基準電圧ES24が供給される。

次に、第7の実施の形態に係る力率改善コンバータの動作を説明する。

コンパレータ233は、平均オンデューティを示すデューティ検出信号の信号レベルが、-端子に供給される電圧よりも高くなると、ハイレベルの信号を出力する。トランジスタQ22は、このハイレベルの信号でオンし、オペアンプ223の+端子に供給される信号レベルは低下する。出力電圧Voutがほぼ一定とすると、オペアンプ223の出力信号の信号レベルは、低下する。オペアンプ223の出力信号の信号レベルが低下すると、スイッチング電流の目標レベルは、低下し、出力電圧Voutは低下する。

この平均オンデューティと出力電圧Voutとの関係を図18に示す。

尚、図中、平均オンデューティは、 $d_{10} < d_{11} < d_{12} < d_{13}$ の関係にあり、出力電圧は $v_{out21} < v_{out22}$ であるものとする。また、平均オンデューティが d_{12} のときにトランジスタQ22がオンするように、基準電圧生成回路222の各抵抗の定数が設定されているものとする。

平均オンデューティが d_{10} から大きくなった場合、出力電圧 V_{out} は、平均オンデューティが d_{12} になったときに v_{out21} になる。

また、平均オンデューティが d_{13} から小さくなった場合、出力電圧 V_{out} は、平均オンデューティが d_{12} に低下しても、負帰還抵抗である抵抗 R_{53} により、 v_{out21} のままになる。そして、平均オンデューティが d_{11} まで低下すると、出力電圧 V_{out} は、 v_{out22} になる。

このように、本実施の形態に係る力率改善コンバータは、平均オンデューティと出力電圧 V_{out} との間に、図18に示すようなヒステリシス特性を有することになり、出力電圧 V_{out} が切替え時に不安定になることが防止できる。

- 10 尚、平均オンデューティを例えば三段階に分けて出力電圧 V_{out} を可変し、各段階ごとにヒステリシスを設けることもできる。

この場合の基準電圧生成回路222の構成を図19に示す。

基準電圧生成回路222は、コンパレータ234、235と、ダイオード D_2 、 D_{23} と、抵抗 $R_{59} \sim R_{66}$ と、を備えて構成される。

- 15 コンパレータ234、235の一端子には、デューティ検出信号が供給される。

基準電圧生成回路222は、このように構成されることにより、図20に示すように、パルス幅検出回路221から与えられた電圧信号に基づき、平均オンデューティを三段階に分けて、出力電圧 V_{out} を切り替える。

- 20 このような制御を行うことにより、図20に示すように、交流電源100から入力される入力電圧が低くて平均オンデューティが高いときには、直流出力電圧 V_{out} が低くなる。入力電圧が中間電圧のときには、直流出力電圧 V_{out} が中間の電圧になる。そして、入力電圧が高く、平均オンデューティが低いときには、直流出力電圧 V_{out} が高くなる。また、各段階の平均オンデューティと直流出力電圧 V_{out} との間に、図20のようなヒステリシスを設けておくことにより、出力電圧 V_{out} が切り替え時に不安定になることをさらに防止することができる。

[第8の実施の形態]

- 第8の実施の形態に係る力率改善コンバータは、基準電圧を平均オンデューティに反比例するように変化させ、さらに、出力電圧に上限値と下限値とを設けるようにしたものである。
- 30

第 8 の実施の形態に係る力率改善コンバータは、図 1 2 に示される第 6 の実施の形態と同様に構成されている。

但し、第 8 の実施の形態に係る力率改善コンバータは、図 2 1 に示すように構成された基準電圧生成回路 2 2 2 を備える。

- 5 基準電圧生成回路 2 2 2 は、図 1 4 に示す構成に加え、ダイオード D 2 4, D 2 5 と、抵抗 R 6 7 と、を備える。

このように構成された力率改善コンバータは、図 2 2 に示すような特性を有する。

- 10 基準電圧 E S 2 8 は、出力電圧 V_{out} の下限値に対応するように設定される。また、基準電圧 E S 2 9 は、出力電圧 V_{out} の上限値に対応するように設定される。

平均オンデューティが大きくなり、オペアンプ 2 3 2 の出力のレベルが基準電圧 E S 2 9 よりも高くなっても、オペアンプ 2 2 3 の + 端子には、基準電圧 E S 2 9 によって規定された電圧が印加される。

- 15 また、平均オンデューティが小さくなり、オペアンプ 2 3 2 の出力のレベルが基準電圧 E S 2 8 よりも低くなっても、オペアンプ 2 2 3 の + 端子には、基準電圧 E S 2 8 によって規定された一定の基準電圧 E S 2 8 が印加される。

このように基準電圧生成回路 2 2 2 が構成されることにより、力率改善コンバータは、図 2 2 に示すような特性を有し、出力電圧 V_{out} に上限値、下限値が設
20 定される。

また、出力電圧 V_{out} に上限値、下限値を設定することにより、端子 P out1, P out2 に接続される負荷を保護することができる。

尚、ダイオード D 2 4 と基準電圧 E S 2 8 とを備えなければ、図 2 3 に示すように、出力電圧 V_{out} に上限値のみを設定することもできる。

- 25 また、ダイオード D 2 5 と基準電圧 E S 2 9 とを備えなければ、出力電圧 V_{out} に下限値のみを設定することもできる。

また、出力電圧 V_{out} に上限値と下限値とを設けないようにすることもできる。この場合には、出力電圧 V_{out} は、図 2 2 の破線で示すように、平均オンデューティの変化に対して直線的に変化する。

- 30 [第 9 の実施の形態]

第 9 の実施の形態に係る力率改善コンバータは、タイマを設け、出力電圧が変化してもタイマでこの変化を遅延させるようにしたものである。

第 9 の実施の形態に係る力率改善コンバータの構成を図 2 4 に示す。第 9 の実施の形態に係る力率改善コンバータでは、パルス幅検出回路 2 2 1 と基準電圧生成回路 2 2 2 との間にタイマ 2 3 6 が接続される。

タイマ 2 3 6 は、パルス幅検出回路 2 2 1 が検出したデューティ検出信号による基準電圧 $E S 2 1$ への制御を、予め設定された時間だけ遅延させる。

この動作を図 2 5 に示す。

図 2 5 (a) , (b) は、タイマ 2 3 6 を用いた制御の説明図である。

10 タイマ 2 3 6 を用いなければ、平均オンデューティが低い状態から高い状態に移行するとき、図 2 5 (a) に示すように、出力電圧 V_{out} は時間とともに増加する。

これに対し、第 9 の実施の形態に係る力率改善コンバータでは、タイマ 2 3 6 を備えることにより、タイマ 2 3 6 が、設定された一定時間だけ、デューティ検出信号の信号レベルを保持する。そのため、図 2 5 (b) に示すように、平均オンデューティが低い状態から高い状態に移行するとき、一定時間 $T 1$ が経過するまでは、出力電圧 V_{out} が変化しない。一定時間 $T 1$ が経過したのちに、出力電圧 V_{out} が変化する。

このようにすることにより、例えば、一時的な負荷変動によって出力電圧 V_{out} が変化するのを防止することができる。

尚、このような効果は、パルス幅検出回路 2 2 1 の抵抗 $R 5 1$ の抵抗値を大きくして、平均オンデューティを検出する際の遅れ時間を増すことでも実現できる。その場合、出力電圧 V_{out} は、図 2 5 (b) のように、急に立ち上がるのではなく、図 2 7 のように、ゆっくりと変化するようになる。

25 また、図 2 6 に示すように、タイマ 2 3 6 を、トランジスタ $Q 2 1$ のゲートとパルス幅検出回路 2 2 1 との間に接続することもできる。

[第 1 0 の実施の形態]

第 1 0 の実施の形態に係る力率改善コンバータは、出力電力を検出し、平均オンデューティと出力電力とに基づいて出力電圧を制御するようにしたものである

第10の実施の形態に係る力率改善コンバータの構成を図28に示す。

第10の実施の形態に係る力率改善コンバータは、電圧変換部202のコンデンサC21の一端子と抵抗R41との間に抵抗R71が介挿され、制御部205にパワーディテクタ（図中、「POW DET」と記す。）237と、割り算器5238と、を備える。

抵抗R71は、出力電流を電圧信号として検出するための抵抗である。

パワーディテクタ237は、抵抗R71で検出された出力電流検出信号と出力電圧V_{out}の電圧検出信号とに基づいて出力電力を示す電力検出信号を出力する。

10 割り算器238は、パワーディテクタ237から出力された電力検出信号の信号レベルをパルス幅検出回路221によって検出されたデューティ検出信号の信号レベルで割る。

パワーディテクタ237の構成を図29に示す。

15 2 パワーディテクタ237は、オペアンプ239と、乗算器240と、抵抗R72～R75と、を備えて構成される。

抵抗R71を流れる出力電流は、オペアンプ239と抵抗R72～R75とによって増幅され、乗算器240は、出力電流の検出信号と出力電圧V_{out}の検出信号とを乗算する。乗算器240の出力が出力電力に対応する電力検出信号である。

20 図28に示す割り算器238は、乗算器240が出力した信号をパルス幅検出回路221によって検出されたデューティ検出信号の信号レベルで割る。

この割り算器238の出力は、交流電源100から供給される入力電圧V_{in}に対応している。

即ち、入力電圧V_{in}は、次の式(2)で表される。

$$25 \quad V_{in} = (V_{out} \times I_{out}) / I_{in} \quad \dots (2)$$

但し、V_{out}：出力電圧

I_{in}：入力電流

I_{out}：出力電流

30 基準電圧生成回路222は、この割り算器238から出力された信号に基づいて基準電圧E_S21を生成する。オペアンプ223は、電圧検出信号の信号レベ

ルをこの基準電圧 E_{S21} と比較する。その結果、出力電圧 V_{out} は入力電圧 V_{in} に応じた信号レベルで制御されることになる。

このように構成されることにより、出力電流 I_{out} が変動しても、入力電流 I_{in} は出力電流 I_{out} と同じように変動し、入力電圧 V_{in} は変化しなくなる。このため、出力電圧 V_{out} の切り換わるレベルが出力電流 I_{out} によって変動しなくなり、精度よくスイッチング電流の目標レベルを設定し、出力電圧 V_{out} を制御することができる。

[第11の実施の形態]

第11の実施の形態に係る力率改善コンバータは、電圧変換部を絶縁型コンバータで構成するようにしたものである。

第11の実施の形態に係る力率改善コンバータの構成を図30に示す。

第11の実施の形態に係る力率改善コンバータは、電圧変換部202に、巻線 n_{21} , n_{22} , n_{20} からなるトランス T を備える。巻線 n_{21} , n_{22} は、それぞれ、1次側、2次側の巻線となる。また、巻線 n_{20} は、臨界電流検出用の巻線である。

また、トランス T の1次側と2次側とを絶縁するため、本実施の形態に係る力率改善コンバータは、フォトダイオード D_{26} とフォトトランジスタ Q_{24} とからなるフォトカップラを備える。

出力電圧検出部204は、抵抗 R_{42} , R_{43} と、NPNバイポーラトランジスタとしてのトランジスタ Q_{23} と、ツェナーダイオード ZD_{22} と、フォトダイオード D_{26} と、を備えて構成される。

フォトダイオード D_{26} のアノードは、出力端子 P_{out1} に接続され、カソードは、トランジスタ Q_{23} のコレクタに接続される。トランジスタ Q_{23} のエミッタはツェナーダイオード ZD_{22} のカソードに接続され、ベースは抵抗 R_{42} , R_{43} の接続点に接続される。ツェナーダイオード ZD_{22} のアノードは接地される。

フォトトランジスタ Q_{24} は制御部205に備えられる。このフォトトランジスタ Q_{24} のコレクタは直流電源に接続され、エミッタはオペアンプ223の一端に接続される。オペアンプ223の一端には、抵抗 R_{76} が接続され、抵抗 R_{76} の他端は接地に接続される。

このように構成されることにより、トランジスタQ23のコレクターエミッタ間に流れる電流が出力電圧 V_{out} の電圧レベルに応じて制御される。フォトダイオードD26は、トランジスタQ23のコレクターエミッタ間に流れる電流に応じた発光量で発光する。

- 5 フォトダイオードD26が発光したときの光は、フォトトランジスタQ24によって受光され、フォトトランジスタQ24に流れる電流量は、受光量によって制御される。従って、トランスTの1次側と2次側とが絶縁されつつ、出力電圧 V_{out} の電圧検出信号が制御部205に供給される。

- 10 以上説明したように、本実施の形態によれば、トランスTを備えることにより、力率改善コンバータの1次側と2次側とを絶縁することができ、力率改善コンバータを絶縁型コンバータで構成しても、第6の実施の形態と同様に、平均オンデューティに基づいて出力電圧を制御することにより、昇圧比を下げ、効率を大幅に改善することができる。

[第12の実施の形態]

- 15 第12の実施の形態に係る力率改善コンバータは、パラメータとして平均スイッチング電流を取得し、取得した平均スイッチング電流に従ってスイッチング電流の目標レベルを制御するようにしたものである。

第12の実施の形態に係る力率改善コンバータの構成を図31に示す。

- 20 第12の実施の形態に係る力率改善コンバータは、整流部301と、電圧変換部302と、スイッチング電流検出部303と、出力電圧検出部304と、制御部305と、からなる。

整流部301は、図12に示す整流部201と同様に、交流電源100から供給された交流電力を全波整流して脈流電圧を生成するものである。整流部301は、フィルタ311と、ブリッジ整流回路312と、フィルタ313と、を備え
25 る。

電圧変換部302は、図12に示す電圧変換部202と同様に、整流部301が生成した脈流の整流電圧を直流の出力電圧に変換するものである。電圧変換部302は、インダクタL31と、トランジスタQ31と、ダイオードD31と、コンデンサC31と、を備える。

- 30 スwitchング電流検出部303は、図12に示すスイッチング電流検出部20

3と同様に、トランジスタQ31に流れるスイッチング（ドレイン）電流を検出するためのものである。スイッチング電流検出部303は、抵抗R91からなる。抵抗R91は、スイッチング（ドレイン）電流を電圧信号に変換するためのものであり、トランジスタQ31のソースと接地間に接続されている。スイッチング電流検出部303は、変換した電圧信号を平均電流検出回路321を介して制御部305の基準電圧生成回路322に出力する。

出力電圧検出部304は、図12に示す出力電圧検出部204と同様に、出力電圧 V_{out} を検出し、その電圧検出信号を出力するものであり、抵抗R92、R93からなる。

10 抵抗R92の一端は、コンデンサ31の一端に接続され、抵抗R93の一端は、抵抗R92の他端に接続され、抵抗R93の他端は接地されている。

制御部305は、図12に示す制御部205と同様に、トランジスタQ31のゲートにゲート信号としてのパルス信号を供給することにより、トランジスタQ31のオン、オフ制御を行うものである。制御部305は、平均電流検出回路321と、基準電圧生成回路322と、オペアンプ323と、乗算器324と、コンパレータ325、326と、フリップフロップ327と、抵抗R94～R96と、を備えている。

平均電流検出回路321は、スイッチング電流検出部303から出力された信号の信号レベルを平均化して平均スイッチング電流を検出するものである。この平均スイッチング電流は、脈流電圧の1周期で交流電源100からインダクタL31に供給される供給電流の電流レベルを示す。この平均スイッチング電流は、脈流電圧の実効値と出力電圧の電圧値との比が変化することによって変化する。即ち、この平均スイッチング電流は、脈流電圧の実効値と出力電圧の電圧値との比を表すパラメータになる。平均電流検出回路321は、図14に示すパルス幅検出回路221と同様の構成を有し、平均スイッチング電流の電流検出信号を基準電圧生成回路322に出力する。

基準電圧生成回路322と、オペアンプ323と、乗算器324と、コンパレータ325、326と、フリップフロップ327と、抵抗R94～R96と、は、それぞれ、図12に示す基準電圧生成回路222と、オペアンプ223と、乗算器224と、コンパレータ225、226と、フリップフロップ227と、抵

30

抗R 4 4～R 4 6 と、同様のものである。

次に、第 1 2 の実施の形態に係る力率改善コンバータの動作を説明する。

整流電圧の電圧レベルが $vin1$ から $vin2$ ($vin1 > vin2$) に変化したとすると、平均スイッチング電流は増える。

- 5 平均スイッチング電流が増えると、電流検出信号の信号レベルは高くなる。電流検出信号の信号レベルが高くなると、基準電圧E S 4 1 は下がる。

基準電圧E S 4 1 が下がると、オペアンプ 3 2 3 が出力する誤差信号の信号レベルは、僅かに下がり、スイッチング電流の目標レベルも僅かに低くなる。このため、フリップフロップ 3 2 7 がリセットされるタイミングも僅かに早くなり、

- 10 スイッチング電流は僅かに小さくなり、出力電圧 V_{out} は、低下する。出力電圧 V_{out} が低くなると昇圧比は小さくなり昇圧エネルギーが低下する。

以上説明したように、本実施の形態によれば、入出力条件が昇圧エネルギーを必要とするような条件に変化した場合、この変化を、平均スイッチング電流を検出することにより検出し、出力電圧 V_{out} を変えるようにした。従って、昇圧比が

- 15 下がり、昇圧エネルギーも下がるので、スイッチングロスを低減することができ、効率を大幅に改善することができる。

[第 1 3 の実施の形態]

第 1 3 の実施の形態に係る力率改善コンバータは、出力電圧検出部の抵抗による分圧比を切り替えることにより出力電圧を制御するように構成されたものであ

- 20 る。

その構成を図 3 2 に示す。

出力電圧検出部 3 0 4 の抵抗R 9 2、9 3 による分圧比を切り替えるため、平均電流検出回路 3 2 1 と出力電圧検出部 3 0 4 との間に、分圧比設定回路 3 3 1 が接続される。尚、ここでは、基準電圧E S 4 1 は一定の電圧とする。

- 25 分圧比設定回路 3 3 1 は、図 3 3 に示すように、コンパレータ 3 3 2 と、抵抗R 9 7、R 9 8 と、トランジスタQ 3 2 と、を備える。コンパレータ 3 3 2 の＋端子には、一定の基準電圧E S 4 3 が印加される。

- このような構成において、スイッチング電流が増大するに従って平均電流検出回路 3 2 1 からの電流検出信号の信号レベルは高くなる。電流検出信号の信号レ
30 べルが基準電圧E S 4 3 よりも高くなると、コンパレータ 3 3 2 の出力レベルは

「L」(ロー)レベルとなり、トランジスタQ32はオフする。トランジスタQ32がオフすると、分圧比は、抵抗R92, R93によって決定される。

一方、スイッチング電流が小さくなり、電流検出信号の信号レベルが基準電圧ES43よりも低くなると、コンパレータ332の出力は「H」(ハイ)レベルとなり、トランジスタQ32はオンする。トランジスタQ32がオンすると、抵抗R93と抵抗R97とは並列接続となり、分圧比は、抵抗R92と、並列接続された抵抗R93と抵抗R97と、で決定される。分圧比は、トランジスタQ32のオフ時と比較して大きくなり、出力電圧Voutは高くなる。

以上説明したように、本実施の形態によれば、出力電圧検出部304の抵抗R92, R93による分圧比を切り替えることにより、出力電圧Voutを制御することができる。

[第14の実施の形態]

第14の実施の形態に係る力率改善コンバータは、平均電流検出回路を整流部に備えるようにしたものである。

15 第14の実施の形態に係る力率改善コンバータの構成を図34に示す。

第14の実施の形態に係る力率改善コンバータは、平均電流検出回路321が整流部301のブリッジ整流回路312とフィルタ313との間に接続されることによって構成されている。そして、平均電流検出回路321は、ブリッジ整流回路312から出力された電流の平均値を検出し、検出した平均電流に基づいて
20 基準電圧生成回路322が生成する基準電圧ES41の電圧レベルを制御する。

尚、平均電流検出回路321を、ブリッジ整流回路312よりも交流電源100側に接続することもできる。この場合、平均電流検出回路321に整流ダイオードと平滑コンデンサ(図示せず)とを備える。

このように、整流電圧の平均電流を検出することによっても平均スイッチング
25 電流を検出することができる。

尚、本発明を実施するにあたっては、種々の形態が考えられ、上記実施の形態に限られるものではない。

例えば、第1～第5の実施の形態に係る力率改善コンバータでは、昇圧量の実効値を検出するようにした。しかし、昇圧量の実効値の代わりに昇圧量の平均値
30、ピーク値を検出するようにすることもできる。

第6～第11の実施の形態に係る力率改善コンバータにおいて、パルス幅検出回路221は、平均オンデューティに対応するデューティ検出信号を出力するように構成されている。しかし、これに限られるものではなく、最大オンデューティや最小オンデューティに対応するデューティ検出信号を出力するようにしてもよい。

この場合、制御部205にコンピュータとメモリとを備え、オンデューティをサンプリングし、サンプリング毎に、メモリに記憶されているデータを比較することにより、最大オンデューティ又は最小オンデューティを取得する。

また、平均オフデューティ、最大オフデューティ、最小オフデューティに基づいて出力電圧 V_{out} を制御するようにしてもよい。この場合、フリップフロップ227のQバー端子から出力される信号の信号レベルを積分器で積分して平均値を求める。

さらに、ブリッジ整流回路312の出力する脈流の整流電圧に同期して所定の位相でのデューティをサンプリングしてもよい。

また、第12の実施の形態に係る力率改善コンバータにおいては、以下のように構成されてもよい。まず、脈流電圧の1周期でインダクタL31に供給される供給電流の電流レベルとして、ダイオードD31からコンデンサC31に流れ込む電流の電流レベルを検出するように構成されることもできる。この場合、ダイオードD31のカソードとアノードとの間に、その電圧を検出する電圧検出器を備えればよい。

また、第7の実施の形態に係る力率改善コンバータと同様に、平均スイッチング電流に基づいて出力電圧が複数段階に制御されるように構成されてもよい。また、第8の実施の形態に係る力率改善コンバータと同様に、出力電圧に上限値を設けるように構成されてもよいし、下限値を設けるように構成されてもよい。また、第9の実施の形態に係る力率改善コンバータと同様に、タイマを備えるようにしてもよい。また、第10の実施の形態に係る力率改善コンバータと同様に、平均スイッチング電流と出力電力とに基づいて出力電圧を制御するように構成されてもよい。また、第11の実施の形態に係る力率改善コンバータと同様に、電圧変換部にトランスを備え、力率改善コンバータを絶縁形コンバータとしてもよい。

また、第6、第12の実施の形態に係る力率改善コンバータにおいても、図1に示すような過電圧保護部を備えるようにしてもよい。

また、力率改善コンバータは、昇圧型だけでなく、降圧型のものであってもよい。

- 5 基準電圧生成回路は、出力電圧 V_{out} が所定の関数に従い、パラメータに従って変化するような基準電圧を生成するものであってもよい。

例えば、図35に示すように、図21に示す基準電圧生成回路222に、さらに、ダイオードD27、D28と、抵抗R68、R69と、が備えられる。ダイオードD27のカソードは、オペアンプ223の+端子に接続される。抵抗R68の一端は、ダイオードD27のアノードに接続される。抵抗R68の他端には、基準電圧ES30の電源が供給される。

また、ダイオードD28のアノードは、オペアンプ223の+端子に接続される。抵抗R69の一端は、ダイオードD28のカソードに接続される。抵抗R69の他端は、基準電圧ES31の電源に接続される。

- 15 基準電圧生成回路222がこのように構成されると、力率改善コンバータは、図36に示すような特性を有するようになる。

尚、図36において、出力電圧 V_{out} をE1~E4として、基準電圧ES28~ES31は、それぞれ、E1~E4に対応する。また、基準電圧ES28~ES31は、出力電圧 V_{out} が $E4 < E3 < E2 < E1$ となるように設定される。

- 20 このように構成されると、平均オンデューティが増大するに従って、出力電圧 V_{out} は、図36に示すように上限値E1から低下し、電圧E2、E3を経て、下限値E4になる。即ち、基準電圧ES28~ES31、抵抗R68、R69の抵抗値を調整することにより、出力電圧 V_{out} は、所定の曲線に従い、パラメータの値に基づいて変化する。

- 25 本発明は、2002年1月8日に出願された特願2002-001403、2002年1月24日に出願された特願2002-16137、2002年4月8日に出願された特願2002-105221に基づき、本明細書中にその明細書、特許請求の範囲、図面全体を参考として取り込むものとする。

本発明は、力率改善コンバータを使用する産業分野に利用可能である。

請求の範囲

1. 脈流電圧が印加されるインダクタ (L 1 1, L 2 1, L 3 1) と、
前記インダクタ (L 1 1, L 2 1, L 3 1) の一端に接続され、前記脈流電圧
5 に従って前記インダクタ (L 1 1, L 2 1, L 3 1) に流れる電流をスイッチン
グするスイッチング素子 (Q 1 1, Q 2 1, Q 3 1) と、
前記スイッチング素子 (Q 1 1, Q 2 1, Q 3 1) がスイッチングすることに
より前記インダクタ (L 1 1, L 2 1, L 3 1) の両端に発生した電圧を整流し
、平滑化して直流電圧を生成する直流電圧生成部 (D 1 6, C 1 1, D 2 1, C
10 2 1, D 3 1, C 3 1) と、
前記スイッチング素子の電流路に流れるスイッチング電流の目標レベルを前記
脈流電圧の電圧レベルに基づいて設定し、前記スイッチング電流が目標レベルと
なるように、前記スイッチング素子 (Q 1 1, Q 2 1, Q 3 1) をオン、オフ制
御する制御部 (1 0 6, 2 0 5, 3 0 5) と、を備え、
15 前記制御部 (1 0 6, 2 0 5, 3 0 5) は、前記脈流電圧の実効値と前記直流
電圧生成部 (D 1 6, C 1 1, D 2 1, C 2 1, D 3 1, C 3 1) が生成する直
流電圧の電圧値との比が変化することによって変化するパラメータを取得し、取
得したパラメータの値に従って前記スイッチング電流の目標レベルを制御する、
ことを特徴とする力率改善コンバータ。
- 20 2. 前記インダクタ (L 1 1) に電磁結合する2次巻線 (n 1 0) を有し、前
記2次巻線 (n 1 0) の両端に発生する前記インダクタ (L 1 1) の昇圧量を検
出する昇圧量検出部 (1 0 3) を備え、
前記制御部 (1 0 6, 2 0 5, 3 0 5) は、前記パラメータとして、前記昇圧
量検出部 (1 0 3) が検出した昇圧量を取得する、
25 ことを特徴とする請求項1に記載の力率改善コンバータ。
3. 前記昇圧量検出部 (1 0 3) は、脈流電圧の実効値、平均値及びピーク値
のいずれか1つから昇圧量を検出するものである、
ことを特徴とする請求項2に記載の力率改善コンバータ。
4. 前記制御部 (2 0 5) は、前記スイッチング素子 (Q 2 1) をオン、オフ
30 制御する制御信号のデューティ比を検出するデューティ比検出部 (2 2 1) を有

し、前記パラメータとして、前記デューティ比検出部（221）が検出したデューティ比を取得する、

ことを特徴とする請求項1に記載の力率改善コンバータ。

5. 前記デューティ比検出部（221）は、前記制御信号のオンデューティ又はオフデューティを検出する、

ことを特徴とする請求項4に記載の力率改善コンバータ。

6. 前記デューティ比検出部（221）は、一定周期で前記制御信号のデューティ比を検出し、

前記制御部（205）は、前記デューティ比検出部（221）が検出した前記制御信号のデューティ比に基づいて前記スイッチング電流の目標レベルを制御する、

ことを特徴とする請求項5に記載の力率改善コンバータ。

7. 前記デューティ比検出部（221）は、前記脈流電圧の周期とほぼ一致する一定周期で前記制御信号のデューティ比を検出する、

15 ことを特徴とする請求項6に記載の力率改善コンバータ。

8. 前記制御部（205）は、負荷に供給する電力を測定する電力測定部（237）を備え、さらなるパラメータとして、前記電力測定部（237）が測定した電力を取得し、制御信号のデューティ比と電力とに従って前記スイッチング電流の目標レベルを制御する、

20 ことを特徴とする請求項4に記載の力率改善コンバータ。

9. 前記制御部（305）は、前記脈流電圧の1周期で前記インダクタ（L31）に供給される供給電流の電流レベルを検出する供給電流検出部（321）を備え、前記パラメータとして、前記供給電流検出部（321）が検出した供給電流の電流レベルを取得する、

25 ことを特徴とする請求項1に記載の力率改善コンバータ。

10. 前記供給電流検出部（321）は、前記脈流電圧の1周期で前記インダクタ（L31）に供給される供給電流の電流レベルとして、前記スイッチング素子（Q31）の電流路に流れるスイッチング電流の電流レベルを検出する、

ことを特徴とする請求項9に記載の力率改善コンバータ。

30 11. 前記供給電流検出部（321）は、前記脈流電圧の1周期で前記インダ

- クタ (L 3 1) に供給される供給電流の電流レベルとして、前記直流電圧生成部 (D 3 1, C 3 1) に流れ込む電流の電流レベルを検出する、
ことを特徴とする請求項 9 に記載の力率改善コンバータ。
- 1 2. 前記供給電流検出部 (3 2 1) は、積分器からなる、
5 ことを特徴とする請求項 9 に記載の力率改善コンバータ。
- 1 3. 前記供給電流検出部 (3 2 1) は、前記供給電流の電流レベルとして前記脈流電圧 1 周期における供給電流の実効値を求める実効値検出回路、平均値を求める平均値検出回路及びピーク値を求めるピーク値検出回路のいずれか 1 つを備えた、
10 ことを特徴とする請求項 9 に記載の力率改善コンバータ。
- 1 4. 前記制御部 (3 0 5) は、前記直流電圧生成部 (D 1 6, C 1 1, D 2 1, C 2 1, D 3 1, C 3 1) が生成した直流電圧の電力レベルを検出する電力検出部 (2 3 7) を備え、さらなるパラメータとして、前記供給電流の電流レベルで除して求められた電圧レベルを取得し、前記供給電流の電流レベルと電圧レ
15 ベルとに従って前記スイッチング電流の目標レベルを制御する、
ことを特徴とする請求項 9 に記載の力率改善コンバータ。
- 1 5. 前記直流電圧生成部 (D 1 6, C 1 1, D 2 1, C 2 1, D 3 1, C 3 1) の一端が、前記インダクタ (L 1 1, L 2 1, L 3 1) と前記スイッチング素子 (Q 1 1, Q 2 1, Q 3 1) との接続点に接続され、前記スイッチング素子
20 (Q 1 1, Q 2 1, Q 3 1) の電流路の他端と前記直流電圧生成部 (D 1 6, C 1 1, D 2 1, C 2 1, D 3 1, C 3 1) の他端とが負極に接続され、
前記インダクタ (L 1 1, L 2 1, L 3 1) の他端に、整流電圧が印加される昇圧形チョッパ回路からなる、
ことを特徴とする請求項 1 に記載の力率改善コンバータ。
- 25 1 6. 前記インダクタ (L 2 1) を 1 次巻線 (n 2 1) として前記インダクタ (L 2 1) に電磁結合する 2 次巻線 (n 2 2) を備え、前記 2 次巻線 (n 2 2) の両端に直流電圧生成部 (D 2 1, C 2 1) が接続されたトランス (T) を備え、
前記インダクタ (L 2 1) の他端に整流電圧が印加される、
ことを特徴とする請求項 1 に記載の力率改善コンバータ。
- 30 1 7. 前記直流電圧生成部 (D 1 6, C 1 1, D 2 1, C 2 1, D 3 1, C 3

1) は、生成した直流電圧の電圧レベルが設定レベルを越えると前記スイッチング電流の目標レベルを低下させるような過電圧保護信号を前記制御部 (106, 205, 305) に供給する過電圧保護部 (105) を備えた、

ことを特徴とする請求項1に記載の力率改善コンバータ。

5 18. 前記制御部 (106, 205, 305) は、

出力電圧に対応する出力電圧信号の信号レベルと所定の参照信号の信号レベルとを比較して両信号レベルの差信号を、前記スイッチング電流の目標レベルを制御する信号として出力する増幅器 (113, 223, 323) と、

前記パラメータの値と設定値とを比較し、比較結果に基づいて、前記脈流電圧
10 の実効値と前記直流電圧生成部 (D16, C11, D21, C21, D31, C31) が生成する直流電圧の電圧値との比が増加するに従って前記スイッチング素子 (Q11, Q21, Q31) のスイッチング電流の目標レベルが低下するような参照信号を前記増幅器 (113, 223, 323) に供給する参照信号生成回路 (121, 222, 322) と、を備えた、

15 ことを特徴とする請求項1に記載の力率改善コンバータ。

19. 前記参照信号生成回路 (121, 222, 322) は、ヒステリシス特性を有するものである、

ことを特徴とする請求項18に記載の力率改善コンバータ。

20. 前記制御部 (106, 205, 305) は、

20 出力電圧に対応する出力電圧信号の信号レベルと所定の参照信号の信号レベルとを比較して両信号レベルの差信号を、前記スイッチング電流の目標レベルを制御する信号として出力する増幅器 (113, 223, 323) と、

前記パラメータの値と比較するための複数の設定値を有し、前記パラメータの値が大きくなって前記各設定値を越える毎に、順次、前記スイッチング素子 (Q
25 11, Q21, Q31) のスイッチング電流の目標レベルを低下させるような参照信号を前記増幅器 (113, 223, 323) に供給する参照信号生成回路 (121, 222, 322) と、を備えた、

ことを特徴とする請求項1に記載の力率改善コンバータ。

21. 前記参照信号生成回路 (121, 222, 322) は、ヒステリシス特
30 性を有するものである、

ことを特徴とする請求項 20 に記載の力率改善コンバータ。

22. 前記増幅器 (113, 223, 323) は、前記参照信号生成回路 (121, 222, 322) から参照信号が供給されると、前記パラメータの値と前記差信号の信号レベルの変化との関係を示す所定の関数に従って、前記差信号の
5 信号レベルが小さくなるような差信号を出力するものである、

ことを特徴とする請求項 18 に記載の力率改善コンバータ。

23. 前記所定の関数は、取得したパラメータの値が前記設定値を越えたときからの時間と前記差信号の信号レベルとの関係が 1 次関数で表される関数である、

10 ことを特徴とする請求項 22 に記載の力率改善コンバータ。

24. 前記参照信号生成回路 (121, 222, 322) は、前記直流電圧生成部 (D16, C11, D21, C21, D31, C31) が生成した直流電圧に対応する上限値又は下限値を設定するように参照信号の信号レベルを規制する、

15 ことを特徴とする請求項 18 に記載の力率改善コンバータ。

25. 前記制御部 (106, 205, 305) は、

出力電圧に対応する出力電圧信号の信号レベルと所定の参照信号の信号レベルとを比較して両信号レベルの差信号を、前記スイッチング電流の目標レベルを制御する信号として出力する増幅器 (323) と、

20 前記取得したパラメータの値と設定値とを比較し、取得したパラメータの値が設定値を越えると、前記スイッチング素子 (Q11, Q21, Q31) のスイッチング電流の目標レベルが低下するように前記増幅器 (323) に供給される出力電圧信号の信号レベルを低下させる出力電圧信号制御回路 (331) と、を備えた、

25 ことを特徴とする請求項 1 に記載の力率改善コンバータ。

26. 前記制御部 (106, 205, 305) は、取得したパラメータの値が設定値を越えたとき、前記参照信号生成回路 (121, 222, 322) から前記増幅器への参照信号の出力を所定時間だけ遅延させるタイマ (236) を備えた、

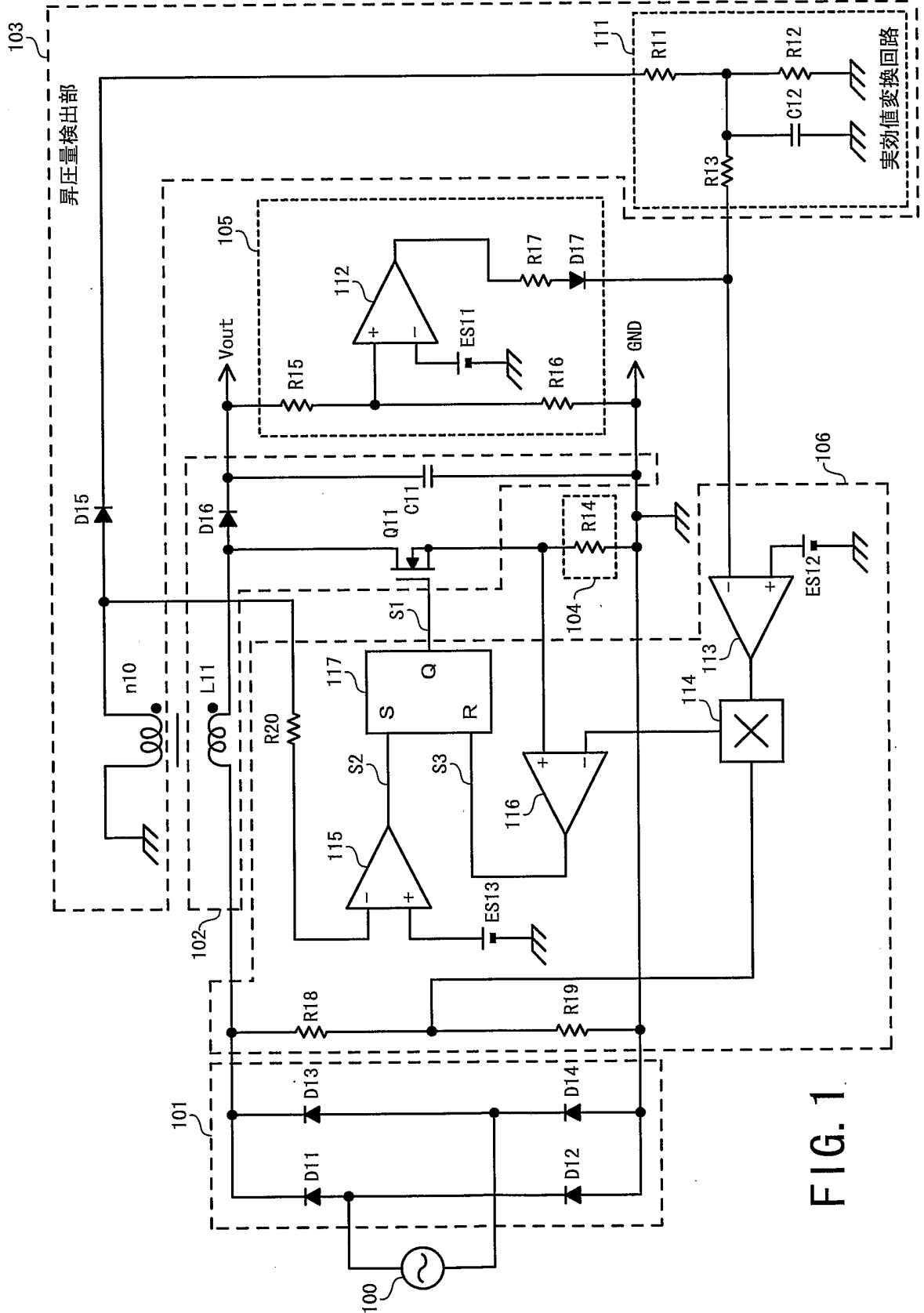
30 ことを特徴とする請求項 18 に記載の力率改善コンバータ。

27. 脈流電圧が印加されるインダクタ (L 1 1, L 2 1, L 3 1) と、
前記インダクタ (L 1 1, L 2 1, L 3 1) の一端に接続され、前記脈流電圧に従って前記インダクタ (L 1 1, L 2 1, L 3 1) に流れる電流をスイッチングするスイッチング素子 (Q 1 1, Q 2 1, Q 3 1) と、
- 5 前記スイッチング素子 (Q 1 1, Q 2 1, Q 3 1) がスイッチングすることにより前記インダクタ (L 1 1, L 2 1, L 3 1) の両端に発生した電圧を整流し、平滑化して直流電圧を生成する直流電圧生成部 (D 1 6, C 1 1, D 2 1, C 2 1, D 3 1, C 3 1) と、を備えた力率改善コンバータを制御する力率改善コンバータの制御方法であって、
- 10 前記脈流電圧の電圧レベルに基づいて前記スイッチング素子 (Q 1 1, Q 2 1, Q 3 1) の電流路に流れるスイッチング電流の目標レベルを設定するステップと、
前記スイッチング電流が目標レベルとなるように、前記スイッチング素子 (Q 1 1, Q 2 1, Q 3 1) をオン、オフ制御するステップと、
- 15 前記脈流電圧の実効値と前記直流電圧生成部 (D 1 6, C 1 1, D 2 1, C 2 1, D 3 1, C 3 1) が生成する直流電圧の電圧値との比が変化することによって変化するパラメータを取得するステップと、
前記設定されたスイッチング電流の目標レベルを、前記取得したパラメータの値に従って制御するステップと、を備えた、
- 20 ことを特徴とする力率改善コンバータの制御方法。
28. 前記インダクタ (L 1 1, L 2 1, L 3 1) の昇圧量を検出するステップと、
検出した昇圧量をパラメータとして取得するステップと、をさらに備えた、
ことを特徴とする請求項 27 に記載の力率改善コンバータの制御方法。
- 25 29. 前記スイッチング素子 (Q 1 1, Q 2 1, Q 3 1) をオン、オフ制御する制御信号のデューティ比を検出するステップと、
検出したデューティ比をパラメータとして取得するステップと、をさらに備えた、
ことを特徴とする請求項 27 に記載の力率改善コンバータの制御方法。
- 30 30. 前記脈流電圧に従って前記インダクタ (L 1 1, L 2 1, L 3 1) に流

れる電流の電流レベルを検出するステップと、

前記検出した供給電流の電流レベルを前記パラメータとして取得するステップと、をさらに備えた、

ことを特徴とする請求項 27 に記載の力率改善コンバータの制御方法。



2/28

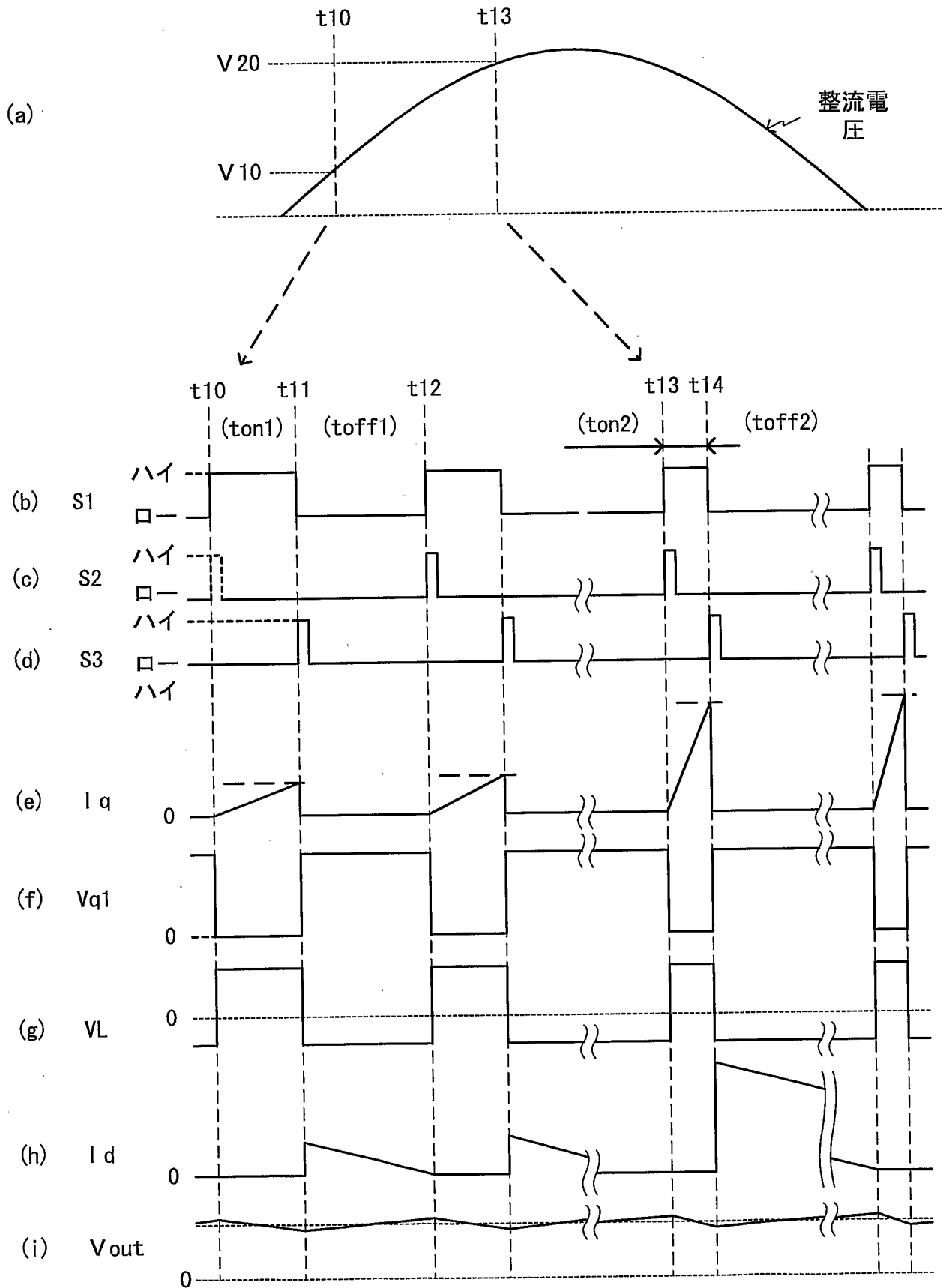


FIG. 2

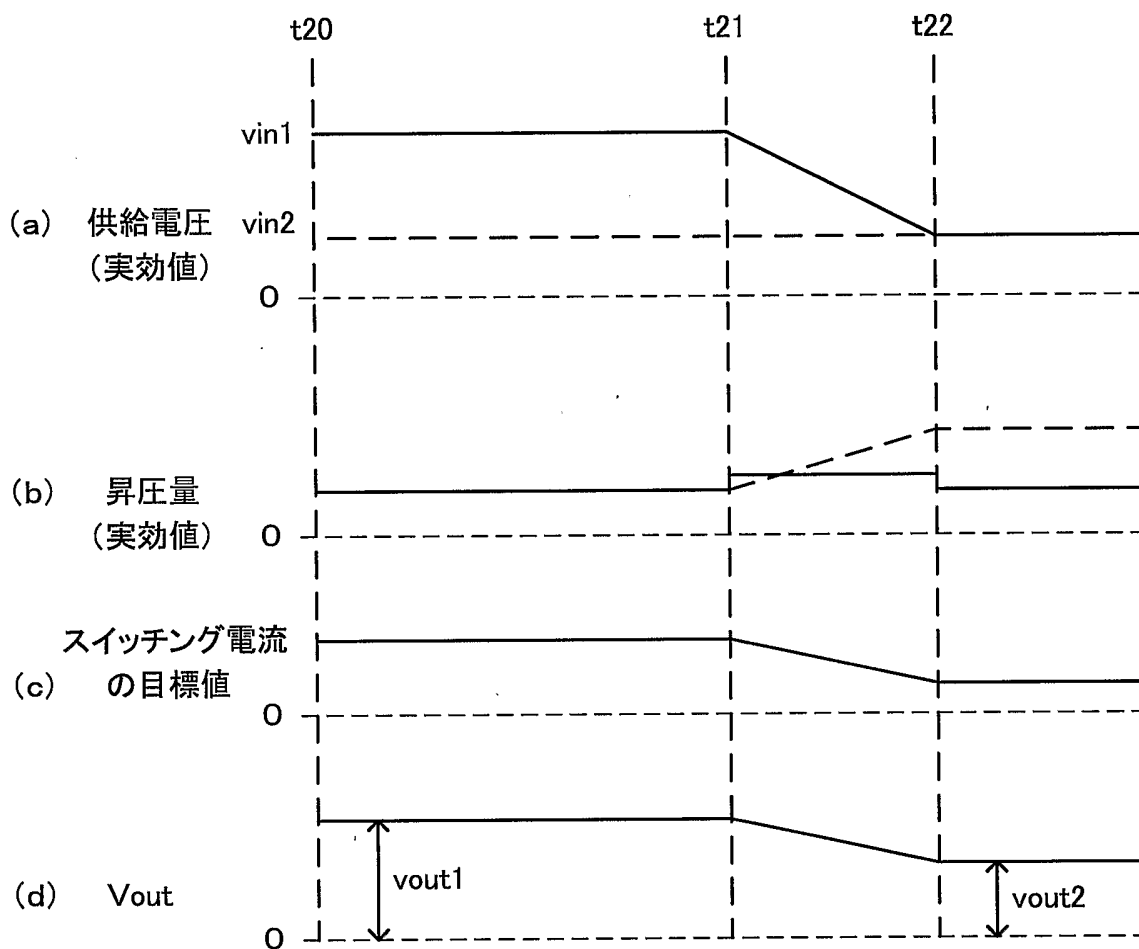


FIG.3

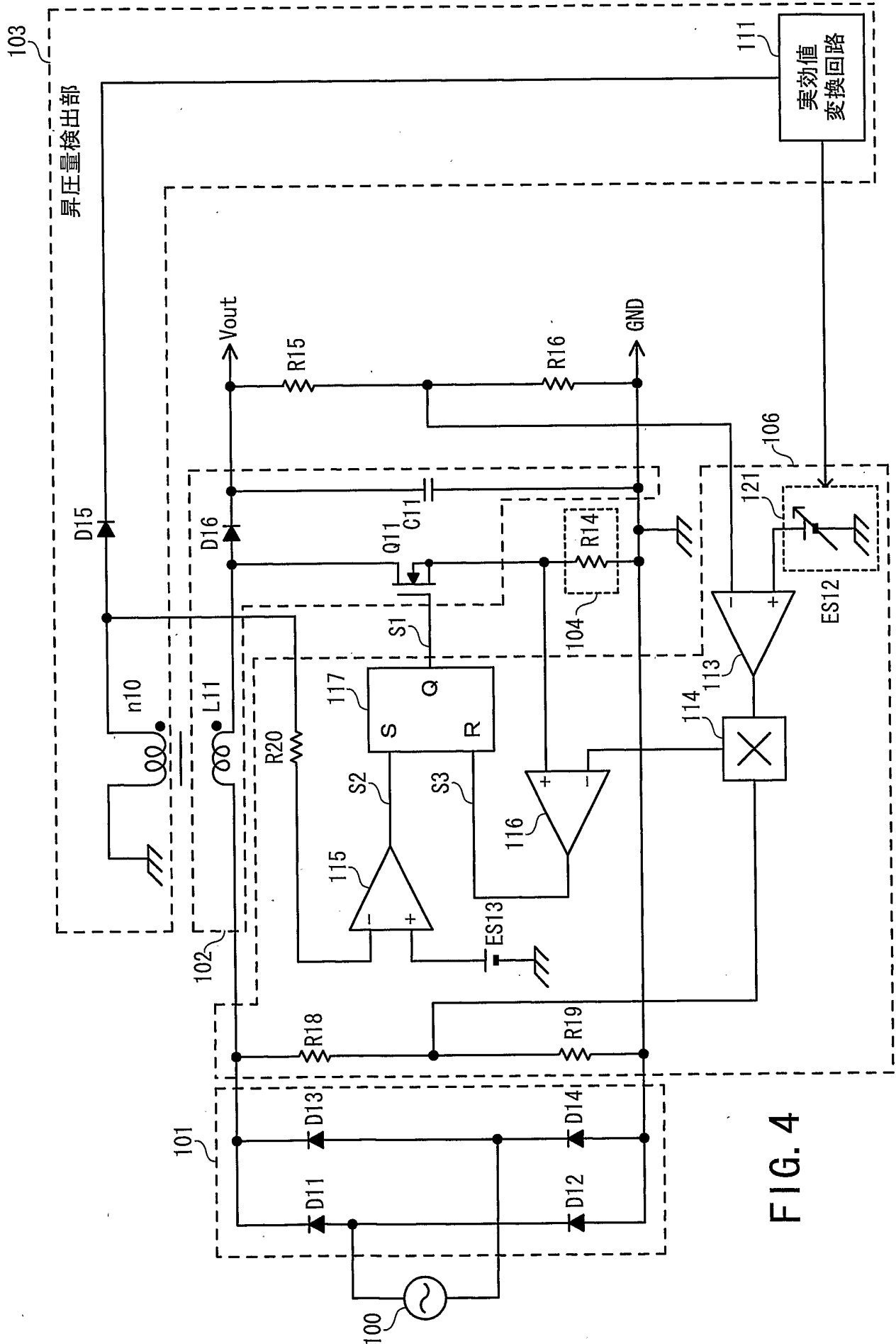


FIG. 4

5/28

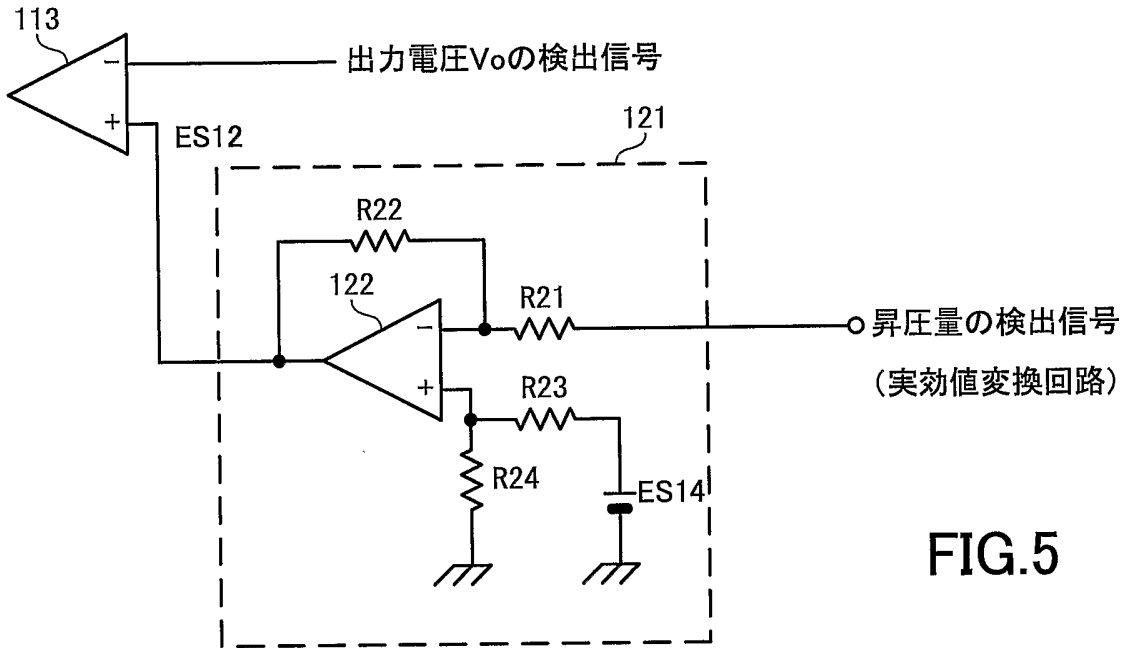
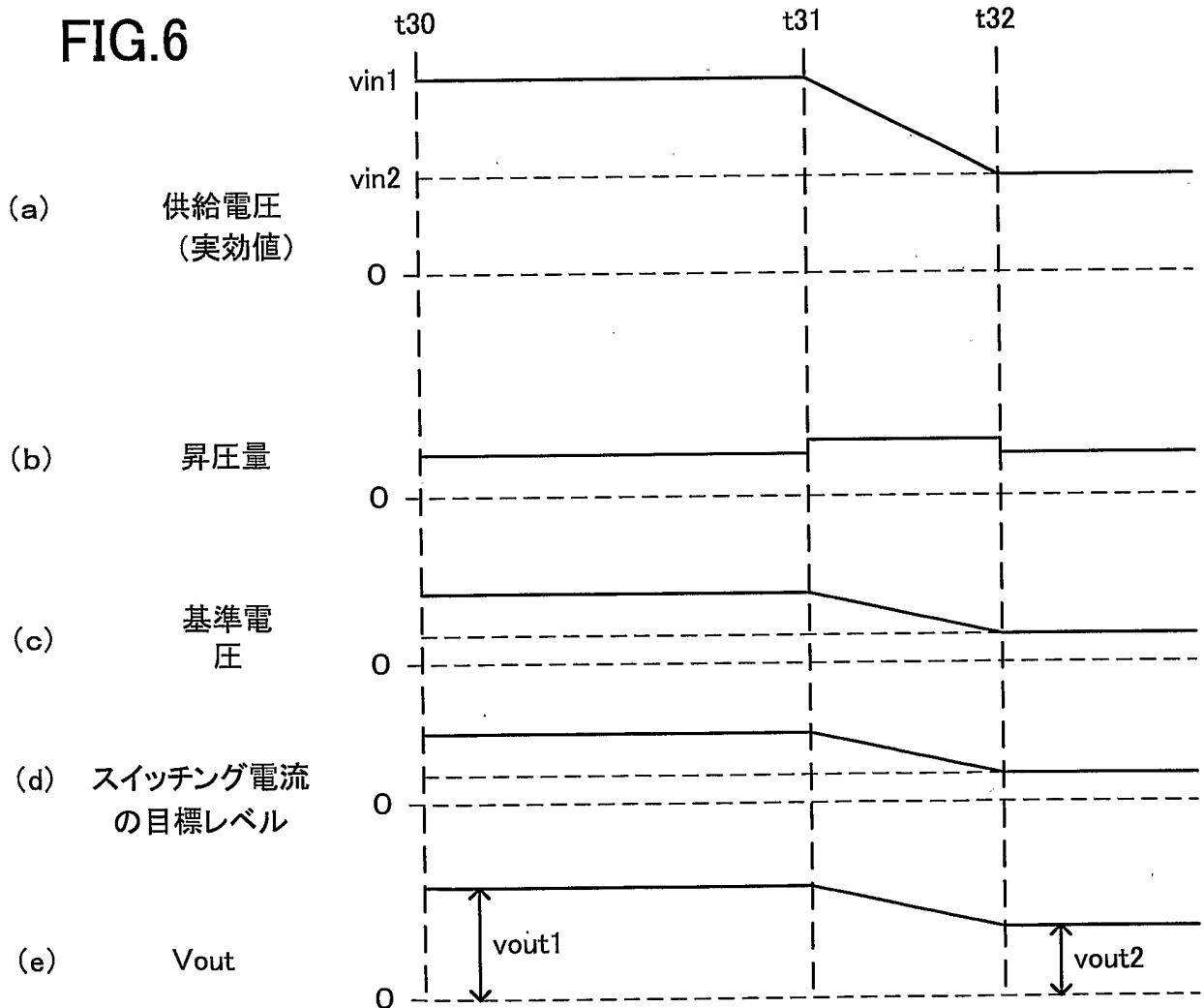


FIG.5

FIG.6



6/28

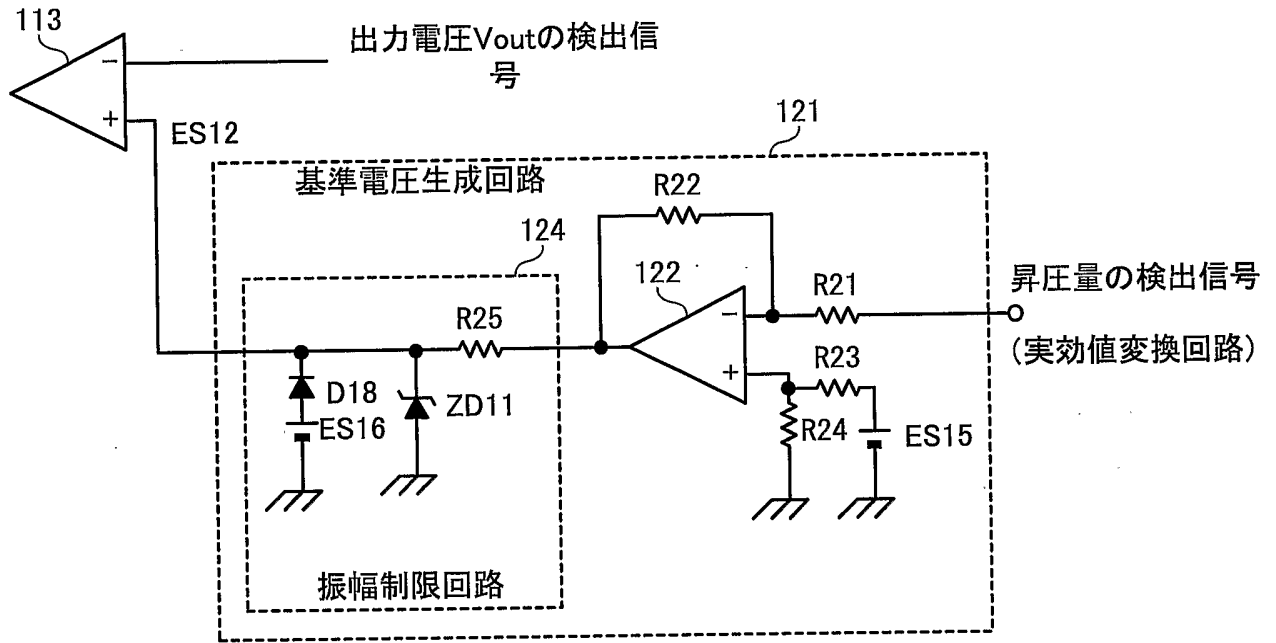


FIG. 7

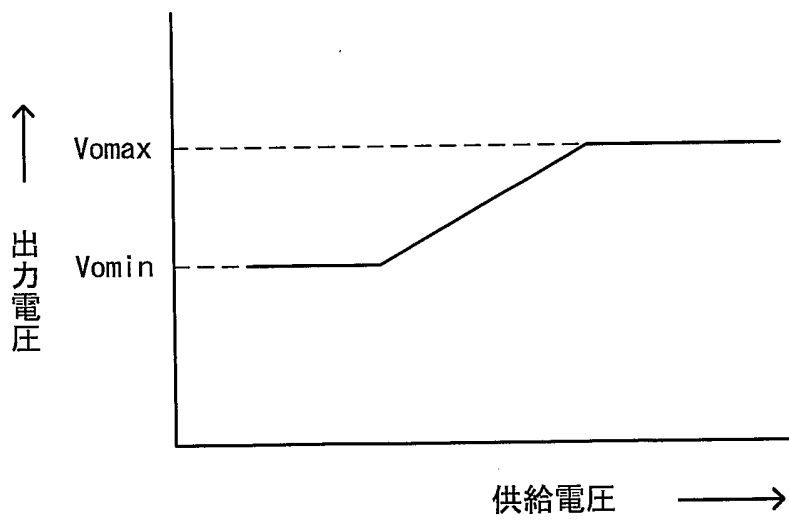


FIG. 8

7/28

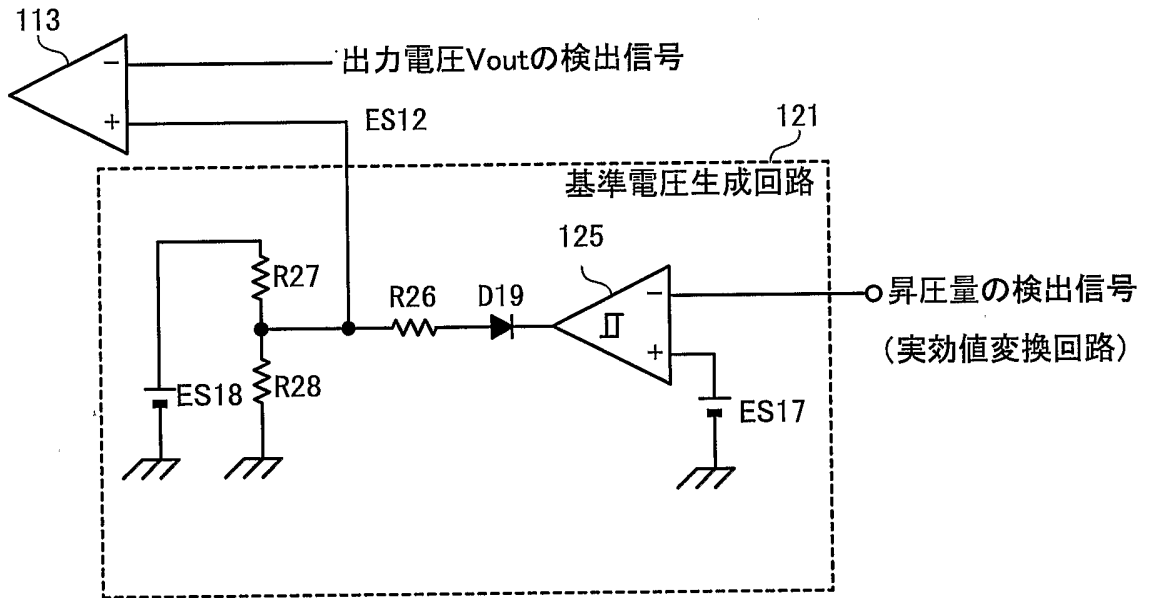


FIG. 9

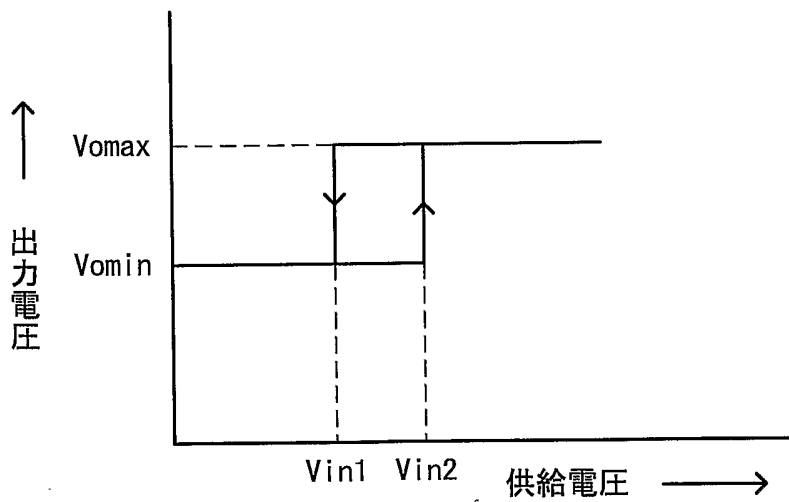


FIG. 10

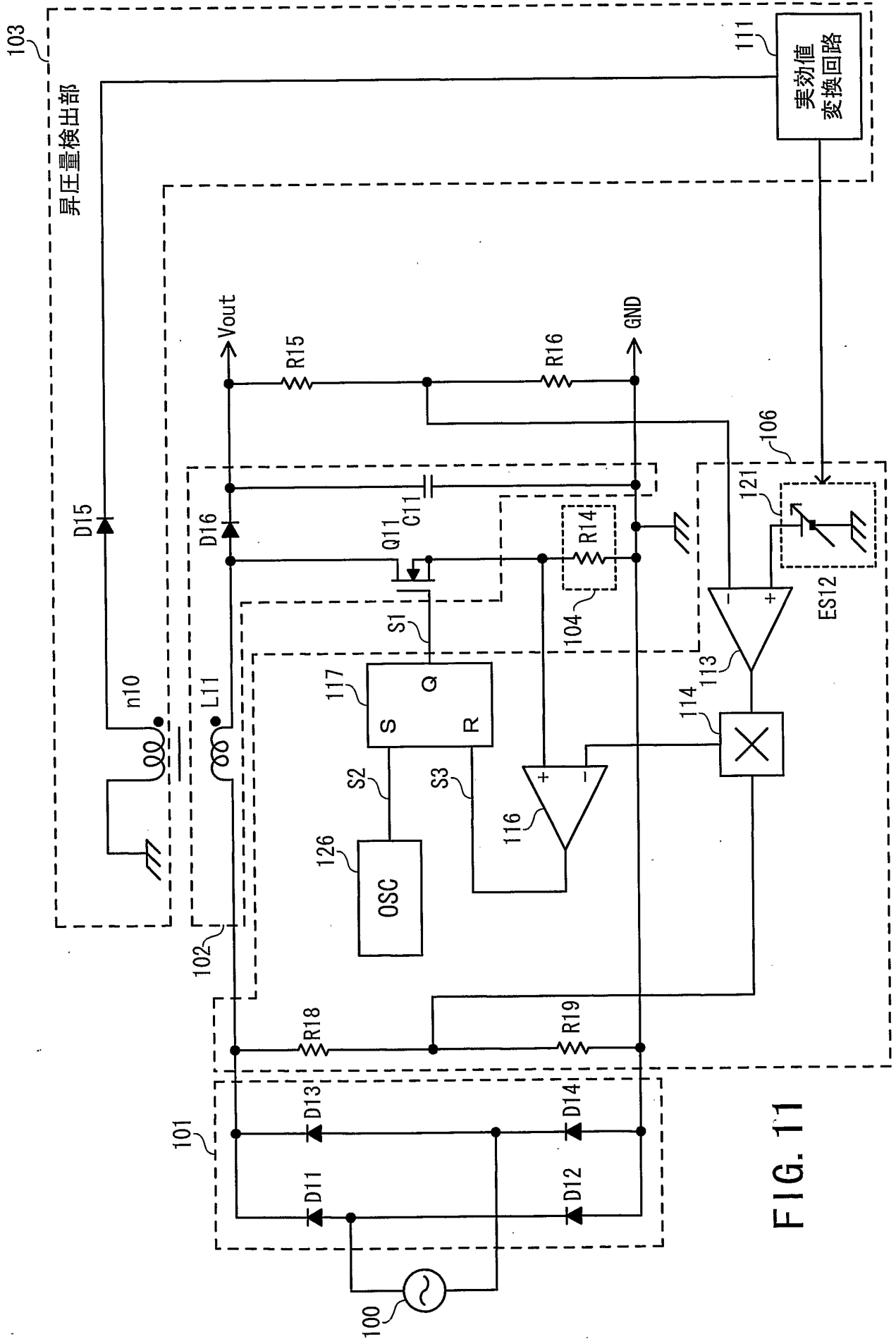


FIG. 11

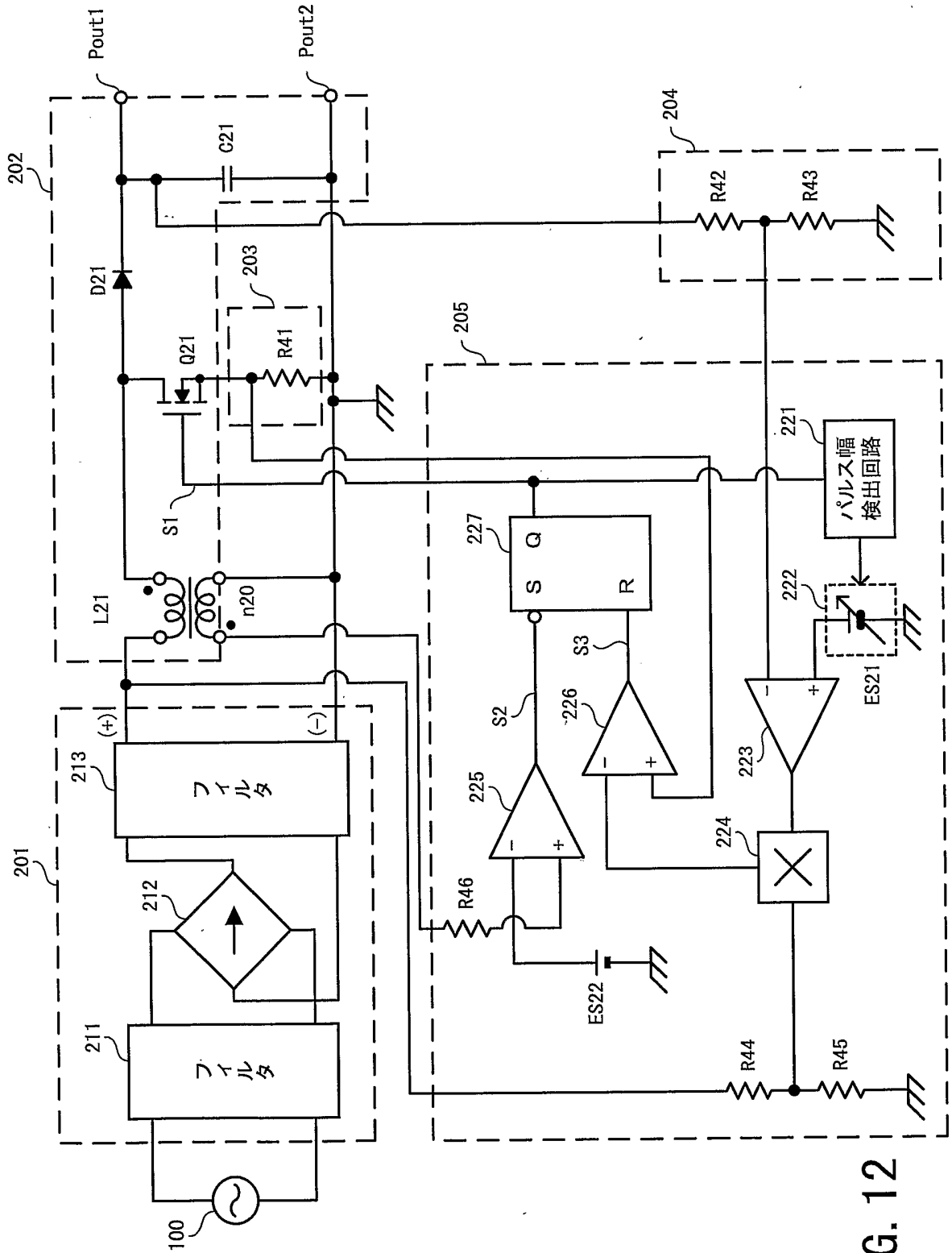


FIG. 12

10/28

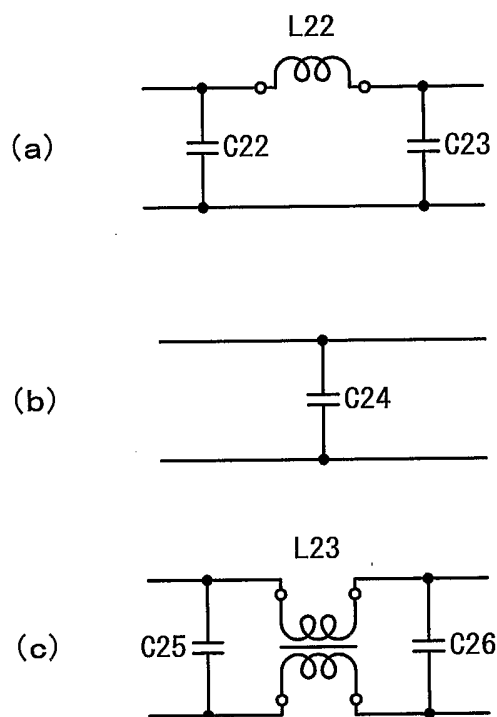


FIG.13

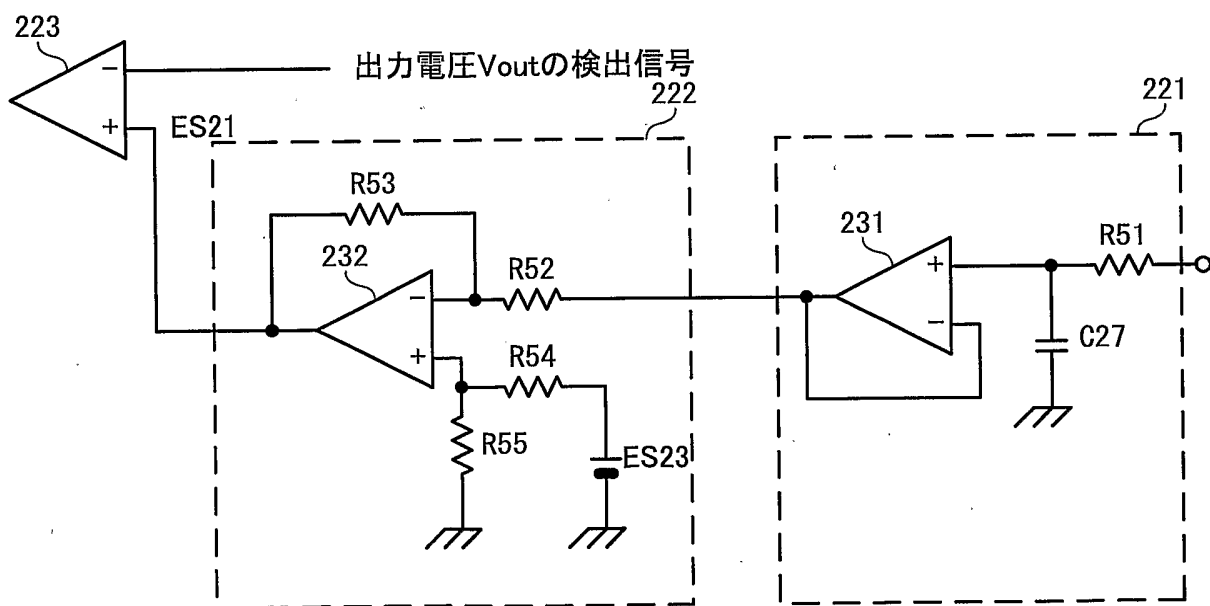


FIG.14

11/28

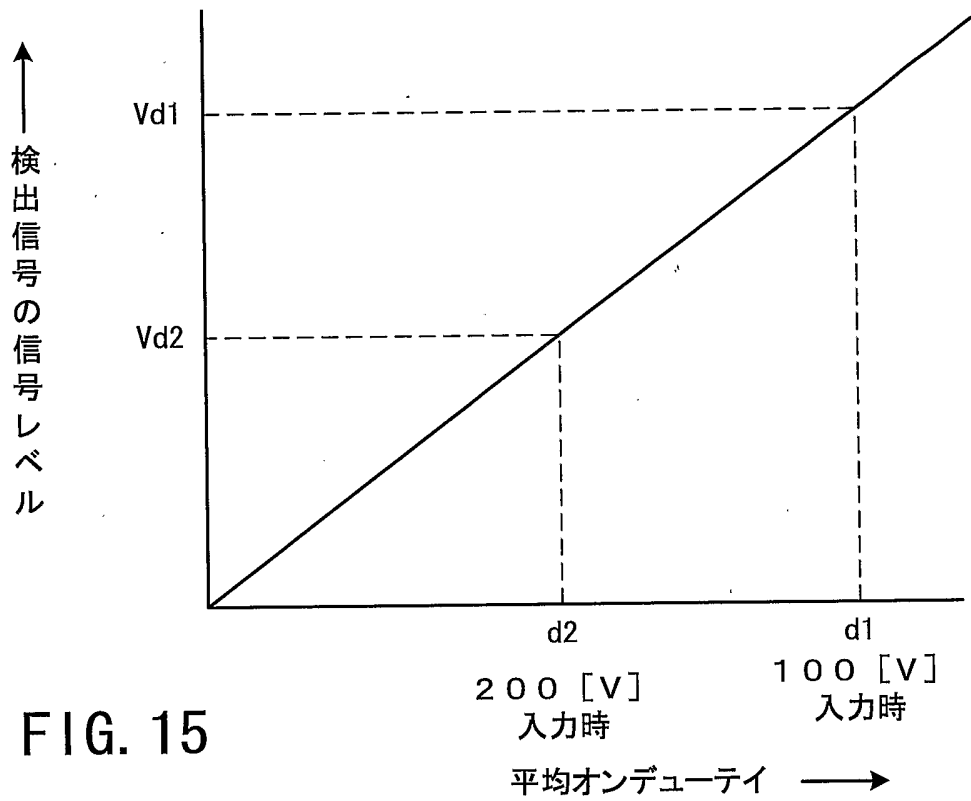


FIG. 15

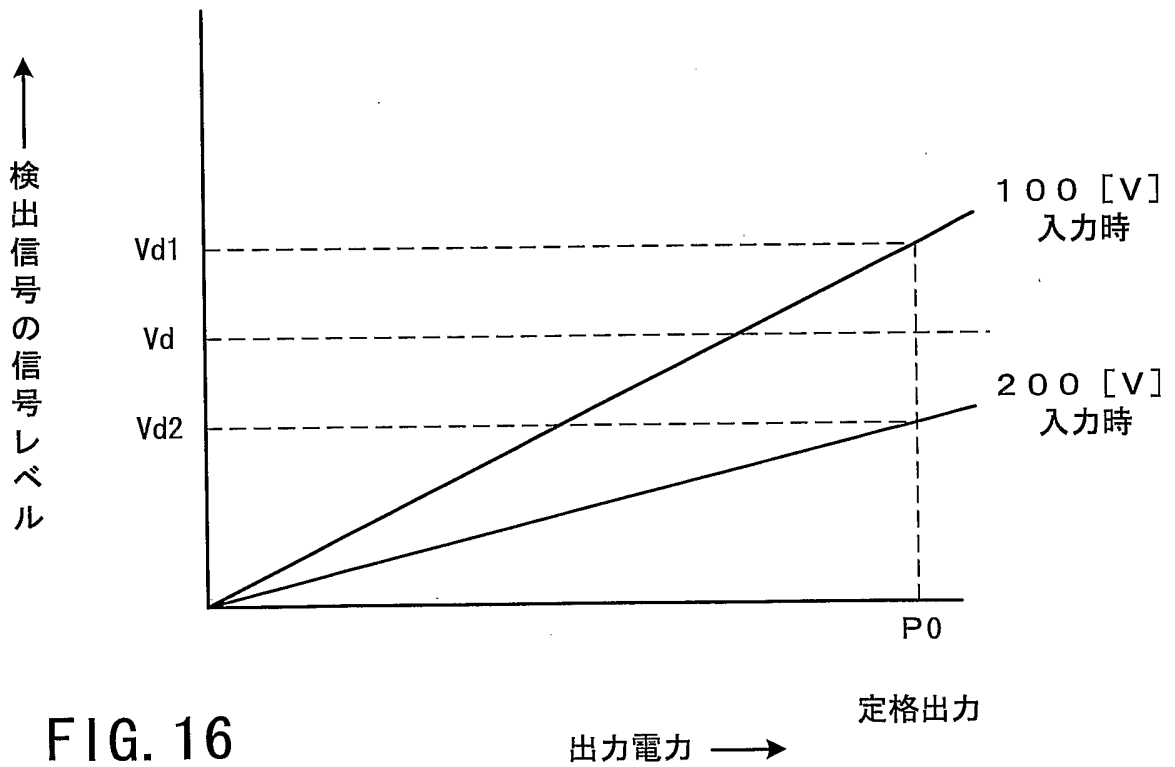


FIG. 16

12/28

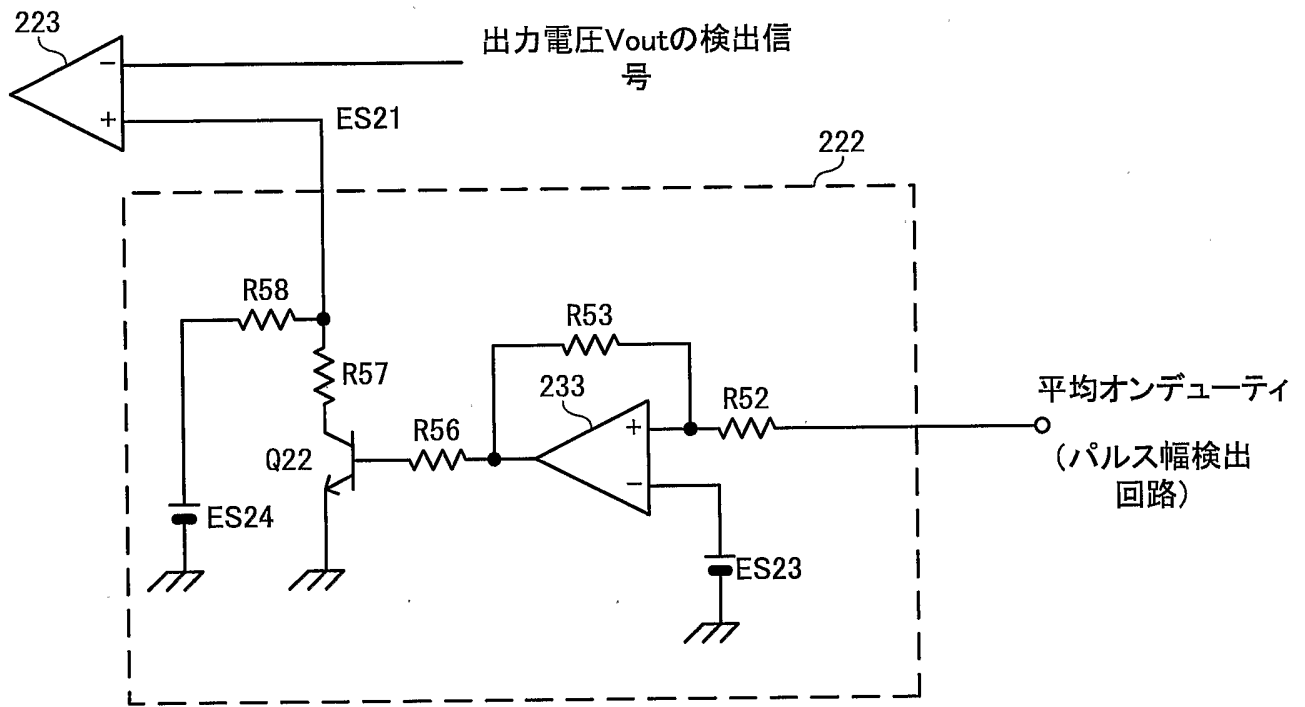


FIG. 17

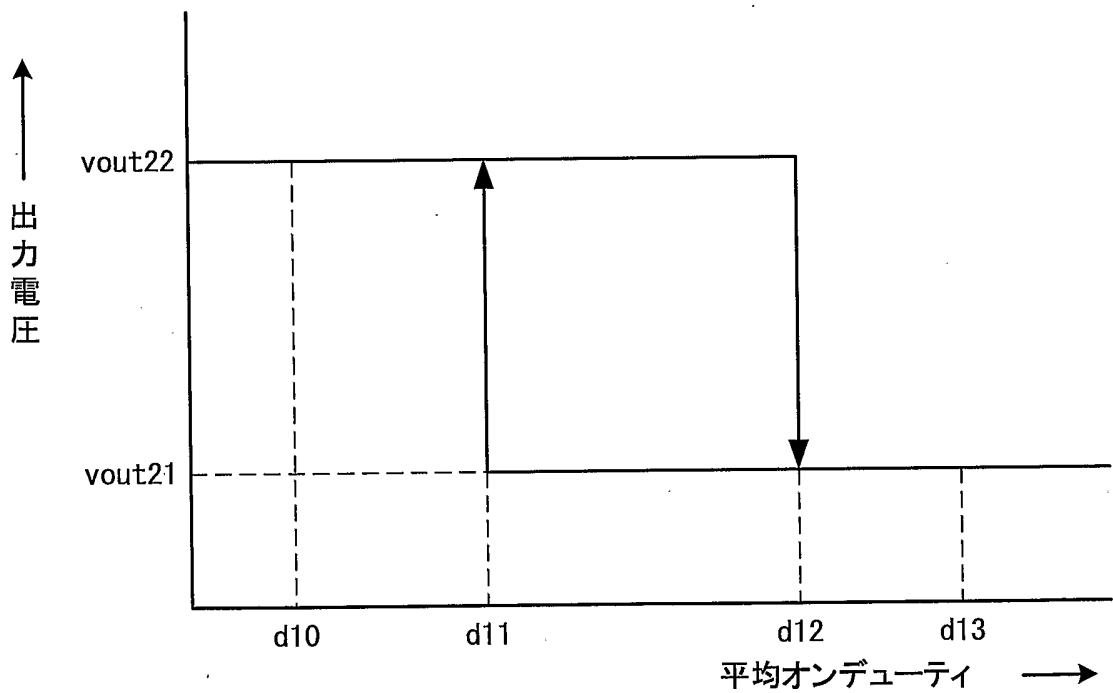


FIG. 18

13/28

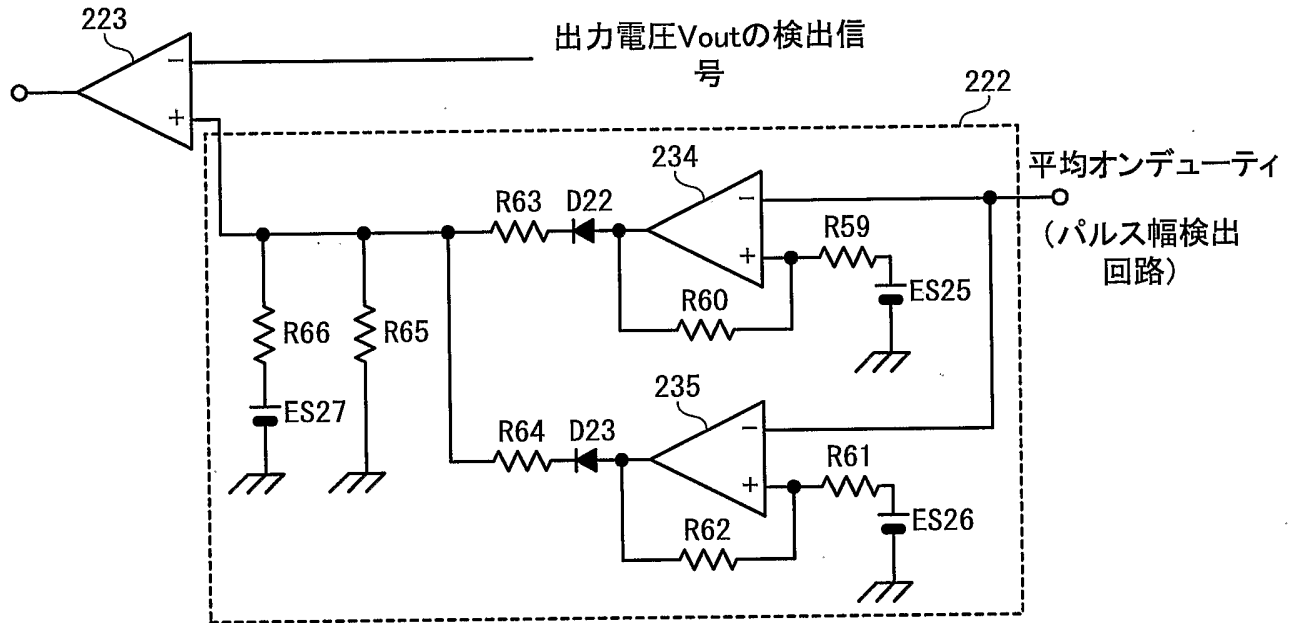


FIG. 19

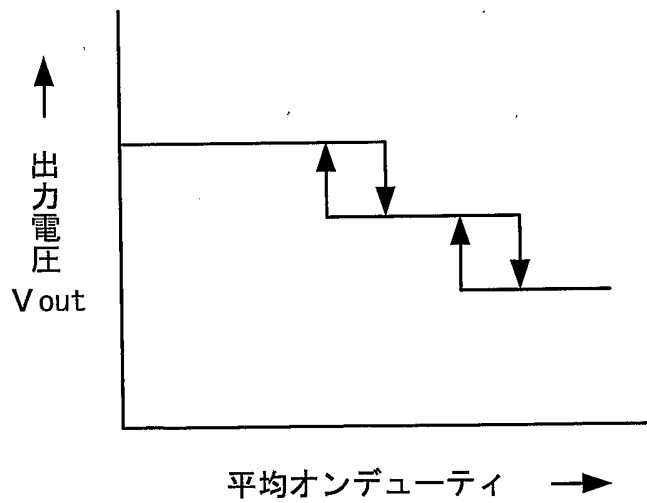


FIG. 20

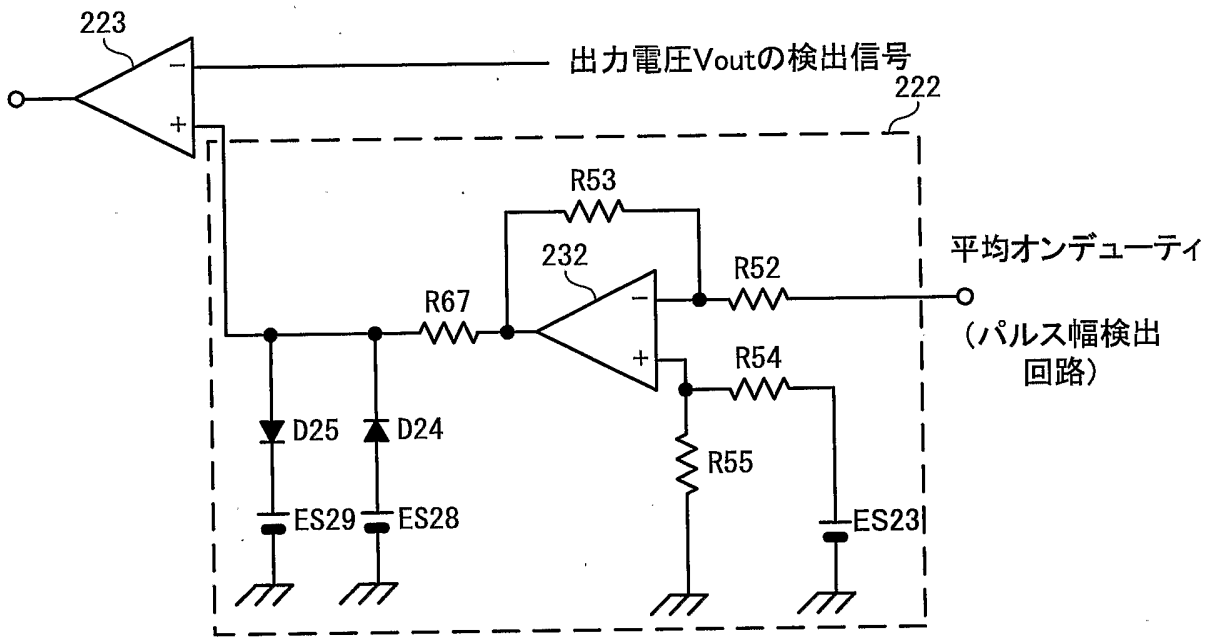


FIG. 21

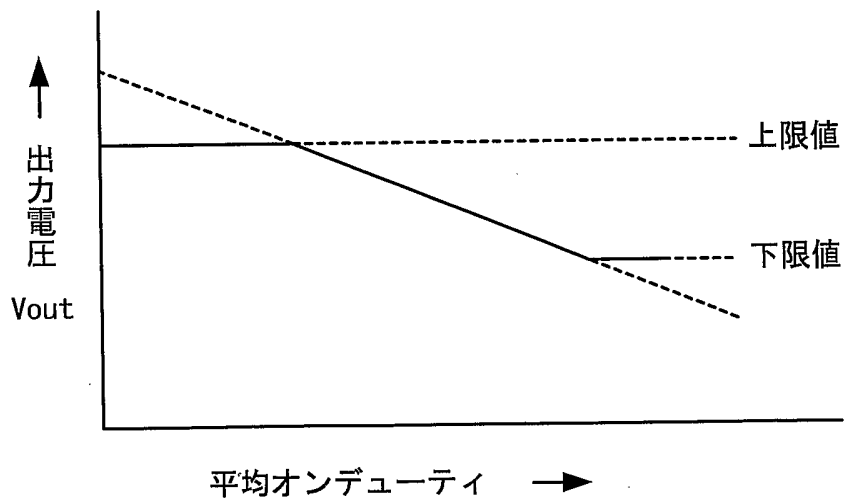


FIG. 22

15/28

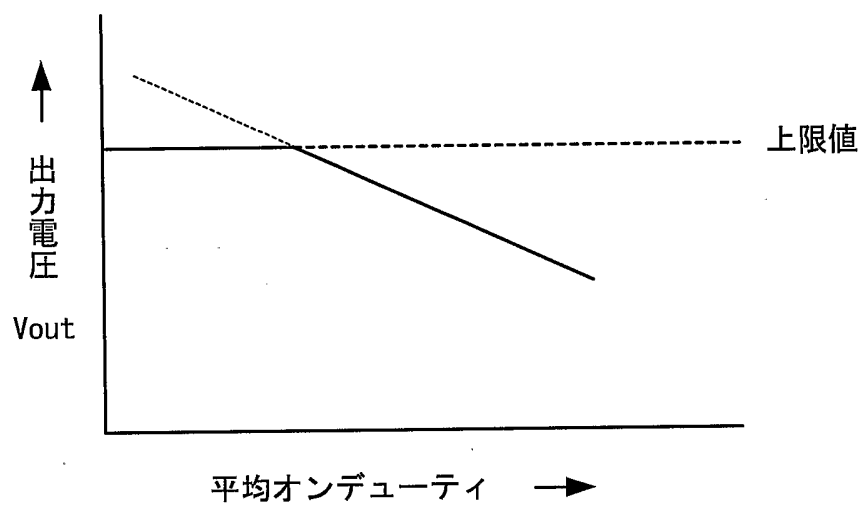


FIG. 23

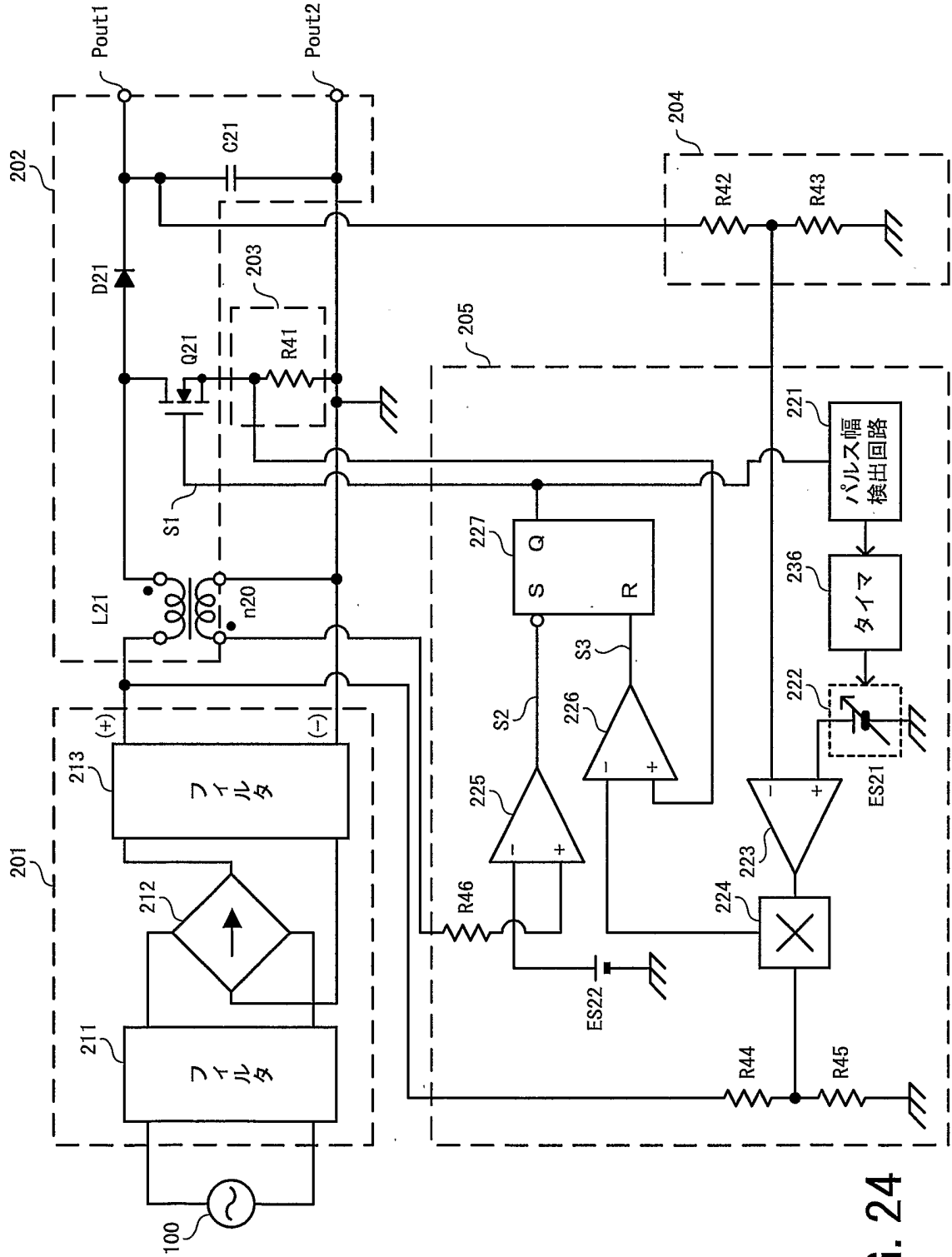
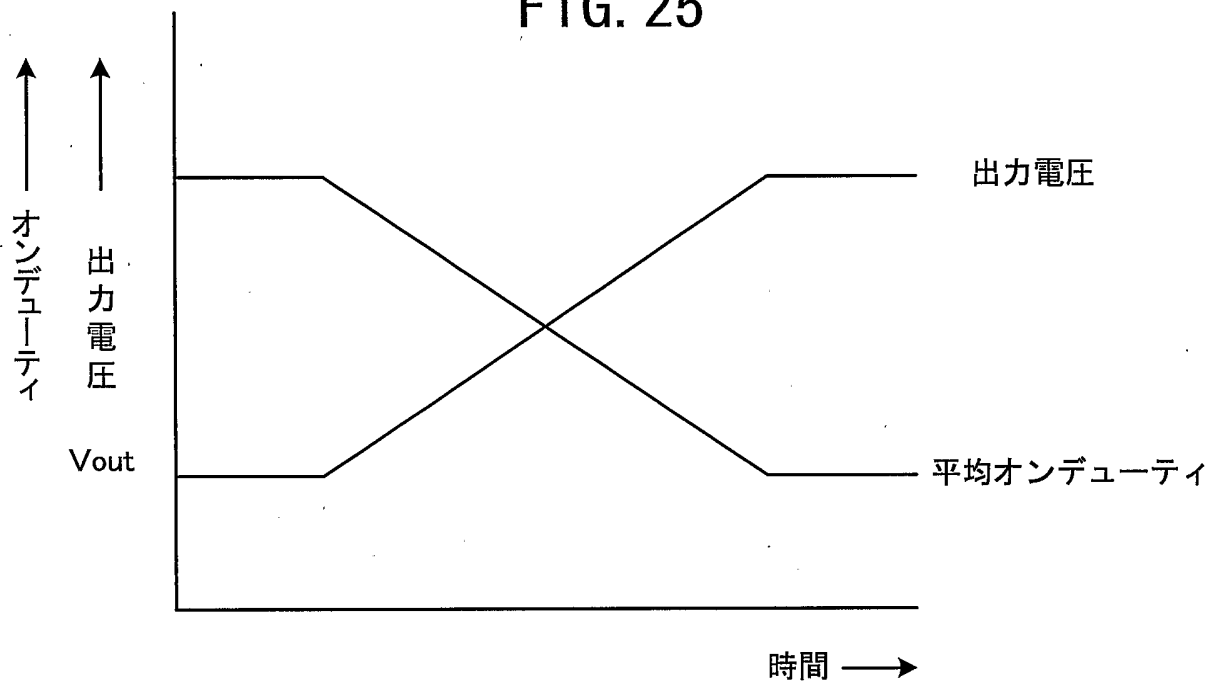
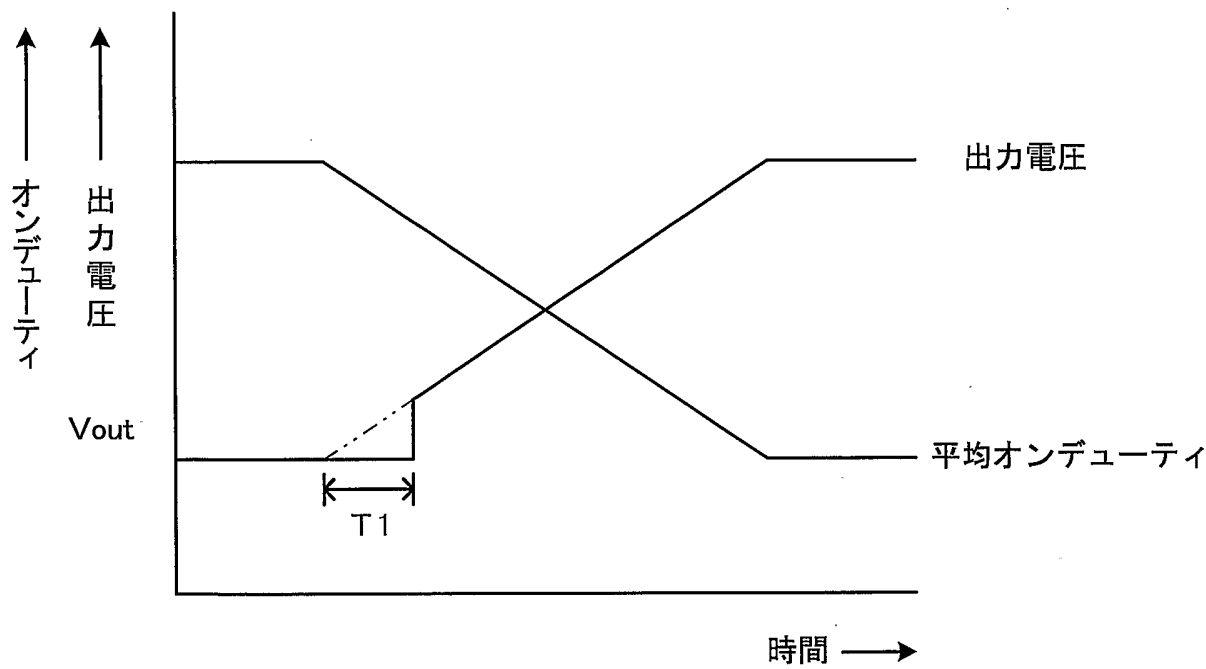


FIG. 24

17/28
FIG. 25



(a)



T1: タイマ設定時間

(b)

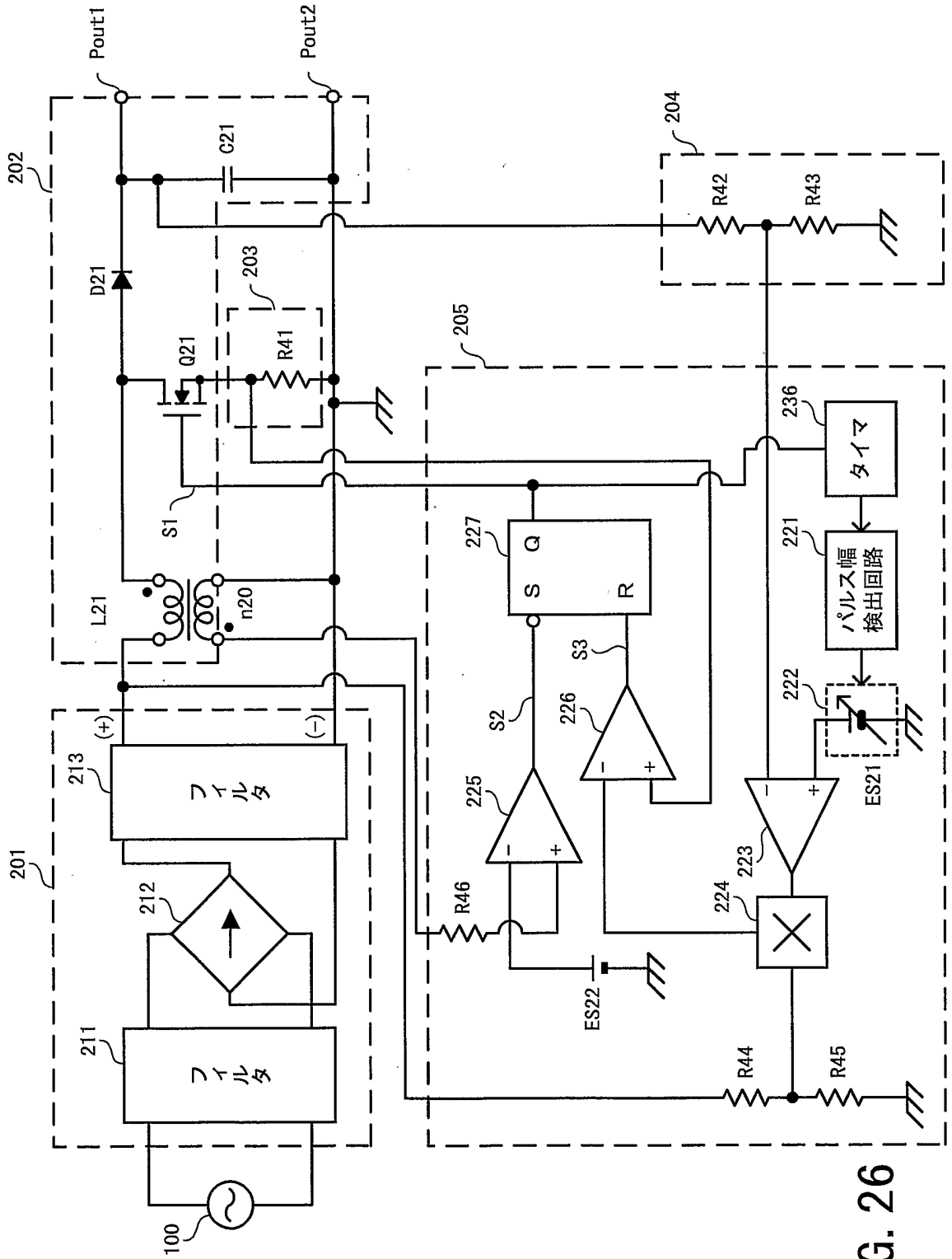
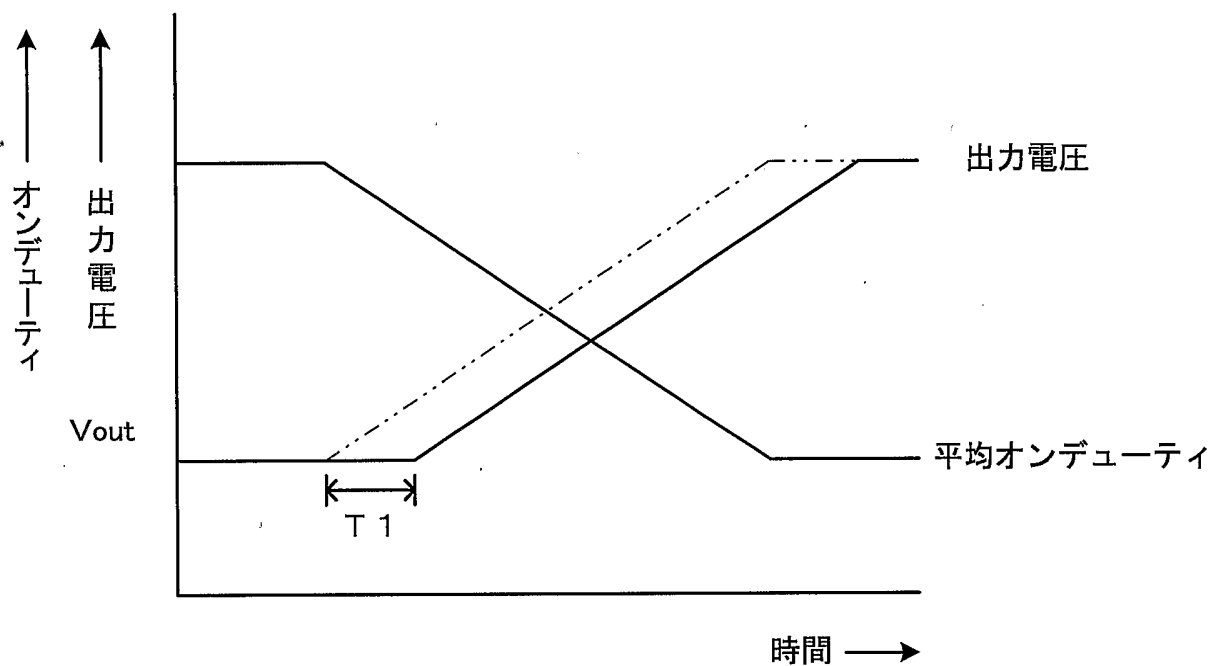


FIG. 26

19/28



T1 : タイマ設定時間

FIG. 27

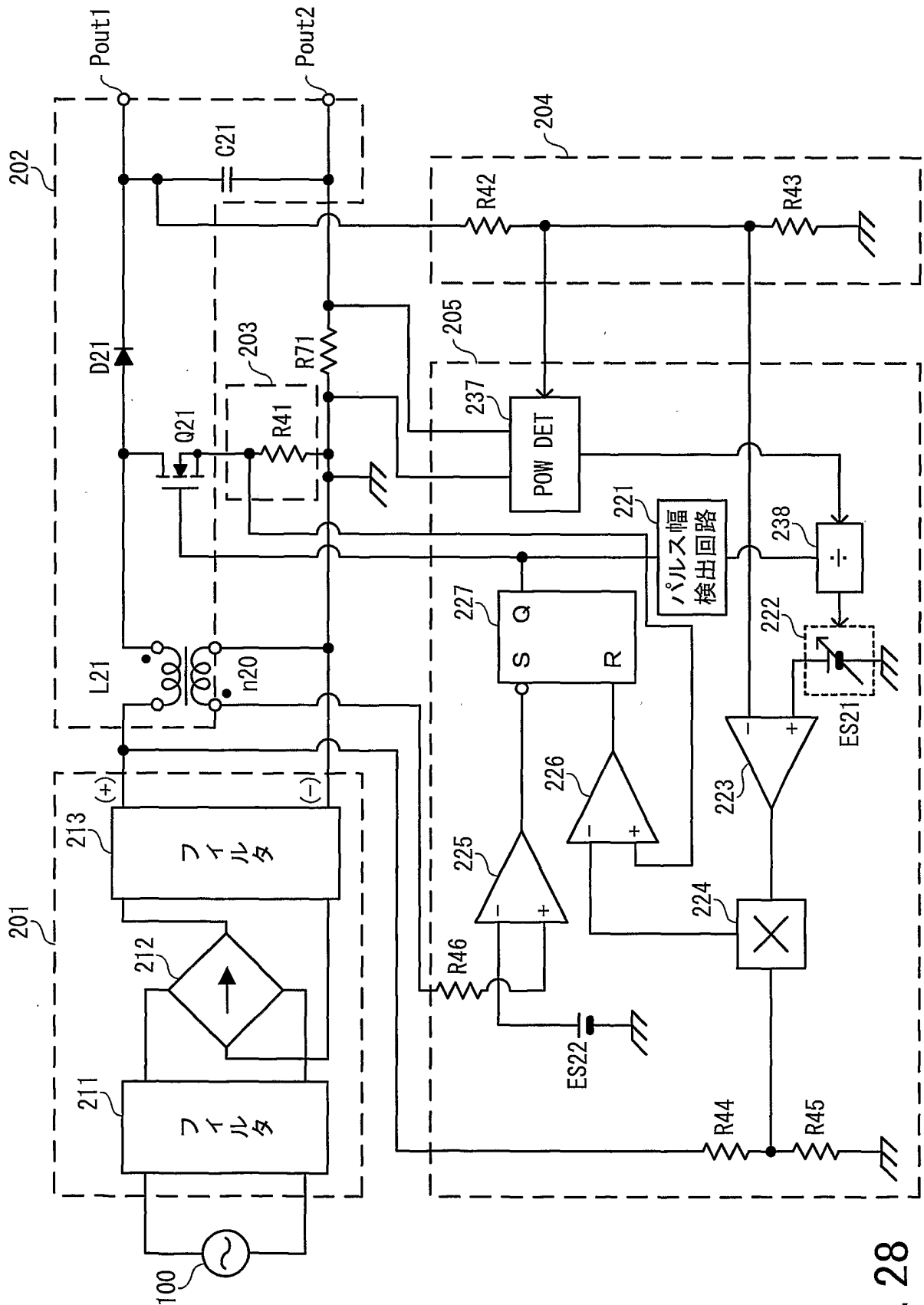


FIG. 28

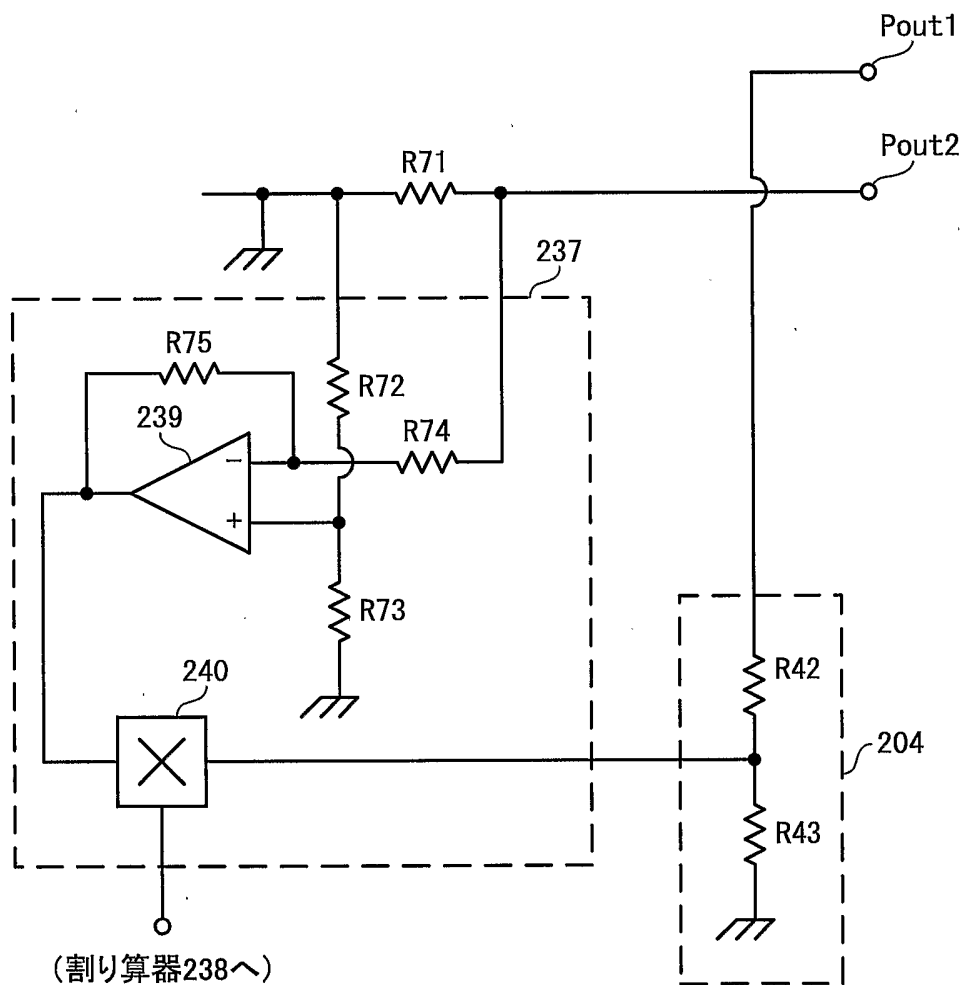


FIG.29

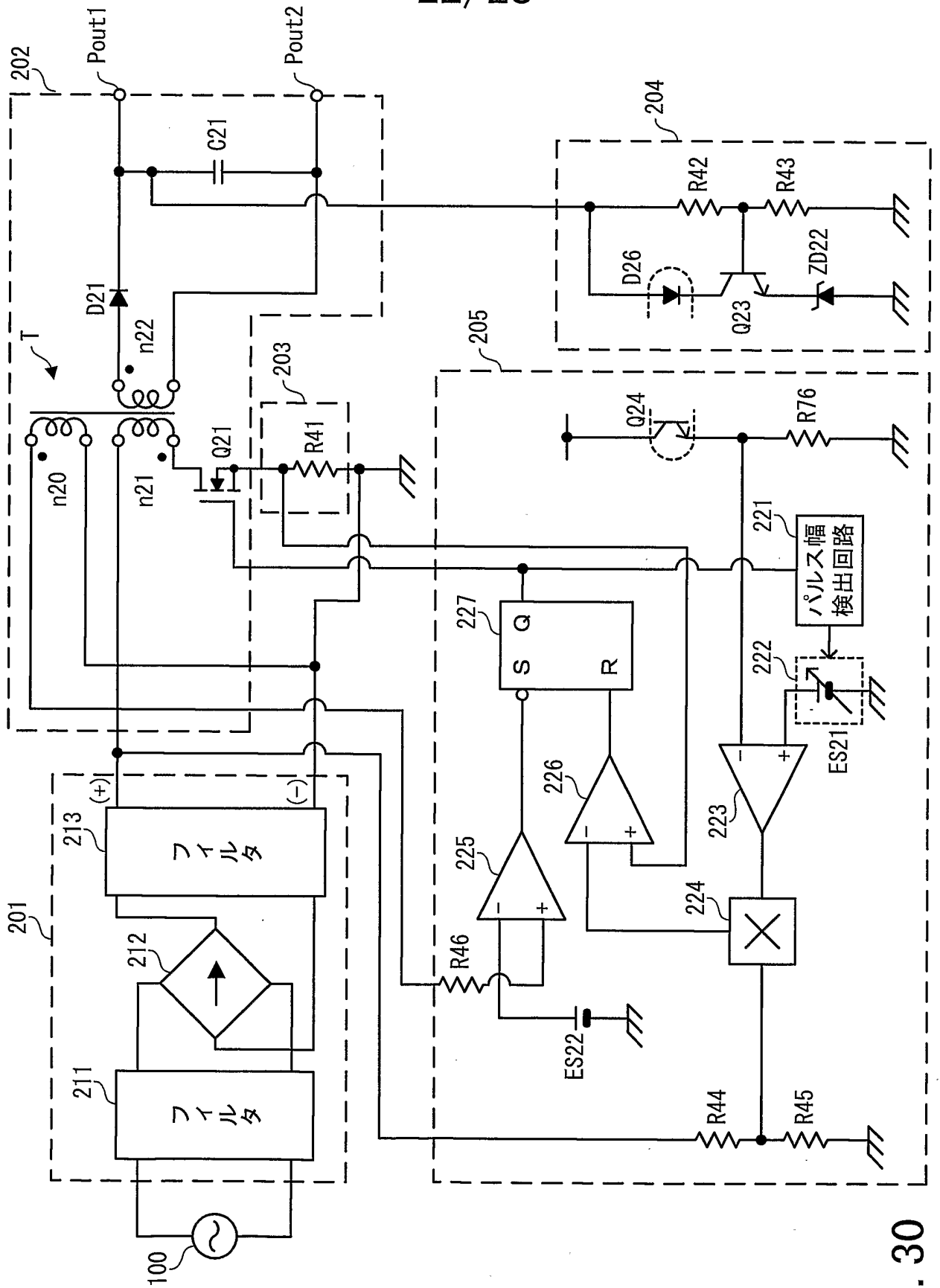


FIG. 30

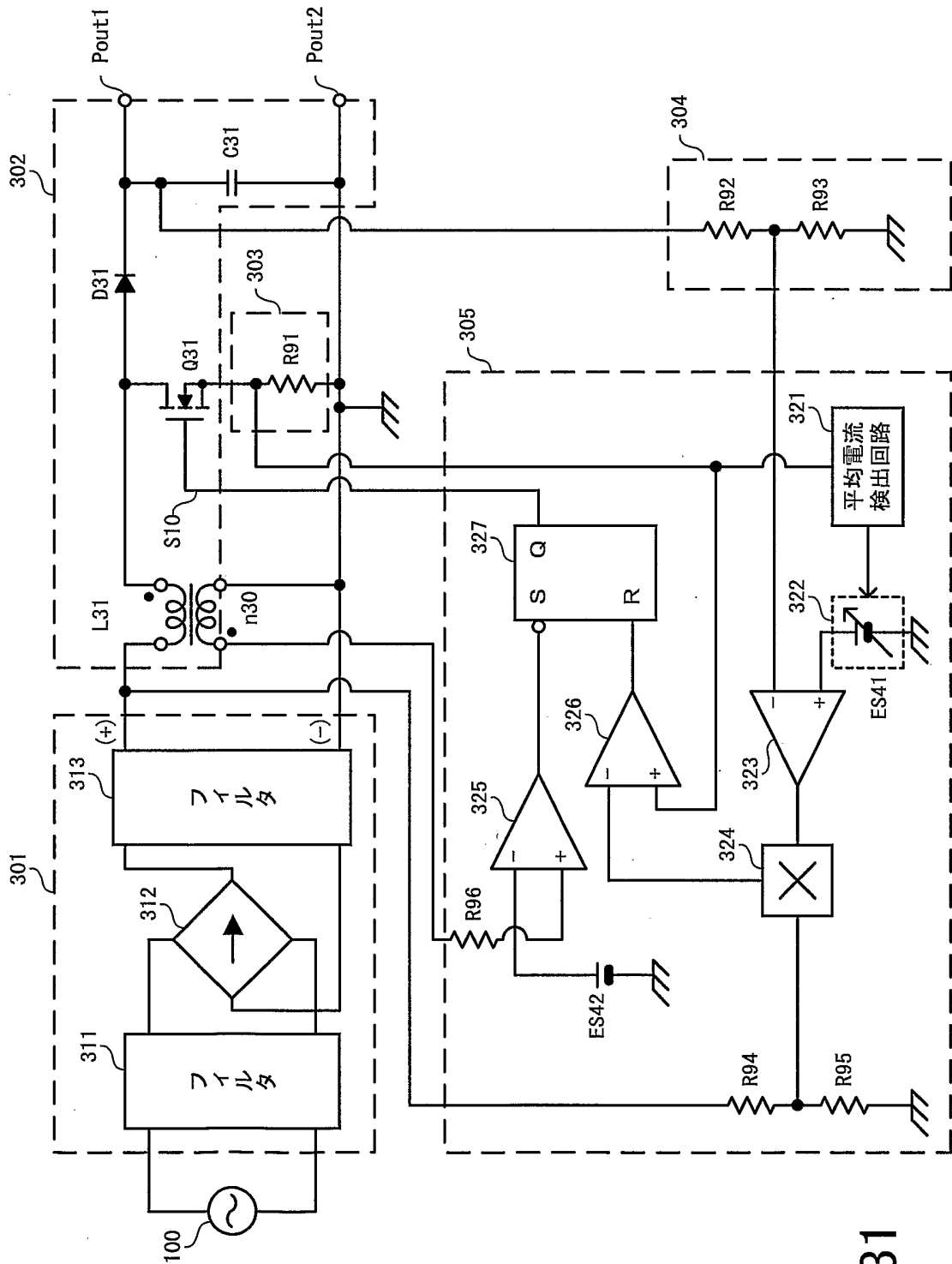


FIG. 31

25/28

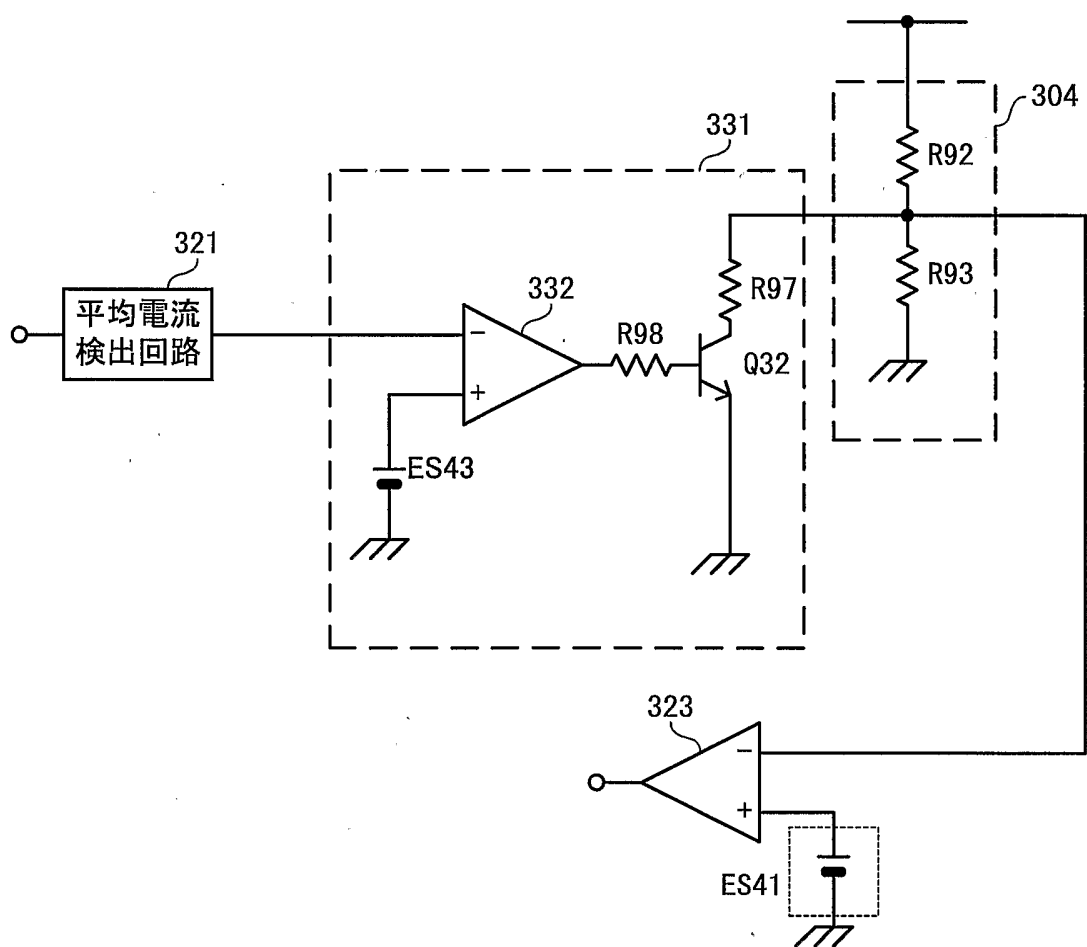


FIG.33

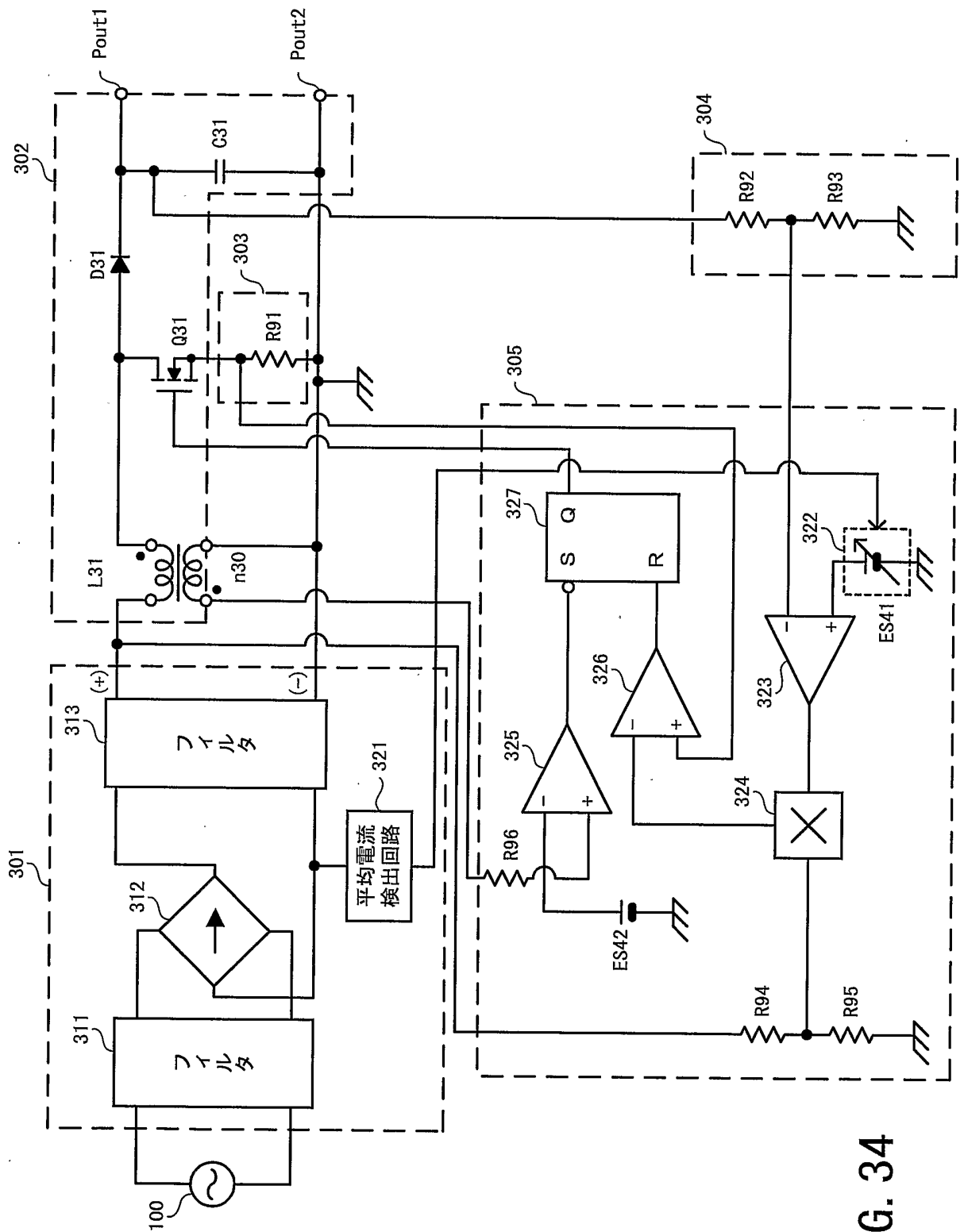


FIG. 34

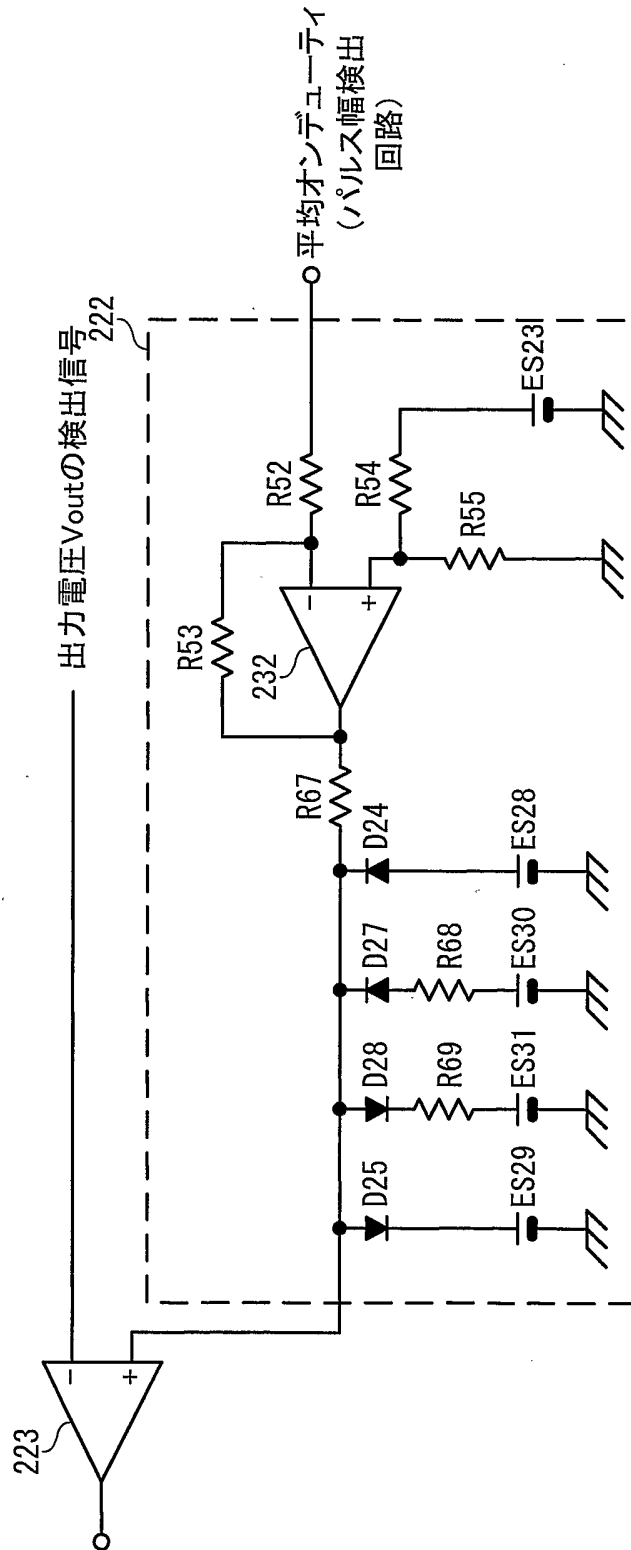


FIG. 35

28/28

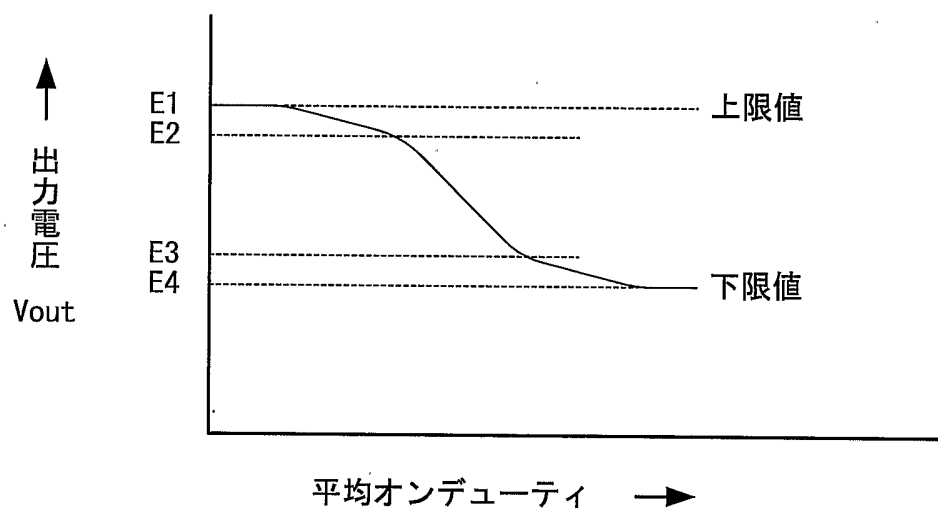


FIG. 36

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/00078

<p>A. CLASSIFICATION OF SUBJECT MATTER Int.Cl⁷ H02M3/155</p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>														
<p>B. FIELDS SEARCHED</p> <p>Minimum documentation searched (classification system followed by classification symbols) Int.Cl⁷ H02M3/00-3/44, 7/00-7/40</p> <p>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2003 Kokai Jitsuyo Shinan Koho 1971-2003 Toroku Jitsuyo Shinan Koho 1994-2003</p> <p>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</p>														
<p>C. DOCUMENTS CONSIDERED TO BE RELEVANT</p> <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X A</td> <td>JP 3-22865 A (Sanken Electric Co., Ltd.), 31 January, 1991 (31.01.91), Page 2, upper left column, line 12 to page 5, lower left column, line 4; Figs. 1 to 7 (Family: none)</td> <td>1-3, 15, 25, 27, 28 4-14, 16-24, 26, 29-30</td> </tr> <tr> <td>A</td> <td>US 2002-11825 A1 (Hiroshi USUI), 31 January, 2002 (31.01.02), Full text; Figs. 1 to 4 & JP 2001-268897 A</td> <td>1-30</td> </tr> <tr> <td>A</td> <td>JP 9-238470 A (Toshiba Lighting & Technology Corp.), 09 September, 1997 (09.09.97), Full text; Figs. 1 to 14 (Family: none)</td> <td>1-30</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X A	JP 3-22865 A (Sanken Electric Co., Ltd.), 31 January, 1991 (31.01.91), Page 2, upper left column, line 12 to page 5, lower left column, line 4; Figs. 1 to 7 (Family: none)	1-3, 15, 25, 27, 28 4-14, 16-24, 26, 29-30	A	US 2002-11825 A1 (Hiroshi USUI), 31 January, 2002 (31.01.02), Full text; Figs. 1 to 4 & JP 2001-268897 A	1-30	A	JP 9-238470 A (Toshiba Lighting & Technology Corp.), 09 September, 1997 (09.09.97), Full text; Figs. 1 to 14 (Family: none)	1-30
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
X A	JP 3-22865 A (Sanken Electric Co., Ltd.), 31 January, 1991 (31.01.91), Page 2, upper left column, line 12 to page 5, lower left column, line 4; Figs. 1 to 7 (Family: none)	1-3, 15, 25, 27, 28 4-14, 16-24, 26, 29-30												
A	US 2002-11825 A1 (Hiroshi USUI), 31 January, 2002 (31.01.02), Full text; Figs. 1 to 4 & JP 2001-268897 A	1-30												
A	JP 9-238470 A (Toshiba Lighting & Technology Corp.), 09 September, 1997 (09.09.97), Full text; Figs. 1 to 14 (Family: none)	1-30												
<p><input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.</p>														
<p>* Special categories of cited documents:</p> <table border="0"> <tr> <td>"A" document defining the general state of the art which is not considered to be of particular relevance</td> <td>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</td> </tr> <tr> <td>"E" earlier document but published on or after the international filing date</td> <td>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</td> </tr> <tr> <td>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</td> <td>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</td> </tr> <tr> <td>"O" document referring to an oral disclosure, use, exhibition or other means</td> <td>"&" document member of the same patent family</td> </tr> <tr> <td>"P" document published prior to the international filing date but later than the priority date claimed</td> <td></td> </tr> </table>			"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	"E" earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family	"P" document published prior to the international filing date but later than the priority date claimed			
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention													
"E" earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone													
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art													
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family													
"P" document published prior to the international filing date but later than the priority date claimed														
<p>Date of the actual completion of the international search 08 April, 2003 (08.04.03)</p>		<p>Date of mailing of the international search report 22 April, 2003 (22.04.03)</p>												
<p>Name and mailing address of the ISA/ Japanese Patent Office</p>		<p>Authorized officer</p>												
<p>Facsimile No.</p>		<p>Telephone No.</p>												

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/00078

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-153495 A (Matsushita Electric Works, Ltd.), 31 May, 1994 (31.05.94), Full text; Figs. 1 to 10 (Family: none)	1-30
A	US 5757635 A1 (Samsung Electronics Co., Ltd.), 26 May, 1998 (26.05.98), Full text; Figs. 1 to 5 & JP 9-205766 A & DE 19654161 A1 & KR 154776 B	1-30

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int. Cl⁷ H02M 3/155

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int. Cl⁷ H02M 3/00-3/44, 7/00-7/40

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2003年
 日本国実用新案登録公報 1996-2003年
 日本国登録実用新案公報 1994-2003年


国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 3-22865 A (サンケン電気株式会社) 1991.01.31, 第2頁左上欄第12行-第5頁左下欄第4行, 第1図-第7図 (ファミリーなし)	1-3, 15, 25, 27, 28 4-14, 16-24, 26, 29-30
A	US 2002-11825 A1 (Hiroshi Usui) 2002.01.31, 全文, 図1-図4 & JP 2001-268897 A	1-30

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日 08.04.03
 国際調査報告の発送日 22.04.03

国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 櫻田 正紀 電話番号 03-3581-1101 内線 3356		3V 2917
--	--	---	---------

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 9-238470 A (東芝ライテック株式会社) 1997. 09. 09, 全文, 図1-図14 (ファミリーなし)	1-30
A	JP 6-153495 A (松下電工株式会社) 1994. 05. 31, 全文, 図1-図10 (ファミリーなし)	1-30
A	US 5757635 A1 (Samsung Electronics Co., Ltd.) 1998. 05. 26, 全文, 図1-図5 & JP 9-205766 A & DE 19654161 A1 & KR 154776 B	1-30