

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4961617号
(P4961617)

(45) 発行日 平成24年6月27日(2012.6.27)

(24) 登録日 平成24年4月6日(2012.4.6)

(51) Int.Cl.

H01L 25/065 (2006.01)
H01L 25/07 (2006.01)
H01L 25/18 (2006.01)

F 1

H01L 25/08

Z

請求項の数 8 (全 21 頁)

(21) 出願番号 特願2007-257504 (P2007-257504)
 (22) 出願日 平成19年10月1日 (2007.10.1)
 (65) 公開番号 特開2009-88336 (P2009-88336A)
 (43) 公開日 平成21年4月23日 (2009.4.23)
 審査請求日 平成22年8月11日 (2010.8.11)

(73) 特許権者 000190688
 新光電気工業株式会社
 長野県長野市小島田町80番地
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 村山 啓
 長野県長野市小島田町80番地 新光電気
 工業株式会社内
 (72) 発明者 中島 伸二
 埼玉県鶴ヶ島市大字五味ヶ谷18番 東光
 株式会社 埼玉事業所内
 審査官 宮本 靖史

最終頁に続く

(54) 【発明の名称】配線基板とその製造方法及び半導体装置

(57) 【特許請求の範囲】

【請求項 1】

絶縁膜で覆われた貫通孔を有する半導体基板と、前記貫通孔内に形成された貫通電極と、

前記貫通電極の一方の端部と接続されると共に、電子部品と電気的に接続される第1の配線と、前記貫通電極の他方の端部と接続されると共に、実装基板と電気的に接続される第2の配線と、を備えた配線基板において、

前記半導体基板とは異なる導電型に形成された第1の導電型不純物拡散層と、前記第1の導電型不純物拡散層を構成要素として含み、前記第1の配線および前記第2の配線と電気的に接続される素子と、前記貫通孔を囲む第1のガードリングとを前記半導体基板の内部に設け、

前記半導体基板内に、前記第1の導電型不純物拡散層、前記素子、前記貫通電極、及び前記第1のガードリングを囲む平面視額縁状の第2のガードリングを設け、

前記第2のガードリングは、前記半導体基板の側面に沿うように配置されていることを特徴とする配線基板。

【請求項 2】

前記素子は、前記第1の導電型不純物拡散層と、前記第1の導電型不純物拡散層の外周に沿って前記第1の導電型不純物拡散層を囲むように形成されると共に、前記第1の導電型不純物拡散層と同じ導電型で、かつ前記第1の導電型不純物拡散層よりも不純物濃度の低い第1の不純物拡散層と、前記第1の導電型不純物拡散層の下方に位置する部分の前記

半導体基板とを有するツェナーダイオードであることを特徴とする請求項 1 記載の配線基板。

【請求項 3】

前記半導体基板は、通電した際に前記貫通電極と前記半導体基板との間で生じる電位差により、前記半導体基板の内部に反転層が形成される不純物濃度の低いシリコン基板であり、

前記第 1 のガードリングは、前記半導体基板と同じ導電型で、かつ前記半導体基板よりも不純物濃度の高い第 2 の不純物拡散層によって構成されていることを特徴とする請求項 2 に記載の配線基板。

【請求項 4】

前記半導体基板は、通電した際に前記貫通電極と前記半導体基板との間で生じる電位差により、前記半導体基板の内部に反転層が形成されることが困難な不純物濃度の高いシリコン基板であり、

前記第 1 のガードリングは、前記半導体基板と異なる導電型の第 2 の不純物拡散層によって構成されていることを特徴とする請求項 2 に記載の配線基板。

【請求項 5】

前記第 2 の不純物拡散層は、前記第 1 の導電型不純物拡散層と同じ導電型で、かつ前記第 1 の導電型不純物拡散層と略同じ不純物濃度であることを特徴とする請求項 4 に記載の配線基板。

【請求項 6】

前記第 2 のガードリングは、前記第 2 の不純物拡散層と同じ導電型で、かつ前記第 2 の不純物拡散層と略同じ不純物濃度である第 3 の不純物拡散層によって構成されていることを特徴とする請求項 1 ないし 5 のうち、いずれか一項記載の配線基板。

【請求項 7】

請求項 1 ないし 6 のうち、いずれか一項記載の前記配線基板の前記第 1 の配線に、電子部品が電気的に接続された半導体装置。

【請求項 8】

複数の配線基板領域を有する半導体基板を準備する工程と、

前記半導体基板に、前記半導体基板と異なる導電型の第 1 の不純物拡散層を形成する工程と、

前記半導体基板に、前記第 1 の不純物拡散層と同じ導電型の不純物を拡散注入して、貫通孔が設けられる領域を囲むように設けられた第 1 のガードリングを形成する第 1 のガードリング形成工程と、

前記半導体基板に、前記第 1 の不純物拡散層と同じ導電型の不純物を拡散注入して、前記第 1 の不純物拡散層に囲まれる第 1 の導電型不純物拡散層を形成する第 1 の導電型不純物拡散層形成工程と、

前記半導体基板に、前記第 1 の不純物拡散層と同じ導電型の不純物を拡散注入して、前記配線基板領域の上面側の側面に沿うように第 2 のガードリングを形成する第 2 のガードリング形成工程と、

前記半導体基板に、前記第 1 のガードリングによって囲まれるように貫通孔を形成する工程と、

前記半導体基板の全面と、前記貫通孔に露出された面とを覆うように絶縁膜を形成する工程と、

前記絶縁膜で被覆された前記貫通孔に貫通電極を形成する工程と、

前記絶縁膜に、前記第 1 の導電型不純物拡散層の一部が露出するように、かつ、前記第 1 の導電型不純物拡散層と対向する前記半導体基板の一部が露出するように、開口部を形成する工程と、

前記半導体基板に、前記貫通電極の一方の端部と接続される第 1 の配線を形成する工程と、

前記半導体基板に、前記貫通電極の他方の端部と接続される第 2 の配線を形成する工程

10

20

30

40

50

とを有し、

前記第1のガードリング形成工程と、前記第1の導電型不純物拡散層形成工程と、前記第2のガードリング形成工程とを同時に行うことを特徴とする配線基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体基板を貫通すると共に、半導体基板と絶縁された貫通電極と、貫通電極の一方の端部と接続されると共に、電子部品と電気的に接続される配線と、を備えた配線基板とその製造方法及び半導体装置に関する。

【背景技術】

10

【0002】

従来、半導体チップとマザーボード等の実装基板とを電気的に接続する再配線基板（インターポーラ）として、図1に示すような配線基板200が用いられていた。

【0003】

図1は、従来の配線基板の断面図である。

【0004】

図1を参照するに、従来の配線基板200は、基材である半導体基板206と、絶縁膜207と、貫通電極208と、配線211、212とを有する。

【0005】

20

ここで、半導体基板206は、貫通孔215を有する板状のシリコン基板である。具体的に、半導体基板206としては、N型シリコン基板、或いはP型シリコン基板が用いられる。絶縁膜207は、半導体基板206の上面206A及び下面206Bと、貫通孔215に露出された部分の半導体基板206の面とを含む半導体基板206の略全面を覆うように設けられている。

【0006】

貫通電極208は、配線211と配線212とを電気的に接続するための電極であり、絶縁膜207が形成された貫通孔215を充填するように設けられている。この貫通電極208の材料としては、例えば、Cuが使用される。配線211は、貫通電極208の上端部から半導体基板206の上面206Aに形成された絶縁膜207上に亘って設けられている。配線211は、電子部品201（例えば、半導体チップ）と電気的に接続される配線である。

30

【0007】

配線212は、貫通電極208の下端部から半導体基板206の下面206Bに形成された絶縁膜207の下面に亘って設けられている。配線212は、実装基板202（例えば、マザーボード）のパッド203と電気的に接続される配線である（例えば、特許文献1参照）。

【特許文献1】特開2007-42741号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

40

上記構成とされた配線基板200では、半導体基板206がシリコン等の半導体材料からなる場合、半導体基板206内にP型やN型の不純物拡散層を形成することにより、半導体基板206内にダイオードやトランジスタなどの素子を容易に形成できる。また、半導体基板206内に形成した不純物拡散層と電子部品201との間を電気的に接続することにより、半導体基板206内に形成された素子によって、電子部品201を保護することや電子部品201の特性を調整することが可能になる。

【0009】

ここで、配線基板200は、半導体基板206に貫通孔215及び貫通電極208が形成されている点において、一般的な半導体デバイスとは異なる。このため、従来の配線基板200では、貫通孔215及び貫通電極208に起因して、半導体基板206内に形成

50

された素子の特性が劣化する、具体的にはリーク電流が大きくなってしまうという問題があった。

【0010】

具体的には、例えば、半導体基板206の不純物濃度が低い場合（例えば、1.0E17 ions / cm³未満の場合）、絶縁膜207が形成された貫通孔215の側面を構成する部分の半導体基板206（以下、「側壁」という）とその近傍に位置する部分の半導体基板206（以下、「側壁部分」という）に反転層が形成され易くなる。このため、半導体基板206と貫通電極208との間の電位差によって貫通電極208を囲む側壁部分に反転層が誘導形成された場合、この反転層が不純物拡散層と連結され、不純物拡散層と半導体基板206との間の等価的な接合面積を大きくするように作用し、素子のリーク電流を大きくしてしまうことがあった。

10

【0011】

また、貫通孔215は、一般にRIEなどのドライエッチング処理により形成される。ドライエッチングで貫通孔215を形成した場合、貫通孔215を囲む側壁部分に格子構造が破壊された層（プラズマダメージ層、或いはエッチングダメージ層等と呼ばれる層）が形成されることが知られている。また、ドライエッチング処理で貫通孔215を形成した場合、貫通孔215を囲む側壁にフロロカーボン等の副生成物が付着することも知られている。これらダメージ層及び副生成物は、ドライエッチング処理後に当然除去される。しかし、その除去が不十分な場合、その後形成される貫通孔215内の絶縁膜207の絶縁性が他の部分よりも低下してしまう。すると、貫通電極208からのCuの拡散侵入や外部からの汚染物質（例えば、Fe、Na、K等）の侵入等の要因が更に重なった場合、Cuの拡散及び外部からの汚染物質（例えば、Fe、Na、K等）が侵入した部分の絶縁膜207において電流の漏洩を生じ、素子のリーク電流を大きくしてしまうこともあった。

20

【0012】

そこで本発明は、上述した問題点に鑑みなされたものであり、半導体基板内に形成される素子の特性の劣化を抑制することのできる配線基板とその製造方法及び半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0013】

30

本発明の一観点によれば、絶縁膜で覆われた貫通孔を有する半導体基板と、前記貫通孔内に形成された貫通電極と、前記貫通電極の一方の端部と接続されると共に、電子部品と電気的に接続される第1の配線と、前記貫通電極の他方の端部と接続されると共に、実装基板と電気的に接続される第2の配線と、を備えた配線基板において、前記半導体基板とは異なる導電型に形成された第1の導電型不純物拡散層と、前記第1の導電型不純物拡散層を構成要素として含み、前記第1の配線および前記第2の配線と電気的に接続される素子と、前記貫通孔を囲む第1のガードリングとを前記半導体基板の内部に設け、前記半導体基板内に、前記第1の導電型不純物拡散層、前記素子、前記貫通電極、及び前記第1のガードリングを囲む平面視額縁状の第2のガードリングを設け、前記第2のガードリングは、前記半導体基板の側面に沿うように配置されていることを特徴とする配線基板が提供される。

40

【0014】

本発明によれば、半導体基板17の不純物濃度が、通電した際に貫通電極と半導体基板17との間で生じる電位差によって半導体基板内に反転層が形成されてしまう程度に低い場合、第1のガードリングを半導体基板と同じ導電型で形成する。この場合、貫通電極の側面を囲むように設けられた第1のガードリングにより、反転層の形成が防止されると共に、貫通電極の周囲に形成された反転層と第1の導電型不純物拡散層との間が電気的に連結されることが防止される。これにより、リーク電流の増加が抑制されるため、半導体基板の内部に形成される素子の特性の劣化を抑制できる。

【0015】

50

一方、半導体基板 17 の不純物濃度が、通電した際に貫通電極と半導体基板 17 との間で生じる電位差によって半導体基板内に反転層が形成されない程度に高い場合、第 1 のガードリングは半導体基板と異なる導電型で形成する。この場合、貫通電極の側面を囲むように設けられた第 1 のガードリングが半導体基板との間に P N 接合を形成すると共に、貫通電極を囲む部分の半導体基板に空乏層が形成され易くなる。これにより、リーク電流の増加が抑制されるため、半導体基板 17 の内部に形成される素子の特性の劣化を抑制することができる。

【 0 0 1 6 】

また、前記配線が設けられた側の前記半導体基板に、前記素子、前記貫通電極、及び前記第 1 のガードリングを囲む第 2 のガードリングを設けることにより、第 2 のガードリングが、配線基板の切断面から侵入してくる汚染物質をゲッタリングするように作用するため、リーク電流の増加が抑制されるので、半導体基板内に形成される素子の特性の劣化を抑制できる。

本発明の他の観点によれば、複数の配線基板領域を有する半導体基板を準備する工程と、前記半導体基板に、前記半導体基板と異なる導電型の第 1 の不純物拡散層を形成する工程と、前記半導体基板に、前記第 1 の不純物拡散層と同じ導電型の不純物を拡散注入して、貫通孔が設けられる領域を囲むように設けられた第 1 のガードリングを形成する第 1 のガードリング形成工程と、前記半導体基板に、前記第 1 の不純物拡散層と同じ導電型の不純物を拡散注入して、前記第 1 の不純物拡散層に囲まれる第 1 の導電型不純物拡散層を形成する第 1 の導電型不純物拡散層形成工程と、前記半導体基板に、前記第 1 の不純物拡散層と同じ導電型の不純物を拡散注入して、前記配線基板領域の上面側の側面に沿うように第 2 のガードリングを形成する第 2 のガードリング形成工程と、前記半導体基板に、前記第 1 のガードリングによって囲まれるように貫通孔を形成する工程と、前記半導体基板の全面と、前記貫通孔に露出された面とを覆うように絶縁膜を形成する工程と、前記絶縁膜で被覆された前記貫通孔に貫通電極を形成する工程と、前記絶縁膜に、前記第 1 の導電型不純物拡散層の一部が露出するように、かつ、前記第 1 の導電型不純物拡散層と対向する前記半導体基板の一部が露出するように、開口部を形成する工程と、前記半導体基板に、前記貫通電極の一方の端部と接続される第 1 の配線を形成する工程と、前記半導体基板に、前記貫通電極の他方の端部と接続される第 2 の配線を形成する工程とを有し、前記第 1 のガードリング形成工程と、前記第 1 の導電型不純物拡散層形成工程と、前記第 2 のガードリング形成工程とを同時にを行うことを特徴とする配線基板の製造方法が提供される。

本発明によれば、第 1 のガードリングと、第 1 の導電型不純物拡散層と、第 2 のガードリングとを同時に形成することにより、配線基板の製造工程を増加させることなく、第 1 及び第 2 のガードリングを形成できる。

【発明の効果】

【 0 0 1 7 】

本発明によれば、半導体基板の内部に形成される素子の特性の劣化を抑制することができる。

【発明を実施するための最良の形態】

【 0 0 1 8 】

次に、図面に基づいて本発明の実施の形態について説明する。

【 0 0 1 9 】

(第 1 の実施の形態)

図 2 は、本発明の第 1 の実施の形態に係る配線基板の断面図である。

【 0 0 2 0 】

図 2 を参照するに、第 1 の実施の形態の配線基板 10 は、半導体基板 17 と、絶縁膜 18 と、素子であるツェナーダイオード 19 と、貫通電極 21、22 と、第 1 のガードリング 24、25 と、第 1 の配線である配線 26、27 と、第 2 の配線である 28、29 とを有する。

【 0 0 2 1 】

10

20

30

40

50

半導体基板 17 は、シリコン等の半導体材料による略方形平板状の基板であり、所定位置に形成された貫通孔 32、33 を有する。半導体基板 17、半導体基板 17 の内部に形成される不純物拡散層、及びガードリングの形成条件等については後述する。

【0022】

絶縁膜 18 は、後述する第 1 の導電型不純物拡散層 35 の上面を露出する開口部 18A と、第 1 の導電型不純物拡散層 35 の下方に配置された半導体基板 17 の下面 17B の一部を露出する開口部 18B とを有する。絶縁膜 18 は、半導体基板 17 の上面 17A 及び下面 17B (但し、開口部 18A、18B の形成領域は除く) と、貫通孔 32、33 の側面を構成する部分の半導体基板 17 の面とを覆うように設けられている。絶縁膜 18 としては、例えば、膜厚 2 μ m 程度の酸化膜 (具体的には、熱酸化膜) を用いることができる。

10

【0023】

ツェナーダイオード 19 は、第 1 の導電型不純物拡散層 35 と、第 1 の不純物拡散層である不純物拡散層 36 と、第 1 の導電型不純物拡散層 35 の下方に配置された半導体基板 17 の一部を構成要素として、半導体基板 17 内に形成されている。第 1 の導電型不純物拡散層 35 は、例えば、貫通孔 32、33 から離れた半導体基板 17 の所定位置に、半導体基板 17 の上面 17A から所定の深さまで半導体基板 17 と異なる導電型の不純物を拡散注入することで形成する。

【0024】

不純物拡散層 36 は、例えば、第 1 の導電型不純物拡散層 35 の外周に沿って第 1 の導電型不純物拡散層 35 を囲むように、半導体基板 17 の上面 17A から所定の深さまで不純物を拡散注入することで形成する。第 1 の導電型不純物拡散層 35 の上面は、開口部 18A において配線 27 の一部と接合されている。また、第 1 の導電型不純物拡散層 35 の下方に配置された部分の半導体基板 17 の下面 17B は、開口部 18B において配線 28 の一部と接合されている。

20

【0025】

上記構成とされたツェナーダイオード 19 は、電子部品 11 (例えば、半導体チップ) に対して並列接続されている。

【0026】

貫通電極 21 は、絶縁膜 18 で覆われた貫通孔 32 内を充填している。貫通電極 21 の上端部は、配線基板 17 の上面 17A 側で絶縁膜 18 と略面一となり、貫通電極 21 の下端部は、配線基板 17 の下面 17B 側で絶縁膜 18 と略面一となるように構成されている。貫通電極 21 は、その上端部が配線 26 の一部と接合され、下端部が配線 28 の一部と接合されている。これにより、貫通電極 21 は、配線 26 と配線 28 とを電気的に接続している。

30

【0027】

貫通電極 22 は、絶縁膜 18 で覆われた貫通孔 33 内を充填している。貫通電極 22 の上端部は、配線基板 17 の上面 17A 側で絶縁膜 18 と略面一となり、その下端部が下面 17B 側で絶縁膜 18 と略面一となるように構成されている。貫通電極 22 は、その上端部が配線 27 の一部と接合され、下端部が配線 29 の一部と接合されている。これにより、貫通電極 22 は、配線 27 と配線 29 とを電気的に接続している。貫通電極 21、22 は、例えば、貫通孔 32 と 33 内にめっき法により析出成長させた Cu を充填することで形成する。

40

【0028】

第 1 のガードリング 24 は、絶縁膜 18 より内側の半導体基板 17 の内部において貫通孔 32 を囲むように、半導体基板 17 の上面 17A から所定の深さまで不純物を拡散注入することで形成されている。

【0029】

第 1 のガードリング 25 は、絶縁膜 18 より内側の半導体基板 17 の内部において貫通孔 33 を囲むように、半導体基板 17 の上面 17A から所定の深さまで不純物を拡散注入

50

することで形成されている。

【0030】

配線26は、貫通電極21の上端から半導体基板17の上面17A側の絶縁膜18上に亘るように設けられている。絶縁膜18上に配置された部分の配線26は、少なくとも電子部品11の端子の一つと接合可能な位置と、その接合位置と貫通電極21の上端を結ぶ位置まで延在するように形成されている。これにより、配線26は、貫通電極21と電子部品11の端子の一つを電気的に接続するための導体として機能する。

【0031】

配線27は、貫通電極22の上端から開口部18Aの形成位置を含む半導体基板17の上面17A側の絶縁膜18上に亘るように設けられている。開口部18Aの形成位置に対応する部分の配線27は、開口部18A内を充填すると共に第1の導電型不純物拡散層35の上面と接合するように配置されている。絶縁膜18上に配置された部分の配線27は、少なくとも電子部品11の別の端子の一つと接合可能な位置と、その接合可能位置と貫通電極22の上端を結ぶ位置、およびその接合可能位置と開口部18Aとを結ぶ位置まで延在するように形成されている。これにより、配線27は、貫通電極22と第1の導電型不純物拡散層35と電子部品11の端子を電気的に接続するための導体として機能する。

10

【0032】

配線28は、貫通電極21の下端から開口部18Bの形成位置を含む下面17B側の絶縁膜18の下面に亘るように設けられている。開口部18Bの形成位置に対応する部分の配線28は、開口部18B内を充填すると共に、半導体基板17の下面17Bと接合するように配置されている。絶縁膜18の下面に配置された部分の配線28は、少なくとも実装基板12のパッド13と接合可能な位置と、その接合可能位置と貫通電極21の下端を結ぶ位置、およびその接合可能位置と開口部18Bを結ぶ位置まで延在するように形成されている。これにより、配線28は、貫通電極21と半導体基板17と実装基板12のパッド13を電気的に接続するための導体として機能する。

20

【0033】

配線29は、貫通電極22の下端から半導体基板17の下面17B側の絶縁膜18の下面に亘るように設けられている。絶縁膜18の下面に配置された部分の配線29は、少なくとも実装基板12のパッド14と接合可能な位置と、その接合位置と貫通電極22の下端を結ぶ位置まで延在するように形成されている。これにより、配線29は、貫通電極22と電子部品11の端子の一つを電気的に接続するための導体として機能する。

30

【0034】

上記説明した配線26～29は、Cu等の複数の導電性金属を積層した複合導体膜によって形成される。具体的には、配線26～29を構成する複合導体膜としては、例えば、絶縁膜18等の表面（絶縁膜18の表面、開口部18A内の第1の導電型不純物拡散層35の表面、および開口部18B内の半導体基板17の表面）に堆積されたTi膜と、そのTi膜の表面に堆積されたCu膜と、Cu膜の表面を覆うNi膜と、Ni膜の表面（Cu膜の表面）を覆う表面保護用のAu膜とが積層されたTi-Cu-Ni-Au積層膜を用いることができる。

【0035】

40

図3は、電子部品が接続される配線の構成を説明するための図である。

【0036】

図3を参照して、配線27を例に挙げてTi-Cu-Ni-Au積層膜の形成方法について説明する。

【0037】

図3に示すように、絶縁膜18の表面、貫通電極22の上端、および開口部18A内の第1の導電型不純物拡散層35の表面を含む配線27の形成位置に、先ず、下地としてのTi膜27a（例えば、0.1μm程度の厚さ）をスパッタ法により堆積させる。次いで、スパッタ法により、Ti膜27aの表面にCu膜27b（例えば、0.5μm程度の厚さ）を堆積させ、更にめっき法によりCu膜27b上にCu膜27c（例えば、5.0μ

50

m程度の厚さ)を厚く堆積させる。続いて、めっき法により、Cu膜27cの表面にNi膜27d(例えば、3.0μm程度の厚さ)を堆積させる。そして最後に、めっき法により、Ni膜27dの表面に表面保護用のAu膜27e(例えば、0.05μm程度の厚さ)を堆積させることで、配線27を形成する。配線26、28、29についても、上記方法と同様な手法により形成する。

【0038】

上記構成とされた配線基板10において、半導体基板17としてP型シリコン基板を用いた場合、第1の導電型不純物拡散層35及び不純物拡散層36は、半導体基板17にN型不純物をドーパントすることで形成する。逆に、半導体基板17としてN型シリコン基板を用いた場合、第1の導電型不純物拡散層35及び不純物拡散層36は、半導体基板17にP型不純物をドーパントすることで形成する。この際、不純物拡散層36は、第1の導電型不純物拡散層35よりも低い不純物濃度にて形成する。これにより、第1の導電型不純物拡散層35の角付近での局所的な降伏現象が発生することを防止できる。

10

【0039】

具体的には、半導体基板17がP型である場合、半導体基板17としては、例えば、P型不純物濃度が1.0E18~1.0E20ions/cm³となるようにB(ボロン)をドーパントしたシリコン基板を用いる。この場合、第1の導電型不純物拡散層35は、N型不純物濃度が1.0E18~1.0E20ions/cm³となるように、P(リン)、またはAs(ヒ素)、或いはSb(アンチモン)を半導体基板17の上面17Aから深さ約2μm程度までドーパントすることにより形成する。また、不純物拡散層36は、N型不純物濃度が1.0E17~1.0E19ions/cm³となるように、P(リン)、またはAs(ヒ素)、或いはSb(アンチモン)を半導体基板17の上面17Aから深さ約2μm程度までドーパントすることにより形成する。

20

【0040】

逆に、半導体基板17がN型である場合、半導体基板17としては、例えば、N型不純物濃度が1.0E18~1.0E20ions/cm³となるようにP(リン)、またはAs(ヒ素)、或いはSb(アンチモン)がドーパントされたシリコン基板を用いる。この場合、第1の導電型不純物拡散層35は、P型不純物濃度が1.0E18~1.0E20ions/cm³となるように、B(ボロン)を半導体基板17の上面17Aから深さ約2μm程度までドーパントすることにより形成する。また、不純物拡散層36は、P型不純物濃度が1.0E17~1.0E19ions/cm³となるように、B(ボロン)を半導体基板17の上面17Aから深さ約2μm程度までドーパントすることにより形成する。

30

【0041】

半導体基板17の不純物濃度と第1の導電型不純物拡散層35の不純物濃度の具体的な数値は、半導体基板17内に形成される素子がツェナーダイオードである場合、要求されるツェナー電圧Vzとその他の条件(例えば、製造装置の処理条件など)に応じて決定する。

【0042】

なお、半導体基板17は、どの領域においても不純物濃度が略一定とされたシリコン基板で無くてもよい。

40

【0043】

図4は、半導体基板の不純物濃度分布の一例を模式的に示す断面図である。

【0044】

例えば、図4に示すように、不純物濃度の高いベース層17Dの上方に不純物濃度の低いエピ層17Eが形成され、さらにエピ層17Eの所定位置に高濃度不純物拡散領域17Fが形成されたN型シリコン基板、或いはP型シリコン基板を半導体基板17として用いることも可能である。ここで、ベース層17Dとエピ層17Eと高濃度不純物拡散領域17Fとは同じ導電型であり、ベース層17D及び高濃度不純物拡散領域17Fの具体的な不純物濃度は1.0E18~1.0E20ions/cm³、エピ層17Eの具体的な不純物濃度は1.0E17ions/cm³未満とすることができます。半導体基板17の導電型としてN

50

型を用いた場合には、ベース層 17D、エピ層 17E、及び高濃度不純物拡散領域 17F の各部に P または A s、或いは S b のいずれかをドーパントする。また、半導体基板 17 の導電型として P 型を用いた場合には、ベース層 17D、エピ層 17E、及び高濃度不純物拡散領域 17F の各部に B をドーパントする。ベース層 17D の上にエピ層 17E を形成する際には、例えば、エピタキシャル成長法を用いる。また、エピ層 17E 中に高濃度不純物拡散領域 17F を形成する際には、例えば、イオン打ち込み法を用いる。

【0045】

図 4 に示すような構造を有する半導体基板 17 を使用する場合、第 1 の導電型不純物拡散層 35 は、高濃度不純物拡散領域 17F の略真上に形成する。高濃度不純物拡散領域 17F と第 1 の導電型不純物拡散層 35 との接合面において、高濃度不純物拡散領域 17F の面積が第 1 の導電型不純物拡散層 35 の面積と略等しいか、或いはそれよりも小さい場合、不純物拡散層 36 を形成しないこともある。

【0046】

ガードリング 24、25 は、半導体基板 17 の不純物濃度、具体的には、貫通電極 22 の周囲や配線 27 の真下の部分の不純物濃度によって形成条件が異なる。なお、不純物濃度が問題となる貫通電極 22 の周囲及び配線 27 の真下に対応する部分の半導体基板 17 とは、図 2 に示す不純物濃度が略均一な半導体基板 17 の場合は半導体基板 17 そのものであり、図 4 に示す不純物濃度が均一でない半導体基板 17 の場合はエピ層 17E のことである。

【0047】

貫通電極 22 の周囲及び配線 27 の真下に対応する部分の半導体基板 17 の不純物濃度が低く、通電した際に半導体基板 17 と貫通電極 22 との間に生じる電位差によって半導体基板 17 の貫通電極 22 の周囲や配線 27 の真下の部分に反転層が誘導形成され得るような場合（目安としては、不純物濃度が $1.0 \times 10^{17} \text{ ions/cm}^3$ よりも低い場合）、第 1 のガードリング 24、25 は、半導体基板 17 と同じ導電型で、半導体基板 17 よりも高い不純物濃度となるように形成する。

【0048】

このように形成された第 1 のガードリング 24、25 は、配線 27 と対向する半導体基板 17 の表層を介して、第 1 の導電型不純物拡散層 35 と貫通電極 22 の周囲の側壁部分に形成された反転層との間が連結されることを防止する。この第 1 のガードリング 24、25 の作用により、第 1 の導電型不純物拡散層 35 と半導体基板 17 との間の等価的な接合面積の増加が防止され、リーク電流の増加が防止される。なお、第 1 の導電型不純物拡散層 35 と半導体基板 17 との間の等価的な接合面積とは、より正確には、配線 27 と電気的に接続された状態となる第 1 の導電型不純物拡散層 35 及び反転層を含む N (P) 型領域と、配線 28 と電気的な接続状態となる半導体基板 17 の P (N) 型領域の PN 接合面積のことである。

【0049】

具体的に、半導体基板 17 が B (ボロン) のドーパントによる P 型で、その P 型不純物濃度が $1.0 \times 10^{17} \text{ ions/cm}^3$ 以下である場合、第 1 のガードリング 24、25 は、同じ B (ボロン) のドーパントにより P 型不純物濃度が $1.0 \times 10^{18} \sim 1.0 \times 10^{20} \text{ ions/cm}^3$ となるように形成する。半導体基板 17 が P (リン)、または A s (ヒ素)、或いは S b (アンチモン) のドーパントによる N 型で、その N 型不純物濃度が $1.0 \times 10^{17} \text{ ions/cm}^3$ 以下である場合、第 1 のガードリング 24、25 は、同じ不純物のドーパントにより N 型不純物濃度が $1.0 \times 10^{18} \sim 1.0 \times 10^{20} \text{ ions/cm}^3$ となるように形成する。第 1 のガードリング 24、25 の深さは、第 1 の導電型不純物拡散層 35 及び不純物拡散層 36 と略等しい。具体的には、第 1 のガードリング 24、25 の深さは、例えば、 $2 \mu\text{m}$ とすることができる。

【0050】

一方、貫通電極 22 の周囲及び配線 27 の真下に対応する部分の半導体基板 17 の不純物濃度が高く、通電した際に半導体基板 17 と貫通電極 22 の間に生じる電位差程度では

10

20

30

40

50

貫通電極 22 の周囲及び配線 27 の真下に対応する部分の半導体基板 17 に反転層が誘導形成されない場合（目安としては、不純物濃度が $1.0 \times 10^{18} \text{ ions/cm}^3$ よりも高い場合）、第 1 のガードリング 24、25 は、半導体基板 17 と異なる導電型で形成する。

【0051】

このように形成された第 1 のガードリング 24、25 は半導体基板 17 との間に P N 接合を形成する。これに付随して第 1 のガードリング 24、25 は、その周囲の半導体基板 17 における空乏層の形成を容易化する。

【0052】

例えば、通電により貫通電極 22 と半導体基板 17 との間に電位差が生じると、空乏層の形成が容易化したガードリング 25 の周囲及び絶縁膜 18 を介して貫通電極 22 に対向する半導体基板 17 の面（側壁）周辺の半導体基板 17 に空乏層が形成される。その際、P N 接合や空乏層が、部分的あるいは全般的に半導体基板 17 と絶縁膜 18 との間に介在する形となる。

【0053】

ここで、貫通孔 33 内の絶縁膜 18 において絶縁性が低下する可能性の最も高い箇所は、エッチング処理時に最も長くプラズマに曝される半導体基板 17 の上面 17A 付近である。一方、ガードリング 25 は、一般的な半導体装置の製造工程から、必然的に半導体基板 17 の上面 17A 側に形成される。このため、ガードリング 25 を設けると、それに起因する P N 接合や空乏層によって絶縁膜 18 の絶縁性の低下した部分を介した貫通電極 22 から半導体基板 17（あるいはその逆）への電流の漏洩が抑制され、素子 19 のリーク電流の増加を防止できる。

【0054】

具体的に、半導体基板 17 が B（ボロン）のドーパントによる P 型で、その P 型不純物濃度が $1.0 \times 10^{18} \text{ ions/cm}^3$ 以上である場合、第 1 のガードリング 24、25 は、P（リン）、または A s（ヒ素）、あるいは S b（アンチモン）のドーパントにより N 型不純物濃度が $1.0 \times 10^{17} \sim 1.0 \times 10^{20} \text{ ions/cm}^3$ となるように形成する。半導体基板 17 が P（リン）、または A s（ヒ素）、あるいは S b（アンチモン）のドーパントによる N 型である場合、第 1 のガードリング 24、25 は B（ボロン）のドーパントにより P 型不純物濃度が $1.0 \times 10^{17} \sim 1.0 \times 10^{20} \text{ ions/cm}^3$ となるように形成する。第 1 のガードリング 24、25 の深さは、第 1 の導電型不純物拡散層 35 及び不純物拡散層 36 と略等しい。具体的には、第 1 のガードリング 24、25 の深さは、例えば、 $2 \mu\text{m}$ とすることができます。

【0055】

本実施の形態の配線基板によれば、半導体基板 17 の不純物濃度が、通電した際に貫通電極 21、22 と半導体基板 17 との間で生じる電位差によって半導体基板 17 内に反転層が形成されてしまう程度に低い場合、第 1 のガードリング 24、25 を半導体基板 17 と同じ導電型で形成する。この場合、貫通電極 21、22 の側面を囲むように設けられた第 1 のガードリング 24、25 により、反転層の形成が防止されると共に、貫通電極 21、22 の周囲に形成された反転層と第 1 の導電型不純物拡散層 35 との間が電気的に連結されることが防止される。これにより、リーク電流の増加が抑制されるため、半導体基板 17 の内部に形成される素子の特性の劣化を抑制できる。

【0056】

一方、半導体基板 17 の不純物濃度が、通電した際に貫通電極 21、22 と半導体基板 17 との間で生じる電位差によって半導体基板 17 内に反転層が形成されない程度に高い場合、第 1 のガードリング 24、25 は半導体基板 17 と異なる導電型で形成する。この場合、貫通電極 21、22 の側面を囲むように設けられた第 1 のガードリング 24、25 が半導体基板 17 との間に P N 接合を形成すると共に、貫通電極 21、22 を囲む部分の半導体基板 17 に空乏層が形成され易くなる。これにより、リーク電流の増加が抑制されるため、半導体基板 17 の内部に形成される素子の特性の劣化を抑制することができる。

【0057】

10

20

30

40

50

なお、本実施の形態では、半導体基板 17 に形成する素子として、電子部品 11 の保護を行う素子（具体的には、ツエナーダイオード 19）を設けた場合を例に挙げて説明したが、電子部品の保護を行う素子の代わりに、電子部品 11 の特性を調整する素子を半導体基板 17 に設けてもよい。電子部品 11 の特性を調整する素子としては、例えば、電子部品 11 の電圧を調整するレギュレーターを用いることができる。

【0058】

図 5～図 13 は、本発明の第 1 の実施の形態に係る配線基板の製造工程を示す図である。図 5～図 13 において、第 1 の実施の形態の配線基板 10 と同一構成部分には同一符号を付す。

【0059】

始めに、図 5 に示す工程では、配線基板 10 が形成される複数の配線基板形成領域 A と、配線基板形成領域 A を囲むように配置された切断領域 B とを有した半導体基板 41 を準備する。切断領域 B は、配線基板形成領域 A に配線基板 10 に相当する構造体を形成後に、ダイシングブレードにより切断される領域である。半導体基板 41 は、この後の工程で配線基板 10 に相当する構造体が形成された後、切断領域 B において切断されることにより、複数の半導体基板 17（図 2 参照）となる。半導体基板 41 としては、P 型シリコン基板又はN型シリコン基板が用いられる。ここでは、半導体基板 41 として、単結晶シリコンにN型不純物濃度が 1.0×10^{18} ions / cm^3 となるように As をドーパントしたN型シリコン基板（厚さ 200 μm ）を使用する場合を例に挙げて以下の説明をする。

【0060】

次いで、図 6 に示す工程では、半導体基板 41 の上面 41A 側から半導体基板 41 とは異なった導電型の不純物を半導体基板 41 にドーパントすることで不純物拡散層 36 を形成する。具体的には、半導体基板 41 がN型シリコン基板である場合、半導体基板 41 の上面 41A 側から P 型不純物濃度が 1.0×10^{17} ions / cm^3 程度となるように B をドーパントすることにより、半導体基板 41 に不純物拡散層 36 を形成する。この時、不純物拡散層 36 の深さは、例えば、2 μm とすることができます。

【0061】

次いで、図 7 に示す工程では、半導体基板 41 の上面 41A 側から不純物拡散層 36 と同じ導電型の不純物をドーパントすることにより、不純物拡散層 36 よりも不純物濃度の高い第 1 の導電型不純物拡散層 35 と第 1 のガードリング 24、25 とを同時に形成する。これにより、第 1 の導電型不純物拡散層 35 と、不純物拡散層 36 と、第 1 の導電型不純物拡散層 35 及び不純物拡散層 36 の下方に配置された部分の半導体基板 41 とにより構成されたツエナーダイオード 19 が形成される。

【0062】

具体的には、不純物拡散層 36 が P 型不純物濃度を 1.0×10^{17} ions / cm^3 程度とするように形成されている場合、第 1 の導電型不純物拡散層 35 及び第 1 のガードリング 24、25 は、半導体基板 41 の上面 41A 側から P 型不純物濃度が 1.0×10^{18} ions / cm^3 程度となるように B をドーパントすることにより同時に形成する。このとき、第 1 の導電型不純物拡散層 35 及び第 1 のガードリング 24、25 の具体的な深さは、例えば、2 μm とすることができます。

【0064】

次いで、図 8 に示す工程では、平面視リング状の第 1 のガードリング 24 に囲まれた部分の半導体基板 41 に、半導体基板 41 を貫通する貫通孔 32 を形成する。また、平面視リング状の第 1 のガードリング 25 に囲まれた部分の半導体基板 41 にも、半導体基板 41 を貫通する貫通孔 33 を形成する。貫通孔 32、33 は、具体的には、RIE などのドライエッチングにより同時に形成される。

【0065】

次いで、図 9 に示す工程では、半導体基板 41 の両面 41A、41B、及び貫通孔 32、33 に露出された部分の半導体基板 41 の面を含む半導体基板 41 の全面を覆うように絶縁膜 18 を形成する。絶縁膜 18 は、例えば、図 8 に示す半導体基板 41 に熱酸化の処

10

20

30

40

50

理を施すことによって形成する。なお、絶縁膜 18 には、他の手段によって形成される酸化膜や窒化膜等を用いてもよい。

【0066】

次いで、図 10 に示す工程では、絶縁膜 18 で被覆された半導体基板 41 の貫通孔 32、33 内に貫通電極 21、22 を形成する。貫通電極 21、22 は、例えば、めっき法により形成する。めっき法を用いる場合、貫通電極 21、22 を構成する金属材料としては、例えば、Cu を用いる。

【0067】

次いで、図 11 に示す工程では、半導体基板 41 の上面 41A 側に形成された部分の絶縁膜 18 に、第 1 の導電型不純物拡散層 35 の一部を露出する開口部 18A を形成し、半導体基板 41 の下面 41B 側に形成された部分の絶縁膜 18 に、半導体基板 41 の下面 41B の一部を露出する開口部 18B を形成する。

【0068】

次いで、図 12 に示す工程では、半導体基板 41 の上面 41A 側に形成された部分の絶縁膜 18 上に配線 26、27 を形成し、半導体基板 41 の下面 41B 側に形成された絶縁膜 18 の下面に配線 28、29 を形成する。これにより、半導体基板 41 の配線基板形成領域 A に図 2 に示す配線基板 10 に相当する構造体が形成される。配線 26～29 としては、例えば、具体的には、配線 26～29 を構成する複合導体膜としては、例えば、絶縁膜 18 等の表面（絶縁膜 18 の表面、開口部 18A 内の第 1 の導電型不純物拡散層 35 の表面、および開口部 18B 内の半導体基板 17 の表面）に堆積された Ti 膜と、その Ti 膜の表面に堆積された Cu 膜と、Cu 膜の表面を覆う Ni 膜と、Ni 膜の表面（Cu 膜の表面）を覆う表面保護用の Au 膜とが順次積層された Ti - Cu - Ni - Au 積層膜を用いることができる。

【0069】

次いで、図 13 に示す工程では、切断領域 B において絶縁膜 18 及び半導体基板 41 を切断する。これにより、一つの半導体基板 41 から複数の配線基板 10 が取得される。絶縁膜 18 及び半導体基板 41 の切断には、例えば、ダイシングブレードを用いる。

【0070】

本実施の形態の配線基板の製造方法によれば、第 1 の導電型不純物拡散層 35 と第 1 のガードリング 24、25 を同時に形成することにより、配線基板 10 の製造工程を増加させることなく、第 1 のガードリング 24、25 を形成することができる。

【0071】

本実施の形態では、半導体基板 41 として、単結晶シリコンに N 型不純物濃度が $1.0 \times 10^{18} \text{ ions/cm}^3$ となるように As をドーパントした N 型シリコン基板（例えば、厚さ 200 μm ）を使用した場合を例に挙げて説明したが、半導体基板 41 としては、P や Sb をドーパントした N 型シリコン基板も使用することができる。

【0072】

また、半導体基板 41 としては、単結晶シリコンに P 型不純物濃度が $1.0 \times 10^{18} \text{ ions/cm}^3$ となるように B をドーパントした P 型シリコン基板を使用することも可能である。ただし、半導体基板 41 が P 型シリコン基板である場合、不純物拡散層 36 は、図 6 に示す工程において、半導体基板 41 の上面 41A 側から N 型不純物濃度が $1.0 \times 10^{17} \text{ ions/cm}^3$ 程度となるように P または As、或いは Sb をドーパントすることにより形成する。

【0073】

第 1 の導電型不純物拡散層 35 及び第 1 のガードリング 24、25 は、先に説明した図 7 に示す工程において、半導体基板 41 の上面 41A 側から、不純物拡散層 36 と同じ導電型の不純物を不純物拡散層 36 よりも不純物濃度が高くなるようにドーパントすることで同時に形成する。具体的には、不純物拡散層 36 の N 型不純物濃度が $1.0 \times 10^{17} \text{ ions/cm}^3$ 程度の場合、第 1 の導電型不純物拡散層 35 及び第 1 のガードリング 24、25 は、N 型不純物濃度が $1.0 \times 10^{18} \text{ ions/cm}^3$ 程度となるように P または As、或いは Sb

10

20

30

40

50

をドーパントすることで同時に形成する。

【0074】

なお、半導体基板41としてN型シリコン基板を用いた場合、半導体基板41としてP型シリコン基板を用いた場合のどちらの場合でも半導体基板41の不純物濃度は1.0E18 ions / cm³より高くてよい。

【0075】

また、第1の導電型不純物拡散層35と第1のガードリング24、25の不純物濃度も1.0E18 ions / cm³より高くてよい、不純物拡散層36の不純物濃度は、第1の導電型不純物拡散層35よりも低ければ、1.0E17 ions / cm³より高くて構わない。

【0076】

なお、半導体基板41としてN型シリコン基板を用いた場合、半導体基板41としてP型シリコン基板を用いた場合のどちらの場合でもドーパントする不純物が異なるだけで、先に説明した図5～図13に示す工程と同様な手法により、配線基板10を製造することができる。

【0077】

(第2の実施の形態)

図14は、本発明の第2の実施の形態に係る配線基板の断面図である。図14において、図2に示す構造体と同一構成部分には同一符号を付す。

【0078】

図14を参照するに、第2の実施の形態の配線基板50は、第2のガードリング51を設けた点を除き、第1の実施の形態の配線基板10(図2参照)と略同様な構成とされている。

【0079】

第2のガードリング51は、半導体基板17の上面17A側に、第1の導電型不純物拡散層35、不純物拡散層36、貫通電極21、22、及び第1のガードリング24、25を囲むような平面視額縁状の形状に形成されている。具体的に、第2のガードリング51は、半導体基板17の側面17Cに沿って形成されることにより、第1の導電型不純物拡散層35、不純物拡散層36、貫通電極21、22、及び第1のガードリング24、25を囲むように配置されている。

【0080】

第2のガードリング51は、半導体基板17の上面17A側からP型不純物又はN型不純物をドーパントすることにより形成する。第2のガードリング51の導電型及び不純物濃度は、第1のガードリング25或いは第1の導電型不純物拡散層35と同時に形成可能なように、第1のガードリング25または第1の導電型不純物拡散層35と同じにすることが望ましい。第2のガードリング51を第1のガードリング25又は第1の導電型不純物拡散層35と同時に形成した場合、第2のガードリング51の深さは、第1のガードリング25又は第1の導電型不純物拡散層35の深さと略等しい。具体的には、第1のガードリング25又は第1の導電型不純物拡散層35の深さが2μmの場合、第2のガードリング51の深さは、2μmとすることができます。

【0081】

このような構成とされた第2のガードリング51を設けることにより、外部から半導体基板17の側面17Cを介して、半導体基板17内に浸入してくる汚染物質(例えは、Fe、Na、K、Cu等)の多くが第2のガードリング51においてゲッタリングされる。このため、ダイシングブレードで配線基板50を個片化したときに半導体基板17の側面17Cを介して半導体基板17内に汚染物質(例えは、Na、K、Cu等)が侵入したとしても、ツエナーダイオード19の形成領域への汚染物質の拡散は抑制され、ツエナーダイオード19の特性の劣化が抑制できる。

【0082】

本実施の形態の配線基板によれば、外部から半導体基板17に侵入した汚染物質(例えは、Fe、Na、K、Cu等)に起因するツエナーダイオード19の特性の劣化を抑制す

10

20

30

40

50

ることができる。

【0083】

図15～図17は、本発明の第2の実施の形態に係る配線基板の製造工程を示す図である。図15～図17において、本実施の形態の配線基板50と同一構成部分には同一符号を付す。

【0084】

始めに、図15に示す工程では、第1の実施の形態で説明した図7に示す工程と同様な手法により、不純物拡散層36を備えた半導体基板41に不純物をドーパントして、第1のガードリング24、25と、第1の導電型不純物拡散層35と、第2のガードリング51とを同時に形成する。この際、第2のガードリング51は、半導体基板41上の配線基板形成領域Aの境界に沿って、平面視額縁状に形成する。

10

【0085】

このように、第1のガードリング24、25と、第1の導電型不純物拡散層35と、第2のガードリング51とを同時に形成することにより、配線基板50の製造工程を増加させることなく、第1及び第2のガードリング24、25、51を形成することが可能となるため、配線基板50の製造コストを低減することができる。

【0086】

次いで、図16に示す工程では、第1の実施の形態で説明した図8～図12に示す工程と同じ処理を行うことにより、複数の配線基板形成領域Aに配線基板50に相当する構造体を形成する。

20

【0087】

次いで、図17に示す工程では、図16に示す切断領域Bにおいて絶縁膜18及び半導体基板41を切断することにより、一つの半導体基板41を複数の配線基板50に個片化する。絶縁膜18及び半導体基板41の切断には、例えば、ダイシングブレードが用いる。

【0088】

本実施の形態の配線基板の製造方法によれば、半導体基板41の配線基板形成領域Aの境界付近に平面視額縁状とされた第2のガードリング51を形成することにより、半導体基板17の切断面（側面17C）から浸入する汚染物質（例えば、Fe、Na、K、Cu等）がツエナーダイオード19の形成領域に到達することを防ぐことが可能となるため、汚染物質に起因するツエナーダイオード19の特性の劣化を抑制できる。また、第1のガードリング24、25と、第1の導電型不純物拡散層35と、第2のガードリング51とを同時に形成することにより、配線基板50の製造工程を増加させることなく、第1及び第2のガードリング24、25、51を形成できる。

30

【0089】

以上、本発明の好ましい実施の形態について詳述したが、本発明はかかる特定の実施の形態に限定されるものではなく、特許請求の範囲内に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【産業上の利用可能性】

【0090】

40

本発明は、半導体基板内に電子部品と電気的に接続される素子を備えた、実装基板（マザーボード）と電子部品とを電気的に接続するための再配線基板とその製造方法及び半導体装置に広く適用できる。

【図面の簡単な説明】

【0091】

【図1】従来の配線基板の断面図である。

【図2】本発明の第1の実施の形態に係る配線基板の断面図である。

【図3】電子部品が接続される配線の構成を説明するための図である。

【図4】半導体基板の不純物濃度分布の一例を模式的に示す断面図である。

50

【図5】本発明の第1の実施の形態に係る配線基板の製造工程を示す図（その1）である。
。

【図6】本発明の第1の実施の形態に係る配線基板の製造工程を示す図（その2）である。
。

【図7】本発明の第1の実施の形態に係る配線基板の製造工程を示す図（その3）である。
。

【図8】本発明の第1の実施の形態に係る配線基板の製造工程を示す図（その4）である。
。

【図9】本発明の第1の実施の形態に係る配線基板の製造工程を示す図（その5）である。
。

【図10】本発明の第1の実施の形態に係る配線基板の製造工程を示す図（その6）である。
。

【図11】本発明の第1の実施の形態に係る配線基板の製造工程を示す図（その7）である。
。

【図12】本発明の第1の実施の形態に係る配線基板の製造工程を示す図（その8）である。
。

【図13】本発明の第1の実施の形態に係る配線基板の製造工程を示す図（その9）である。
。

【図14】本発明の第2の実施の形態に係る配線基板の断面図である。

【図15】本発明の第2の実施の形態に係る配線基板の製造工程を示す図（その1）である。
。

【図16】本発明の第2の実施の形態に係る配線基板の製造工程を示す図（その2）である。
。

【図17】本発明の第2の実施の形態に係る配線基板の製造工程を示す図（その3）である。
。

【符号の説明】

【0092】

10、50 配線基板

11 電子部品

12 実装基板

13、14 パッド

15 外部接続端子

17、41 半導体基板

17A、41A 上面

17B、41B 下面

17C 側面

17D ベース層

17E エピ層

17F 高濃度不純物拡散領域

18 絶縁膜

18A、18B 開口部

19 ツエナーダイオード

21、22 貫通電極

24、25 第1のガードリング

26~29 配線

27a Ti 膜

27b, 27c Cu 膜

27d Ni 膜

27e Au 膜

32、33 貫通孔

10

20

30

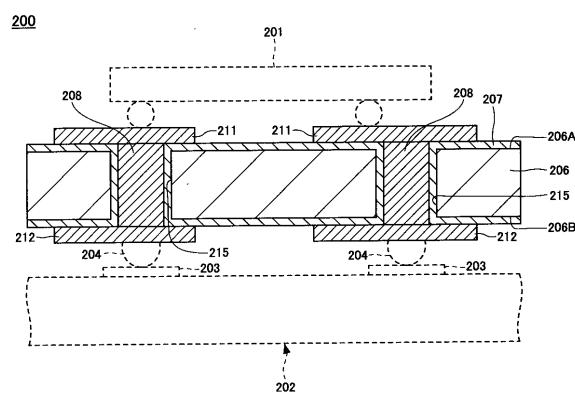
40

50

- 3 5 第1の導電型不純物拡散層
 3 6 不純物拡散層
 5 1 第2のガードリング
 A 配線基板形成領域
 B 切断領域

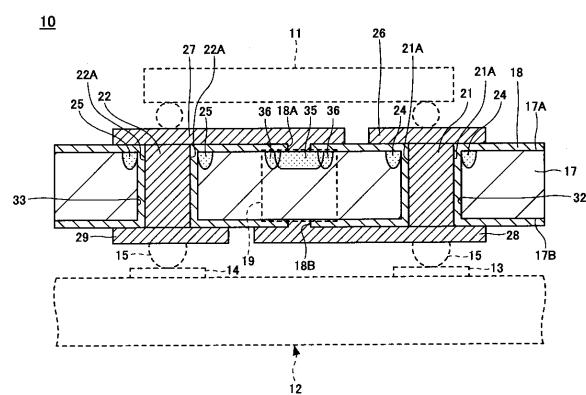
【図1】

従来の配線基板の断面図



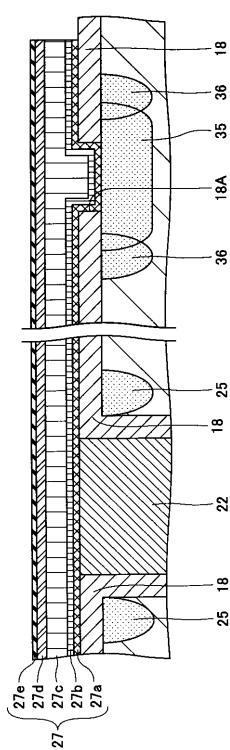
【図2】

本発明の第1の実施の形態に係る配線基板の断面図



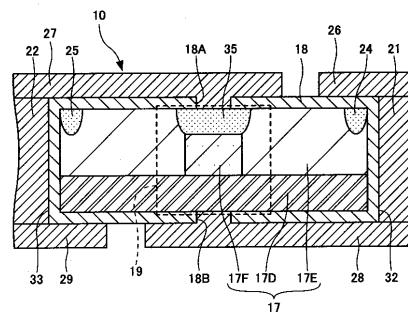
【図3】

電子部品が接続される配線の構成を説明するための図



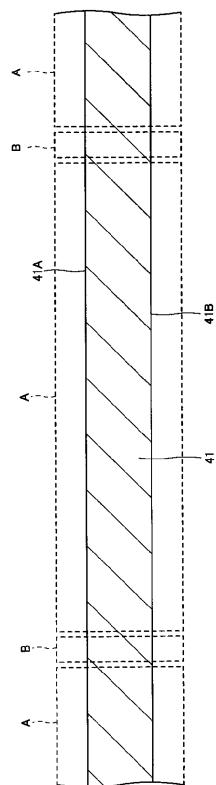
【図4】

半導体基板の不純物濃度分布の一例を模式的に示す断面図



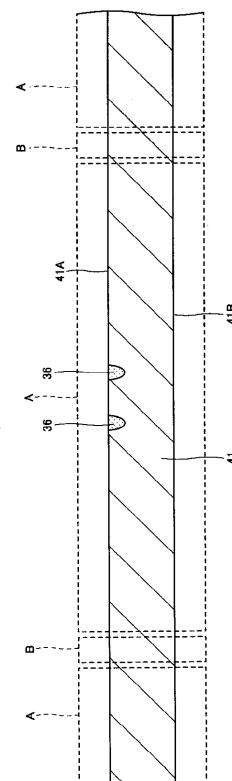
【図5】

本発明の第1の実施の形態に係る配線基板の製造工程を示す図(その1)



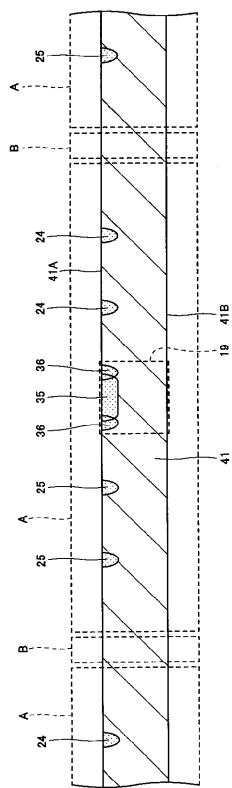
【図6】

本発明の第1の実施の形態に係る配線基板の製造工程を示す図(その2)



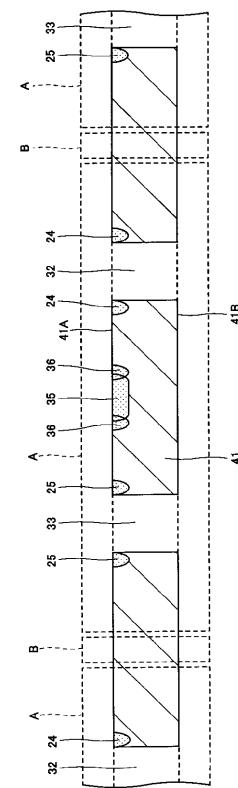
【図7】

本発明の第1の実施の形態に係る配線基板の製造工程を示す図(その3)



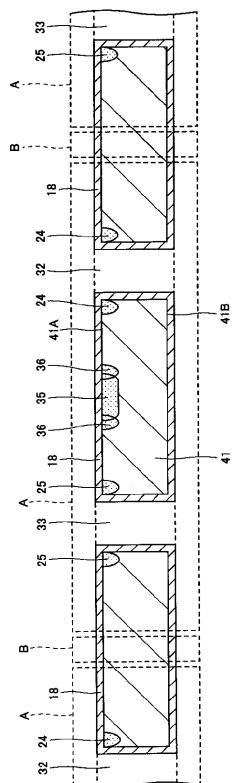
【図8】

本発明の第1の実施の形態に係る配線基板の製造工程を示す図(その4)



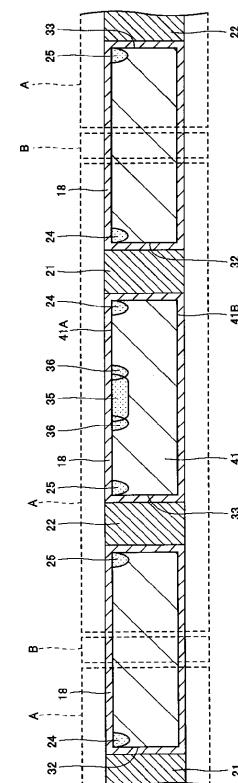
【図9】

本発明の第1の実施の形態に係る配線基板の製造工程を示す図(その5)



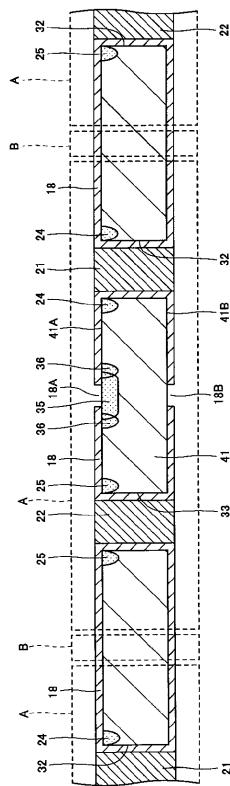
【図10】

本発明の第1の実施の形態に係る配線基板の製造工程を示す図(その6)



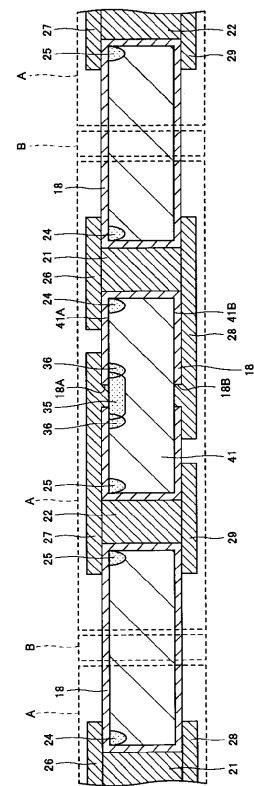
【図11】

本発明の第1の実施の形態に係る配線基板の製造工程を示す図(その7)



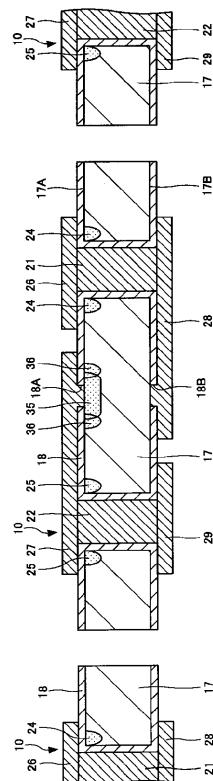
【図12】

本発明の第1の実施の形態に係る配線基板の製造工程を示す図(その8)



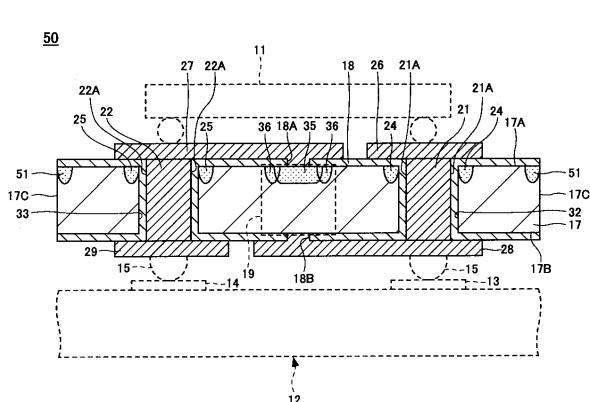
【図13】

本発明の第1の実施の形態に係る配線基板の製造工程を示す図(その9)



【 図 1 4 】

本発明の第2の実施の形態に係る配線基板の断面図

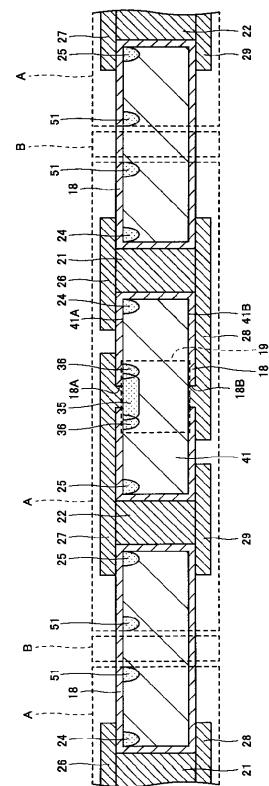
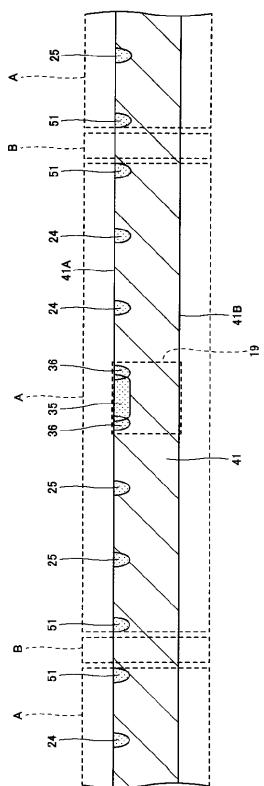


【図15】

【図16】

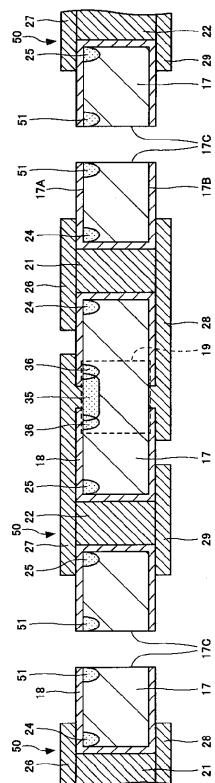
本発明の第2の実施の形態に係る配線基板の製造工程を示す図(その1)

本発明の第2の実施の形態に係る配線基板の製造工程を示す図(その2)



【図17】

本発明の第2の実施の形態に係る配線基板の製造工程を示す図(その3)



フロントページの続き

(56)参考文献 特表2003-514381(JP,A)
特開2002-134506(JP,A)
特開平09-330891(JP,A)
特開2005-038888(JP,A)
特開2003-078142(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/065
H01L 25/07
H01L 25/18
H01L 23/12-23/14
H01L 21/88-21/90
H01L 21/78