(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 11/407

(45) 공고일자 1999년06월01일
(11) 등록번호 10-0190835
(24) 등록일자 1999년01월21일

(21) 출원번호	10-1996-0000562	(65) 공개번호	특1996-0030246
(22) 출원일자	1996년01월12일	(43) 공개일자	1996년08월17일
(30) 우선권주장	95-003248 1995년01월12일 일본(JP)		
	95-003248 1995년01월12일 일본(JP)		

(73) 특허권자 미쓰비시덴키 가부시키가이샤 다니구찌 이찌로오, 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고
(72) 발명자 쯔쿠데 마사키
일본국 도오교도 지요다구 마루노우찌 2쪼메 2-3 미쓰비시덴끼 가부시끼가이샤 나이
아리모토 카즈타미
일본국 도오교도 지요다구 마루노우찌 2쪼메 2-3 미쓰비시덴끼 가부시끼가이샤 나이
(74) 대리인 이화익

심사관 : 장현근

(54) 반도체 기억장치 내의 동적으로 제어되는 임계전압을갖는모스트랜지스터를포함하는감지증폭기

요약

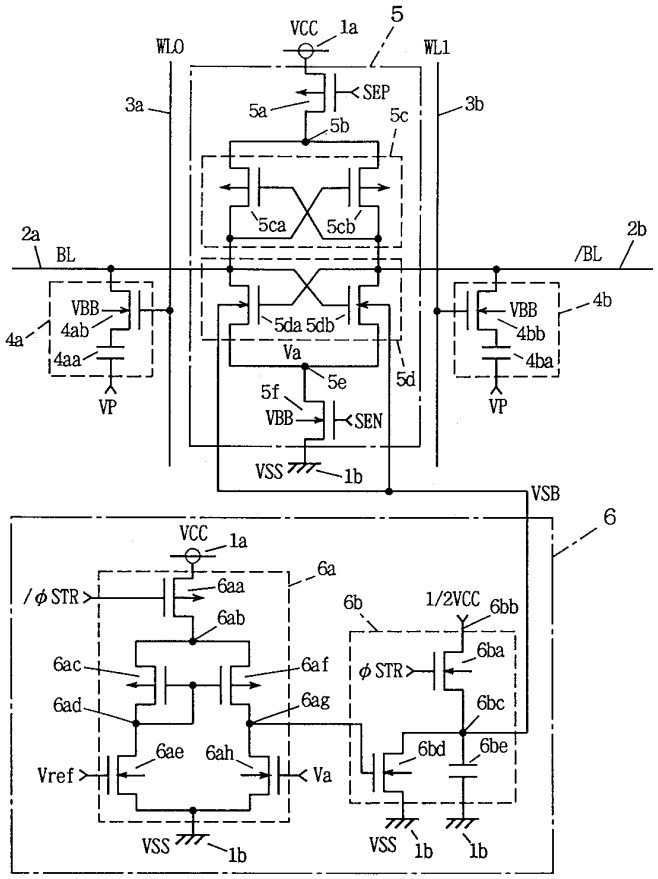
n 채널 감지증폭기 트랜지스터(224c, 224d)는 감지 동작의 개시의 전에 동작 전원전위와 접지전위 사이의 중간인 전위보다 더 큰 백게이트 선충전 전위로 설정되었다가 감지 동작의 동안에는 n 공통 소오스 절점 전위(CSN)의 하강에 따라 낮아지는 백게이트 전위를 갖는다.

n 공통 소오스 절점(221b)는 중간전위로 선충전된다.

백게이트 선충전 전위는 중간전위와 pn 접합 분산 전위를 합한 것보다 크지 않게 설정되므로, 백게이트에서 감지증폭기 트랜지스트120의 각각의 소오스 또는 드레인으로의 누설전류를 억제한다.

p 채널 감지증폭기 트랜지스터(224a, 224b)는 또한 감지 동작의 전에 중간전위 보다 낮은 선충전 전위로 선정되었다가 p 공통 소오스 절점 전위(CSP)의 상승에 따라 상승되는 백게이트 전위를 갖는다.

대표도



명세서

[발명의 명칭]

반도체 기억장치 내의 동적으로 제어되는 임계전압을 갖는 모스 트랜지스터 포함하는 감지증폭기

(A Sense Amplfier Including MOS Trasistor Having Threshold Voltage Controlled Dynamically In a Semiconductor Memory Device)

[도면의 간단한 설명]

제 1 도는 종래의 감지 증폭기와 그 주변회로의 구성을 도시하는 도면.

제 2 도는 제 1 도에 도시된 구성의 동작을 나타내는 동작 파형도.

제 3A 내지 3C 도는 감지 동작중 n 채널 감지증폭기의 각 모드에서의 전위를 도시하는 도면.

제 4 도는 본 발명에 따른 반도체 기억장치의 전체 구성을 도시하는 개략도.

제 5 도는 제 4 도에 도시된 메모리 어레이 내에서의 메모리 매트(memory mat)의 개략도.

제 6 도는 제 5도에 도시된 서브 어레이와 관련된 주변회로의 구성에 대한 상세도.

제 7 도는 제 4 도에서 제 6 도까지 도시된 기억장치의 동작을 설명하는 파형도.

제 8 도는 본 발명의 제 1 실시예에 따른 감지증폭기와 관련 주변회로의 구성도.

제 9 도는 제 8 도의 구성의 동작을 나타내는 동작 파형도.

제 10A 도는 감지 동작에 선행하는 NMOS 감지증폭기의 각 동작에서의 전위를 도시하는 도면.

제 10B 도는 제 10A 도에 도시된 감지증폭기의 동작을 설명하기 위해 사용된 동작 파형도.

제 11도는 제 8 도에 도시된 NMOS 감지증폭기 내의 MOS 트랜지스터의 단면도.

제 12 도는 pn 접속 확산 전위를 도시하는 그래프.

제 13 도는 제 1 실시예의 수정에 의해서 감지 동작에 선행하는 NMOS 감지증폭기의 각 모드에의 적용 전위를 도시하는 도면.

제 14 도는 제 13 도에 도시된 백게이트 선행전하 전위(backgate precharge potential)을 발생하기 위한 구성을 도시하는 도면.

제 15도는 본 발명의 제 2 실시예에 따른 서브어레이와 관련 주변회로의 구성을 도시하는 도면.

제 16 도는 본 발명의 제 2 실시예에 따른 감지증폭기와 관련 주변회로의 구성을 도시하는 도면.

제 17 도는 제 16 도에 도시된 PMOS 감지증폭기의 MOS 트랜지스터의 단면도.

제 18 도는 제 16 도에 도시된 회로의 동작을 나타내는 동작 파형도.

제 19A 도는 제 2 실시예에 의해서 감지 동작에 선행하여 PMOS 감지증폭기의 각 절점에 적용되는 전위를 도시하는 도면.

제 19B 도는 제 19A 도에 도시된 PMOS 감지증폭기의 동작을 설명하는 동작 파형도.

제 20 도는 본 발명의 제 3 실시예에 따른 서브어레이와 관련 주변회로의 구성을 도시하는 도면.

제 21 도는 제 3 실시예에 따른 감지증폭기와 그 관련 주변회로의 구성을 도시하는 도면.

제 22 도는 제 4 실시예에 따른 감지증폭기에서 n 채널 백게이트 전위 발생기의 구성을 도시하는 도면.

제 23 도는 본 발명의 제 5 실시예에 따른 감지증폭기에서의 p 채널 백게이트 전위 발생기의 구성을 도시하는 도면.

제 24 도는 본 발명의 제 6 실시예에 따른 감지증폭기에서의 백게이트 전위 발생기의 구성을 도시하는 도면.

제 25A 도는 본 발명의 제 7 실시예에 따른 NMOS 감지증폭기 트랜지스터의 평면 배선도.

제 26B 도는 제 25A 도에 도시된 선(XV-XV)를 따라 얻어진 단면도.

제 26A 도는 본 발명의 제 7 실시예에 따른 PMOS 감지증폭기 트랜지스터의 평면 배선도.

제 26B 도는 제 26A 도에 도시된 선(XX-XX)를 따라 얻어진 단면도.

[발명의 상세한 설명]

본 발명은 메모리 셀 데이터 전위를 감지하고 증폭하는 감지증폭기에 관한 것으로 특히, 동적인 랜덤 억세스 메모리 네의 절연된 게이트형 필드 효과 트랜지스터로 형성되는 미분 감지증폭기에 관한 것이다.

개인 컴퓨터 및 워크스테이션은 일반적으로 데이터 저장을 위한 메모리를 포함하고 있다.

그러한 메모리로서 큰 저장용량을 가지고 데이터를 판독하고 기록할 수 있는 DRAM(Dynamic Random Access Memory)가 있는데, 이는 개인 컴퓨터, 워크스테이션 등에서 메인 메모리로 이용된다.

제 1 도를 예를 들어 일본특개소 No. 2-231760 에 개시되어 있는 바와 같은, 종래의 DRAM의 감지증폭기와 주변회로의 구성을 도시하고 있다.

제 1 도와 관련하여, 감지증폭기(5)는 전원 전위로서 전원 절점(1a)에서의 동작 전원 전위(Vcc)과 접지 절점(1b)에서의 접지 전위를 입력받으며, 감지증폭기 인에이블 신호(SEN, SEP)에 응하여 비트 라인(2a, 2b)상의 전위차를 감지하고 증폭한다.

감지증폭기(5)는 전원 절점인 1a 와 1b 사이에 연결되고 게이트에서의 감지증폭기 인에이블 신호(SEP)를 입력받는 p 채널 MOS(절연 게이트 형 필드 효과) 트랜지스터(5a), 비트 라인인 2a 와 2b에서 더 높은 전위를 갖는 비트 라인의 전위를 전원 전위(Vcc)로 가지고 오는 PMOS 감지증폭기(5c), 접지 절점(1b)와 절점(5e) 사이에 연결되고 감지증폭기 인에이블 신호(SEN)를 입력받은 n 채널 MOS 트랜지스터(5f), 및 비트라인인 2a 와 2b에서 더 낮은 전위를 갖는 비트 라인의 전위를 접지 전위(Vss)로 가지고 오는 n MOS 감지증폭기(5d)를 포함한다.

PMOS 감지증폭기(5c)는 절점(5b)와 비트 라인(2a) 사이에 연결되고 비트 라인(2b)에 연결되는 게이트를 갖는 p 채널 MOS 트랜지스터(5ca) 및 절점(5b)와 비트라인(2b) 사이에 연결되고 비트 라인(2a)에 연결되는 게이트를 갖는 p 채널 MOS 트랜지스터(5cb)를 포함한다.

NMOS 감지증폭기(5d)는 절점(5e)와 비트 라인(2a) 사이에 연결되고 비트 라인(2b)에 연결되는 게이트를 갖는 n채널 MOS 트랜지스터(5da)와 비트 라인(b) 사이에 연결되고 비트 라인(2a)에 연결되는 게이트를 갖는 n 채널 MOS 트랜지스터(5db)를 포함한다.

NMOS 트랜지스터(5da, 5db)는 다른 회로 영역과 분리된 웰 영역 내에 형성되며, 웰 전위 제어회로(6)로부터의 웰 전위(VSB)로 제공된다.

웰 전위 제어회로(6)는 제어신호(/ϕSTR)에 응하여 기준전압(Vref)와 절점(5e)에서의 전위(Va) 사이의 전위차를 증폭하여 증폭의 결과를 표시하는 신호를 출력하는 전류 미러형 차동증폭기(6a), 및 제어신호(ϕSTR)와 상기 증폭기(6a)로부터의 신호에 응하여 웰 전위(VSB)를 제공하는 제어회로(6b)를 포함한다.

차동증폭기는 전원 절점(1a)와 절점(6ab) 사이에 연결되고 게이트에서 제어신호(/ϕSTR)를 입력받는 p 채널 MOS 트랜지스터(6aa), 절점(6ab)와 절점(6ad) 사이에 연결되고 절점(6ad)에 연결되는 게이트를 갖는 p채널 MOS 트랜지스터(6ac), 절점(6ab)와 절점(6ag)사이에 연결되고 절점(6ag)에 연결되는 게이트를 갖는 p 채널 MOS 트랜지스터(6af), 절점(6ad)와 접지 절점(1b) 사이에 연결되고 기준 전위(Vref)를 입력받는 n 채널 MOS 트랜지스터ϕ(6ae), 및 절점(6ag)와 접지 절점(1b) 사이에 연결되고 절점(5e)에서 전위를 입력받는 게이트를 갖는 n 채널 MOS 트랜지스터(6ah)를 포함한다.

트랜지스터(6ac, 6af)는 각 트랜지스터(^ae, 6ab)에 전류를 제공하기 위하여 전류 미러 회로를 구성하는데, 이는 교대로 비교부를 구성한다.

제어회로(6b)는 중간전위 Vcc/2를 입력받는 절점과 절점(6bc) 사이에 연결되고 제어신호(ϕSTR)를 입력받

는 게이트를 갖는 n 채널 MOS 트랜지스터(6ba), 절점(6BC)와 접지 절점(1b) 사이에 연결되고 증폭기(6a)의 절점(6ag)에서 출력신호를 입력받는 게이트를 갖는 p 채널 MOS 트랜지스터(6bd), 및 절점(6bc)와 접지 절점(1b) 사이에 연결되는 커패시터를 포함한다.

웰 전위(VSB)는 절점(6bc)에서 발생된다.

제어신호(ϕSTR)는 메모리 싸이클이 개시된 때 감지증폭기 인에이블 신호(SEN)이 활성화 될 때까지 하이(high)로 된다.

워드 라인(3a, 3b)는 각각 비트 라인(2a, 2b)를 교차하여 배열된다.

워드 라인(3a, 3b)의 각각은 일 로우 상의 메모리 셀을 연결하며, 비트 라인(2a, 2b)의 각각은 일 칼럼(오픈 비트 라인 배열에서) 상의 메모리 셀을 연결한다.

비록 메모리 셀이 로우와 칼럼의 매트릭스 형으로 배열되지만, 2개의 메모리 셀(4a, 4b)이 제 1 도에 대표적으로 도시되어 있다.

메모리 셀 (4a)은 워드 라인(3b)와 비트 라인(2a)의 교차점에 위치하며, 전하의 형태로 정보를 저장하기 위한 커패시터(4ac), 및 워드 라인(WL0)상의 전위에 응하여 커패시터(4ab)를 비트 라인(2a)에 연결시키는 n 채널 MOS 트랜지스터(4ab)를 포함한다.

커패시터(4aa)는 일 전극(셀 플레이트)에서 중간전위 Vcc/2 의 선충전 전위(Vp)를 입력받으며, MOS 트랜지스터(4ab)는 전체(백게이트)에서 소정의 일정 부 바이어스 전위(VBB)를 입력받는다.

메모리 셀(4b)는 유사하게 커패시터(4ba)와 n 채널 MOS 트랜지스터 (4bb)를 포함한다.

선충전 전위(Vp)는 또한 커패시터(4aa)의 셀 플레이트에 제공되며, 백게이트 바이어스 전위(VBB)는 MOS 트랜지스터(4bb)의 백게이트에 제공된다.

백게이트 바이어스 전위(VBB)는 또한 감지증폭기(6)내의 MOS 트랜지스터(5f)의 백게이트에 제공된다.

이하, 제 1 도에 도시된 회로의 동작에 대해 메모리 셀(4a) 내에 저장된 L 레벨 데이터를 판독할 때 동작을 표시하는 제 2 도의 파형도를 참조하여 설명하겠다.

메모리 싸이클을 정의하는 로우 어드레스 스트로브 신호(RAS)가 H(high)레벨로 증가하는 시간 t0의 전에, 제 2 도의 (a)에 도시된 바와 같이, 제 2 도의 (b) 및 (c)에 도시된 바와 같이 감지증폭기 인에이블 신호(SEP, SEN)은 각각 H 레벨 및 L 레벨이다.

게이트에서 각 인에이블 신호(SEP, SEN)를 입력받는 p 채널 MOS 트랜지스터(5a) 및 n 채널 MOS 트랜지스터(5f)는 둘다 불통 상태이며, 그러므로 전원 전위(Vcc) 및 접지 전위(Vss)는 PMOS 감지증폭기(5c) 및 NMOS 감지증폭기(5d)에 제공되지 않고, 그래서 감지증폭기(5)는 비활성 상태를 유지한다.

제 2 도의 (e)와 (f)에 도시된 바와 같이 워드 라인(3a, 3b)상의 전위(WL0, WL1)은 둘다 L 레벨이고, 메모리 셀(4a, 4b) 내의 MOS 트랜지스터(4ab, 4bb)는 둘다 불통 상태를 유지하고, 그리고 데이터는 메모리 셀(4a, 4b) 내에 유지된다.

제 2 도의 (g)에 도시된 바와 같은 비트라인(2a, 2b)상의 전위(BL, /BL)은 도시되지 않은 비트 라인 선충전 회로에 의해 Vcc/2의 선충전 전위로 미리 충전된다.

제 2 도의 (i)에 도시된 바와 같은 절점(5e)에서의 전위는 도시되지 않은 선충전 회로에 의하여 비트 라인 선충전 전위로 설정되며, MOS 트랜지스터(5da, 4db)는 둘다 불통된다.

제 2 도의 (d)에 도시된 바와 같이, 로우 어드레스 스트로브 신호(RAS)와 감지증폭기 인에이블 신호(SEP, SEN)에 응하여 제어신호인 / ϕSTR 및 ϕSTR은 각각 H 레벨 및 L 레벨이 된다.

게이트에서 제어신호(/ϕSTR)을 입력받는 P 채널 트랜지스터(6aa)는 불통상태이고, 차동증폭기(6a)는 전원전위(Vcc)가 증폭기에 공급되지 않으므로 비활성 상태를 유지한다.

게이트에서 제어신호(ϕSTR)을 입력받는 n 채널 MOS 트랜지스터(6ba)는 또한 불통 상태이고, 그래서 제어회로(6b)는 비활성 상태를 유지하고 절점(6bc)에서 발생된 웰 전위(VSB)는 제 2 도의 (b)에 도시된 바와 같이 이전의 활성 싸이클에서 달성된 접지 전위(Vss)을 유지한다.

로우 어드레스 스트로브 신호(RAS)가 제 2 도의 (a)에 도시된 바와 같이 시간 t0에서 H 레벨로 커질 때, 준비 싸이클이 완료되며 메모리 싸이클(활성 싸이클)이 개시된다.

제 2 도의 (d)에 도시된 바와 같이, 대응적으로, 제어신호인 /ϕSTR 및 ϕSTR는 각각 로우(low) 및 하이(high)로 가며, 웰 전위 제어회로(6) 내의 차동증폭기(6a)와 제어회로(6b)를 활성화시킨다.

감지증폭기(5) 내의 절점(5e) 에서의 전위(Va)는 이 때의 기준전위(Vref) 보다 크며, MOS 트랜지스터(6ah)의 컨덕턴스는 MOS 트랜지스터(6ae)의 경우보다 크고, 이는 절점(6ag)이 MOS 트랜지스터(6ah)를 통하여 접지 절점(1b)의 전위로 방전되고 절점(6ag)에서의 신호 전위는 로우(low)로 되어 제어회로(6b) 내의 MOS 트랜지스터(6bd)를 불통시킨다.

MOS 트랜지스터(6ba)는 제어신호(ϕSTR)의 증가에 응하여 도통되어서 중간전위 Vcc/2 의 절점(6bc)를 충전시킨다.

그러므로, 절점(6bc)로부터 발생되는 웰 전위(VSB)는 제 2 도의 (b)에 도시된 바와 같이, 소정의 시간 상수로 Vcc/2 로 증가된다.

로우 어드레스 스트로브 신호(RAS)의 상승 엣지에서 통합된 로우 어드레스 신호는 도시되지 않은 디코터에 의해 디코딩된다.

로우 어드레스 신호에 의해 표시된 워드 라인(3a)의 전위(WL0)은 제 2 도의 (e)에 도시된 바와 같이 시간 t1에서 H 레벨로 증가한다.

대응적으로, 메모리 셀(4a) 내의 MOS 트랜지스터(4ab)는 도통상태가 되어 Vcc/2로 선충전된 비트 라인(2a)를 커패시터(4aa)의 접지 전위의 전극(저장 절점)에 연결시킨다.

제 2 도의 (g)에 도시된 바와 같이, 비트 라인(2a) 상의 전하는 커패시터(4aa)의 저장 절점 내로 흐르며, 비트 라인(2a)의 전위(BL)은 선충전 전위 Vcc/2로부터 약간 낮추어진다.

제 2 도의 (g)에 도시된 바와 같이, 워드 라인(3b)의 전위(WL1)이 L레벨이므로, 어떠한 데이터로 메모리 셀(4b)로부터 비트 라인(2b) 상으로 판독되지 않으며, 비트 라인(2b)의 전위(/BL)은 선충전 전위 Vcc/2로 유지된다.

제 2 도의 (g)에 도시된 바와 같이, 감지증폭기 인에이블 신호(SEN)이 제 2 도의 (c)에 도시된 바와같이 시간 t2에서 H 레벨로 증가될 때, 감지증폭기(5)내의, MOS 트랜지스터(5f)는 도통 상태가 되어 NMOS 감지증폭기(5d)를 활성화시키고, 비트 라인(2a)의 전위(BL)은 접지 전위(Vss)로 하강된다.

절점(5e)에서의 전위(Va)는 또한 접지 전위(Vss)로 하강되며, 기준 전위(Vref) 보다 작아진다.

그러므로, 차동증폭기(6a)로부터 발생되는 신호는 하이(high)가 되어 MOS 트랜지스터(6bd)를 도통시킨다.

MOS 트랜지스터(6ba)는 감지증폭기 인에이블 신호(SEN)이 활성화될대 제어신호(ϕSTR)에 응하여 불통되므로, 웰 전위(VSB)는 MOS 트랜지스터(6bd)를 통하여 접지전위(Vss)로 된다.

제 2 도에 도시된 바와 같이 감지증폭기 인에이블 신호(SEN)이 시간 t2에서 하이(high)가 될 때 비록 제어신호(ϕSTR)이 로우(low)가 될지라도, 제어신호(/ϕSTR)는 아직도 L 레벨의 활성화 상태를 유지한다.

절점(6ag)에서의 전위는 Vref 와 Va 사이의 전위차에 비례하며, MOS 트랜지스터(6bd)는 절점(6bc)를 방전시켜서 웰 전위(VSb)는 전위(Va)의 하강에 따라 낮추어진다.

제 2 도의 (b)에 도시된 바와 같이 감지증폭기 인에이블 신호(SEP)가 시간 t3에서 활성화될 때, 제어신호(/ϕSTR)는 제 2 도와 (d)에 도시된 바와 같이 비활성 상태(high)가 되며 이는 차동증폭기(6a)를 비활성화시킨다.

MOS 트랜지스터(5a)는 감지증폭기 인에이블 신호(SEP)의 하강(활성화)에 응하여 도통되어서 PMOS 감지증폭기(5c)를 활성화시킨다.

비트 라인(5c) 상의 전위(/BL)은 제 2 도의 (g)에 도시된 바와 같이 전원 전위(Vcc)로 상승된다.

비트 라인인 2a와 2b 사이의 작은 전위차가 전원 전위(Vcc)와 접지전위(Vss) 사이의 전위차로 증폭될 때, 감지증폭기(5)의 감지와 증폭동작은 완료된다.

이하, 제 1 도에 도시된 NMOS 감지증폭기(5d) 내에서의 MOS 트랜지스터(5da, 5bd) 의 각 절점의 전위를 도시하는 제 3A 내지 3C 도를 참조하여 웰 전위(VSB)의 동작 효과를 설명하겠다.

MOS 트랜지스터가 임계전압이 소오스 전위에 관한 백게이트 바이어스 전위에 의존하여 변화하는 백게이트 효과를 가진다는 것이 널리 알려져 있다.

임계전압(Vthn)과 소오스 전위에 관한 백게이트 바이어스 전위(VBB)는 다음의 조건을 만족시킨다.

$$Vthn = A + \sqrt{B - |VBB|}$$

여기에서 A 와 B 각각은 트랜지스터 패리미터에 의해 결정되는 상수이다.

만약에 | VBB | 가 증가한다면, Vthn 은 또한 증가한다.

제 3A 도와 관련하여, 준비 상태에서, MOS 트랜지스터(5da, 5db)는 그의 게이트에서 0V 의 웰 전위(VSB)를 입력받으며, 그 소오스에서 Vcc/2 의 전위(Va)를 입력받는데, 여기에서 중간전위 Vcc/2 는 MOS 트랜지스터(5da, 5db)의 임계전압(Vthn) 보다 크다.

이 조건에서, | VBB | = | Vcc/2 |, MOS 트랜지스터(5da, 5db)는 각각 상대적으로 큰 임계전압을 갖는다.

비트 라인(2a, 2b)는 중간 전위 Vcc/2 로 미리 충전된다.

제 3B 도를 참조하여, 워드 라인(30)이 선택되어서 선택된 상태(하이레벨 전위)로 구동될 때, 메모리 셀 데이터는 비트 라인(2a)로 판독되며, 비트 라인(2a)의 전위는 중간전위 Vcc/2에서 Vcc/2 - ΔV로 변경되는데, 여기에서 ΔV는 판독 전압을 가리키고, 비트 라인(2b)의 전위는 중간전위 Vcc/2 의 선충전 전위를 유지한다.

절점(5e)에서의 전위(Va)는 또한 중간전위 Vcc/2 의 선충전 전위를 유지한다.

웰 전위(VSB)는 접지 전위(Vss)(=0V)에서 중간전위 Vcc/2 로 변경된다.

감지 동작의 개시전에, 웰 전위(VSB)는 중간 전위 Vcc/2 이다.

그러므로, MOS 트랜지스터(5da, 5db)는 각각 서로간에 동일한 소오스와 백게이트 전위를 갖으며 즉, | VBB | = 0, MOS 트랜지스터(5da, 5db)의 임계전압은 상대적으로 작게 된다.

제 3C 도를 참조하여, 감지 동작이 개시된 때, 절점(5a)에서의 전위(Va)는 접지 전위(Vss)(=0V)로 낮추어진다.

비트 라인(2b)와 절점(5e) 사이의 전위차 즉, Vcc/2 - Va 는 MOS 트랜지스터(5da)의 임계전압보다 커지며, MOS 트랜지스터(5da)는 도통되어 비트 라인(2a)를 방전시킨다.

임계전압(Vth)는 VSB=0V 인 경우에 비해 작고, 비트 라인 방전이 감지증폭기 인에이블 신호(SEN)이 활성화된 바로 직후에 야기될 수 있다.

즉, 감지동작이 상수 웰 전위가 적용되는 경우에 비해 더 고속으로 수행된다.

절점(5e)에서의 전위(Va)가 하강하는 동안에, 웰 전위(VSB)는 전위(Va)의 하강에 이어서 낮추어지며, 전위(VSB)와 전위(Va) 사이의 전위차는 실제적으로 일정하게 유지되고, 임계전압(Vth)은 따라서 작은 값으로 일정하게 유지된다.

임계전압(Vth)가 강제적으로 감지 동작이 개시된 직후 작게 되므로, 비록 전원 전압(Vcc)가 감소되고 전원 전압(Vcc)와 VSB 가 0V 인 임계 전압(Vth) 사이의 전위차가 매우 작을지라도, 임계전압(Vth)은 효과적으로 작게될 수 있으며 MOS 트랜지스터(5da 또는 5db)는 확실하게 도통 상태로 될 수 있다.

그러므로, 감지증폭기는 낮은 전원 전압의 조건하에서도 고속으로 동작한다.

그러나, 백게이트 전위(웰 전위)와 소오스 전위(절점(5e)의 전위)가 동일할 때 최소 임계전압이 제공되는 동안, 상술한 대책은 단지 백게이트 효과를 제거할 뿐이다.

일반적으로, MOS 트랜지스터는 백게이트 바이어스 효과를 가지지 않은 채 대략 0.7 - 1.0 V 의 임계전압을 갖는다.

한편, 최근의 경향에 따르면 전원 전압은 빠른 동작과 전력 소비의 감소를 위하여 더 낮고 낮게 즉, 3.3V, 1.5V 또는 1.2V 로 만들어지고 있다.

1.2 V 의 전원 전압이 이용되면, 중간전위 Vcc/2 는 0.6V 이고, 백게이트 효과를 갖지 않는 임계전압 0.7 V의 MOS 트랜지스터는 이용될 수 없다.

즉, 종래의 감지증폭기 구성은 낮은 전원 전위에서 동작하는 장치에는 적용될 수 없다.

게다가, 제 3C 도에 도시된 바와 같이, MOS 트랜지스터(5db)는 그 게이트에서 접지 전위를 입력받으며 감지 동작이 완료된 후에 불통된다.

그러나, 이 상태에서, 메모리 셀 데이타는 래치되고 비트 라인(2b) 상의 전위는 전원 전위이다.

MOS 트랜지스터(5db)의 임계전압(Vth)는 작게 유지되고, 그러므로 큰 부임계전류가 비트 라인(2b)에서 접지 절점(1b)(제 1 도)으로 MOS 트랜지스터(5db)와, MOS 트랜지스터(5f)(제 1 도)를 활성화시키는 감지증폭기를 통하여 흐르며, 전류 소비는 증가된다.

여기에서, 부임계전류는 MOS 트랜지스터의 게이트와 소오스에서의 전위가 서로간에 동일할 때 MOS 트랜지스터를 통하여 흐르는 전류이며, 종래의 부임계전류는 임계전압의 절대값이 감소할수록 증가한다고 알려져 있다.

본 발명은 낮은 전원 전위로 고속에서 동작하는 반도체 기억장치을 제공하는데 그 목적이 있다.

본 발명의 다른 목적은 빠른 감지 동작이 구현되는 반도체 기억장치를 제공하는데 있다.

본 발명에 따른 반도체 기억장치는 제 1 절점과 한쌍의 비트 라인 사이에 결합되고 비트 라인 상의 전위를 차동적으로 증폭시키는 십자형 결합의 MOS 트랜지스터들을 포함한다.

십자형 결합의 MOS 트랜지스터 각각은 백게이트 전위를 입력받는 백게이트를 갖는다.

제 1 절점은 준비 상태의 중간전위와 비트 라인 전위의 차동 증폭 즉, 감지 동작 상의 제 1 전위를 입력받는다.

백게이트 전위는 소정의 전위로 설정된다.

소정 전위와 중간전위 사이의 절대값에서의 차이는 중간전위와 제 1 전위 사이의 경우보다 크다.

제 1 전위와 소정 전위 사이의 절대값의 차이는 단지 십자형 결합의 MOS 트랜지스터의 백게이트와 소오스/드레인의 결합부에서의 pn 접합 분산 전위이다.

백게이트 전위는 감지 동작의 동안에 제 1 절점 전위의 변경에 이어서 변경되도록 적응된다.

백게이트 바이어스는 백게이트 전위와 소오스 전위가 서로간에 동일하게 되는 경우보다 더 낮으므로, 십자형 결합의 MOS 트랜지스터의 각각의 임계전압은 백게이트 효과에 기인하여 절대값에서 더 작아진다.

그러므로, 제 1 절점 전위의 변경의 직후에, 십자형 결합의 MOS 트랜지스터의 하나는 비트 라인 전위에 의하여 도통되며, 감지 동작은 어 이른 시간에 개시될 수 있다.

게다가, 백게이트 전위는 제 1 절점의 전위의 변경에 이어서 변경되며, 십자형 결합의 MOS 트랜지스터 소오스/트레인에의 백게이트의 순방향 바이어싱은 확실하게 방지될 수 있다.

십자형 결합의 MOS 트랜지스터의 임계전압이 절대값에서 효과적으로 작게될 수 있으며, 따라서 백게이트 전위와 소오스 전위가 동일하게 되는 경우에 전원 전위가 감소되고 중간전위가 십자형 결합의 MOS 트랜지스터의 임계전압의 절대값에 접근하더라도, 십자형 결합의 MOS 트랜지스터의 임계전압의 절대값은 감지 동작의 개시와 동시에 작게 될 수 있으며, 십자형 결합의 MOS 트랜지스터의 하나는 확실하게도통될 수 있고, 그러므로 확실한 감지 동작을 매우 낮은 전원 전위 하에서도 구현할 수 있다.

제 4 도는 본 발명의 일 실시예에 따른 DRAM 구조를 도시하는 도면이다.

제 4 도를 참조하여, DRAM은 행(row)과 열(column)로 배열된 다수의 메모리 셀을 갖는 4개의 메모리 매트(MM0-MM3)로 분할된 메모리 어레이(170)를 포함한다.

이하, 메모리 어레이의 상세한 구조에 대해 설명하겠다.

더욱이 DRAM은 다향안 내부 회로(로우 선택 관련 회로)를 위한 내부 로우 어드레스 스트로브 신호(/RAS)를 발생하기 위하여 외부적으로 제공되는 로우 어드레스 스트로브 신호(ext/RAS)를 입력받아서 버퍼링하는 ZRAS 버퍼(100), 다향한 내부 회로(칼럼 선택 관련 회로)를 위한 내부 칼럼 어드레스 스트로브 신호(/CAS)를 발생하기 위하여 외부적으로 제공되는 칼럼 어드레스 스트로브 신호(ext/CAS)를 입력받아서 버퍼링하는 ZCAS 버퍼(110)를 포함한다.

신호 /RAS는 메모리 싸이클 주기를 정의하며, 로우 선택 동작의 시작의 타이밍을 결정한다.

신호 /CAS는 칼럼 선택 동작의 시작과 신호 /RAS가 활성화될 때 데이터를 판독하는 타이밍을 결정한다.

DRAM은 더욱이 내부 로우 어드레스 신호(RA)를 발생하기 위하여 외부적으로 제공되는 어드레스 신호(A)와 보수 내부 로우 어드레스 신호(/RA)를 통합할 목적으로 활성화되는 내부 로우 어드레스 스트로브 신호(/RAS)에 응하는 로우 어드레스 버퍼(130), 블록 선택 신호(BS)와 선행디코딩되는 신호(X)를 발생하기 위하여 내부 로우 어드레스 신호(RA, /RA)를 입력받아서 선행디코딩하는 로우 선행디코더(140), 블록 선택 신호(BS)와 선행디코딩된 신호(X)를 입력받아서 블록 선택 신호(BS)에 의해 지정된 선택 블록 내의 로우를 지정하는 로우 디코드 신호(RD)를 발생시키는 로우 디코더(150), 및 로우 디코드 신호(RD)를 입력받아서 선택된 로우(워드 라인)을 승압된 전압(VPP) 레벨의 선택된 상태로 구동하는 워드 구동기(160)를 포함한다.

후술하는 바와 같이, 메모리 매트(MM0-MM3)의 각각은 다수의 메모리 블록(32)를 포함하고, 블록 선택 신호(BS)는 8개의 메모리 블록(각 메모리 매트에 2개의 메모리 블록)을 일시에 선택하며, 또는 8개의 블록 선택 신호(BSj)는 활성 상태가 된다.

선행코딩된 신호(X)는 16 비트의 선행디코딩된 신호(X0-X15)를 포함하는데, 여기에서 신호(X0-X3)의 하나는 로우 어드레스 신호(RA0, /RA0, RA1, /RA1)에 응하여 활성 상태가 되며, 신호(X4-X7)의 하나는 로우 어드레스 신호(RA2, /RA2, RA3, /RA3)에 응하여 활성 상태가 되고, 신호(X8-X11)의 하나는 로우 어드레스 신호(RA4, /RA4, RA5, /RA5)에 응하여 활성 상태가 되며, 그리고 신호(X12-X15)의 하나는 로우 어드레스 신호(RA6, /RA6, RA7, /RA7)에 응하여 활성 상태가 된다.

선행디코딩된 신호(X0-X15)는 8비트의 로우 어드레스 신호(RA0-RA7)(16비트는 보수 로우 어드레스 신호 /RA-RA7를 포함한다)에 응하여 발생되고, 따라서 그들은 일 메모리 블록 내의 256 로우 중에서 일 로우를 지정한다.

블록 선택 신호(BS)는 로우 어드레스 신호(RA8, /RA8 - RA11, /RA11)에 응하여 발생된다.

블록 선택 신호(BS)는 각 메모리 블록에 대한 블록 선택 신호(BS0 - BS127)를 포함한다.

그러므로, 128개의 메모리 블록 중에서 8개의 메모리 블록은 동시에 지정된다.

일반적으로, 모두 메모리 매트(MM0-MM3)는 동시에 활성화되고, 각 메모리 매트 내의 2개의 메모리 블록은 일시에 지정된다.

더욱이 DRAM은 외부의 어드레스 신호를 병합시키고 래칭(latching)할 목적으로 활성화되는 칼럼 어드레스 스트로브 신호(/CAS)에 응하여 칼럼 어드레스 신호로서 내부 칼럼 어드레스 신호(CA)와 보수 내부 칼럼 어드레스 신호(/CA)를 발생하기 위한 칼럼 어드레스 버퍼(180), 내부 칼럼 어드레스 신호(CA, /CA)를 입력받고 선행디코딩하여 메모리 어레이(170) 내에서 칼럼 블록을 지정하는 칼럼 블록 선택 신호(CBS)와 칼럼 블록 내에서 일 칼럼을 지정하는 선행디코딩된 신호(Y)와 칼럼 블록 선택 신호(CBS)를 디코딩하여 메모리 어레이(170) 내에서 다수의 칼럼을 지정하는 칼럼 선택 신호(CSL)과 선택된 칼럼 상의 메모리 셀 중에서 일 메모리 셀을 지정하는 데이터 선택 신호(DS)를 발생하기 위한 칼럼 디코더(200)를 포함한다.

후술하는 바와 같이, 메모리 매트(MM0-MM3)의 각각은 또한 128개의 칼럼을 포함하는 칼럼 블록으로 분할되며, 하나의 칼럼 블록은 각 메모리 매트 내에서 칼럼 블록 선택 신호(CBS)에 의해 선택된다.

선행디코딩된 신호(Y)는 12비트의 선행디코딩된 신호(Y0 - Y11)를 포함하는데, 여기에서 신호(Y0 - Y3) 중의 일 신호는 칼럼 어드레스 신호(CA0, /CA0, CA1, /CA1)에 응하여 활성화되며, 신호(Y4 - Y7) 중의 일 신호는 칼럼 어드레스 신호(CA2, /CA2, CA3, /CA3)에 응하여 활성화되고, 신호(Y8 - Y11) 중의 일 신호는 칼럼 어드레스 신호(CA4, /CA4, CA5, /CA5)에 응하여 활성화된다.

블록 선택 신호(CBS)는 상기 메모리 어레이(170) 내의 각 칼럼 블록에 대한 64비트의 블록 선택 신호(CBS0 - CBS63)를 포함한다.

데이터 선택 신호(DS)는 칼럼 블록 신호에 응하여 일 칼럼 블록을 선택한다.

DRAM은 더욱이 비트 라인(칼럼)에 제공되고 읽혀진 메모리 셀 데이터를 비트 라인으로 감지, 증폭 및 래칭하는 감지증폭기, 로우 어드레스 버퍼(130)으로부터 입력된 블록 어드레스 신호를 디코딩하기 위한 로우 어드레스 스트로브 신호(/RAS)에 응하여 비트 라인 분리 신호(BLI), 감지증폭기 가능 신호(/SEP 및 SEN), 및 전체 I/O 버스(후술하는 바와 같은)에 연결하기 위한 메모리 블록을 선택하는 선택신호(SEL)를 제공하기 위한 블록 관련 신호발생기(210), 및 칼럼 선택 신호(CSL)와 데이터 선택 신호에 응하여 선택된 칼럼(비트 라인)을 하나의 입/출력버퍼(240)으로 연결하기 위한 I/O 회로를 포함한다.

제 4 도에서, 감지증폭기 및 I/O 회로는 집합적으로 블록(220)에 의해 도시된다.

후술하는 바와 같이, 감지증폭기는 번갈아 배열된 공통 감지증폭기 장치 내에 배열되며, 선택된 로우를 포함하는 메모리 블록과 한 쌍이된 메모리 블록만이 감지증폭기에서 분리되고, 그리고 상기 선택된 로우를 포함하는 메모리 블록에 제공되는 감지증폭기만이 활성화된다.

비선택 메모리 블록은 비활성(충전전) 상태로 유지된다.

I/O 회로는 메모리 블록에 제공되는 지역 I/O 라인과 각 칼럼 블록에 제공되는 전역 I/O 라인을 포함한다.

DRAM은 어드레스 스트로브 신호(/RAS, /CAS), 기록 인에이블 신호(/WE) 및 출력 인에이블 신호(/OE)에 응하여 입/출력 버퍼(240)로 수행되는 판독될 데이터와 기록될 데이터를 지시하는 기록/판독 제어신호(WO)를 제공하기 위한 기록/판독 제어 회로(230), 및 동작 전원 전위 보다 높은 승압된 전위(VPP), 중간 전위의 비트 라인 충전전 전위(VBL), 중간 전위의 셀 플레이트 전위(Vcp) 및 감지증폭기가 형성되는 웰에 제공되는 웰 전위(VBN)를 발생하는 내부 전위 발생회로(120)를 더 포함한다.

웰 전위(n 채널 백게이트)(VBN)는 중간 전위(Vcc + Vss)/2 와 중간 전위와 PN 접속 분산 전위(ψ)의 합 사이에서 변한다.

제 5 도는 메모리 어레이(170) 내의 메모리 매트(MM)의 배열을 도시하고 있는 도면이다.

제 5 도와 관련하여, 메모리 매트(MM: MM0 - MM3)는 32 로우와 16 칼럼 내에 배열되어 있는 서브어레이(#00-#3115)의 다수를 포함하고 있다.

한 로우 상의 서브어레이(#i0 - #i15)는 메모리 블록(MBi)를 구성하고, 한 칼럼 상의 서브어레이(#0j - #31j)는 칼럼 블록(CBj)를 구성한다.

각 서브어레이(#00 - #3115)는 256 로우와 128 칼럼 상에 배열된 메모리 셀을 포함한다.

메모리 매트(MM)은 32 메모리 블록(MB0 - MB31)과 16 칼럼 블록(CB0 - CB15)를 포함한다.

동작중에, 2개의 메모리 블록은 블록 선택 신호(BS)에 응하여 일시에 선택되며, 칼럼 블록은 칼럼 블록 선택 신호(CBS)에 응하여 선택된다.

칼럼 디코더(200)(제 4 도)로부터의 칼럼 선택 라인(CSLn)은 칼럼 방향으로 메모리 매트(MM)으로 확장되며, 선택된 칼럼 블록(제 5 도의 CB15) 내의 각 서브어레이 내의 2개의 칼럼을 선택한다.

그러므로, 4개의 칼럼 또는 비트 라인 쌍(BLPa, BLPb)는 2개의 메모리 블록(MB2, MB30)이 선택되므로 전부 동시에 선택되고, 따라서 하나의 비트 라인 쌍(하나의 비트 메모리 셀)은 데이터 선택 신호(DS)에 의해 선택된다.

제 6 도는 제 4 도의 메모리 어레이(170)과 2개의 서브어레이(#a, #b)의 상세한 구성을 도시하고 있으며, 또한 관련된 주변회로를 도시하고 있다.

서브어레이(#a, #b) 각각은 256로우와 128 칼럼으로 배열된 메모리 셀(173)의 다수, 해당되는 각 로우에 제공되고 해당되는 로우 상에 메모리 셀(173)을 연결하는 워드라인(171)의 다수(256), 및 해당되는 각 칼럼에 제공되고 해당되는 칼럼 상의 메모리 셀을 연결하는 비트 라인 쌍(172)의 다수를 포함한다.

메모리 셀(173)은 (Vcc + Vss)/2의 중간 전위의 셀플레이트 전위를 입력받는 셀 플레이트 전극과 전하 형태의 정보를 저장하기 위한 저장 절점을 갖는 커패시터(173a), 및 해당되는 워드 라인 상의 전위(WL)에 응하여 상기 저장 절점을 해당되는 비트 라인 쌍(172)의 미트 라인에 연결시키는 메모리 트랜지스터(173b)을 포함한다.

비트 라인 쌍(172)는 서로 같에 보수적인 데이터 신호(BL, /BL)을 전달하는 비트 라인(172a, 172b)를 포함한다.

메모리 셀(173)은 해당되는 비트 라인(172a 또는 172b)와 워드 라인(171)의 교차점에 위치한다.

비트 라인(172a, 172b)는 해당되는 서브어레이(#a 또는 #b) 내에서만 확장되며, 반면 모든 워드라인(171)은 해당되는 메모리 블록(170a)(MB)내의 서브어레이 상에서만 확장된다.

감지 증폭기(224)는 서브어레이(#a, #b)의 양 측면 상의 로우 내에 배열된다.

제 6 도에서, 서브어레이(#a)의 양 측면 상의 감지증폭기(224)가 전형적으로 도시되어 있다.

서브어레이(#a)에서, 짝수 칼럼 상의 비트 라인 쌍(172)는 상측면 상의 감지증폭기(224)에 비트 라인 분리 게이트(175)를 통해 (비트 라인 분리) 제어 신호(BLI0)에 응하여 연결되고, 홀수 칼럼 상의 비트 라인 쌍(172)은 하측면 상의 감지증폭기(224)에 비트 라인 분리 게이트(175)를 통하여 제어신호(BLI1)에 응하여 연결된다.

서브어레이(#b)의 홀수 칼럼 상의 비트 라인 쌍(172)는 하측면 상의 감지증폭기(224)에 비트 라인 분리 게이트(175)를 통하여 제어신호(BLI2)에 응하여 연결된다.

비트 라인 분리 게이트(172)는 관련된 비트 라인 분리 제어 신호(BLI2)에 응하여 연결된다.

비트 라인 분리 게이트(172)는 관련된 비트 라인 분리 제어 신호(BLI)에 응하여 비트 라인(172a)을 감지 절점(NA)에 연결시키는 전송 게이트(175a)와 비트 라인(172b)를 감지 절점(NB)에 연결시키는 전송 게이트(175b)를 포함한다.

비트 라인 선충전/등화 회로(EQ)(174)는 해당되는 감지증폭기(224) 내에서 로우 형으로 배열된다.

비트 라인 선충전/등화회로(174)는 감지 절점(NA, NB)를 통하여 해당되는 비트 라인 쌍을 중간 전위로 미리 충전시키고 등화시키며, 그리고 감지절점(NA, NB)를 서로간에 전기적으로 연결시키는 전송게이트(174a), 메모리 매트 상에 배열된 비트 라인 선충전 라인(221c) 상에 비트 라인 선충전 전위(VBL)을 전송하는 전송게이트(174b) 및 감지절점(NB)에 비트 라인 선충전 전위(VBL)을 전송하는 전송게이트(174c)를 포함한다.

각각의 감지증폭기(224)에 대해, p 채널 MOS 트랜지스터의 풀업 트랜지스터(223a)와 풀다운 트랜지스터

(223b)가 제공된다.

풀업 트랜지스터(223a)는 관련된 감지증폭기 인에이블 신호(/SEP)(/SEP0…)에 응하여 메모리 매트 상에 배열된 전원 라인(221a)를 해당되는 감지증폭기(224)의 p 공통 소오스 절점에 연결시키며, 풀다운 트랜지스터(223b)는 관련된 감지증폭기 인에이블 신호(SEN)에 응하여 메모리 매트 상에 배열된 접지 라인(221b)를 해당되는 감지증폭기(224)의 n 공통 소오스 절점에 연결시킨다.

감지증폭기(224)의 p 공통 소오스 절점들은 p 채널 공통 소오스 라인(222a)을 통하여 서로간에 연결되며, 감지증폭기(224)의 n 공통 소오스 절점들은 n 채널 공통 소오스 라인(222b)를 통하여 상호간에 연결된다.

백게이트 전위(VBN)은 각 감지증폭기의 P 웰 영역에 메모리 블록 상에 확장된 n 채널 백게이트 전위 라인(221d)를 통하여 제공된다.

서브어레이 상에만 확장된 p 및 n 채널 공통 소오스 라인(222a, 222b)는 동일한 메모리 블록 내의 연접한 서브어레이의 소오스 라인에서 분리 된다.

p 및 n 채널 공통 소오스 라인(222a, 222b) 사이에, 비트 라인 등화 신호(BLEQ)에 응하여 공통 소오스 라인(222a, 222b)상으로 선충전 전위(VBL)을 전달하는 공통 소오스 라인 선충전 회로(225)가 제공된다.

지역 I/O 라인(226aa, 226ab)의 2개의 쌍(226a)은 서브어레이(#a)에 재공되는데, 한 쌍은 상측면 상에 다른 한 쌍은 하측면 상에 제공된다. 한 쌍의 지역 I/O 라인은 동일한 컬럼 블록 내에서 연접하는 2개의 서브어레이 사이에서 공유된다.

하측면 상의 지역 I/O 라인 쌍(226a)는 예를 들어 서브어레이(4a, 4b)사이에 공유된다.

라인(226ba)와 라인(226bb)를 포함하는 전역 I/O 라인 쌍(226b)는 공통 칼럼 블록의 서브어레이 상에 확장되어 배열된다.

전역 I/O 라인(226ba, 226bb)의 4개의 쌍이 하나의 칼럼 블록에 제공되지만, 두쌍의 전역 I/O 라인이 16개의 메모리 블록에 제공되므로 단지 2쌍의 전역 I/O 라인만이 전형적으로 도시된다.

지역 I/O 게이트 회로(227a)는 감지증폭기(224)의 감지 절점(NA, NB)의 각 쌍에 제공되며, 이는 감지절점(NA, NB)의 상기 쌍을 칼럼 선택 신호(CSL)에 응하여 해당되는 지역 I/O 라인 쌍(226a)에 연결시킨다.

게이트 회로(227a)는 칼럼 선택 신호(CSL)에 응하여 비트 라인(172a)와 지역 I/O 라인(266aa)를 연결시키는 전송게이트(227aa), 및 칼럼 선택 신호(CSLa)에 응하여 비트 라인(172b)와 지역 I/O 라인(226ab)를 연결시키는 전송게이트(227ab)를 포함한다.

지역 I/O 라인 쌍(226a)와 전역 I/O 라인(226b) 사이에, 전역 I/O 회로(227b)가 제공되는데, 이는 지역 I/O 라인 쌍(226a)와 전역 I/O 라인 쌍(226b)를 선택신호(SEL)(SELr: r = 0 ~ 63)에 응하여 연결시키며 지역 I/O 라인(226aa)와 전역 I/O 라인(226ba)를 연결시키는 전송게이트(227ba), 및 지역 I/O 라인(226ab)와 전역 I/O 라인(226bb)를 연결시키는 전송게이트(227bb)를 포함한다.

라인(221a) 상의 전원 전위(Vcc)는 외부에서 제공되는 전원 전위이거나 또는 상기 외부에서 제공되는 전원 전위를 다운 컨버팅함으로써 만들어지는 내부 전원 전위일 수 있다.

접지 전위(Vss)는 외부적으로 제공되므로 접지 전위이거나 또는 가상 접지 시스템 또는 계층적 전원 라인 장치에서와 같이 상기 외부적으로 제공되는 접지 전위를 업 컨버팅함으로써 만들어지는 내부 접지 전위일 수 있다.

이하, 제 4 도 내지 제 6 도에서 도시된 DRAM의 동작은 L 레벨 데이터가 판독될 때의 동작 순서를 나타내는 동작 파형도인 제 7 도를 참조하여 설명하겠다.

기록 인에이블 신호(/WE)은 하이(high)가 되고, 출력 인에이블 신호(/OE)는 로우(low)가 되며, 데이터 판독 모드가 표시된다.

제 7 도의 (a)에서 도시된 바와 같이 로우 어드레스 스트로브 신호(/ RAS)가 H 레벨에서 L 레벨로 변화되는 시간 t1의 전에, 비트 라인 등화 신호(BLEQ)는 제 7 도의 (d) 에 도시된 바와 같이 H 레벨이고, 비트 라인 분리 신호(BLIq : q=0~511)은 모두 제 7 도의 (g)에 도시된 바와 같이 승압된 전위(Vpp)의 H 레벨이다.

그러므로 비트 라인 선충전/등화 회로(174) 내의 MOS 트랜지스터(174a, 174b, 174c)와 공유 증폭기 게이트 회로(175) 내의 MOS 트랜지스터(175a, 175b)는 모두 도통 상태가 되고, 비트 라인 쌍(172) 상의 전위(BL, /BL)은 제 6 도의 (f)에 도시된 바와 같이, 비트 라인 선충전 회로(174)에 의해 (Vcc + Vss)/2 의 비트 라인 선충전 전위(VBL)로 미리 충전된다.

p 채널 감지증폭기 인에이블 신호(/SEPr)은 모두 (h)에 도시된 바와 같이 H 레벨이고, n 채널 감지증폭기 인에이블 신호(SENr)은 제 7 도의 (i)에 도시된 바와 같이 L 레벨이며, 그러므로 풀 업(pull up) 트랜지스터(223a)와 풀 다운(pull down) 트랜지스터(223b)는 모두 불통 상태가 된다.

공통 소오스 라인 등화회로(225) 내에서 H 레벨 비트 라인 등화 신호(BLEQ)를 입력받는 MOS 트랜지스터(225a, 225b, 225c)는 도통 상태가 되므로, p 채널 공통 소오스 라인(222a)의 전위(CSPr)과 n 채널 공통 소오스 라인(222b)의 전위(CSNr)는 공통 소오스 라인 등화회로(225)에 의해 중간 전위 (Vcc + Vss)/2로 등화된다.

N 채널 백게이트 전위(VBN)은 제 7 도의 (l)에 도시된 바와 같이 접지 전위이다.

워드 라인(171) 상의 전위(WL)은 제 7 도의 (e)에 도시된 바와 같이 모두 L 레벨이다.

로우 어드레스 신호에 따라서 전역 I/O 라인 쌍을 지역 I/O 라인 쌍에 선택적으로 연결하기 위한 선택 신호(SELr)은 제 7 도의 (m)에 도시된 바와 같이 모두 L레벨이고, 컬럼 선택 신호(CSLn)은 제 7 도의 (n)

에 도시된 바와 같이 모두 L 레벨이다.

지역 I/O 라인 쌍의 전위(LIOr, /LIOr)은 제 7 도의 (o)에 도시된 바와 같이 (Vc + Vss)/2 로 등화되고 미리 충전되며, 전역 I/O 라인 쌍(22bb)의 전위(GIOt, /GIOt : t = 0 -255)는 제 7 도의 (p)에 도시된 바와 같이 전원 전위(Vcc)로 등화되고 미리 충전되며, 그리고 데이터(DQ)는 제 7 도의 (q)에 도시된 바와 같이 하이 임피던스 상태(Hi-Z state)가 된다.

로우 어드레스 신호(블록 선택 신호(BS))에 의해 선택되는 메모리 블록(170a)(MB)에 대한 비트 라인 분리 신호(BLIq)는 제 7 도의 (g)에 도시된 바와 같이 승압된 전위(Vpp)로 유지된다.

상기 선택된 메모리 블록과 감지증폭기를 공유하는 비선택 메모리 블록에 대한 비트 라인 분리 신호는 시간 t3에서 로우(low)가 되고, 이러한 비선택 메모리 블록은 제 7 도의 (g)에 도시된 바와 같이 감지 증폭기로부터 분리된다.

다른 비선택 메모리 블록은 해당하는 감지증폭기에 연결된다.

로우 어드레스 신호에 의해 선택되는 워드 라인을 포함하는 메모리 블록에 대한 선택 신호(SELr)은 실제적으로 시간 t3에서 하이(high)가 되며, 해당하는 지역 I/O 라인(226a)와 해당하는 전역 I/O 라인(226b)를 연결시키기 위하여 전역 I/O 게이트 회로 내의 MOS 트랜지스터(227ba, 227bb)를 도통시킨다.

(Vcc + Vss)/2 로 미리 충전된 지역 I/O 라인 쌍(226)의 전위(LIOr, /LIOr)은 제 7 도의 (o)에 도시된 바와 같은 해당하는 전역 I/O 라인 쌍의 전위(Vcc)로 승압된다.

로우 어드레스 신호에 의해 선택되는 워드 라인(171)의 전위(WL)은 제 7 도의 (e)에서 도시된 바와 같이, 시간 t4에서 워드 드라이버(160)에 의해 승압된 전위(Vpp)로 승압된다.

그다음에, 선택된 워드 라인(171)에 연결된 메모리 셀(173) 내의 메모리 트랜지스터(123b)는 도통되고, 전하는 선택된 메모리 셀의 메모리 커패시터(173a)와 해당하는 비트 라인(172a, 173b) 사이에서 전송된다.

전위(BL, /BL)은 제 7 도의 (f)에서 도시된 바와 같이, 비트 라인 선충전 전위(VBL)에서 ΔV만큼 바뀐다.

선택된 메모리 블록(170a)에 대한 감지증폭기 인에이블 신호(SENr)은 제 7 도의 (i)에서 도시된 바와 같이 시간 t5에서 H 레벨로 커지며, 응답적으로 풀 다운 트랜지스터(223b)는 도통 상태가 되고, 선택된 메모리 블록에 대한 n 채널 공통 소오스 라인(222b)의 전위(CSNr)은 제 7 도의 (k)에 도시된 바와 같이 접지 전위를 풀 다운된다.

백게이트 전위(VBN)은 (Vcc + Vss)/2 이고 감지증폭기 내의 NMOS 트랜지스터 각각은 백게이트 효과에 의해 매우 작은 임계전압을 갖게 되며, 이러한 MOS 트랜지스터는 전위(CSNr)의 하강 후에 바로 즉시 도통 상태가 되고, 빠른 감지 동작이 수행될 수 있다.

전위(VBN)은 제 7 도의 (l)에 도시된 바와 같이 전위 VPRN (=(Vcc + Vss)/2 + ϕ)로 부터 전위(CSNr)의 하강에 따르는 접지 전위(Vss)로 풀 다운된다.

시간 t5 에서의 전위(SCNr)의 하강에 응하여, 선택된 메모리 블록에 대한 감지증폭기(224)는 감지 동작을 시작하여 전위(/BL)보다 낮은 전위(BL)을 접지 전위(Vss)로 풀 다운한다.

전위(/BL)은 제 7 도의 (f)에 도시된 바와 같이 이러한 감지 동작에 의하여 다소 낮아진다.

선택된 블록에 대한 감지증폭기 인에이블 신호(/SEPr)은 제 7 도의 (h)에 도시된 바와 같이 시간 t6에서 로우(low)가 되며, 이는 관련된 풀 업 트랜지스터(223a)을 도통시키고, p 채널 공통 소오스 라인(222a)의 전위(CSPr)은 제 7 도의 (j)에 도시된 바와 같이 전원 전위(Vcc)로 풀업된다.

더 높은 전위의 비트 라인의 전위(/BL)은 전원 위치를 풀업 트랜지스터(223a)을 통해 제공함으로써 활성화된 감지증폭기(224)에 의해 전원 전위(Vcc)로 증가된다.

전위(BL)와 전위(/BL)이 접지 전위(Vss)와 전원 전위(Vcc)로 변할 때, 감지 동작은 완료되고 전위(BL, /BL)은 감지증폭기(224)에 의해 래치된다.

어드레스 신호(Ai)는 제 7 도의 (c)에 도시된 바와 같이 칼럼 어드레스 신호로 확립되며, 칼럼 어드레스 스트로브 신호(/CAS)는 제 7 도에 도시된 바와 같이 시간 t7에서 H 레벨에서 L 레벨로 변한다.

칼럼 어드레스 신호에 선택된(표시된) 칼럼 선택 신호(CSLn)은 제 7 도의 (q)에 도시된 바와 같이 시간 t8 에서 H 레벨로 증가하며, 이는 관련된 지역 I/O 게이트 회로(227a) 내의 MOS 트랜지스터(227aa, 227ab)을 도통 상태가 되게하여 해당되는 지역 I/O 라인 쌍(226a)을 해당되는 비트 라인 쌍(172)을 연결시킨다.

비트 라인 쌍(172) 상의 전위(Vcc, Vss)는 해당되는 지역 I/O 라인 쌍(226a)로 전달되며, 해당되는 지역 I/O 라인(226ab) 상의 전위(/LIOr)은 제 7 도의 (o)에 도시된 바와 같이 전원 전위로부터 클램프 레벨로 감소된다.

지역 I/O 라인 쌍(226a) 상의 전위는 해당되는 전역 I/O 라인 쌍 (226b)로 전달되며, 전위차는 제 7 도의 (p)에 도시된 바와 같이 그 사이에서 발생된다.

전역 I/O 라인 쌍(226b) 상의 전위(GIOt, /GIOt)는 제 7 도의 (p)에 도시된 바와 같이도시되지 않은 레벨 쉬프터에 의해 아래로 이동하며, 이는 입/출력 버퍼(240) 상에 그 전위차를 교대로 증가시키는 도시되지 않은 앞단 증폭기의 이득을 크게 한다.

입/출력 버퍼(240)은 제 7 도의 (f)에 도시된 바와 같이 시간 t9에서 L 레벨의 데이터(DQ)를 제공한다.

본 발명에서, n 채널 백게이트 전위(VBN)은 중간 전위보다 높게 되며 감지증폭기(224) 내의 n 채널 MOS

트랜지스터의 임계전압을 감소시킨다.

그러므로, 감지증폭기 인에이블 신호(SEN)(SENr)가 활성화된 바로 후에, 감지증폭기는 동작되어 감지 동작을 시작할 수 있다.

제 8 도는 메모리 블록(MBO)에 대한 백게이트 전위(VBN)을 발생시키는 백게이트 전위 발생기의 특정 구조를 도시하고 있다.

제 8 도는 또한 감지증폭기(224)의 특정 구조를 도시하고 있다.

제 8 도와 관련하여, 감지증폭기(224)는 비트 라인(172a)와 p 채널 공통 소오스 라인(222a) 사이에 연결되고 비트 라인(172b)에 연결된 게이트를 갖는 p 채널 MOS 트랜지스터(224a), p 채널 공통 소오스 라인(222a)와 비트 라인(172b) 사이에 연결되고 비트 라인(172a)에 연결된 게이트를 갖는 p 채널 MOS 트랜지스터(224b), n 채널 공통 소오스 라인(222b)와 비트 라인(172a) 사이에 연결되고 비트 라인(172b)에 연결된 게이트를 갖는 n채널 MOS 트랜지스터(224c), 및 n 채널 공통 소오스 라인(222b)와 비트 라인(172b)사이에 연결되고 비트 라인(172a)에 연결된 게이트를 갖는 n 채널 MOS 트랜지스터(224d)를 포함한다.

p 채널 MOS 트랜지스터(224a, 224b)는 더 높은 전위 비트 라인을 전원 전위(Vcc)로 풀업하기 위한 십자형 결합 P 감지증폭기를 구성하고, 그리고 n 채널 MOS 트랜지스터(224c, 224d)는 더 낮은 전위 비트 라인을 접지 전위로 풀다운하기 위한 십자형 결합 N 감지증폭기를 구성한다.

N 채널 MOS 트랜지스터(224c, 224c)는 또한 n 채널 백게이트 전위(VBN)을 입력받는 그들의 백게이트를 갖는다.

P 채널 MOS 트랜지스터(223a)는 전원 라인(223a)와 p 채널 공통 소오스라인(222a) 사이에 연결되고 p 감지증폭기 인에이블 신호(/SEPO)(/SEPr)를 입력받는 게이트를 갖는다.

N 채널 MOS 트랜지스터(223b)는 접지 라인과 n 채널 공통 소오스 라인(222b) 사이에 연결되고 감지증폭기 인에이블 신호(/SENO)(SENr)를 입력받는 게이트를 갖는다.

N 채널 백게이트 전위 발생기(121)는 제 4 도에 도시된 내부 전위 발생회로(120)에 포함된다.

상기발생기(121)는 내부 로우 어드레스 스트로브 신호(/RAS)에 응하여 3개의 제어신호(CT1, CT2, CT3)를 발생시키는 백게이트 전위 제어기(121a), 절점(120a)의 전원 전위(Vcc)와 절점(120b)의 접지 전위(Vss)와 동작 전원 전위로서 동작하며 제어신호(CT2)에 응하여 n 채널 백게이트 전위 출력절점(121b)상에 n 채널 선충전 전위(VPRN)을 발생하는 n 채널 선충전 전원회로(121c), 접지 절점(120b)와 출력절점(121b) 사이에 연결되고 제어신호(CT1)을 입력받는 게이트를 갖는 n 채널 MOS 트랜지스터(121d), 및 n 채널 공통 소오스 절점(라인)(222b)와 출력절점(121b) 사이에 연결되고 제어신호(CT3)를 입력받는 게이트를 갖는 n 채널 MOS 트랜지스터(121e)를 포함한다.

백게이트 전위 제어기(121a)는 로우 어드레스 스트로브 신호(/RAS)를 입력받고 지연시켜서 제어신호(CT1)를 발생시키는 직렬로 연결된 2개의 인버터(121aa, 121ab), 인버터(121ab)의 출력 또는 제어신호(CT1)를 입력받고 인버팅시키는 직렬로 연결된 3개의 인버터(121ac, 121ad, 121ae), 제어신호(CT1)과 인버터(121ae)의 출력을 입력받아서 제어신호(CT2)를 발생시키는 NOR 게이트(121af), 및 NOR 게이트(121af)와 인버터(121ab)의 출력(CT1, CT2)를 입력받아서 제어신호(CT3)를 발생시키는 NOR 게이트(121ag)를 포함한다.

N 채널 선충전 전원회로(121c)는 전원 절점(120a)와 절점(121ca) 사이에 연결된 저항 수단(121cb), 절점(121a)와 절점(121cc) 사이에 연결되고 절점(121cc)에 연결된 게이트를 갖는 p 채널 MOS 트랜지스터(121cd), 절점(121cc)와 절점(121ce) 사이에 연결되고 절점(121ce)에 연결된 게이트를 갖는 p 채널 MOS 트랜지스터(121cf), 절점(121ce)와 접지 절점(120b) 사이에 연결된 저항 수단(121cg)를 포함한다.

저항 수단(121cb, 121cg)은 동일한 저항값을 갖으며, MOS 트랜지스터(121cd, 121cf)는 동일한 크기를 갖는다.

저항 수단의 저항값은 MOS 트랜지스터(121cd, 121cf)의 도통 저항(채널 저항) 보다 충분히 크게 정해지며, MOS 트랜지스터(121cd, 121cf)는 다이오드 모드에서 동작한다.

그러므로, 절점(121cc)에서의 전위는 (Vcc + Vss)/2이다.

N 채널 선충전 전원회로(121c)는 n 채널 선충전 전위(VPRN)을 발생하고 전원절점(121a)와 절점(121ci) 사이에 연결된 저항 수단(121ci)를 포함하는 n 채널 선충전 전위 발생기(121cn), 절점(12ch)에 연결된 애노우드와 절점(121cj)에 연결된 캐소우드를 갖는 다이오드(121ck), 및 절점(121cj)와 접지 절점(120b) 사이에 연결되고 절점(121ce)에 연결된 게이트를 갖는 p 채널 MOS 트랜지스터(121cm)를 포함한다.

제어신호(CT2)에 응하는 N 채널 MOS 트래지스터(121cp)는 절점(121ch)와 절점(121b) 사이에 연결된다.

다이오드(121ck)는 예를 들어 PN 접속 다이오드로 형성되고, 이는 그를 가로질러 pn 접속 분산 전위(ϕ)의 전압 강하를 야기시킨다.

P 채널 MOS 트랜지스터(121cm)은 소오스 추종자 모드(source follower mode)에서 동작하고, 그 소오스를 그 임계전압(Vthp)의 절대값으로 게이트 전위차를 유지한다.

MOS 트랜지스터(121cd, 121cf, 121cm)은 동일한 임계전압(Vthp)를 갖는 것으로 가정된다.

그다음에, 전위(VPRN)은 다음과 같이 표현될 수 있다.

VPRN = (Vcc + Vss)/2 - | Vthp | + | Vthp | + ϕ

= (Vcc + Vss)/2 + ϕ

이하, 제 8 도의 구성의 동작에 대해 동작 파형도인 제 9 도를 참조하여 설명하겠다.

시간 t1 전에, 신호(/RAS)는 H 레벨이고, 메모리 장치는 준비 상태이다.

비트 라인 등화 신호(BLEQ)는 제 9 도의 (b)에 도시된 바와 같이 H 레벨이고, CSP0와 CSN0의 전위는 중간 전위로 유지된다.

감지증폭기 인에이블 신호(/SEP0)는 H 레벨이고, 감지증폭기 인에이블 신호(SEN0)는 L 레벨이며, MOS 트랜지스터(223a, 223b)는 불통된다.

로우 어드레스 스트로브 신호(/RAS)는 H 레벨에서 불활성이므로, 제어신호(CT1)는 H레벨이고, 제어신호(CT2, CT3)는 제 9 도의 (h)-(j)에 도시된 바와 같이 L 레벨이다.

그러므로, MOS 트랜지스터(121d)는 도통되어 제 9 도의 (l)에 도시된 바와 같이 접지 전위(Vss)의 전위(VBN)를 풀 다운한다.

로우 어드레스 스트로브 신호(/RAS)가 시간 t1에서 로우(low)가 될 때, 신호(BLEQ)는 제 9 도의 (b)에 도시된 바와 같이 L 레벨로 풀 다운되고, 공통 소오스 라인(222a, 222b)는 전기적으로 플로팅 상태가 된다.

워트 라인 선택동작이 수행되고, 선택된 워드 라인의 전위는 시간 t2와 시간 t3 사이에서 하이(high)가 된다.

로우 어드레스 스트로브 신호(/RAS)의 하강에 응하여, 인버터(121aa, 121ab)로부터의 제어신호(CT1)는 제 9 도의 (i)에 도시된 바와 같이 로우가 되어서, MOS 트랜지스터(121d)를 불통이 되게 한다.

제어신호(CT1)의 하강에 응하여, 제어신호(CT2)는 인버터(121ac - 121ae)이 지연시간에 의하여 결정되는 소정의 시간 동안 하이(high)가 된다.

반응하여, MOS 트랜지스터(121cp)는 도통되어서 선충전 전위(VPRN)을 결점(121b)로 전달하고, n 채널 백게이트전위(VBN)은 전위(VPRN)으로 설정된다.

MOS 트랜지스터(224c, 224d)는 감소된 임계전압을 갖는다.

시간 t2에서의 선택된 전위의 상승에 의해서, BL과 /BL 사이의 전위차가 발생된다.

시간 t1에서의 제어신호(CT2)의 상승과 제어신호(CT1)의 하강 이후로 소정의 시간이 경과한 후에, 제어신호(CT2)는 시간 t5에서 L레벨이 되고, MOS 트랜지스터(121cp)는 불통되어서, 선충전 전위(VPRN)이 백게이트 라인(절점)(221d)로 전달되는 것을 방지한다.

한편, NOR 게이트(121ag)로부터의 제어신호(CT3)는 제 9 도의 (k)에 도시된 바와 같이 제어신호(CT2)의 하강에 응하여 하이(high)가 되고, MOS 트랜지스터(121e)는 도통되어서 n 채널 공통 소오스 라인(222b)를 백게이트 라인(221d)에 연결한다.

MOS 트랜지스터(224c, 224d)는 각각 서로 동일한 소오스 전위와 백게이트 전위를 갖는다.

시간 t5에서, 감지증폭기 인에이블 신호(SEN0)는 시간 t4에서 하이(high)가 되어서 MOS 트랜지스터(223b)를 도통시킨다.

n 채널 공통 소오스 라인(222b) 상의 전위(CSN0)는 접지 전위로 풀 다운된다.

MOS 트랜지스터(224c, 224d)의 임계전압이 작아지므로, MOS 트랜지스터(223b)이 도통된 직후에 하위 비트 라인 전위(/BL)은 MOS 트랜지스터(224d)와 MOS 트랜지스터(223d)를 통하여 풀다운되어서 전위(CSN0)를 감소시킨다.

방전 또는 감지 동작의 동안에, MOS 트랜지스터(121e)는 도통되어서 MOS 트랜지스터(224c, 224d)각각의 백게이트와 소오스를 연결시키며, 백게이트 전위(VBN)은 공통 소오스 라인 전위의 하강의 후에 접지 전위로 감소된다.

MOS 트랜지스터(224c, 224d)의 임계전압은 감지 동작의 동안에 가능한 작게 유지되어야 하며, 감지증폭기 인에이블 신호(SEN0)는 MOS 트랜지스터(121e)의 도통 전에 활성화된다.

그러나, 신호(SEN0)와 신호(CT3)의 상승은 동시에 일어날 수 있으며, 또는 감지증폭기 인에이블 신호(SEN0)는 제어신호(CT3)의 상승 후에 활성화된다.

전위(VBN)가 감지 동작을 시작할 때 전위(CSN0)보다 높으면 충분하다.

시간 t6에서, p 감지증폭기 인에이블 신호(/SEP0)는 제 9 도의 (e)에 도시된 바와 같이 낮게 되며, MOS 트랜지스터(223a)는 도통되어서 p 감지증폭기(트랜지스터 224a, 224b)를 활성화시킨다.

전위(BL)은 전원 전위(Vcc)로 증가된다.

감지 동작이 완료된 후에, 비트 라인 전위(BL, /BL)은 접지 전위(Vcc)와 전원 전위(Vcc)가 되고 래치된다.

그후에, 상술한 바와 같은 데이터 판독 동작이 수행된다.

로우 어드레스 스트로브 신호(/RAS)가 제 9 도의 (a)에 도시된 바와 같이 시간 t11에서 하이(high)가 될 때, 메모리 싸이클이 완료되며 이 전위들은 선충전 상태 또는 준비상태로 되돌아 온다.

MOS 트랜지스터(121e)는 제어신호(CT3)에 응하여 도통되므로 시간 t7에서의 전위(VBN)의 증가는 공통 소오스 라인(222a, 222b)의 등화와 선충전에 의해 일어난다.

로우 어드레스 스트로브 신호(/RAS)에 대한 인버터(121aa, 121ab)의 지연으로, 제 9 도의 (i)와 (k)에 도

시된 바와 같이 제어신호(CT3)는 로우(low)가 되고 제어신호(CT1)은 하이(high)가 되며, MOS 트랜지스터(121e)는 불통되고, MOS 트랜지스터(121d)는 도통되어 전위(VBN)을 접지 전위(Vss)로 풀 다운한다.

제 10A도는 감지 동작의 전에 n 채널 MOS 트랜지스터(224c, 224d)에 제공되는 전위를 도시하고 있고, 제 10B 도는 n 채널 감지증폭기 부분에서의 전위 변화를 도시하고 있다.

시간 t0의 전에, 백게이트 전위(VBN)은 중간 전위보다 높은 VPRN = (Vcc + Vss)/2에 있다.

전위(/BL)는 중간 전위의 비트 라인 선충전 전위 보다 ΔV 만큼 낮다.

공통 소오스 전위(CSN)(CSN0)은 중간 전위에 있다.

시간 t0에서, n 감지 증폭기 인에이블 신호(SEN)(SEN0)는 로우(low)가 되고 이는 공통 소오스 전위(CSN)을 낮게 한다.

전위(CSN)이 중간전위에 있는 전위(BL)에서 시간 T1에서의 임계전압을 뺀 값을 가질 때, MOS 트랜지스터(224d)는 도통되어 전위(/BL)을 방전시킨다.

백게이트 전위(VBN)은 중간전위 또는 공통 소오스 전위(CSN) 보다 높고, 임계전압 (Vth)은 소오스 전위(CSN)과 백게이트 전위(VBN)이 서로 동일할 때의 경우보다 낮다.

이것은 채널 영역에서 반전 영역을 형성하기 위해 요구되는 표면 전위가 전위(ϕ)에 의해 위로 이동하고 이는 임계전압(Vth)을 감소시키기 때문이다.

시간 t1과 시간 t0 사이의 시간차는 더 작아질 수 있으며, 빠른 감지 동작이 수행될 수 있다.

게다가, 비록 중간전위(Vcc + Vss)/2 가 낮고 접지전위의 백게이트 전위(VBN)을 나타내는 임계전압(Vth)(0)에 가깝다 할지라도, 임계전압은 감지 동작의 전에 더 작게 되며, 결과적으로 n 감지증폭기 내의 n 채널 MOS 트랜지스터(224c 또는 224d)는 확실하게 도통상태가 된다.

그러므로, 매우 낮은 전원 전압으로 동작하고 빠른 감지 동작을 제공하는 DRAM을 구현할 수 있다.

감지 동작의 후에, 백게이트 전위(VBN)은 접지 전위에 있고, n 채널 MOS 트랜지스터(224c, 224d)의 임계전압은 감지 동작에서의 경우에 비해 더 커지게 되며, MOS 트랜지스터(224c 또는 224d)를 통하여 접지라인(221)으로 흐르는 부임계전류(subthreshold current)는 억압되어 감지증폭기(224)에 의한 데이터 래칭의 동안의 전류 분산을 감소시킬수 있다.

제 11 도는 감지증폭기(224) 내의 MOS 트랜지스터(224c, 224d)의 단순화된 단면도이다.

제 11 도와 관련하여, n 형 웰 영역(n 웰)(302)는 p형 반도체 기반(p 서브)(301) 상에 형성된다.

웰(302) 상에, 서로간에 전기적으로 분리되고 p 형기판(301)의 것보다 더 높은 분순물 농도를 갖는 p웰(303a, 303b)이 형성된다.

p웰(303a)의 외부의 n웰(302)의 표면 상에, 고 불순물 농도의 n형(n+) 불순물영역(304a)이 형성되며, 이는 n웰(302)에 제공될 목적으로 전원 절점(라인)에서 전원 전위(Vcc)를 입력받는다.

p웰(303a)의 표면 상에, 고 불순물 농도의 p형(p+) 불순물 영역(304b)이 형성되며, p웰(303a)에 적용할 목적으로 백게이트 전위(VBN)를 입력받는다.

p웰(303a)의 표면 상에, 고 불순물 농도의 n형(n+) 불순물 영역(224ca, 224cb(224db), 224da)이 서로간에 떨어져 형성된다.

게이트 전극(224cc)는 n+ 불순물 영역인 224ca와 224cb(224db) 사이의 채널영역상의 게이트 절연막(224cd) 상에 형성된다.

게이트 전극(224dc)는 n+ 불순물 영역인 224cb(224db)와 224da 사이의 채널 영역 상의 게이트 절연막(224dd) 상에 형성된다.

MOS 트랜지스터(224c)는 게이트 전극(224cc), 드레인으로서의 n+ 불순물 영역(224ca), 및 소오스로서의 n+ 불순물 영역(224cb)를 포함한다.

MOS 트랜지스터(224d)는 게이트 전극(224dd), 소오스로서의 n+ 불순물 영역(224db), 및 드레인으로서의 n+ 불순물 영역(224da)를 포함한다.

N+ 불순물 영역(224ca)와 게이트 전극은 비트 라인(172a)에 연결되고, 게이트 전극(224ca)와 n+불순물영역(224da)는 비트 라인(172b)에 연결된다.

N+ 불순물 영역(224cb)(224cd)는 MOS 트랜지스터인 224c와 224d에 의해 공유되며, 공통 소오스 라인(222b)에 연결된다.

P웰(303b)의 표면 상에, 고 불순물 농도의 n형(n+) 불순물 영역(223ba,223bb)와 p+ 불순물 영역(304c)이 서로간에 공간적으로 떨어진 채 형성된다.

게이트 전극(223bc)는 n+ 불순물 영역인 223ba와 223bb 사이의 채널 영역 상의 게이트 절연막(223bd) 상에 형성된다.

P+불순물 영역(304c)는 p웰(303b)에 적용할 목적으로 접지 전위에 연결된다.

MOS 트랜지스터(223b)는 드레인으로서 공통 소오스 라인(222b)에 연결된 n+ 불순물 영역(223ba), 감지증폭기 인에어블 신호(SEN0)을 입력받는 게이트 전극(223bc), 및 소오스로서 접지 라인(221b)에 연결되는 n+불순물 영역(223bb)을 포함한다.

pn 접합 분산 전위(ψ)는 n+ 불순물 영역(224ca,224cb)와 P 웰 (303a)사이의 전위이다.

즉, pn 접합 전위(ϕ)는 p/n+ 접합 다이오드를 도통시키기 위한 전위이다.

제 12도는 pn 접합 특성을 도시하는 그래프로서, 여기에서 수평축은 백게이트 전위(VBN)과 공통 소오스 절점 전위(CSNO)사이의 차이 (VBN-CSNO)을 가리키고, 수직축은 p웰(303a)로부터 n+ 영역(224cb)로 흐르는 전류를 나타낸다.

제 12 도에서 분명히 도시된 바와 같이, 상기 전위차(VBN-CSNO)가 pn 접합 분산 전위(ϕ)보다 커질 때, 큰 전류 I가 흐른다.

그러므로, 공통 소오스 전위(CSN)(CSNO 또는 CSNr)이 제 10A 도에 도시된 바와 같이 중간전위일 때 비록 게이트 전위(VBN)이 선충전 전위(VPRN)으로 커지더라도, 전위차(VBN-CSNO)는 ψ이고, 단지 매우 작은 전류 I 만이 p웰로부터 n+불순물 영역(224ca)로 흐르며, 아무런 심각한 문제도 발생하지 않는다.

그러나, 판독 전위(ΔV)가 감소될 수 있는 약간의 위험이 있다.

즉, 비트 라인 전위(/BLK)가 (Vcc + Vss)/2 - ΔV 일 때, 비트 라인 전위(/BL)과 백게이트 전위(VBN)(=VPRN) 사이의 전위차는 ϕ + ΔV이다.

그러므로, 전류 I가 p웰(303a)로부터 n+불순물 영역(224da)로 흘러서 비트 라인 전위(/BL)을 증가시키므로 판독 전위(ΔV)을 감소시키는 가능성이 있다.

즉, 그러한 위험을 방지하기 위하여, 백게이트 선충전 전위(VPRN)이 우선적으로 제 13 도에 도시된 바와 같이 (Vcc +Vss)/2 - ΔV으로 설정된다.

감소된 백게이트 선충전 전위를 구현하기 위하여, 상기 저항 수단(121cg)의 저항값은 제 14 도에 도시된 바와 같이 전위 발생기(121cn)내의 저항 수단(121cb)의 저항값보다 더 작아진다.

절점(121cc)에서의 전위는 중간전위에서 판독 전위를 뺀 값 즉, (Vcc + Vss)/2 - ΔV 으로 설정된다.

대안으로, MOS 트랜지스터(121cf)의 임계전압의 절대값은 MOS 트랜지스터(121cm)의 것보다 크게 할 수 있다.

제 15 도는 본 발명의 제 2 실시예에 따른 서브어레이와 관련 회로의 구조를 도시하는 도면이다.

제 15 도의 구성은 후술하는 점을 제외하고는 제 6 도의 구성과 동일하고, 해당 부분은 동일한 참조번호에 의해 표시되고, 이에 대한 상세한 설명한 생략한다.

제 15 도의 구성에서, p 채널 백게이트 전위 라인(221e)는 2048쌍의 비트 라인의 메모리 매트 상에 설치되어, p 채널 백게이트 전위(VBP)을 감지증폭기(224) 내의 p 채널 MOS 트랜지스터에 제공한다.

n 채널 백게이트 전위 라인은 제공되지 않는다.

p 채널 백게이트 전위는 전원 전위(vcc)와 p 채널 선충전 전위(VPRN)사이에서 변한다.

제 16 도는 제 15 도의 감지증폭기(224)와 그의 주변회로의 구성을 도시하는 도면이다.

제 16 도에서, 감지증폭기(224)는 가변의 백게이트 전위(VBP)(VBPm: m = 0 ~ 511)을 입력받는 십자형의 p 채널 MOS 트랜지스터(224a,224b)와 십자형의 n 채널 MOS 트랜지스터(224c,224d)를 포함한다.

백게이트 전위(VBP)를 발생하기 위한 p 채널 백게이트 전위 발생기(122)는 제 8 도에 도시된 제어기(121a)와 동일한 구성을 갖는 백게이트 전위 제어기(121a), 제어신호(/CT1, /CT2, /CT3)를 발생하기 위하여 각각 제어신호(CT1, CT2, CT3)를 입력받아서 반전시키는 인버터(122a, 122b, 122c), 전원 전위(vcc)와 접지 전위(Vss)와 전원 전위로서 동작하고 중간 전위와 중간 전위에서 pn 접속 분산 전위(ψ)를 뺀 값사이의 레벨에 있는 p 채널 백게이트 선충전 전위(VPRN)을 제공하는 p 채널 선충전 전위 제공회로, 전원 절점(120a)와 p 채널 백게이트 라인(221e) 사이에 연결되고 제어신호(/CT1)를 입력받는 게이트를 갖는 p 채널 MOS 트랜지스터(121e), 및 백게이트 라인(221e)와 p 채널 공통 소오스 라인(222a) 사이에 연결되고 제어신호(/CT3)를 입력받는 게이트를 갖는 p 채널 MOS 트랜지스터(122f)를 포함한다.

p 채널 선충전 전위 제공회로(122d)는 전원 전위(Vcc)와 접지 전위(Vss)로부터 선충전 전위(VPRN)을 제공하기 위한 p 채널 선충전 전위 발생기(122dn), 및 선충전 전위(VPRP)를 백게이트 라인(221e)에 달하기 위하여 제어신호(/CT2)에 응하는 p 채널 MOS 트랜지스터를 포함한다.

p 채널 선충전 전위 발생기(122dn)은 전원 절점(120a)와 절점(122da)이 사이에 연결되는 저항 수단(122db), 절점(122da)와 절점(122dc)의 사이에 연결되며 절점(122da)에 연결될 게이트를 갖는 n 채널 MOS 트랜지스터(122dd), 절점(122dc)와 절점(122de) 사이에 연결되고 절점(122dc)에 연결된 게이트를 갖는 n 채널 MOS 트랜지스터(122df), 및 저항 수단(122dg)를 포함한다.

저항 수단(122db)의 저항값은 후술하는 이유에 의해 저항 수단(122dg)의 저항값보다 작게 하며, 경우에 따라서는 동일할 수도 있다.

저항 수단인 122db 와 122dg는 MOS 트랜지스터(122dd, 122df)의 도통 저항값(채널 저항값) 보다 충분히 크게 하며, 이로써 MOS 트랜지스터(122dd, 122df)는 다이오드 모드에서 동작하게 된다.

MOS 트랜지스터(122dd, 122df)는 게이트 길이 비율에 동일한 크기 또는 게이트 폭을 갖는다.

전위 발생기(122dn)은 더욱이 전원 절점(120a)와 절점(122db)의 사이에 연결되며 절점(122dg)에 연결된 게이트를 갖는 n 채널 MOS 트랜지스터(122di), 예를 들어 pn 접속 다이오드로 형성되고 절점(122dh)와 선충전 전위 출력 절점(122dj)의 사이에 연결되는 다이오드(122dk), 및 절점(122dj)와 접지 절점(120b)의 사이에 연결되는 저항 수단(122dl) 포함한다.

저항 수단(122dl)은 전류 제한 기능을 갖으며, MOS 트랜지스터(122di)는 소오스 추종자 모드(source folower mode)에서 동작한다.

저항 수단(122db)의 저항값이 저항 수단(122dg)의 저항값보다 작으므로, 절점(122dc)에서의 전위는 (Vcc +Vss)/2 + ΔV 이다.

절점(122da)에서의 전위는 (Vcc + Vss)/2 + ΔV + Vth 이다.

MOS 트랜지스터(122di)는 소오스 추종자 모드에서 동작하며, 절점(122db)의 전위는 (Vcc + Vss)/2 + ΔV 이다.

그러므로, 선충전 전위(VPRP)는 (Vcc + Vss)/2 + ΔV -ψ 인데, 여기에서 Δ는 다이오드(122dk)의 순방향 전압 강하 또는 MOS 트랜지스터(224a, 224b)의 pn 접합 분산 전위이다.

제 17 도는 제 16 도에 도시된 p 감지증폭기의 단면도이다.

제 17 도와 관련하여, MOS 트랜지스터(224a, 224b)는 p형 반도체 기판(p-서브)의 표면 상에 형성된 n형 웰 영역(n 웰)의 표면에 형성된다.

MOS 트랜지스터(224a)는 n 웰(304a)의 표면 상에 형성된 고 불순물 농도 p형(p+) 불순물 영역(224aa), p+ 불순물 영역(224aa)에서 공간적으로 떨어진 곳에 형성되는 p+불순불 영역(224ab), 및 p+불순물 영역인 224aa와 224ab 사이의 채널 영역 상에 형성되는 게이트 절연막 상에 형성되는 게이트 전극(224ac)을 포함한다.

MOS 트랜지스터(224b)는 p+불순물 영역(224ab)(224bb), p 웰(304a)의 표면 상에 p+불순물 영역(224ab)(224bd)로부터 공간적으로 떨어진 곳에 형성되는 p+ 불순물 영역(224ba), 및 p+ 영역인 224b 와 224ab(224bb)의 사이의 채널 영역 상의 게이트 절연막(224bd) 상에 형성되는 게이트 전극(224bc)를 포함한다.

이하, 참조번호 224ab 와 224bb 는 MOS 트랜지스터(224a, 224b)에 의해 공유되는 동일한 p+불순물 영역을 가리킨다.

p+불순물 영역(224aa)와 게이트 전극(224bc)는 비트 라인(172)에 서로 연결되며, 게이트 전극(224ac)와 p+불순물 영역(224ba)는 비트 라인(172b)에 서로 연결된다.

n 웰(304a)는 n 웰(304) 상에 형성된 고 불순물 농도의 n형(n+) 불순물 영역(305)을 통하여 백게이트 전위(VBP)를 입력받으며, 백게이트 라인(221e)에 연결된다.

p+불순물 영역(224ab)(224bb)는 공통 소오스 라인(222a)에 결합된다.

pn 접합 분산 전위(ϕ)는 p+ 불순물 영역(224aa, 224ab, 224ba)와 n 웰(304a)의 사이의 전위차이다.

예를 들어, 공통 소오스 전위(CSP0)가 백게이트 전위(VBP)를 분산 전위 (ϕ) 이상 더 커지면, 불순물 영역(224ab)(224bb)와 n 웰(304a) 사이의 접합은 순방향으로 바이어스되어 도통 상태가 되고, 전류는 p+ 불순물 영역(224ab)(224bb)에서 n 웰(304a)로 흐른다.

그러므로, VBP ≥ CSP0 + ϕ 가 보존된다.

p 감지증폭기를 활성화시키기 위한 MOS 트랜지스터(223a)는 p 기판(301) 상이 n 웰(304a)로부터 공간적으로 떨어져 형성된 n 웰(304b) 상에 형성된다.

MOS트랜지스터(223a)는 n 웰(304b) 상에 형성되고 공통 소오스 라인(222a)에 연결되는 p+ 불순물 영역(223aa), n 웰(304b) 상의 p+ 불순물 영역(223aa) 으로부터 공간적으로 떨어져 형성되며 전원 절점(221a)에 연결되는 p+ 불순물 영역(223ab), 및 p+ 불순물 영역인 223aa 와 223ab 사이의 채널 영역 상의 게이트 절연막(223ad) 상에 형성되고 p 감지증폭기 인에이블 신호(/SEP0)을 입력받기 위하여 연결되는 게이트 전극(223ac)를 포함한다.

n 웰(304b)는 n 웰(304b)의 표면 상에 형성된 n+ 불순물 영역(305b)를 통하여 전원 전위(Vcc)를 입력받는다.

이하, 제 16 도에 도시된 회로의 동작에 대해 제 18 도의 동작 파형도를 참조하여 설명하겠다.

이하, 로우 및 칼럼 선택 동작은 제 7 도의 동작 파형도에 도시된 제 1 실시예의 경우와 동일하므로 단지 감지 동작만을 설명하겠다.

제 2 실시예에서, 백게이트 전위(VBP)를 변화시키는 동작이 백게이트 전위(VBN)을 변화시키는 동작 대신에 수행된다.

로우 어드레스 스트로브 신호(/RAS)가 제 18 도의 (a)에 도시된 바와 같이 H 레벨에서 로우(low)로 가는 시간 t1의 전에, 인버터(122a)(제 16 도)로부터 발생된 제어신호(/CT1)은 제 18 도의 (d)에 도시된 바와 같이 L 레벨이며, 인버터(122c)로부터의 제어신호(/CT2)는 제 18 도의 (e)에 도시된 바와 같이 H 레벨이고, 인버터(122b)로부터의 제어신호(/CT3)는 제 18 도의 (f)에 도시된 바와 같이 H 레벨이다.

그러므로, p 채널 MOS 트랜지스터(122e)는 L 레벨인 제어신호(/CT1)에 응하여 도통 상태가 되고, p 채널 MOS 트랜지스터(122f, 122dp)는 H 레벨인 제어신호(/CT2, /CT3)에 응하여 불통 상태이다.

공통 소오스 라인(221e) 상의 전위(VBP)는 제 18 도의 (g)에 도시된 바와 같이, 도통 상태인 MOS 트랜지스터(122e)에 의해 전원 전위 (Vcc) 레벨에 있다.

로우 어드레스 스트로브 신호(/RAS)가 제 18 도의 (a)에 도시된 바와 같이 시간 t1에서 H 레벨에서 L 레벨로 변할 때, 백게이트 전위 발생기(121a)로부터의 제어신호인 CT1과 CT2는 시간 t2(제 7 도 또는 제 9 도를 참조하라)에서 L 레벨과 H 레벨로 각각 변하며, 제 18 도의 (d)와 (e)에 도시된 바와 같이, 인버터

(122c)로부터의 제어신호(/CT1)는 시간 t10에서 H 레벨로 변하고 인버터(122c)로부터의 제어신호(/CT2)는 시간 t10에서 L레벨로 변한다.

대응적으로, MOS 트랜지스터(122e)는 불통되고, MOS 트랜지스터(122에)는 도통되며, 전위발생기(122dn)으로부터의 선충전 전위(VBP)는 백게이트 라인(221e)로 전달되며, 그래서 백게이트 전위(VBP)는 전원 전위(Vcc)로부터 선충전 전위(VPRP)로 낮추어진다.

n 웰(304a)는 선충전 전위(VPRN)(= (Vcc + Vss)/2 - ϕ +)로 미리 충전되며, 소오스 전위(CSP0)와 선충전 전위(VPRP) 사이의 전위차는 pn 접합 분산 전위(ϕ)(여기에서 ϕ ~ 0.6V 및 는 0.1V 이하) 보다 작은 ϕ - 의 레벨과 동일하고, 아무런 전류도 p+ 불순물 영역(224aa, 224ab 또는 224ba)에서 n 웰(304a)로 흐르지 않으며, 반면 MOS 트랜지스터(224a, 224b)의 임계전압의 절대값은 백게이트 전위(VBP)가 전원 전위(Vcc)인 경우보다 충분히 작다.

시간 t5 에서, 감지증폭기 인에이블 신호(SEN0)는 활성화되어 MOS 트랜지스터(223b)를 도통시키고, MOS 트랜지스터(224c, 224d)의 n 감지증폭기는 활성화된다.

비트 라인 전위인 BL 과 /BL 중에서 낮은 전압은 접지 전위로 방전된다.

시간 t6 에서, 제어신호(/CT2)는 제 18 도의 (e)에 도시된 바와 같이 제어신호(CT2)의 하강에 응하여 하이(high)가 되고, MOS 트랜지스터(122dp)는 불통되어서 선충전 전위(VPRP)의 백게이트 라인(221e)에의 전달을 방지한다.

또한, 제어신호(/CT3)는 제 18 도의 (f)에 도시된 바와 같이 제어신호(CT3)의 증가에 응하여 시간 t6에서 로우(low)가 되며, MOS 트랜지스터(122f)는 도통되어서 백게이트 라인(221e)와 공통 소오스 라인(222a)을 상호 연결한다.

실제적으로 상호 연결의 시간과 동시에, 감지증폭기 인에이블 신호(/SEP0)는 활성화 되어서 풀업(pull up) MOS 트랜지스터(223a)을 도통시킨다.

대응적으로, 공통 소오스 전위(CSP0)는 전원 전위(Vcc)로 증가되며, 결과적으로 백게이트 전위(VBP)는 공통 소오스 전위(CSP0)의 증가 후에 전원 전위(Vcc)로 증가된다.

MOS 트랜지스터(224a, 224b)의 임계전압의 절대값이 더 작아지므로, 공통 소오스 전위(CSP0)의 증가후 즉시 또는 감지증폭기 인에이블 신호(/SEP0)의 활성화후 즉시, MOS 트랜지스터(224, 224b)는 도통 상태가 되며, 비트 라인 전위인 BL과 /BL 중에서 더 높은 전위는 더 이른 시간에 증가되며, 빠른 감지 동작이 수행된다.

MOS 트랜지스터(224a, 224b)의 임계전압의 절대값을 감지 동작이 시작하자마지 가능한한 작게 만들기 위하여, 감지증폭기 인에이블 신호(/SEP0)을 제어신호(/CT3)의 변화보다 이른 시간에 활성화시키는 것이 바람직하다.

그러나, 백게이트 전위(VBP)가 공통 소오스 전위(CSP0) 보다 낮아지는 만큼 MOS 트랜지스터(122f)의 도통후에 감지증폭기 인에이블 신호(/SEP0)는 활성화 될 수 있다.

고속으로 전위(VBP)를 공통 소오스 전위(CSP0) 보다 확실히 낮게 하기 위하여, 제어신호(/CT2)는 제어신호(/CT)가 로우(low)로 되기 전에 우선적으로 하이(high)로 된다.

그러나, 제어신호(/CT2)는 감지증폭기 인에이블 신호(/SEP0)의 활성화 후에 하이(high)가 될 수 있다.

시간 t7 에서, 비트 라인 전위인 BL 과 /BL 중에서 더 높은 전위는 전원 전위(Vcc)로 증가되며, 감지 동작이 완료되며, 비트 라인(172a, 172b) 상의 데이터(전위)는 래치된다.

그다음에, 제 1 실시예(제 7 도를 참조하라)에서와 같이 데이터를 판독 또는 데이터 기록이 선택된 메모리 셀 상에서 이루어진다.

제 19A 도는 감지 동작의 시작에 p 감지 증폭기(MOS 트랜지스터(224a, 224b)) 전원의 각 절점에 제공되는 전위를 도시하고 있는 도면이다.

제 19A 도에 도시된 바와 같이, 공통 소오스 전위(CSP0)는 중간 전위(Vcc + Vss)/2 이고, 백게이트 전위(VBN)은 선충전 전위()(= (Vcc +Vss)/2 -ψ +ΔV)이며, 비트 라인 전위(/BL)은 (Vcc +Vss)/2 - ΔV 이다.

비트 라인 전위(BL)은 중간 전위 (Vcc + Vss)/2 이다.

MOS 트랜지스터(224a)의 게이트 전위와 소오스 및 드레인 전위 사이의 전위차는 ψ - ΔV 이고, pn 접합 분산 전위(ψ) 보다 크지 않으며, 그래서 어떠한 전류도 백게이트 또는 n 웰(304a)(제17도)로 흐르지 않는다.

MOS 트랜지스터(224b)의 백게이트와 드레인 사이의 전위차는 ψ - 2 ΔV 이고, pn 접합 분산 전위(ψ)보다 크지 않다.

비트 라인 전위인 BL 과 /BL 중에서 더 큰 전위가 제 19a 도의 괄호 안에 도시된 바와 같이 (Vcc + Vss)/2 +ΔV 이면, 백게이트 전위차로의 드레인은 ϕ 이고, pn 접합 분산 전위(ϕ) 보다 크지 않다.

그러므로, 드레인으로부터 백게이트(n 웰)로의 전류 흐름에 기인한 판독 전압(ΔV)의 감소를 확실하게 방지 할 수 있다.

백게이트 전위(VBP)는 전원 전위(Vcc)보다 작으며, MOS 트랜지스터(224a, 224b)의 소오스 전위는 효과적으로 커지며, MOS 트랜지스터(224a, 224b)의 임계전압(Vthp)의 절대값 | Vthp | 는 더 작아진다.

제 19B 도에 도시된 바와 같이, 감지증폭기 인에이블 신호(/SEP0)가 활성화되어서 시간 t6에서 로우(low)가 될 때, 공통 소오스 전위(CSP0)는 전원 전위(Vcc)로 풀업된다.

소오스 전위(CSP0)가 제 19B 도의 (b)의 점선 라인의 도시된 바와 같은 H 레벨 데이터 판독에 시간 t12에서 MOS 트랜지스터(224a, 224b)의 임계전압(Vthp)의 절대값 | Vthp | 에 의해 중간전위 (Vcc + Vss)/2로부터 커질 때, MOS 트랜지스터(224a)는 도통된다.

비트 라인 전위(/BL)이 (Vcc + Vss)/2 - ΔV인 L레벨 데이터 판독에 대해, MOS 트랜지스터(225a)는 소오스 전위(CSP0)가 (Vcc + Vss)/2 - ΔV + | Vthp | 의 값을 가질 때 도통된다.

비록 비트 라인 전위(/BL)이 p 감지증폭기의 동작전에 접지 전위(Vss)로 작아질 때, MOS 트랜지스터(224a, 224b)의 임계전압의 절대값은 더 작아지고, MOS 트랜지스터(224a)는 p 감지증폭기의 동작의 개시와 동시에 더욱 도통 상태가 되며, 큰 전류 흐름이 발생되어 고위 비트 라인 전위(BL)을 고속으로 증가시킨다.

백게이트 전위(VBP)가 전원 전위(Vcc)일 때 중간전위(Vcc + Vss)/2 가 PMOS 감지증폭기 트랜지스터(224a, 224b)의 임계전압의 절대값에 가깝더라도, MOS 트랜지스터(224a, 224b)의 임계전압(Vthp)의 절대값은 감지 동작의 시작과 동시에 충분히 작아지며, 매우 작은 전원 전위에서 동작하는 DRAM을 구현할 수 있다.

시간 t12 의 후에, 감지 동작이 수행된다.

이 동작 중에, 전위(VBP)는 소오스 전위(CSP0)의 변화에 이어서 풀업되며, MOS 트랜지스터(224a, 224b)의 임계전압의 절대값이 확실하게 작게 유지될 수 있다.

이하, 제 19B 도의 (i)에서, 전위(VBP)는 MOS 트랜지스터(122f)(제 16 도)의 저항 성분에 기인한 전위(CSP0)의 변경에 일정 지연을 가진채 변한다.

한편, 제 19B 도의 (ii)에서, 전위(VBNP)는 일단 전위(CSP0)와 동일해지고 전위(CSP0)와 함께 변한다.

이 경우에, MOS 트랜지스터(122f)의 저항 성분은 무시할 수 있으며, 제어신호(/CT3)는 MOS 트랜지스터(224a, 224b)의 임계전압의 절대값을 가능한한 작게 만들기 위하여 시간 t13에서 로우(low)로 된다.

감지 동작후 데이터 래칭의 시작과 동시에, 임계전압(Vthp)의 절대값은 MOS 트랜지스터(224a, 224b)의 각각이 전원 전위(CSP0)와 서로 동일한 백게이트 전위(VBP)를 가지므로 상대적으로 크게 되며, 부임계 전류는 확실하게 압축되어 데이터 래칭의 동작중에 낮은 전력 소비를 구현하게 된다.

저항 수단(122db, 122dg)의 저항값을 동일하게 만들므로서 선충전 전위(VBP)는 (Vcc + Vss)/2 - ϕ 로 설정될 수 있다.

제 20 도는 본 발명의 제 3 실시예에 따른 서브어레이와 주변회로의 구성을 도시한 도면이다.

제 20 도의 구성에서, 백게이트 전위(VBM)을 감지증폭기 내의 n 채널 MOS 트랜지스터(224)로 전달하는 n 채널 백게이트 라인(221d)과 백게이트 전위(VBP)을 p 채널 MOS 트랜지스터(224)로 전달하는 p 채널 백게이트 라인(221e)이 2048 쌍의 비트 라인(172)(16 칼럼 블록) 상에 설치된다.

다른 구성은 제 1 및 제 2 실시예의 경우와 동일하며, 해당하는 성분은 동일한 참조번호에 의하여 표시된다.

제 21 도는 감지증폭기(224)와 n 과 p 백게이트 전위(VBN, VBP)를 발생하는 주변회로의 구성을 도시하고 있다.

제 21 도와 관련하여, n 채널 백게이트 전위 발생기(121)은 제 8 도의 경우와 동일한 구성을 갖으며, 해당하는 성분은 동일한 참조번호에 의하여 표시된다.

로우 어드레스 스트로브 신호(/RAS)에 응하여 발생되는 제어신호(CT1, CT2, CT3)에 의하여, n 채널 백게이트 전위(VBN)은 선충전 전위 (VPRN)(= (Vcc + Vss)/2 + ϕ - ΔV)과 접지 전위(Vss)의 사이에서 변한다.

p 채널 백게이트 전위 발생기(122)는 실제적으로 제 16 도에 도시된 것과 동일한 구성을 갖으며, 해당하는 성분은 동일한 참조번호을 갖는다.

백게이트 전위 제어기(121a)는 또한 백게이트 전위 발생기(122)에 의해 이용된다.

p 채널 백게이트 전위 발생기에 사용된 어떠한 백게이트 전위 제어기도 제공되지 않는다.

회로 영역과 전력 소비에서의 감소의 효과를 얻을 수 있다.

n 채널 감지증폭기 부분과 p 채널 감지증폭기 부분은 제 1 및 제 2 실시예에서와 각각 동일한 회로 구성과 동일한 단면 구조를 갖는다.

n 채널 백게이트 전위(VBN)은 로우 어스레스 스트로브 신호(/RAS)에 응하여 접지 전위(Vss)에서 중간 전위(Vcc + Vss)/2에 pn 접합 분산 전위(ϕ)를 더한 선충전 전위(VPRP)로 변하며, n 채널 공통 소오스 전위(CSN)(CSN0, CSNr)에 연이은 접지전위(Vss)로 변한다.

p 채널 백게이트 전위(VBP)는 로우 어드레스 스트로브 신호(/RAS)에 응하여 전원 전위(Vcc)로 부터 중간 전위(Vcc + Vss)/2에서 pn 접합 분산 전위(ϕ)(~0.6V)를 뺀 p 채널 백게이트 선충전 전위(VPRP)로 변하며, 전원 전위(Vcc)를 제공하기 위하여 p 채널 공통 소오스 전위(CSN)(CSN0, CSNr)를 따라 변한다.

제 3 실시예의 구성은 제 1 및 제 2 실시예의 구성과 실제적으로 동일하며, 유사한 동작이 수행되고 유사한 효과를 얻을 수 있다.

이하, 선충전 전위(VPRN, VPRP)는 각각 (Vcc + Vss)/2 + ϕ - ΔV 와 (Vcc + Vss)/2 - ϕ + ΔV 로 설정될 수 있다.

제 22 도는 본 발명의 제 4 실시예에 따른 n 채널 백게이트 전위 발생기의 구조를 도시하고 있다.

제 22 도의 구성에서, n 채널 선충전 전원 회로(121c)는 n 채널 선충전 전위 발생기(121cn) 대신에 전원 전위(Vcc)를 제공하는 전원 절점(120a)을 포함한다.

다른 구조는 제 1 및 제 3 실시예의 경우와 동일하며, 동일한 참조번호가 같은 성분에 할당되어 있다.

백게이트 전위(VBN)은 , NMOS 감지증폭기(224cd)(MOS 트랜지스터(224c, 224d)에 제공된다.

집적도가 향상될수록, 고속 동작과 감소된 전력을 고려하면 전원 전위(Vcc)는 3.3V, 1.5V 또는 1.2V 이하로 감소된다.

전원 전위가 1.0V이면, 전위차 Vcc - Vss 는 pn 접합 분산 전위(ϕ)의 2배 즉, 2ϕ 보다 작다.

그러므로, 다음과 같은 식(1)과 (2)을 얻을 수 있다.

(Vcc + Vss)/2 Vcc, (1)

Vcc ≤ 2ϕ + Vss,

Vcc + Vcc ≤ 2ϕ + Vcc + Vss

Vcc ≤ (Vcc + Vss)/2 + ϕ (2)

그러므로, 전원 전위(Vcc) 자체가 선충전 전위(VPRN)로 사용될 수 있다.

이 경우에, 제어신호(VT2)의 H 레벨이 전원 전위 보다 큰 승압된 전위가 아니라 전원 전위(Vcc)이면, 선충전 전위(VPRN)는, MOS 트랜지스터(121cp)에서의 임계전압 손실에 기인하여 (Vcc + Vss)/2 + ϕ 보다 작게 될 수 있으며, 그러므로 선충전 전위(VPRN)는 중간전위 보다 큰 (Vcc + Vss)/2 + ϕ - ΔV 의 크기로 설정될 수 있다.

제어신호(CT1 - CT3)은 제 1 및 제 3 실시예에서와 동일한 방식으로 변경되며, 결과적으로 제 1 및 제 3 실시예와 동일한 동작과 동일한 효과를 얻는다.

게다가, n 채널 선충전 전위 발생기(121cn)은 요구하지 않으며, 회로 영역은 감소될 수 있다.

반면, n 채널 MOS 트랜지스터(121cp)는 게이트엣 역전된 제어신호(/CT2)를 입력받는 p 채널 MOS 트랜지스터에 의해 대체될 수 있다.

제 23 도는 감지증폭기(224) 내의 p MOS 감지증폭기(224ab) 내의 p 채널 MOS 트랜지스터(224a, 224b)의 백게이트에 제공되는 선충전 전위(VBP)를 발생하는 p 채널 선충전 전위 발생기(122)의 개요적 구성을 도시하고 있다.

제 23 도에서, p 채널 선충전 전원 회로(122d)는 p 채널 선충전 전위 발생기(122dn) 대신에 접지 절점(120b)를 포함하고 있다.

다른 구성은 제 2 및 제 3 실시예와 경우와 동일하고, 동일한 참조번호가 같은 성분에 할당되어 있다.

이 구성에서, 전원 전위(Vcc)와 접지 전위(Vss) 사이의 전위차 Vcc - Vss 는 단지 pn 접합 분산 전위(ϕ)의 2배 즉, Vcc - Vss ≤ 2ϕ 이다.

그러므로 다음의 식을 얻을 수 있다.

Vcc - 2ϕ ≤ Vss

Vcc + Vss - 2ϕ ≤ Vss + Vss

(Vcc + Vss)/2 - ϕ ≤ Vss Vcc

즉, 접지 전위(Vss) 자체는 p 채널 백게이트 선충전 전위(VPRP)에 대한 조건을 만족한다.

p 채널 MOS 트랜지스터(121dp)는 접지 전위를 백게이트 전위(VPRP)로서 p 채널 백게이트 라인(221e)에 제어신호(/CT2)에 응하여 전달한다.

MOS 트랜지스터(122dp)의 임계전압이 고려된다면, 선충전 전위(VBP)는 p 채널 MOS 트랜지스터(122dp)에서의 임계전압에 기인하여 (Vcc + Vss)/2 - ϕ + ΔV로 설정될 수 있다.

Vcc + Vss ≤ ϕ 의 조건은 단지 전원 전위의 감소에 의해서 뿐만 아니라 전원 전위가 하향 이동되고 접지 전위가 상향 이동되며, 이동된 전위가 동작 전원 전위로서 사용되는 계층적 전원 전위 구성의 사용에 의해서도 이룰 수 있다.

제어신호(/CT - /CT3)는 제 2 및 제 3 실시예에서와 동일한 방식으로 변경되며, 동일한 동작과 동일한 효과를 구현할 수 있다.

게다가, p 채널 선충전 전위 발생기(122dn)은 요구되지 않으며, 회로 영역과 전력 소비를 감소시킬 수 있다.

제어신호(CT2)를 입력받는 n 채널 MOS 트랜지스터는 p 채널 MOS 트랜지스터(122dp) 대신에 사용될 수도 있다.

제 24 도는 본 발명의 제 6 실시예에 따른 n 및 p 선충전 전위 발생기(120,121)의 개요적 구성을 도시하고 있다.

제 6 도 실시예에서, 전원 전위(Vcc)와 접지 전위(Vss) 사이의 전위차는 NMOS 감지증폭기 부분(n 채널 MOS 트랜지스터(224c, 224d) 내에서의 p웰과 n+불순물 영역 사이의 pn 접합 분산 전위(ϕ)의 2배 및 PMOS 감지증폭기 부분(p 채널 MOS 트랜지스터(224a, 224b)) 내에서의 n 웰과 p+불순물 영역 사이의 pn 접합 분

산 전위(ϕ)의 2배에 불과하다.

그러므로, 전원 전위(Vcc) 자체는 n 채널 선충전 전위(VPRN)일 수 있고, 접지 전위(Vss)자체는 p 채널 선충전 전위(VPRP)일 수 있다.

제 24 도에서, p 채널 백게이트 전위 발생기(121c)는 전원 전위(Vcc)를 제공하는 전원 절점(120a)와 백게이트 전위 제어기(121a)로부터의 제어 신호(CT1)에 응하여 전원 전위(Vcc)를 NMOS 감지 증폭기(224ab) 내의 백게이트 라인(221d)에 선택적으로 전달하는 n 채널 MOS 트랜지스터(121cp)를 포함한다.

n 채널 선충전 전위 발생기(122d)는 접지 전위(Vss)를 제공하는 접지 절점(120b), 및 백게이트 전위 제어기(121a)로부터의 제어신호(CT2)을 입력받는 인버터(122c)로부터의 제어신호(/CT2)에 응하여 백게이트 라인(221e)에 접지 전위(Vss)를 선택적으로 전달하는 p 채널 MOS 트랜지스터(122dp)를 포함한다.

제 24 도의 구성은 실제적으로 제 4 및 제 5 실시예의 구성과 실제적으로 동일하며, 동일한 동작과 효과를 구현할 수 있다.

동일한 성분은 제 22 내지 제 24 도에서의 동일한 참조번호에 의하여 표시되며, 특정한 설명은 생략된다.

백게이트 전위 제어기(121a)는 n 및 p 백게이트 전위 발생기(121, 122) 사이에 공유되며, 회로 영역과 전력 소비를 감소시킬 수 있다.

제 7 실시예에서, 감지증폭기를 구성하는 MOS 트랜지스터는 SOI(Silicon On Insulator) 기판 상에 형성된다.

제 25A 도는 n 채널 감지증폭기 트랜지스터(224c, 224d)의 개요적인 평면 배치를 도시하고 있으며, 제 25B 도는 제 25A 도의 선(XV - XV)를 따라서 취해진 단면도이다.

제 25A 도와 관련하여, p+불순물 영역(315a), n+불순물 영역(224ce), n+불순물 영역(224cg)(224dg), n+불순물 영역(224de), 및 p+불순물 영역(315b)는 서로간에 공간적으로 떨어져서 선(XV - XV)를 따라서 배열되어 형성된다.

게이트 전극(224ch)은 p+ 불순물 영역(315a)와 n+ 불순물 영역(224ce)를 둘러싸고 p-몸체 영역에 대면하여 형성된다.

p+ 불순물 영역(315a)와 n+ 불순물 영역(224ce) 사이의 영역은 채널 영역을 제공한다.

p+ 불순물 영역(315a)는 백게이트 라인(221d)에 콘택 홀(314f)를 통하여 연결되며, 게이트 전극(224ch)는 비트 라인(172b)에 콘택 홀(314c)를 통하여 연결되고, n+불순물 영역(224ce)은 비트 라인(172a)에 콘택 홀(314a)를 통하여 연결된다.

게이트 전극(224ch) 외부의 n+ 영역(224cg)(224dg)는 p 채널 공통 소오스 라인(222b)에 콘택 홀(314b)를 통하여 연결된다.

게이트 전극(224dh)는 n+불순물 영역(224dg)(224cg)에 의하여 게이트 전극(224ch)로부터 공간적으로 떨어지며 n+ 불순물 영역(224de)와 p+불순물 영역(315b)를 둘러싸고 p- 몸체 영역에 대면하여 형성된다.

게이트 전극(224d)은 비트 라인(172a)에 접촉 홀(314e)를 통하여 연결되며, n+ 물순물 영역(224de)는 비트 라인(172b)에 콘택 홀(314d)를 통하여 연결되고, p+ 불순물 영역(315b)는 백게이트 라인(221d)에 콘택 홀(314g)를 통하여 연결된다.

접촉 홀(314f, 314a, 314d, 314e)는 일 선 상에 배열되며, 접촉 홀(314d, 314e)는 실제적으로 접촉 홀(314b)에 대하여 점 대칭으로 실제적으로 배열된다.

n+ 불순물 영역(315d, 315c)의 외부에, 실리콘 국부 산화(LOCOS : local oxidation of silicon)막(313)은 소자 분리를 위하여 배치된다.

제 25B 도와 관려하여, 각 불순물 영역은 p 형 반도체 기판(311) 상의 실리콘 산화막과 같은 절연막(312) 상에 형성된다.

상대적으로 낮은 불순물 농도의 p 형(p-) 불순물 영역(몸체 영역)(224cf)는 p+ 불순물 영역(315a)와 n+ 불순물 영역(224ce) 사이에 이 영역(315a, 224ce)를 둘러싸서 형성 된다.

게이트 전극(224ch)은 p- 몸체 영역(224cf) 상의 절연막(224ci) 상에 형성된다.

n+ 불순물 영역 224ce 와 224cg(224dg) 사이의 p- 불순물(몸체) 영역(224cf)는 연속적으로 p+ 및 n+ 불순물 영역(315a, 224ce) 사이의 몸체 영역(224cf)와 링크되도록 확장된다.

즉, p- 불순물 영역(몸체 영역)(224cf)는 n+ 불순물 영역(224ce)를 둘러싸서 형성된다.

게이트 전극(224dj)는 절연막(224di)를 통하여 p- 몸체 영역(224df)를 대면하여 형성된다.

p- 몸체 영역(224df)는 n+ 불순물 영역을 둘러싸서 형성되며, 또한 n+ 불순물 영역(224de)와 p+ 불순물 영역(315b) 사이에 위치한다.

게이트 전극(224dh)는 또한 n+ 불순물 영역(224de)와 p-불순물 영역(315b) 사이의 p- 불순물 영역(224df) 상에 형성된 절연막(224di) 상에 위치한다.

n 채널 감지증폭기 트랜지스터(224c)는 비트 라인 전위(/BL)을 입력받도록 연결되는 게이트 전극(224ch), 드레인으로서 비트 라인 전위(BL)을 입력받도록 연결되는 n+ 불순물 영역(224ce), 소오스로서 공통 소오스 전위(CNS)을 입력받도록 연결되는 n+ 불순물 영역(224cg)(224dg), 및 백게이트로서 p+ 불순물 영역(315a)을 통하여 웰 게이트 전위(VBN)을 입력받도록 연결되는 p- 몸체 영역(224cf)를 포함한다.

n 채널 감지증폭기 트랜지스터(224d)는 비트 라인 전위(BL)을 입력받도록 연결되는 게이트 전극(224dh),

소오스으로서 공통 소오스 전위(CSN)을 입력받도록 연결되는 n+ 불순물 영역(224dg)(224cg), 드레인으로서 비트 라인 전위(/BL)을 입력받도록 연결되는 n+ 불순물 영역(224de), 및 백게이트로서 p-몸체 영역(224df)를 포함한다.

n+ 불순물 영역(224cg)(224dg)는 트랜지스터인 224c 와 224d 사이에 공유된다.

p+ 불순물 영역(315a)와 n+ 불순물 영역(224ce) 사이의 몸체 영역(224cf)상에 형성된 게이트 전극(224ch)은 누설전류를 압추하기 위하여 공핍층의 n+ 불순물 영역(224ce)에서 p+ 불순물 영역(315a) 근처의 주요 영역(224cf)으로 확장하는 것을 압축한다.

p+ 불순물 영역(315b)에 근접한 게이트 전극(22df)은 동일하게 n+ 불순물 영역(224de)와 p+ 불순물 영역(315b) 사이의 누설전류를 동일하게 압축한다.

pn 접합 분산 전위(ϕ1)(또는 ϕ)는 몸체 영역(224cf)와 n+ 불순물 영역(224ce, cc4cg) 사이의 접합부에 전위로써 및 p- 몸체 영역(224df)와 n+ 불순물 영역(224dg, 224de) 사이의 접합부에의 전위로써 제공된다.

n+ 불순물 영역(224ce, 224cg(224dg), 224de)의 저면은 절연층(312)에 연결되며, p-몸체 영역(224cf) 사이 및 n+ 불순물 영역(224dg, 224de)와 n+ 불순물 영역(224ce, 224cg)와 p- 몸체 영역(224df) 사이의 접합 영역은 더 작아지며, 이 p-/n+ 접합부를 통해 흐르는 누설전류는 감소 될 수 있다.

게다가, 몸체 영역(224cf, 224df)는 n 웰의 표면 상이 아니라 절연층(312)상에 형성되며, 그러므로 웰 접합 커패시턴스로의 어떠한 웰도 존재하지 않고, 몸체영역(224cf, 224df)는 더 적은 전류로써 고속으로 충전되고 방전될 수 있다.

더욱이, 트랜지스터(224c, 224d)는 소오스와 드레인 영역에서 접합 커패시턴스를 감소시키며, 이 트랜지스터(224c, 224d)는 고속으로 동작할 수 있고, 결과적으로 NMOS 트랜지스터 감지증폭기(트랜지스터(224c, 224d))에 의해 빠른 감지 동작을 얻을 수 있다.

제 26A 도는 감지증폭기(224) 내의 P MOS 감지증폭기의 MOS 트랜지스터(224a, 224b)의 평면 배치를 도시하고 있고, 제 26B 도는 제 26B 도의 선(XX -XX)를 따라 취해진 단면도이다.

제 26A 및 26B 도에서, 제 25A 및 25B 도의 구성에서와 동일한 성분은 동일한 참조번호를 갖는다.

제 26A 및 26B 도를 참조하여, p 채널 감지증폭기 트랜지스터(224a, 224b)는 p형 실리콘 반도체 기판 또는 p 웰(311) 상에 배치된 절연층(312)상에 형성된다.

절연층(312) 상에, n+ 불순물 영역(315c), p+ 불순물 영역(224ae), p+ 불순물 영역(224ag)(224bg), p+불순물 영역(224be), 및 n+불순물 영역(315d)이 형성되는데, 이들은 서로간에 공간적으로 떨어져있고 선(XX - XX)을 따라 배열되어 있다.

n 불순물 영역(몸체 영역)(224)는 p+ 불순물 영역(224ae)와 n+불순물 영역(315c)을 둘러싸서 형성된다.

게이트 전극(224ah)는 게이트 절연막(224ai)를 통하여 n- 몸체 영역(224af)에 대면하여 형성되며, 콘택홀(314j)를 통하여 비트 라인(172b)에 연결된다.

n+ 불순물 영역(315c)는 콘택홀(314n)을 통하여 백게이트 전위 라인(221e)에 연결되어 n- 불순물 영역(224af)에 백게이트 전위(VBP)를 제공한다.

p+ 불순물 영역(224ae)는 콘택홀(314h)를 통하여 비트 라인(172a)에 연결된다.

p+불순물 영역(224ag)(224bg)는 공통 소오스 전위 라인 (222a)에 연결된다.

p 채널 감지증폭기 트랜지스터(224a)는 비트 라인 전위(/BL)을 입력받는 게이트 전극(224ah), 드레인으로서 비트 라인 전위(BL)를 입력받는 p+ 불순물 영역(224ae), 소오스로서 공통 소오스 전위(CSP)를 입력받는 p+ 불순물 영역(224ag), 및 백게이트로서의 n- 몸체 영역(224af)를 포함한다.

n- 불순물 영역(224bf)는 p+ 불순물 영역(224be)와 n+ 불순물 영역(315d)을 둘러싸서 형성된다.

p+ 불순물 영역(224be)는 콘택홀(314k)을 통하여 비트 라인(172b)에 연결된다.

n+ 불순물 영역(315d)는 콘택홀(314p)를 통하여 공통 소오스 전위 라인(221e)에 연결되어 몸체 영역(224bf)에 백게이트 전위(VBP)를 제공한다.

게이트 전극(224bh)는 게이트 절연막(224bt)를 통하여 n-몸체 영역(224bf)에 대면하여 형성되며, 콘택홀(314m)을 통하여 비트 라인(172a)에 연결된다.

p 채널 감지증폭기 트랜지스터(224b)는 소오스로서 공통 소오스 전위(CSP)를 입력받는 p+불순물 영역(224bf)(224ag), 드레인으로서 비트 라인 전위(/BL)를 입력받는 p+불순물 영역(224be), 비트 라인 전위(BL)를 입력받는 게이트 전극(224bh, 및 백게이트로서의 백게이트 전위(VBR)를 입력받는 n- 불순물 영역(몸체 영역)를 포함한다.

콘택홀(314n, 314h, 314i, 314k, 314p)는 서로간에 정렬되며, 콘택홀(314j, 314m)은 콘택홀(314i)에 관하여 점 대칭으로 위치한다.

p+불순물 영역(224ae)와 n+ 불순물 영역(315c) 사이의 몸체 영역(224)상의 게이트 전극(224ah)와 p+ 불순물 영역(224be)와 n+ 불순물 영역(315d)사이의 몸체 영역(224bf)상의 게이트 전극(224bh)는 각각 p+ 불순물 영역인 224ae와 224be 및 n+ 불순물 영역인 315c와 315d 사이의 누설전류를 압축하기 위하여 공핍층의 n+ 불순물 영역(315c, 315d)의 확장을 방지하기 위하여 놓여진다.

pn접합 분산 전위(∮또는∮2)는 몸체 영역(224)와 p+ 불순물 영역(소오스/드레인) 영역(224ae, 224ag)사이의 접합부 및 몸체 영역(224bf)와 p+불순물(소오스/드레인)영역(224be) 사이의 접합부에의 전위에 의

하여 제공된다.

n-불순물 영역(224ae,224be)은 서로간에 공간적으로 떨어져서 형성된다.

p+불순물 영역(224ag)(224bg)는 트랜지스터인 224a 와 224b 사이에 공유된다.

제 26A 및 26B 도에서 도시된 P MOS 감지증폭기 부분의 구성에서, p+불순물 영역(224ae, 224ag(224bg), 224be) 각각은 절연층(312)로서 저면 콘택부를 가지며, p+불순물 영역(224ae, 224ag)와 몸체 영역(224af) 사이 및 p+불순물 영역(224be, 224bg(224ag))와 몸체 영역(224bf) 사이의 접합부의 영역은 작게되며, 결과적으로 접합부의 누설전류를 감소시키며 이는 전력 소비를 감소시킨다.

더욱이, 접합 영역의 감소에 기인하여, 백게이트(몸체 영역)과 소오스 및 드레인 영역(p+ 불순물 영역) 사이의 접합 커패시턴스는 감소될 수 있으며, 이는 트랜지스터(224a,224b)에 의해 빠른 감지 동작을 얻을 수 있다.

몸체 영역(224af, 224bf)는 절연층 상에 형성되며, 어떠한 웰도 몸체 영역(224af, 224bf)에 제공될 필요가 없다.

그러므로, 웰 접합 커패시턴스에의 웰은 백게이트 영역에 나타나지 않으며 백게이트 전위(VBP)는 적은 전류 소비로써 고속으로 변경될 수 있다.

감지 동작을 위하여 SOI 구조를 사용함에도 감지 동작과 메모리 셀 선택 동작은 상술한 실시예에서와 동일하며, 동일한 효과를 또한 얻을 수 있다.

상술한 바와 같이, 낮은 전원 전위와 빠른 속도로 동작하는 반도체 기억 장치을 구현할 수 있다.

백게이트 전위(VBP, VBN)은 선택 서브어레이에 대해 제공되는 감지증폭기에 대해서만 변경될 수 있다.

상술한 구성에서, 전력 소비는 감소될 수 있다.

상술한 구성은 감지증폭기 인에이블 신호(SEN: SENr, /SEP; SEPr)을 활성화시키는 회로를 사용함으로써 또는 제어신호(CT1 - CT3)와 메모리 블록 선택 신호(BS)와 감지증폭기 인에이블 신호(SEN, /SEP)을 결합시킴으로써 구현될 수 있다.

대안으로, 모든 감지증폭기는 동시에 변경되는 백게이트 전위(VBP, VBN)를 입력받을 수 있다.

(57) 청구의 범위

청구항 1

제 1 전원 전위와 상기 제 1 전원 전위와 다른 상기 제 2 전원 전위 사이의 중간전위로 미리 충전된 제 1 비트 라인(172a)과, 상기 제 1 비트 라인과 쌍을 이루는 제 2 비트라인(172b)상의 전위를 차동적으로 증폭하기 위하여,

상기 제 1 전원전위를 입력받는 제 1 전원절점(221a, 221b)과 상기 중간전위로 미리 충전되는 제 1 절점(222a, 222b) 사이에 연결되고 상기 제 1 전원절점과 상기 제 1 절점을 전기적으로 연결하기 위하여 활성화되는 제 1 감지증폭기 인에이블 신호(/SEPr; SENr)에 응하는 제 1 활성화 트랜지스터(223a; 223b);

상기 제 1 절점과 상기 제 1 비트 라인의 사이에 연결되고 상기 제 2 비트 라인에 연결되는 게이트(224ac; 224cc; 224ah; 224ch)를 갖으며 상기 제 1 감지 증폭기 인에이블 신호의 활성화 전에 제 1 선충전 전위(VPRP; VPRN)로 미리 충전된 제 1 백게이트 전위(VBP; VBN)을 입력받는 백게이트(303a; 303c; 224af; 224cf)을 갖고 상기 제 1 감지증폭기 인에이블 신호, 상기 제 1 중간 전위와 상기 제 1 전원전위 사이의 절대값의 차보다 큰 상기 제 1 선충전 전위와 상기 제 1 전원 전위 사이의 절대값의 차의 활성화 동안에 상기 제 1 절점에서의 전위와 함께 변하는 제 1 감지 트랜지스터(224a; 224c);

상기 제 1 절점과 상기 제 2 비트 라인 사이에 연결되고 상기 제 1 비트 라인과 상기 제 1 백게이트 전위를 입력받는 백게이트(304a; 303a; 224bf; 224df)에 연결되는 게이트(224bc; 224dc; 224bh; 224dh)를 갖는 제 2 감지 트랜지스터(224b; 224d)로 구성되는 것을 특징으로 하는 감지증폭기 회로.

청구항 2

제 1항에 있어서,

상기 제 1 및 제 2 감지 트랜지스터(224a; 224b; 224c; 224d)의 각각은 상기 제 1 및 제 2 비트 라인(172a, 172b) 중에서 해당하는 일에 전기적으로 연결된 제 1 도전형의 제 1 불순물 영역(224aa; 224ca; 224ae; 224ce), 상기 제 1 불순물 영역과 공간적으로 떨어져 있으며 상기 제 1 절점과 전기적으로 연결된 제 1 도전형의 제 2 불순물 영역(224ab; 224cb; 224ag; 224cg), 및 상기 백게이트의 역할을 하는 상기 제 1 도전형과 다른 제 2 도전형의 몸체 영역(304a; 303a; 224af; 224bf; 224cf; 224df)으로 구성되고, 상기 제 1 선충전 전위(VPRP; VPRN)과 상기 중간 전위 사이의 절대값의 차는 상기 제 1 및 제 2 불순물 영역과 상기 몸체 영역 사이의 접합부에서의 pn 접합 분산 전위(ϕ)보다 크지 않은 것을 특징으로 하는 감지증폭기 회로.

청구항 3

제 2항에 있어서,

상기 제 1 및 제 2 비트라인(172a, 172b)의 하나는 상기 백게이트가 상기 제 1 선충전 전위로 선충전되는 동안 메모리 셀 데이터의 판독에 기인한 판독 전압(ΔV)에 의하여 변경되는 전위를 가지며, 상기 제 1 선충전 전위(VPRP; VPRN)는 상기 절대값의 차가 0보다 크고 상기 pn 접합 분산 전위에서 상기 판독 전압을 뺀 값보다 크지 않도록 전위 레벨이 설정되는 것을 특징으로 하는 감지증폭기 회로.

청구항 4

제 1항에 있어서,

상기 제 1 및 제 2 감지 트랜지스터(224a; 224b)의 각각은 p 채널 절연게이트형 트랜지스터로 구성되고, 상기 제 1 전원 전위는 상기 감지증폭기 회로에 대한 동작 전원 전위이며, 상기 제 2 전원 전위는 상기 감지증폭기 회로에 대해 접지 전위인 것을 특징으로 하는 감지증폭기 회로.

청구항 5

제 1항에 있어서,

상기 제 1 및 제 2 감지 트랜지스터(224c; 224d)의 각각은 n 채널 절연게이트형 트랜지스터로 구성되고, 상기 제 1 전원 전위는 상기 감지증폭기 회로에 대해 접지 전위이며, 상기 제 2 전원 전위는 상기 감지증폭기 회로에 대해 동작 전원 전위인 것을 특징으로 하는 감지증폭기 회로.

청구항 6

제 5항에 있어서,

상기 제 1 선충전 전위(VPRN)은 상기 감지증폭기 회로에 대해 동작 전원 전위인 것을 특징으로 하는 감지증폭기 회로.

청구항 7

제 4항에 있어서,

상기 제 1 및 제 2 감지 트랜지스터(224a; 224b; 224c; 224d)는 반도체 영역(311)상에 형성된 절연층(312)를 갖는 SOI 기판 상에 형성되는 것을 특징으로 하는 감지증폭기 회로.

청구항 8

제 1 항에 있어서,

상기 제 2 전원전위를 입력받는 제 2 전원절점(221b; 221a)과 상기 중간전위로 선충전되는 제 2 절점(222b; 222a) 사이에 연결되고 상기 제 2 전원절점과 상기 제 2 절점을 전기적으로 연결하기 위하여 활성화되는 제 2 감지증폭기 인에이블 신호(SENr; SEPr)에 응하는 제 2 활성화 트랜지스터(223b; 223a),

상기 제 2 절점과 상기 제 1 비트 라인 사이에 연결되고 상기 제 2 비트 라인에 연결된 게이트(224cc; 224ac; 224ch; 224ah)를 갖으며 상기 제 2감지증폭기 인에이블 신호의 활성화의 전에 제 1 선충전 전위(VPRN; VPRP)로 선충전되는 제 2 백게이트 전위(VBN; VBP)를 입력받는 백게이트(303c; 303a; 224af; 224af)를 갖고 상기 제 2 감지증폭기 인에이블 신호, 상기 중간전위와 상기 제 2 전원전위 사이의 절대값 차 보다 큰 상기 제 2 선충전 전위와 상기 제 2 전원전위 사이의 차의 활성화 동안에 상기 제 2 절점에서의 전위와 함께 변하는 제 3 감지 트랜지스터(224c; 224a); 및

상기 제 2 절점과 상기 제 2 비트 라인 사이에 연결되고 상기 제 1 비트 라인과 상기 제 2 백게이트 전위를 입력받는 제 2 백게이트(303a; 304a; 224df; 224cf)에 연결된 게이트(224dc; 224bc; 224dh; 224bh)를 갖는 제 4 감지 트랜지스터(224d; 224b)가 부가되는 것을 특징으로 하는 감지증폭기 회로.

청구항 9

제 1 항에 있어서,

상기 제 2 전원전위 사이에서 수신되는 제 2 전원노드(221b; 221a)사이에 결속되는 제 2 활성트랜지스터(223b; 223a) 및, 상기 중간전위로 선충전되고, 상기 제 2 전원노드 및 상기 제 2 노드를 전기적으로 결속하기위해 활성화되는 제 2 센스증폭기 인에이블신호(SENr; /SEPr)에 응답하는 제 2 노드(222b; 222a);

상기 제 2 노드와 상기 제 1 비트선 사이에 접속되고, 상기 제 2 비트선에 결속되는 게이트(224cc; 224ac; 224ch; 223ah)를 구비하고,

상기 제 2 센스증폭기 인에이블 신호의 활성화전에 제 1 선충전전위(VPRN; VPRP)로 선충전되는 제 2 백게이트전위(VBN; VBP)를 수신하는 백게이트(303c; 303a; 224af; 224af)를 구비하며,

상기 제 2 증폭기 인에이블신호의 활성화중에 상기 제 2노드에서 전위를 바꾸는 제 3 센스트랜지스터(224c; 224a)를 구비하고,

상기 제 2 선충전전위와 상기 제 2 전원전위 사이의 절대값의 차이는 상기 중간전위와 상기 제 2 전원전위 사이의 절대값보다 크며,

상기 제 2 노드와 상기 제 2 비트선 사이에 접속되고, 상기 제 1 비트 선에 결속되는 게이트(224dc; 224bc; 224dh; 224bh)와, 상기 제 2 백게이트 전위를 수신하는 제 2 백게이트(303a; 304a; 224df; 224cf)를 구비하는 제 4 센스트랜지스터(224d; 224b)를 더 포함하는 센스증폭기회로.

청구항 10

제 9 항에 있어서,

상기 제 3 및 제 4 감지트랜지스터(224c 224d; 224a, 224b)의 각각은 상기 제 1 및 제 2 비트 라인(172a, 172b) 중에서 해당하는 일에 전기적으로 연결된 제 2 도전형의 제 3 불순물 영역(224ca; 224aa; 224ce; 224ae), 상기 제 3 불순물 영역과 공간적으로 떨어져 있으며 상기 제 2 절점과 전기적으로 연결된 제 2 도전형의 제 4 불순물 영역(224cb; 224ab; 224cg; 224ag), 및 상기 제 2 백게이트의 역할을 하는 상기 제

1 도전형과 다른 제 1 도전형의 제 2 몸체 영역(303a; 304a; 224cf; 224df; 224af; 224bf)으로 구성되고, 상기 제 2 선충전 전위(VPRN; VPRP)과 상기 중간전위 사이의 절대값의 차는 상기 제 3 및 제 4 불순물 영역과 상기 제 2 몸체 영역 사이의 접합부에서의 pn 접합 분산 전위(ϕ) 보다 크지 않은 것을 특징으로 하는 감지증폭기 회로

청구항 11

제 10 항에 있어서,

상기 제 1 및 제 2 비트 라인(172a, 172b)의 하나는 상기 백게이트가 상기 제 2 선충전 전위로 선충전되는 동안 메모리 셀 데이터의 판독에 기인한 판독 전압(ΔV)에 의하여 변경되는 전위를 가지며, 상기 제 2 선충전 전위(VPRP; VPRN)는 상기 절대 값의 차가 0보다 크고 상기 pn 접합 분산 전위에서 상기 판독 전압을 뺀 값보다 크지 않도록 전위 레벨이 설정되는 것을 특징으로 하는 감지증폭기회로.

청구항 12

제 9 항에 있어서,

상기 제 3 및 제 4 감지 트랜지스터(224; 224)의 각각은 p 채널 절연게이트형 트랜지스터로 구성되고, 상기 제 2 전원전위는 상기 감지증폭기에 대해 동작 전원 전위이며, 상기 제 1 전원전위는 상기 감지증폭기에 대해 접지전위인 것을 특징으로 하는 감지 증폭기 회로.

청구항 13

제 9 항에 있어서,

상기 제 3 및 제 4 감지 트랜지스터(224c, 224d)의 각각은 n 채널 절연게이트형 트랜지스터로 구성되고, 상기 제 2 전원전위는 상기 감지증폭기 회로에 대해 접지전위이며, 상기 제 1 전원전위는 상기 감지증폭기 회로에 대해 동작 전원전위인 것을 특징으로 하는 감지증폭기 회로.

청구항 14

제 13 항에 있어서,

상기 제 2 선충전 전위(VPRN)은 상기 감지증폭기 회로에 대하여 동작 전원전위인 것을 특징으로 하는 감지증폭기 회로.

청구항 15

제 12 항에 있어서,

상기 제 2 선충전 전위(VPRP)는 상기 감지증폭기 회로에 대해 접지전위인 것을 특징으로 하는 감지증폭기 회로.

청구항 16

제 9 항에 있어서,

상기 제 3 및 제 4 감지 트랜지스터(224c; 224d; 224a; 224b)는 반도체 영역(311) 상에 형성된 절연층(312)를 갖는 SOI 기판 상에 형성되는 것을 특징으로 하는 감지증폭기 회로.

청구항 17

각각이 소정 개수의 메모리 셀을 연결시키는 제 1 및 제 2 비트 라인(172a, 172b);

제 1 절점(222a)와 상기 제 1 비트 라인 사이에 연결되고 상기 제 2 비트 라인과 제 1 백게이트에 연결된 제어 게이트를 갖는 제 1 트랜지스터(224a; 224c), 상기 제 1 절점과 상기 제 2 비트 라인 사이에 연결되고 상기 제 1 비트 라인과 제 2 백게이트에 연결된 제어 게이트를 갖으며, 상기 제 1 및 제 2 백게이트는 제 1 백게이트 절점에 연결되고, 상기 제 1 및 제 2 비트 라인상의 전위를 차동 증폭하는 제 2 감지 트랜지스터(224b, 224d);

제 1 전원절점(221; 221b)와 상기 제 1 절점 사이에 연결되고 활성화되는 제 1 감지 증폭기 인에이블 신호에 응하여 상기 제 1 전원절점과 상기 제 1 절점을 전기적으로 연결하는 제 1 감지 인에이블 트랜지스터(223a; 223b);

활성화된 선충전 지시 신호에 응하여 상기 제 1 전원전위와 상기 제 1 전원전위와 다른 제 2 전원전위 사이의 중간전위의 상기 제 1 절점을 선충전하기 위한 상기 제 1 절점에 연결된 선충전 회로(174);

상기 제 1 및 제 2 전원전위와 함께 상기 중간전위와 상기 제 2 전원전위 사이의 레벨의 제 1 백게이트 선충전 전위(VPRP; VPRN)을 발생하기 위한 제 1 백게이트 전위 발생기(122dn; 121cn);

상기 제 1 백게이트 전위 발생기와 상기 제 1 백게이트 절점 사이에 연결되어 상기 제 1 백게이트 선충전 전위를 상기 제 1 백게이트 절점 상에 활성화된 제 1 제어신호(CT2)에 응하여 전달하기 위한 제 1 수단(122p; 121cp);

상기 제 1 절점과 상기 제 1 백게이트 사이에 연결되고 활성화된 제 2 제어신호(CT3)에 응하여 상기 제 1 절점과 상기 제 1 백게이트를 전기적으로 연결하기 위한 제 2 수단(122f; 121e);

메모리 싸이클 개시 지시 신호를 입력받도록 연결되고 상기 메모리 싸이클 개시 지시 신호에 응하여 상기 제 1 감지증폭기 인에이블 신호의 활성화의 전에 상기 제 1 수단에 적용할 목적의 상기 제 1 제어신호를 활성화하고, 상기 제 1 감지증폭기 인에이블 신호의 활성화의 동안에 상기 제 2 제어신호를 활성화하며,

상기 선충전 지시 신호는 상기 메모리 싸이클 개시 지시 신호의 활성화에 응하여 비활성화되고, 상기 제 1 감지증폭기 인에이블 신호는 상기 메모리 싸이클 개시 지시 신호의 활성화에 응하여 활성화되는 것을 제어기(121a)로 구성되는 것을 특징으로 하는 반도체 기억장치.

청구항 18

제 17 항에 있어서,

상기 제어기(121a)는 상기 메모리 싸이클 개시 지시 신호(/RAS)을 입력받도록 연결되고 상기 메모리 싸이클 개시 지시 신호를 제 3 제어신호(CT1)를 발생하기 위하여 소정의 시간에 의해 지연시키는 제 1 지연수단(121aa, 121ab);

상기 제 3 제어신호를 입력받도록 연결되고 상기 제 1 제어신호(CT2)를 상기 제 3 제어신호의 비활성화에 응하여 제 2 소정 시간 동안 활성화시키기 위한 제 1 게이트 수단(121ac-121ae, 121af); 및

상기 제 1 및 제 3 제어신호를 입력받도록 연결되고 상기 제 2 제어신호를 상기 제 1 및 제 2 제어신호의 둘다의 비활성화에 응하여 활성화시키는 제 2 게이트 수단(121ag)를 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 19

제 17 항에 있어서,

상기 제 1 전원절점(120a; 120b)와 상기 제 1 백게이트 절점(221e; 221d) 사이에 연결되고 활성화되는 상기 제 3 제어신호에 응하여 상기 제 1 전원절점과 상기 제 1 백게이트 절점을 전기적으로 연결하는 제 3 수단(121e; 121d)이 부가되는 것을 특징으로 하는 반도체 기억장치.

청구항 20

제 18 항에 있어서,

상기 제 1 및 제 2 감지 트랜지스터(224a, 224b; 224c, 224b)의 각각은 상기 제 1 및 제 2 비트라인(172a, 172b) 중에서 해당하는 일에 전기적으로 연결된 제 1 도전형의 제 1 불순물 영역(224a; 224b; 224c; 224d), 상기 제 1 불순물 영여과 공간적으로 떨어져 있으며 상기 제 1 절점과 전기적으로 연결된 제 1 도전형의 제 2 불순물 영역(224ab; 224cb; 224ag; 224cg), 및 상기 백게이트의 역할을 하는 상기 제 1 도전형과 다른 제 2도전형의 몸체 영역(304a, 303a; 224af; 224bf; 224cf; 224df)으로 구성되고, 상기 제 1 선충전 전위(VPRP; VPRN)과 상기 중간전위 사이의 절대값의 차는 상기 제 1 및 제 2 불순물 영역과 상기 몸체 영역 사이의 접합부에서의 pn 접합 분산 전위(ϕ) 보다 크지 않은 것을 특징으로 하는 반도체 기억장치.

청구항 21

제 20 항에 있어서,

상기 제 1 및 제 2 비트 라인(172a, 172b)의 하나는 상기 백게이트가 상기 제 1 제어신호(CT2)의 활성화의 전에 메모리 셀 데이터의 판독에 기인한 판독 전압(ΔV)에 의하여 변경되는 전위를 가지며, 상기 제 1 백게이트 선충전 전위(VPRP; VPRN)는 상기 절대값의 차가 0 보다 크고 상기 pn 접합 분산 전위에서 상기 판독 전압을 뺀 값보다 크지 않도록 전위 레벨이 설정되는 것을 특징으로 하는 반도체 기억장치

청구항 22

제 17 항에 있어서,

상기 제 1 및 제 2 감지 트랜지스터(224a; 224b)의 각각은 p 체널 절연게이트형 트랜지스터로 구성되고, 상기 제 1 전원전위는 동작전위이며, 상기 제 2 전원전위는 접지 전위이고, 상기 제 1 백게이트 선충전 전위(VPRP)는 접지 전위인 것을 특징으로 하는 반도체 기억장치.

청구항 23

제 17항에 있어서,

상기 제 1 및 제 2감지 트랜지스터(224c; 224d)의 각각은 n 채널 절연게이트형 트랜지스터로 구성되고, 상기 제 1 전원전위는 접지 전위이며, 상기 제 2 전원전위는 동작 전원전위이고, 상기 제 1 백게이트 선충전 전위(VPRN)는 동작 전원전위인 것을 특징으로 하는 반도체 기억장치.

청구항 24

제 17 항에 있어서,

상기 제 1 및 제 2 감지 트랜지스터(224a, 224b, 224c, 224d)는 반도체 영역(311) 상에 형성된 절연층(312)를 갖는 SOI 기판 상에 형성된 것을 특징으로 하는 반도체 기억장치.

청구항 25

제 17 항에 있어서,

상기 감지증폭기(224)는 제 2 절점(222b; 222a)와 상기 제 1 비트 라인(172a) 사이에 연결되고 상기 제 2 비트 라인(172d)와 제 3 백게이트에 연결된 제어 게이트를 갖는 제 3 감지 트랜지스터(224c; 224a), 및 상기 제 2 절점과 상기 제 2비트 라인 사이에 연결되고 상기 제 1 비트와 제 4 백게이트를 갖는 제어 게이트를 갖는 제 4 감지 트랜지스터(224d; 224b)를 더 포함하고, 상기 제 3 및 제 4 백게이트는 제 2 백게

이트 절점(221d; 221a)에서 연결되며,

상기 선충전 회로(174)는 상기 제 2 절점을 활성화되는 상기 선충전 지시 신호에 응하여 중간전위로 선충전하는 상기 제 2 절점에 결합된 수단을 포함하며,

상기 제 1 및 제 2 전원전위와 함께 상기 중간 레벨과 상기 제 1전원전위 사이의 레벨의 제2 백게이트 선충전 전위(VPRN; VPRP)를 발생하는 제 2 백게이트 전위 발생기(122cn; 121dn),

상기 제 1백게이트 전위 발생기와 상기 제 2 백게이트 절점 사이에 연결되고 상기 제 2 백게이트 선충전 전위를 활성화되는 상기 제 1 제어신호(CT2)에 응하여 상기 제 2 백게이트 절점 상에 전달하는 제 1 연결 수단(121cp; 121dp),

상기 제 2 절감과 상기 제 2 백게이트 절점 사이에 연결되고 상기 제1 절점과 상기 제 2 백게이트 절점을 활성화되는 상기 제 2 신호(CT3)에 응하여 전기적으로 연결하는 제 2 연결 수단(121e; 122f),

상기 제 2 전원 전위를 입력받고 제 2 감지 인에어블 신호에 응하여 상기 제 2전원절점에 상기 제 2절점을 연결하는 제 2 전원절점(221b; 221a) 사이에 연결된 제 2 감지 인에이블 트랜지스터를 부가하는 것을 특징으로 하는 반도체 기억장치.

청구항 26

제 25 항에 있어서,

상기 제 2 전원 절점(120b; 120a)와 상기 제 2 백게이트 절점(221d; 221c) 사이에 연결되고 상기 제 2 전원 절점과 상기 제 2 백게이트 절점을 상기 메모리 싸이클 개시 지시 신호에 응하여 전기적으로 연결하는 수단(121d; 122e)를 부가하는 것을 특징으로 하는 반도체 기억장치.

청구항 27

제 25 항에 있어서,

상기 제 3 및 제 4 감지 트랜지스터(224c, 224d; 224a, 224b)의 각각은 상기 제 1 및 제 2 비트 라인(172a, 172b) 중에서 해당하는 일에 전기적으로 연격된 제 2 도전형의 제 3 불순물 영역(224ca; 224aa; 224ce; 224ae), 상기 제 3 불순물 영역과 공간적으로 떨어져 있으며 상기 제 2 절점과 전기적으로 연결된 제 2 도전형의 제 4 불순물 영역(224cb; 224ab; 224cg; 224ag), 및 상기 제 3 또는 제 4 백게이트의 역할을 하는 상기 제 2 도전형과 다른 제 1 도전형의 몸체 영역(303a; 304a; 224cf; 224df; 224af; 224bf)으로 구성되고, 상기 제 2 선충전 전위(VPRN; VPRP)과 상기 중간전위 사이의 절대값의 차는 상기 제 3 및 제 4 불순물 영역과 상기 몸체 영역 사이의 접합부에서의 pn 접합 분산 전위(ϕ) 보다 크지 않은 것을 특징으로 하는 반도체 기억장치.

청구항 28

제 27 항에 있어서,

상기 제 1 및 제 2 비트 라인(172a, 172b)의 하나는 메모리 셀 데이터의 판독에 기인한 판독 전압(ΔV)에 의하여 변경되는 전위를 가지며, 상기 제 2 선충전 전위(VPRP; VPRN)는 상기 절대값의 차가 0보다 크고 상기 pn 접합 분산 전위에서 상기 판독 전압을 뺀 값보다 크지 않도록 전위 레벨이 설정되는 것을 특징으로 하는 반도체 기억장치.

청구항 29

제 25 항에 있어서,

상기 제 3 및 제 4 감지 트랜지스터(224a; 224b)의 각각은 p 채널 절연게이트형 트랜지스터로 구성되고, 상기 제 2 전원전위는 동작 전원전위이며, 상기 제 1 전원전위는 접지 전위이고, 상기 제 1 전원전위와 상기 제 2 백게이트 선충전 전위는 접지 전위인것을 특징으로 하는 반도체 기억장치.

청구항 30

제 25 항에 있어서,

상기 제 3 및 제 4 감지 트랜지스터(224c; 224d)의 각각은 n 채널 절연게이트형 트랜지스터로 구성되고, 상기 제 1 전원전위와 상기 제 2 백게이트 선충전 전위의 각각은 동작 전원전위이고, 상기 제 2 전원전위는 접지전위인 것을 특징으로 하는 반도체 기억장치.

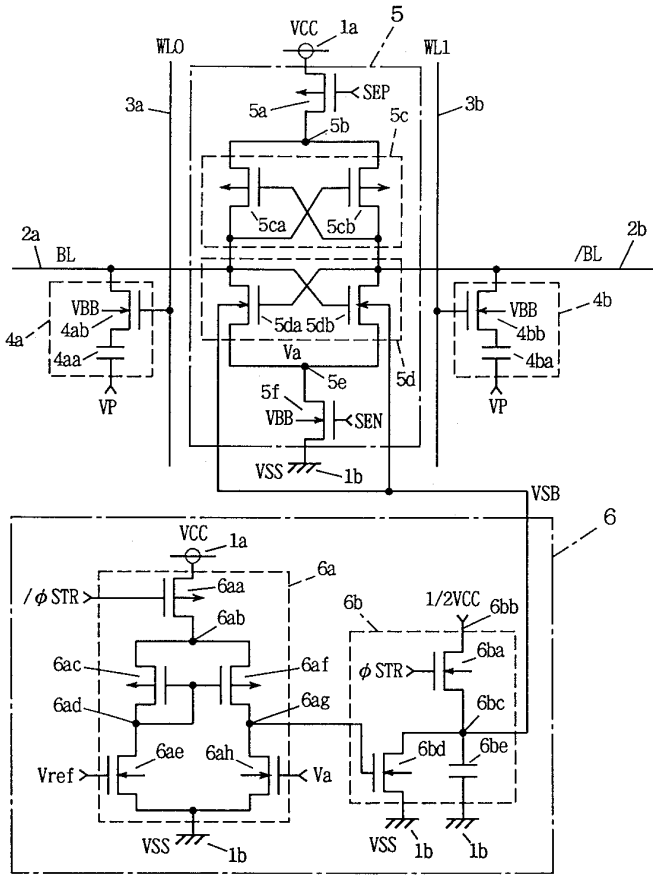
청구항 31

제 25 항에 있어서,

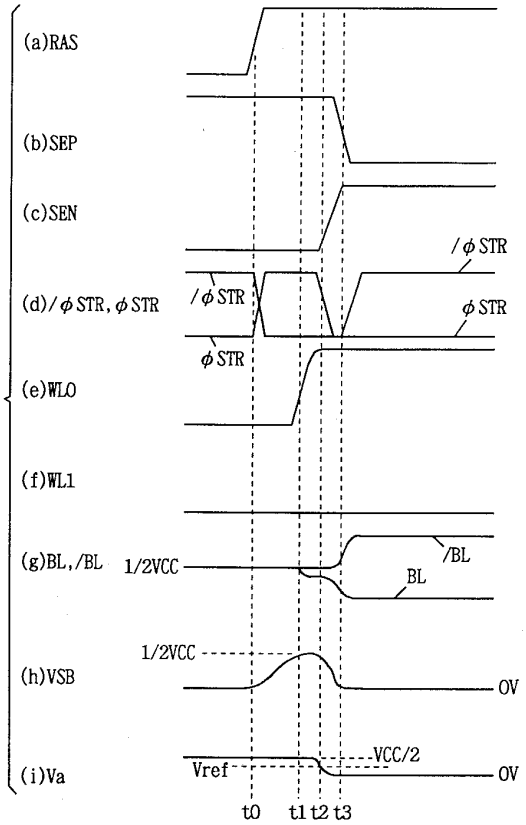
상기 제 3 및 제 4 감지 트랜지스터(224c, 224d, 224a, 224b)는 반도체 영역(311) 상에 형성된 절연층(312)를 갖는 SOI 기판 상에 형성된 것을 특징으로 하는 반도체 기억장치.

도면

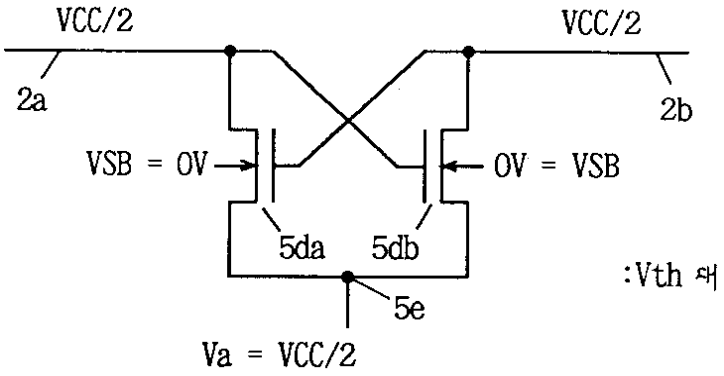
도면1


VCC
1a
5
WL0
WL1
SEP
3a
5a
5b
5c
3b
5ca
5cb
2a
BL
/BL
2b
VBB
4ab
4aa
4a
VP
5da
5db
Va
5e
5d
5f
SEN
4b
4bb
4ba
VSS
1b
VSB
6
6a
/φSTR
6aa
6ab
6ac
6af
6ad
6ag
6ae
6ah
Vref
6b
1/2VCC
6bb
φSTR
6ba
6bc
6bd
6be

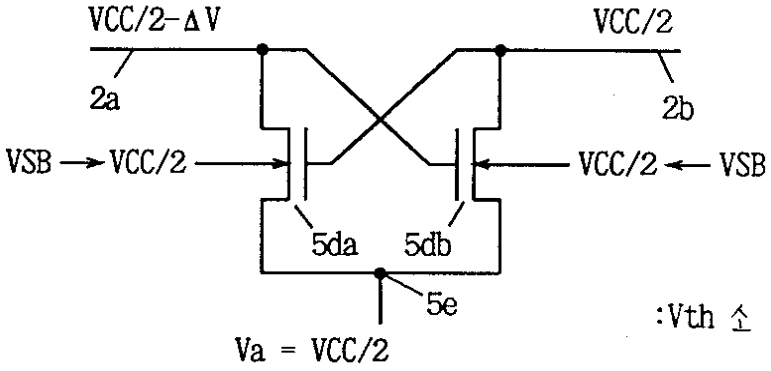
도면2


(a)RAS
(b)SEP
(c)SEN
(d)/φSTR, φSTR
/φSTR
φSTR
(e)WL0
(f)WL1
(g)BL, /BL
1/2VCC
/BL
BL
(h)VSB
OV
(i)Va
Vref
VCC/2
t0
t1
t2
t3

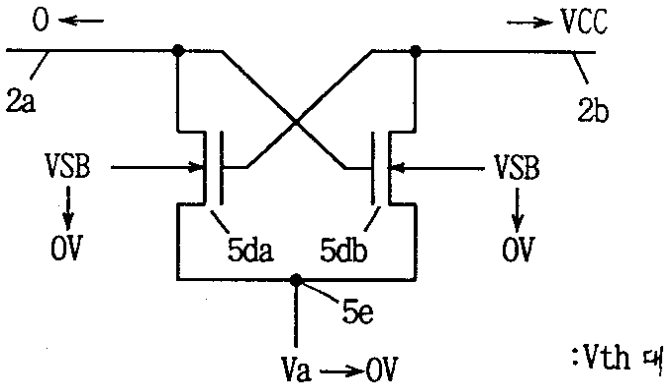
도면3a



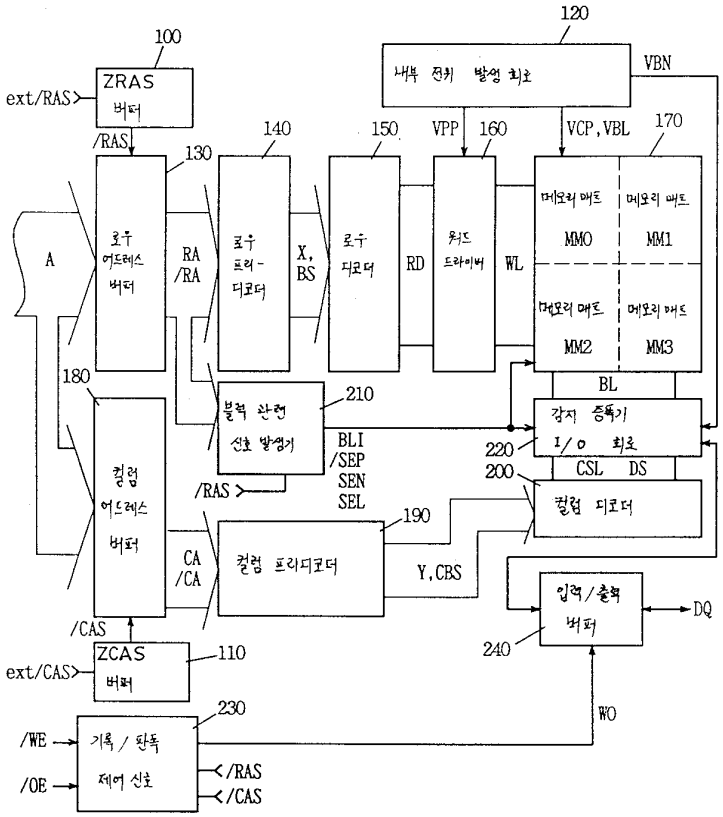
도면3b



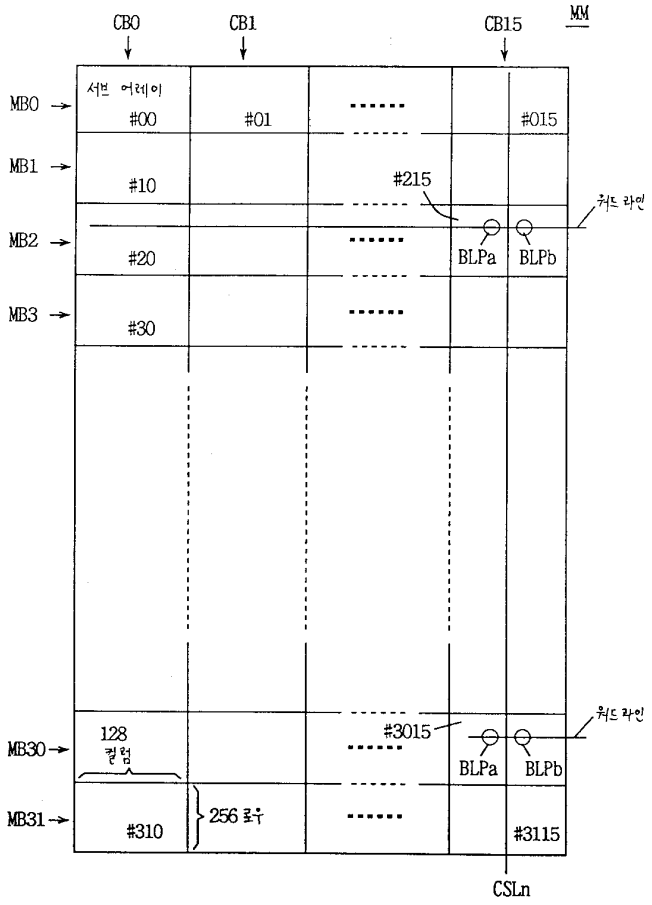
도면3c



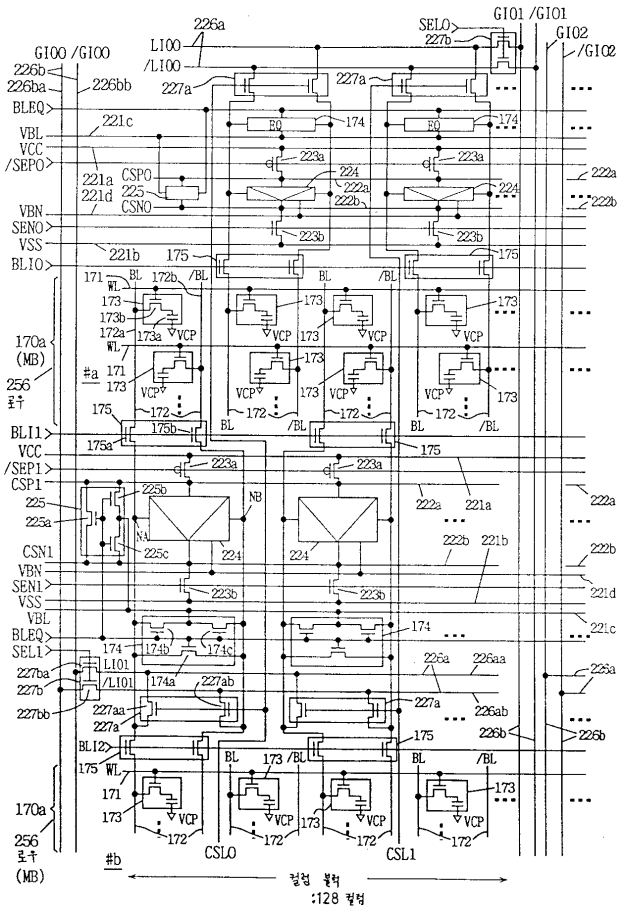
도면4


100
ZRAS
버퍼
ext/RAS
/RAS
120
내부 전원 발생 회로
VBN
VPP
VCP,VBL
130
140
150
160
170
로우 어드레스 버퍼
로우 프리-디코더
로우 디코더
워드 드라이버
메모리 매트 MM0
메모리 매트 MM1
메모리 매트 MM2
메모리 매트 MM3
A
RA
/RA
X, BS
RD
WL
BL
180
210
블록 관련 신호 발생기
감지 증폭기
I/O 회로
220
CSL DS
200
컬럼 디코더
BLI
/SEP
SEN
SEL
/RAS
190
컬럼 어드레스 버퍼
컬럼 프리디코더
CA
/CA
Y,CBS
입력/출력 버퍼
DQ
240
/CAS
ZCAS
버퍼
ext/CAS
110
WO
230
/WE
/OE
기록 / 판독 제어 신호
/RAS
/CAS

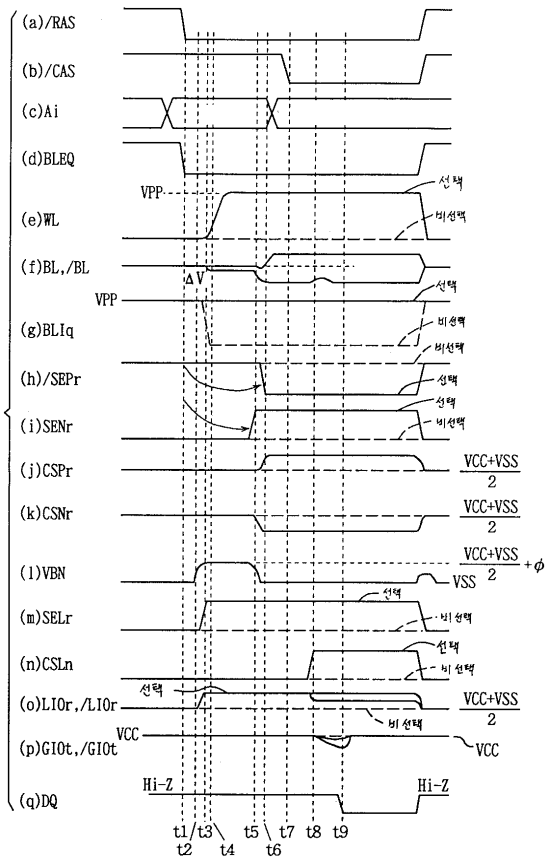
도면5


CB0
CB1
CB15
MM
MB0
MB1
MB2
MB3
MB30
MB31
서브 어레이
#00
#01
#015
#10
#215
#20
#30
#3015
#310
#3115
128 컬럼
256 로우
BLPa
BLPb
워드 라인
CSLn

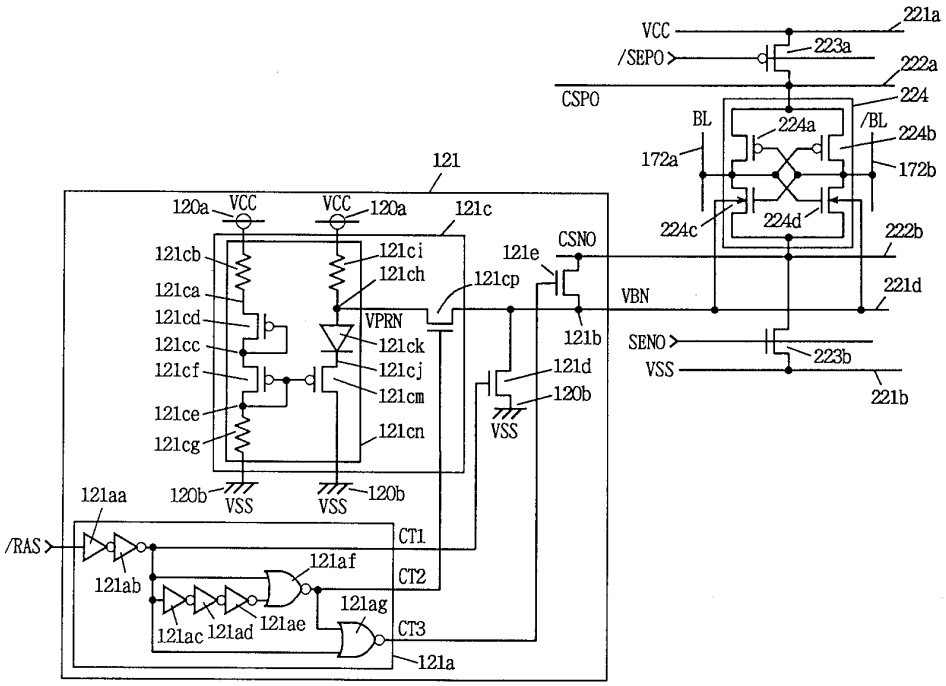
도면6


GI00 /GI00
226b
226ba
226bb
BLEQ
VBL
VCC
/SEPO
221c
221a
221d
CSPO
225
CSNO
VBN
SENO
VSS
BLIO
221b
170a
(MB)
256
로우
BLI1
VCC
/SEP1
CSP1
225
225a
CSN1
VBN
SEN1
VSS
VBL
BLEQ
SEL1
227ba
227b
227bb
LI01
/LI01
BLI2
170a
256
로우
(MB)
#a
#b
LI00
/LI00
226a
227a
EQ
174
223a
224
222a
222b
223b
175
171
WL
BL
/BL
172b
173
173b
172a
173a
VCP
172
175b
175a
225b
NB
NA
225c
174b
174c
174a
227ab
227aa
226a
226aa
226ab
226b
CSLO
CSL1
SELO
227b
GI01 /GI01
GI02
/GI02
컬럼 블럭
:128 컬럼

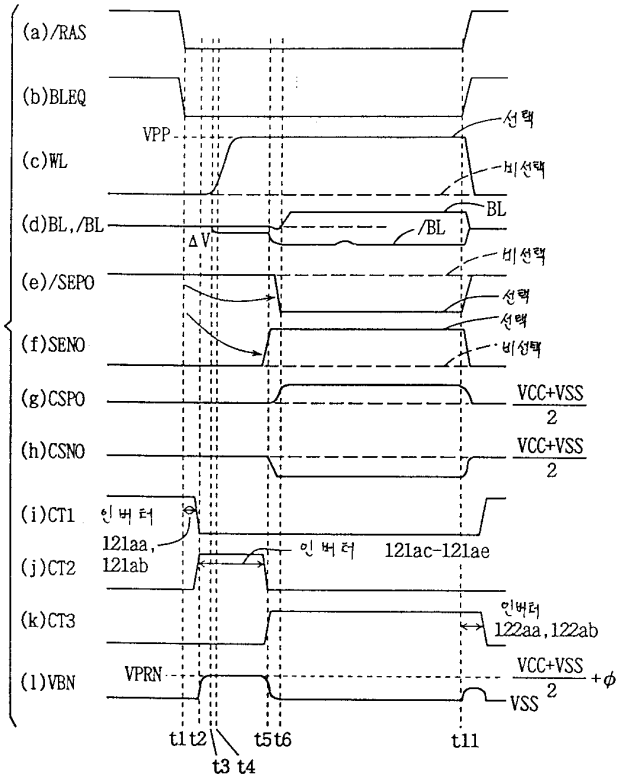
도면7


(a)/RAS
(b)/CAS
(c)Ai
(d)BLEQ
(e)WL
(f)BL,/BL
(g)BLIq
(h)/SEPr
(i)SENr
(j)CSPr
(k)CSNr
(l)VBN
(m)SELr
(n)CSLn
(o)LIOr,/LIOr
(p)GIOt,/GIOt
(q)DQ
VPP
ΔV
VCC
VSS
Hi-Z
선택
비선택
VCC+VSS/2
VCC+VSS/2+φ
t1/t3
t2
t4
t5
t6
t7
t8
t9

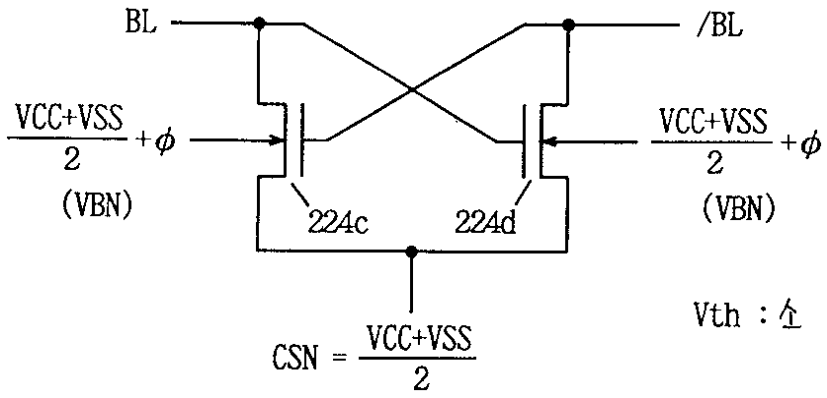
도면8


121
120a
VCC
121c
121cb
121ci
121ch
121ca
121cd
121cc
121cf
121ce
121cg
121cp
VPRN
121ck
121cj
121cm
121cn
120b
VSS
121aa
/RAS
121ab
121af
121ag
121ac
121ad
121ae
CT1
CT2
CT3
121a
121e
CSNO
121b
121d
120b
VBN
SENO
223b
221b
221a
/SEPO
223a
222a
CSPO
224
BL
/BL
224a
224b
172a
172b
224c
224d
222b
221d

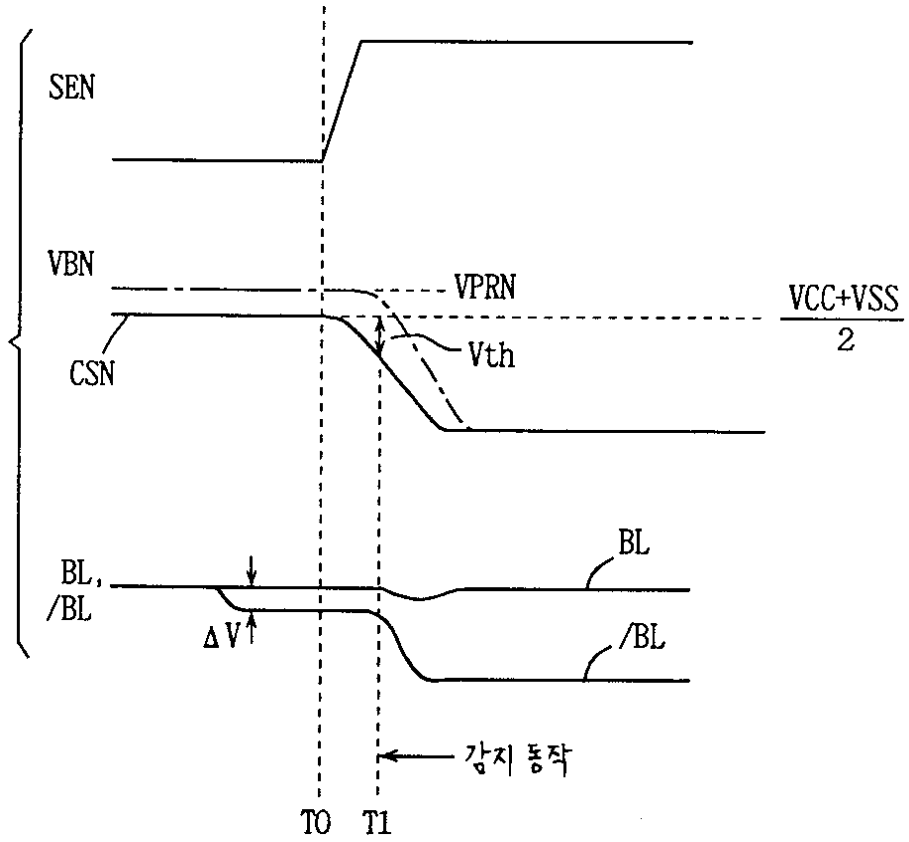
도면9


(a)/RAS
(b)BLEQ
(c)WL
VPP
선택
비선택
(d)BL,/BL
ΔV
BL
/BL
(e)/SEPO
(f)SENO
(g)CSPO
(h)CSNO
VCC+VSS
2
(i)CT1
인버터
121aa,
121ab
(j)CT2
인버터 121ac-121ae
(k)CT3
인버터
122aa,122ab
(l)VBN
VPRN
VSS
+φ
t1 t2
t3 t4
t5 t6
t11

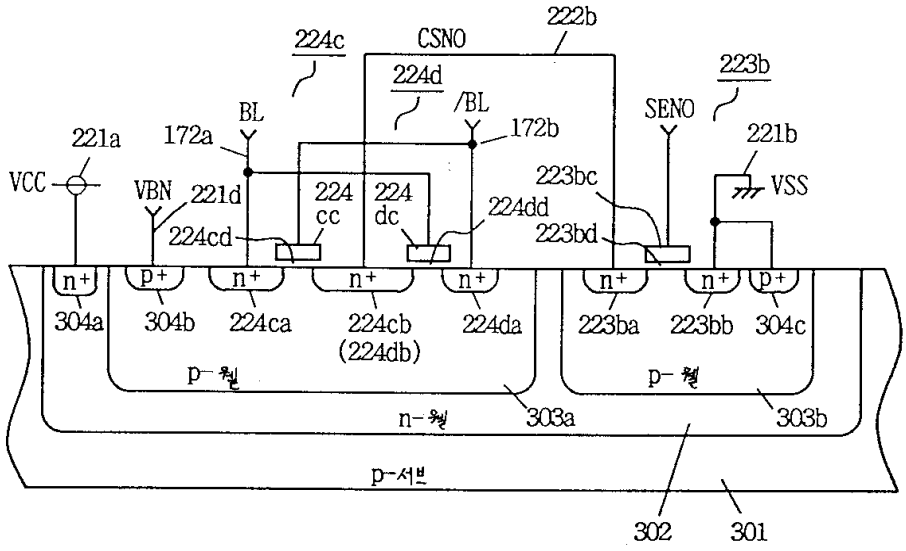
도면10a


BL
/BL
VCC+VSS
2
+φ
(VBN)
224c
224d
CSN = VCC+VSS
2
Vth : 소

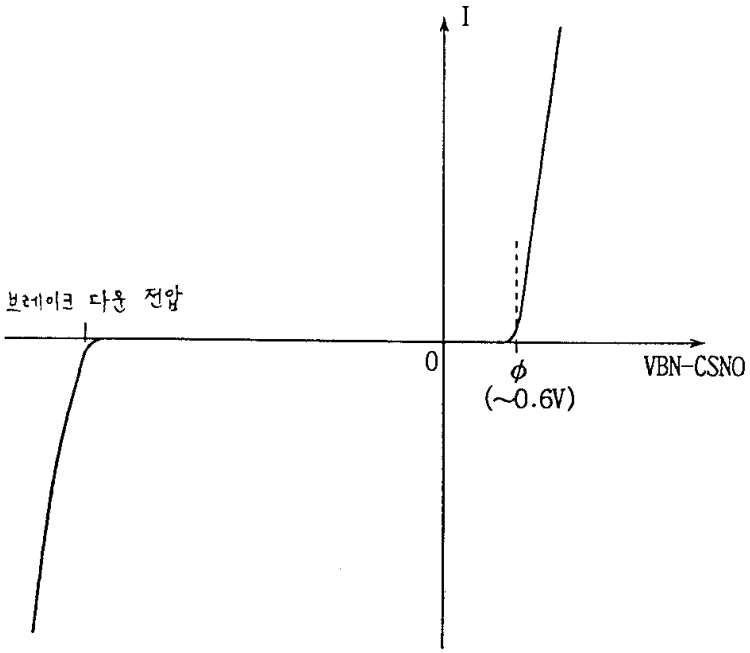
도면10b


SEN
VBN
VPRN
VCC+VSS
2
CSN
Vth
BL
BL,
/BL
ΔV
/BL
감지 동작
T0
T1

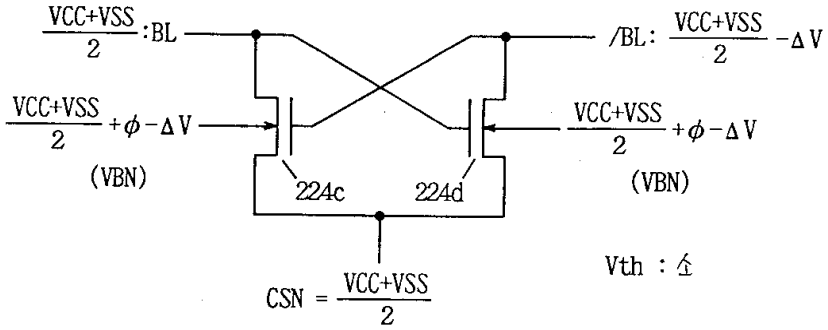
도면11


222b
224c
CSNO
224d
223b
/BL
BL
SENO
172a
172b
221a
221b
VCC
VBN
221d
224cc
224dc
224dd
223bc
VSS
224cd
223bd
n+
p+
304a
304b
224ca
224cb
(224db)
224da
223ba
223bb
304c
p-웰
n-웰
303a
303b
p-서브
302
301

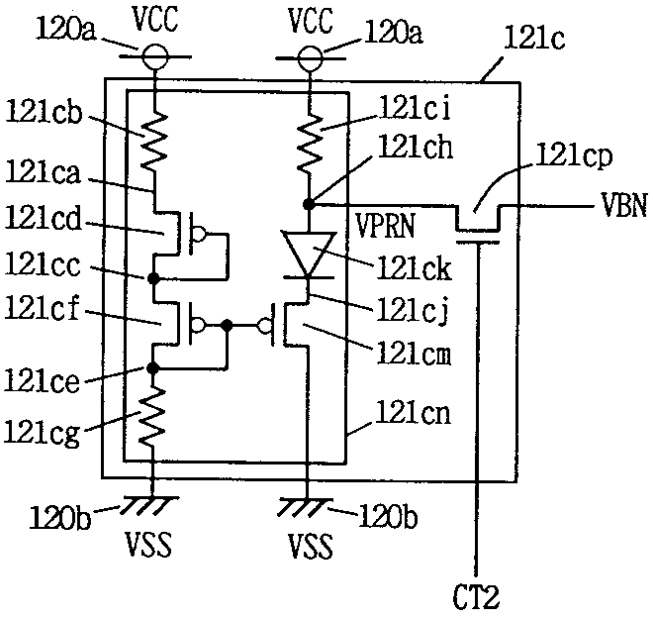
도면12



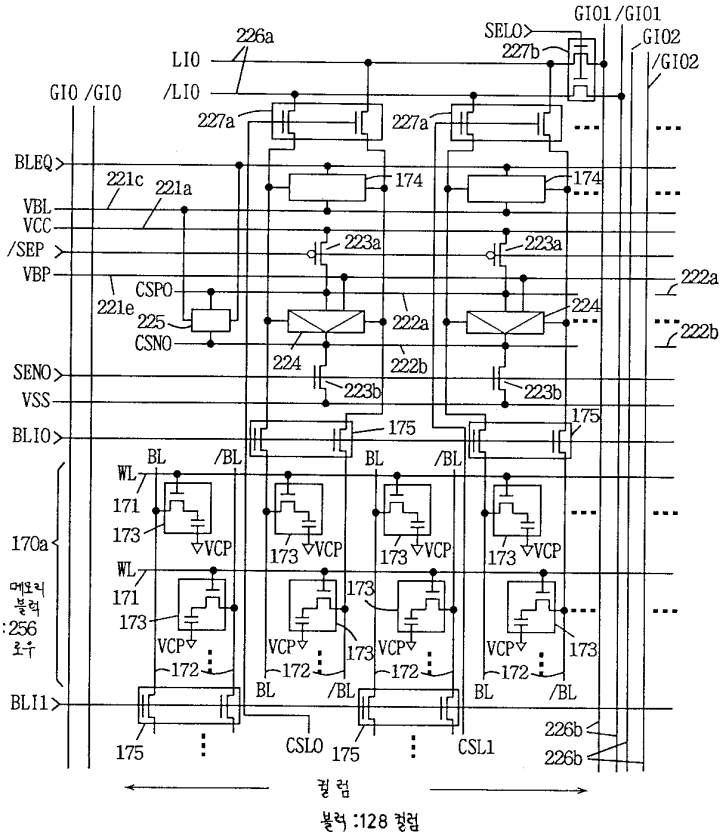
도면13



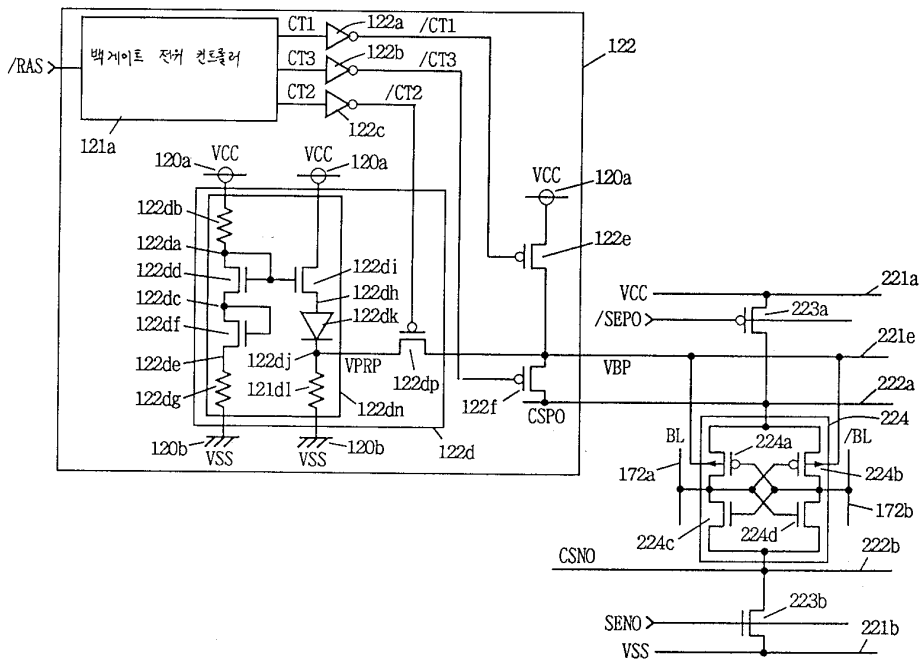
도면14



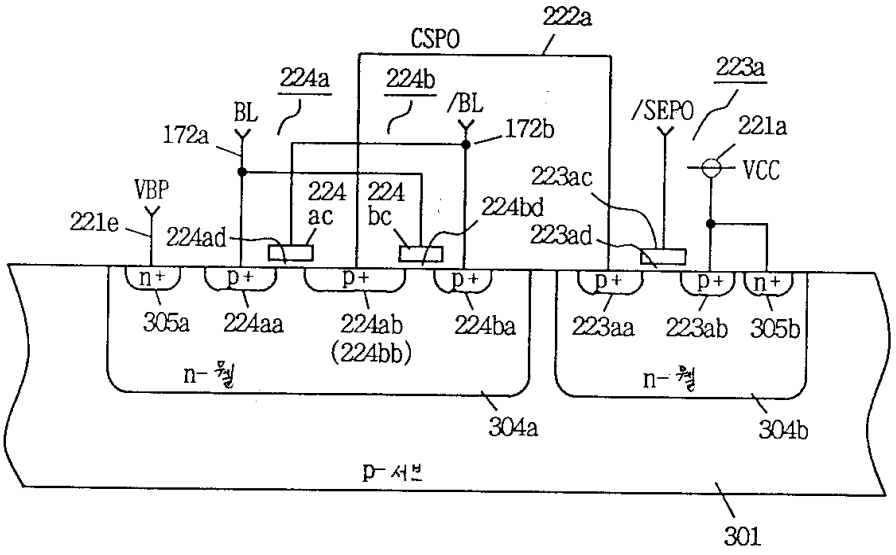
도면15


GIO1 /GIO1
GIO2
/GIO2
SELO
227b
226a
LIO
/LIO
GIO /GIO
227a
BLEQ
221c
221a
174
VBL
VCC
/SEP
223a
VBP
CSPO
221e
225
222a
224
CSNO
222b
223b
SENO
VSS
BLIO
175
BL
/BL
WL
171
173
VCP
170a
메모리 블럭 :256 로우
172
BLI1
CSLO
CSL1
226b
컬 럼
블럭 :128 컬럼

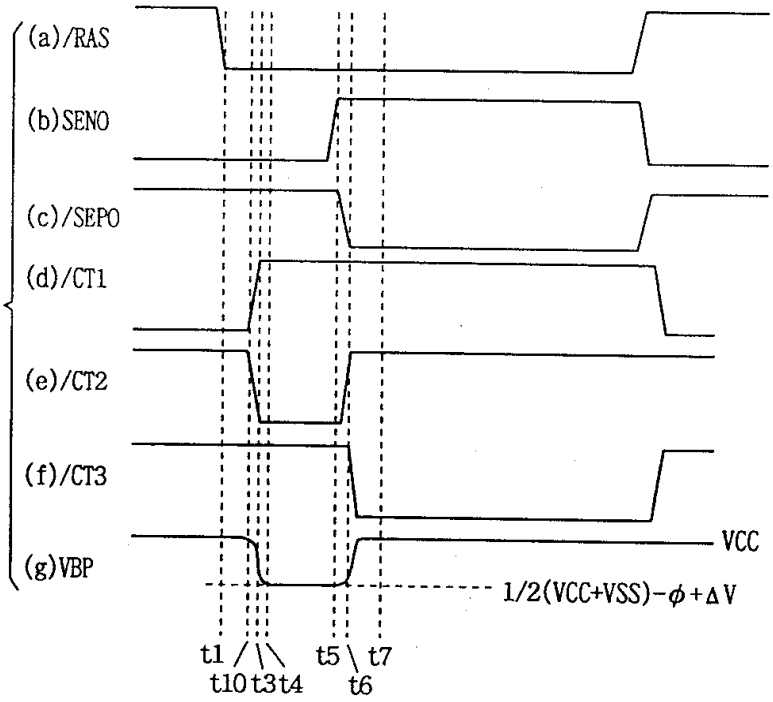
도면16


/RAS
백게이트 전압 컨트롤러
121a
CT1
CT3
CT2
/CT1
/CT3
/CT2
122a
122b
122c
122
120a
VCC
122db
122da
122dd
122dc
122df
122de
122dg
122di
122dh
122dk
122dj
121dl
VPRP
122dp
122dn
122d
120b
VSS
122e
122f
CSPO
221a
223a
/SEPO
221e
VBP
222a
224
BL
/BL
224a
224b
224c
224d
172a
172b
222b
CSNO
223b
SENO
221b

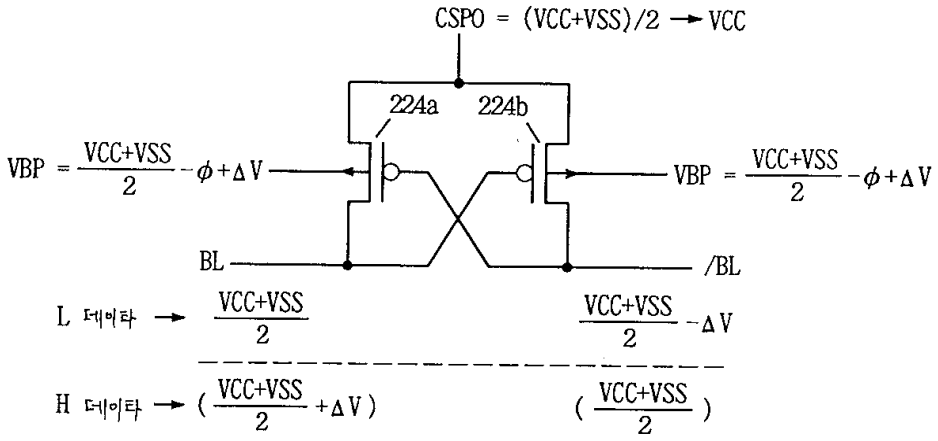
도면17


222a
CSPO
224a
224b
223a
BL
/BL
/SEPO
172a
172b
221a
VCC
VBP
224 ac
224 bc
224bd
223ac
221e
224ad
223ad
n+
p+
p+
p+
p+
p+
n+
305a
224aa
224ab
(224bb)
224ba
223aa
223ab
305b
n-웰
n-웰
304a
304b
p-서브
301

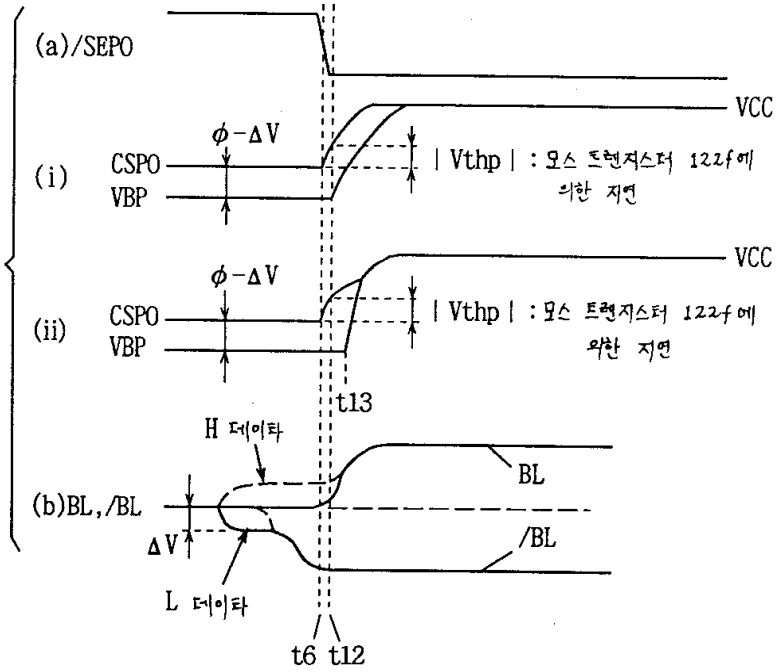
도면18


(a)/RAS
(b)SENO
(c)/SEPO
(d)/CT1
(e)/CT2
(f)/CT3
(g)VBP
VCC
1/2(VCC+VSS)-φ+ΔV
t1
t10
t3
t4
t5
t6
t7

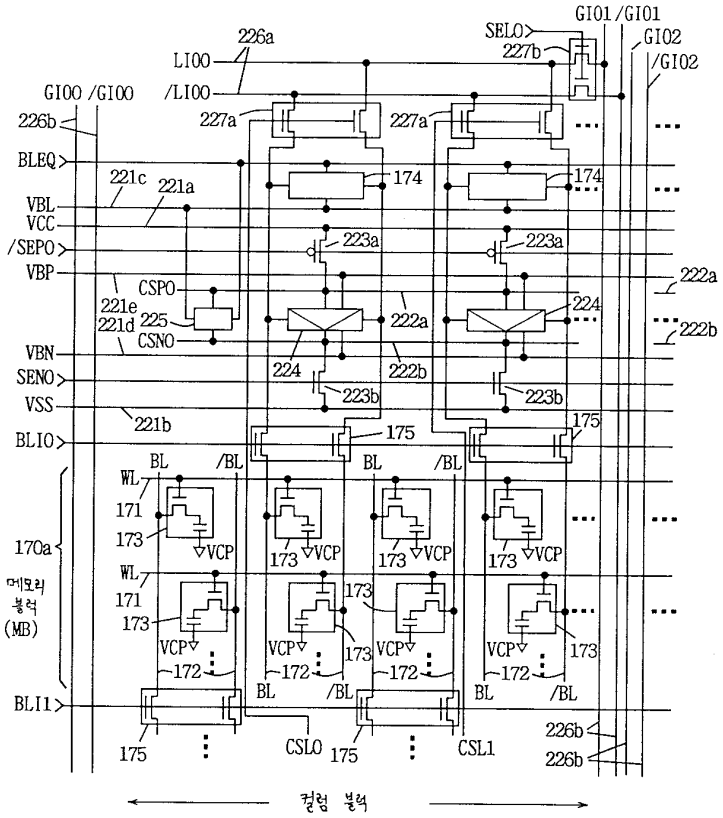
도면19a


CSPO = (VCC+VSS)/2 → VCC
224a
224b
VBP = VCC+VSS/2 - φ+ΔV
VBP = VCC+VSS/2 - φ+ΔV
BL
/BL
L 데이타 → VCC+VSS/2
VCC+VSS/2 - ΔV
H 데이타 → (VCC+VSS/2 +ΔV)
(VCC+VSS/2)

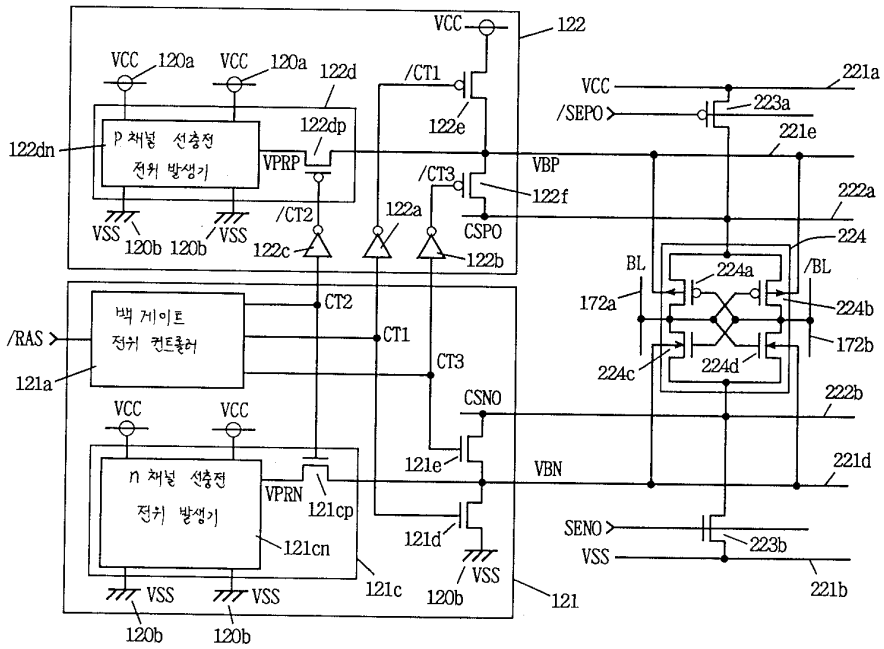
도면19b


(a)/SEPO
VCC
(i)
φ-ΔV
CSPO
VBP
| Vthp | : 모스 트랜지스터 122f에 의한 저연
VCC
(ii)
φ-ΔV
CSPO
VBP
| Vthp | : 모스 트랜지스터 122f에 의한 저연
t13
H 데이타
(b)BL,/BL
BL
/BL
ΔV
L 데이타
t6 t12

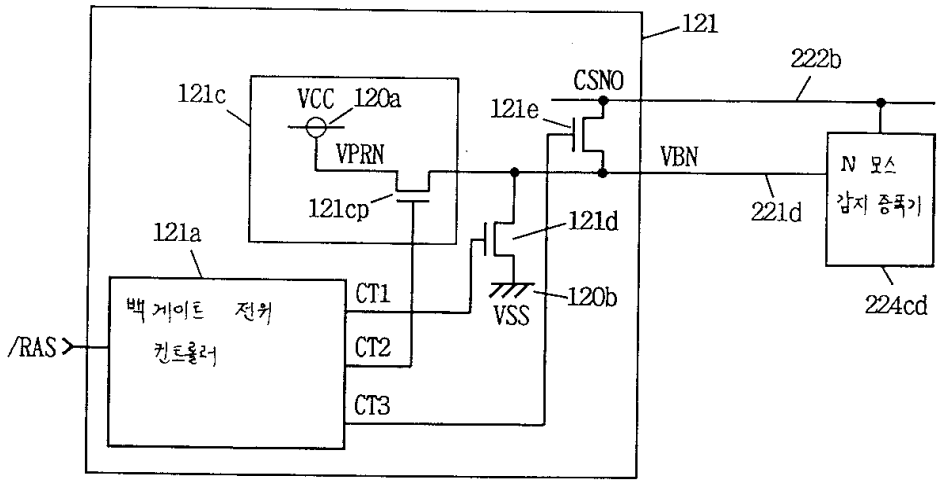
도면20


GI01 /GI01
SELO
227b
GI02
/GI02
226a
LI00
/LI00
GI00 /GI00
227a
226b
BLEQ
221c
221a
174
VBL
VCC
/SEPO
223a
VBP
CSPO
221e
221d
225
CSNO
222a
224
222b
VBN
SENO
VSS
223b
221b
BLI0
175
BL
/BL
WL
171
173
VCP
170a
메모리 블럭 (MB)
172
BLI1
CSL0
CSL1
컬럼 블럭

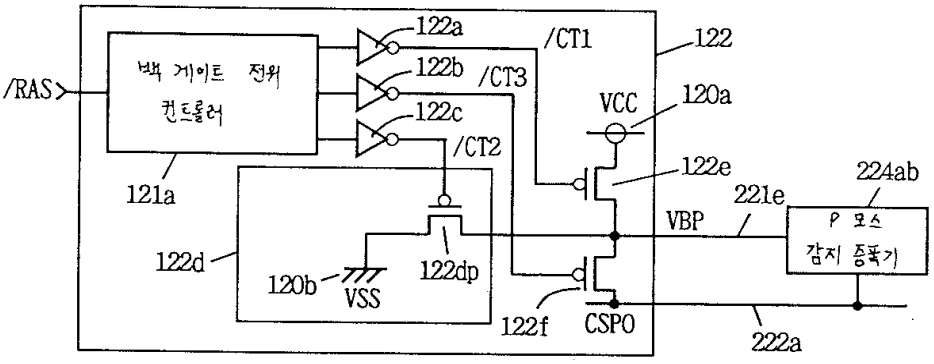
도면21


VCC
122
120a
122d
/CT1
122e
221a
/SEPO
223a
221e
122dn
p 채널 선충전 전치 발생기
122dp
VPRP
VBP
/CT3
122f
222a
VSS
120b
/CT2
122c
122a
CSPO
122b
224
BL
224a
/BL
172a
224b
224c
224d
172b
/RAS
백 게이트 전치 컨트롤러
CT2
CT1
CT3
121a
CSNO
222b
121e
VBN
221d
n 채널 선충전 전치 발생기
VPRN
121cp
121d
SENO
223b
121cn
121c
121
221b

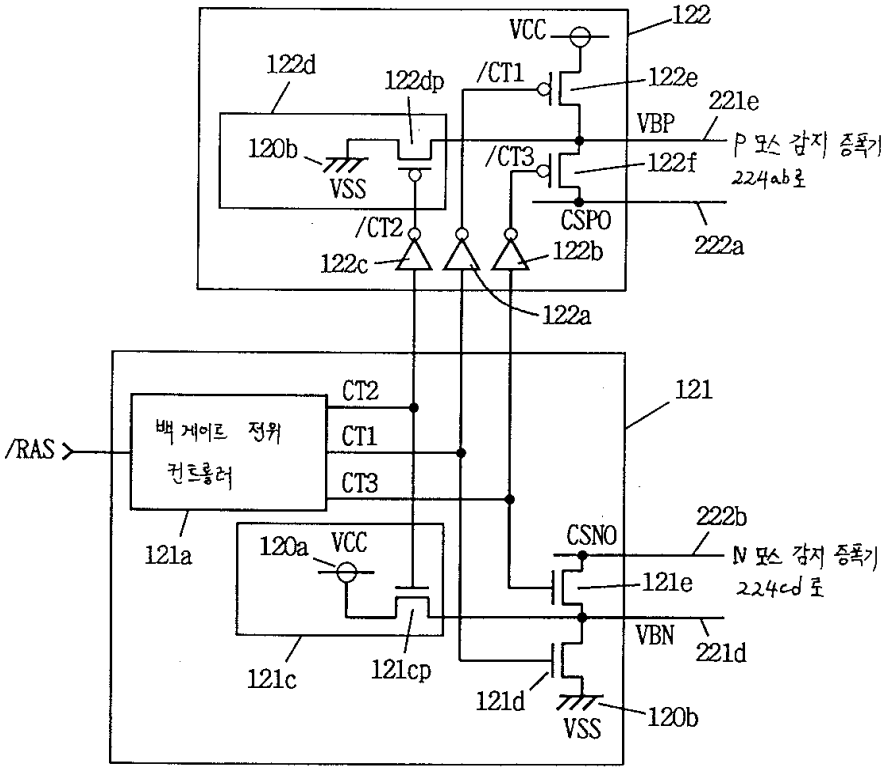
도면22



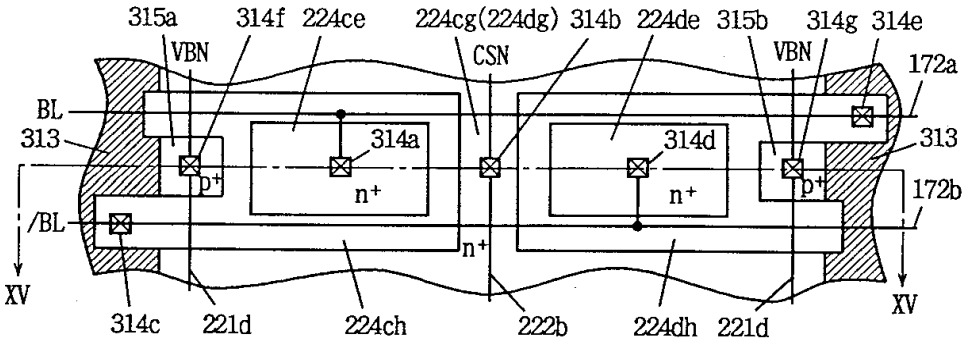
도면23



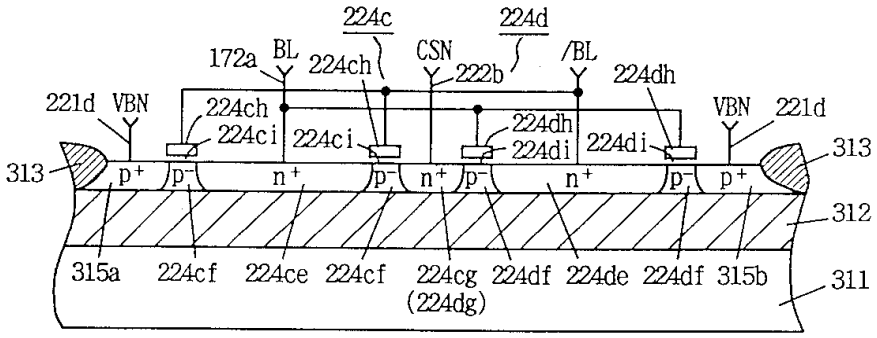
도면24



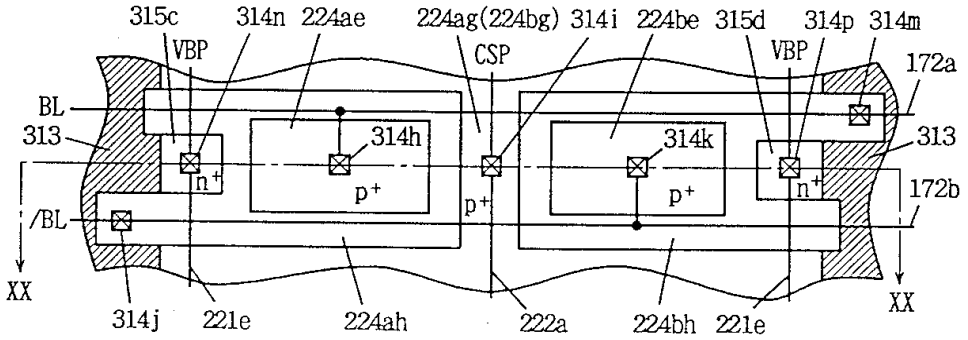
도면25a



도면25b



도면26a



도면26b

