

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5558814号
(P5558814)

(45) 発行日 平成26年7月23日(2014. 7. 23)

(24) 登録日 平成26年6月13日(2014. 6. 13)

(51) Int.Cl.

F I

G 0 6 F 9/38 (2006.01)

G 0 6 F 9/38 3 3 0 A

G 0 6 F 9/38 3 3 0 F

請求項の数 11 (全 14 頁)

(21) 出願番号	特願2009-518553 (P2009-518553)	(73) 特許権者	595020643
(86) (22) 出願日	平成19年6月28日(2007. 6. 28)		クゥアルコム・インコーポレイテッド
(65) 公表番号	特表2009-543223 (P2009-543223A)		Q U A L C O M M I N C O R P O R A T E D
(43) 公表日	平成21年12月3日(2009. 12. 3)		アメリカ合衆国、カリフォルニア州 9 2
(86) 国際出願番号	PCT/US2007/072317		1 2 1 - 1 7 1 4、サン・ディエゴ、モア
(87) 国際公開番号	W02008/003019		ハウス・ドライブ 5 7 7 5
(87) 国際公開日	平成20年1月3日(2008. 1. 3)	(74) 代理人	100108855
審査請求日	平成21年2月6日(2009. 2. 6)		弁理士 蔵田 昌俊
(31) 優先権主張番号	11/427, 349	(74) 代理人	100109830
(32) 優先日	平成18年6月29日(2006. 6. 29)		弁理士 福原 淑弘
(33) 優先権主張国	米国 (US)	(74) 代理人	100088683
前置審査			弁理士 中村 誠
		(74) 代理人	100103034
			弁理士 野河 信久

最終頁に続く

(54) 【発明の名称】 プロアクティブ分岐ターゲットアドレスキャッシュ管理のための方法及び装置

(57) 【特許請求の範囲】

【請求項 1】

マルチプルステージ分岐予測システムであって、

条件付分岐命令に関連づけられた分岐ターゲットアドレスキャッシュ(B T A C) エントリを格納するように構成された B T A C と、

前記条件付分岐命令の方向を予測するための状態情報を分岐履歴テーブルに格納し、前記状態情報を用いて前記方向を予測するように構成された分岐予測子回路と、ここで、前記分岐予測子回路は、前記条件付分岐命令が決定された場合、前記条件付分岐命令の分岐方向を受け取るようにさらに構成され、前記分岐履歴テーブルからアクセスされる、前記条件付分岐命令に関する格納された状態情報と、前記受け取られた分岐方向とに基づいて、前記 B T A C エントリを、置換えポリシーに従って管理するように構成された、

を備えるシステム。

【請求項 2】

請求項 1 に記載のシステムにおいて、

前記分岐予測子回路は、前記 B T A C から前記 B T A C エントリを除去するように更に構成されたシステム。

【請求項 3】

請求項 1 に記載のシステムにおいて、

前記分岐予測子回路は、延長された期間、前記 B T A C 内に前記 B T A C エントリを保持するように更に構成されたシステム。

【請求項 4】

請求項 1 に記載のシステムにおいて、

前記 B T A C は、1 つ又は複数の格納されたエントリを置換え順序で保持するように構成され、前記分岐予測子回路は、前記置換え順序にある前記 B T A C エントリの位置を修正するように更に構成されたシステム。

【請求項 5】

請求項 4 に記載のシステムにおいて、

前記分岐予測子回路は、前記 B T A C エントリの置換えの可能性を高めるために、前記置換え順序において、前記 B T A C エントリの位置を前記 B T A C エントリの現在の位置より高く修正するように構成されたシステム。

10

【請求項 6】

請求項 1 に記載のシステムにおいて、

置換えポイントを更に備え、前記 B T A C は、修正されたラウンドロビン置換えポリシーを用い、前記分岐予測子回路は、前記 B T A C エントリを示すように前記置換えポイントを修正するように更に構成されたシステム。

【請求項 7】

分岐ターゲットアドレスキャッシュ (B T A C) を管理する方法であって、

決定された条件付分岐命令の分岐方向を受け取ることと、

前記条件付分岐命令の方向を予測するための状態情報を分岐予測子回路の分岐履歴テーブルに格納することと、

20

前記分岐履歴テーブルからアクセスされる前記格納された状態情報と、前記受け取られた分岐方向とに基づいて、前記条件付分岐命令に関連づけられた前記 B T A C 内のエントリを、置換えポリシーに従って管理することと

を備える方法。

【請求項 8】

請求項 7 に記載の方法において、

前記 B T A C 内のエントリを管理することは、前記 B T A C から前記エントリを除去することを備える方法。

【請求項 9】

請求項 7 に記載の方法において、

30

前記 B T A C 内のエントリを管理することは、延長された期間、前記 B T A C 内で前記 B T A C エントリを保持することを備える方法。

【請求項 10】

請求項 7 に記載の方法において、

前記 B T A C 内に格納されたエントリを置換え順序で保持することを更に備え、前記 B T A C 内のエントリを管理することは、前記置換え順序における前記 B T A C エントリの位置を修正することを備える方法。

【請求項 11】

請求項 10 に記載の方法において、

前記 B T A C エントリの位置を修正することは、前記 B T A C エントリを示すように置換えポイントを修正することを備える方法。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、一般にプロセッサの分野に関し、特に、分岐ターゲットアドレスキャッシュのコンテンツをプロアクティブに管理することによって分岐予測を向上させる方法に関する。

【背景技術】**【0002】**

マイクロプロセッサは、広く様々なアプリケーションにおいて計算タスクを実行する。

50

より高速な動作及び／又は増加した機能を可能とするようにソフトウェア変更によって改善されたプロセッサが常に望まれる。例えばポータブル電子デバイスのような多くの組込型アプリケーションにおいて、電力の節約もまた、プロセッサ設計及び実現における目標である。

【 0 0 0 3 】

近年の多くのプロセッサは、各々が複数の実行ステップを備えた連続する命令が、実行中にオーバラップされるパイプラインされたアーキテクチャを用いる。改善された性能のために、命令は連続してパイプラインを流れるべきである。命令がパイプライン内でストールする原因となる任意の状況は、性能に有害な影響を及ぼしうる。もし命令がパイプラインからフラッシュされ、その後再フェッチされれば、性能及び電力消費の両方が悪影響を受ける。

10

【 0 0 0 4 】

ほとんどの命令は条件付分岐命令、つまり、命令がパイプラインの深くで評価されるまで知られない実際の分岐挙動を含む。分岐命令の実際の評価を待つことに起因するストールを回避するために、近年のプロセッサは、条件付分岐命令の分岐挙動がパイプラインの早期に予測されるいくつかの形式の分岐予測を用いる。予測された分岐評価に基づいて、プロセッサは、予測されたアドレス、つまり（もし分岐が選択されると予測されれば）分岐ターゲットアドレス又は（もし分岐が選択されないと予測されれば）分岐命令後の次の連続するアドレスの何れかから命令を推測的にフェッチ（プリフェッチ）し、実行する。条件付分岐命令が選択されるかされないかは、分岐方向の決定と称される。分岐方向の決定は、予測された時間及び実際の分岐決定時間になされる。実際の分岐挙動が決定されると、もし分岐が誤予測されていれば、推測的にフェッチされた命令はパイプラインからフラッシュされなければならず、新たな命令が次の正確なアドレスからフェッチされなければならない。誤った分岐予測にตอบสนองする命令のプリフェッチは、プロセッサ性能及び電力消費に不利な影響を及ぼしうる。従って、分岐予測の正確性を向上させることは重要なプロセッサ設計目標である。

20

【 0 0 0 5 】

分岐予測の1つの周知の形式は、分岐予測を2つの予測子、すなわち初期分岐ターゲットアドレスキャッシュ（BTAC）と分岐履歴テーブル（BHT）とに分割することを含む。分岐ターゲットバッファ（BTB）としても知られるBTACは、命令フェッチアドレスによってインデックスされ、命令フェッチアドレスに対応し次にフェッチされる、分岐ターゲットとも称されるアドレスを含む。分岐命令がプロセッサパイプラインを通過し、その分岐が選択された後、エントリが従来のBTACに追加される。もし従来のBTACがフルであれば、エントリは従来、次のエントリが追加されると（例えばラウンドロビンの、又は最後に用いられた）標準キャッシュ置換アルゴリズムを用いてBTACから除去される。

30

【 0 0 0 6 】

一般にBTACはしばしば、高連想型キャッシュ設計として実現され、フェッチパイプラインの早期にアクセスされる。もしフェッチアドレスがBTACエントリ（BTACヒット）と一致すれば、対応する次のフェッチアドレス又はターゲットアドレスが次のサイクル内でフェッチされる。この一致及びその結果のターゲットアドレスのフェッチは、暗黙の選択された分岐予測と称される。もし一致しなければ（BTACミス）、次の連続してインクリメントされるアドレスは次のサイクル内でフェッチされる。この一致しない状況は、暗黙の選択されない予測とも称される。

40

【 0 0 0 7 】

一般にBTACは、例えばパターン履歴テーブル（PHT）としても知られる分岐履歴テーブル（BHT）のような、より正確な個別の分岐方向予測子と関連して用いられる。従来のBHTは、パイプライン内で従来のBTACより後にアクセスされる。このように、より良い予測をするために追加の情報が潜在的に存在しうる。従来のBHTは、個々の分岐命令に関してより正確な選択された／されない判定を生成するために、飽和予測方向

50

カウンタのセットを含むことができる。例えば、各飽和予測方向カウンタは、各々が以下のような重み付け予測値を割り当てられた4つの状態のうちの1つを仮定する2ビットのカウンタを備えることができる。

- 1 1 - 選択されると強く予測された
- 1 0 - 選択されると弱く予測された
- 0 1 - 選択されないと弱く予測された
- 0 0 - 選択されないと強く予測された

一般にBHTは、従来、分岐履歴レジスタ(BHR)内に格納されたビットによってインデックスされる。従来のBHTの出力は、選択されたか選択されないかの判定であり、その結果、分岐命令のターゲットアドレスか次のサイクル内の次の連続アドレスかの何れかをフェッチする。BHTは一般に、自身が知られるようになると、分岐出力情報とともに更新される。

【0008】

従来のBHTを用いると、プロセッサは、BTACによってなされた早期暗黙予測をオーバーライドすることができる。例えば、BTACはヒットしうるが、BHTは、選択されない予測とともにBTAC暗黙予測をオーバーライドすることができる。逆に、BTACミスの後、BHTは、ターゲットアドレスが現在プロセッサパイプラインのこの時点で知られている場合、選択される予測を用いてBTACをオーバーライドすることができる。

【0009】

BHTによるBTAC予測のオーバーライドは、プロセッサパイプラインをフラッシュした結果浪費されるサイクルをもたらす。BHTによるBTAC予測のオーバーライドは、同様の分岐命令が後にパイプラインによって処理された場合に反復して起こりうる。例えば、もしBTACが、BTAC内で見つかった一致によって、選択されると暗黙に予測すれば、ターゲットアドレス(選択された分岐)からの命令はプロセッサパイプライン内へフェッチされる。もしその後BHTが、その分岐が選択されないべきだと決定することによってBTAC予測をオーバーライドすれば、ターゲットアドレスをフェッチした後の全ての命令はパイプラインからフラッシュされる。この従来の分岐予測技術では、このサイクルが、連続してフェッチされた同じ分岐命令について潜在的に反復する。同じ条件付分岐命令の連続したフェッチにおいて分岐予測矛盾を反復するこの問題は、本明細書ではマルチプルフラッシュサイクル問題と称される。従来のアプローチにおいて、マルチプルフラッシュサイクル問題は、BTACが更新されるまで条件付分岐命令について存在し続けうる。従って、BTACをプロアクティブに管理し、マルチプルフラッシュサイクル問題が起こる可能性を低減する装置及び方法が必要であることが理解される。

【発明の概要】

【0010】

1つ又は複数の実施形態に従って、分岐ターゲットアドレスキャッシュ(BTAC)及び分岐予測子回路が開示される。BTACは、BTACエントリを格納するように構成される。分岐予測子回路は、状態情報を格納するように構成される。分岐予測子回路は、状態情報を用いて分岐命令の方向を予測し、分岐命令の実際分岐結果にตอบสนองして格納された状態情報に基づいてBTACエントリを管理する。分岐命令の方向を予測するために用いられた状態情報に基づいてBTACエントリを管理することによって、誤予測の可能性、及びBTACルックアップと分岐予測子回路との間の矛盾の可能性は低減される。

【0011】

1つの実施形態は、マルチプルステージ分岐予測システムに関する。マルチプルステージ分岐予測システムは、BTACと分岐予測子回路とを含む。BTACは、BTACエントリを格納するように構成される。分岐予測子回路は、状態情報を格納するように構成される。分岐予測子回路は、状態情報を用いて分岐命令の方向を予測し、分岐命令の実際分岐結果にตอบสนองして格納された状態情報に基づいてBTACエントリを管理する。

【0012】

別の実施形態は、分岐ターゲットアドレスキャッシュ(BTAC)を管理する方法に関

10

20

30

40

50

する。実際に決定された条件付分岐命令の分岐方向が受け取られる。分岐予測子回路の状態情報が、受信した分岐方向に回答して評価される。条件付分岐命令に関連するB T A C内のエントリは、分岐予測子回路の状態情報に従って管理される。

【0013】

別の実施形態は、パイプラインのマルチプルフラッシュサイクルの可能性を低減する方法に関する。この方法において、条件付分岐命令の第1の方向が暗黙に予測される。また、条件付分岐命令の第2の方向が状態情報に基づいて予測される。条件付分岐命令に関連するB T A Cエントリは、状態情報を用いて管理される。

【0014】

本発明の他の実施形態は、本発明の様々な実施形態が例示によって示され説明される以下の詳細な説明から、当業者には容易に明らかになるであろうことが理解される。理解されるように、本発明は、本発明の範囲を逸脱することなく、他の異なる実施形態も可能であり、いくつかの詳細は他の様々な実施形態において変更可能である。従って、図面及び詳細な説明は、その本質として例示的であり限定的ではないと見なされる。

【図面の簡単な説明】

【0015】

【図1】図1は、プロセッサの機能ブロック図である。

【図2】図2は、図1の分岐予測システムの機能ブロック図である。

【図3】図3は、B T A C管理信号回路の第1の典型的な実施形態の機能ブロック図である。

【図4】図4は、B T A C管理信号回路の第2の典型的な実施形態の機能ブロック図である。

【図5】図5は、B T A Cを管理する方法を示すフローチャートである。

【図6】図6は、パイプラインのマルチプルフラッシュサイクルの確率を低減する方法を示すフローチャートである。

【詳細な説明】

【0016】

図1は、プロセッサ100の機能ブロック図を示す。プロセッサ100は、制御論理114に従って、命令実行パイプライン内で命令を実行する。いくつかの実施形態において、パイプライン112は、複数の並行するパイプラインを備えるスーパースカラ設計であることができる。パイプライン112は、パイプステージ内に構成された様々なレジスタ又はラッチ116A乃至D、及び例えば算術論理演算装置(A L U) 118のような1つ又は複数の実行ユニットを含む。汎用レジスタ(G P R) ファイル120は、メモリ階層の最上層を備えるレジスタを提供する。

【0017】

主要変換索引バッファ(T L B) 142によって管理されるメモリアドレス変換及び許可を用いて、データキャッシュ(D - キャッシュ) 140からデータがアクセスされる。様々な実施形態において、I T L B 124はT L B 142の一部のコピーを備えることができる。あるいはI T L B 124とT L B 42とは統合することができる。同様に、プロセッサ100の様々な実施形態において、Iキャッシュ122とDキャッシュ140とは統合するか一体化することができる。Iキャッシュ122及び又はDキャッシュ140におけるミスは、メモリインタフェース146の制御下で主要(オフチップ) メモリ144へのアクセスを招く。

【0018】

プロセッサ100は、様々な周辺デバイス150へのアクセスを制御する入力/出力(I / O) インタフェース148を含むことができる。当業者は、プロセッサ100の多くの変形例が可能であることを理解するであろう。例えばプロセッサ100は、Iキャッシュ122及びDキャッシュ140の両方又は何れかに第2レベル(L 2) キャッシュを含むことができる。更に、プロセッサ100内に示される機能ブロックのうちの1つ又は複数を特定の実施形態から省略することができる。

【 0 0 1 9 】

プロセッサ 1 0 0 は、マルチプルステージ分岐予測システム 1 4 3 を含む。マルチプルステージ分岐予測システム 1 4 3 は、B T A C 1 4 1 (第 1 ステージ) と、分岐予測子回路 1 2 6 (第 2 ステージ) とを含む。B T A C 1 4 1 は、各エントリがフェッチアドレスに対応する分岐ターゲットアドレスを含む 1 つ又は複数のエントリを格納するように構成される。命令プリフェッチユニット 1 2 8 は、命令側変換索引バッファ (I T L B) 1 2 4 によって管理されるメモリアドレス変換及び許可を用いて、命令キャッシュ (I キャッシュ又は I \$) 1 2 2 から命令をフェッチする。マルチプルステージ分岐予測システム 1 4 3 は、フェッチアドレスが B T A C 1 4 1 内でヒットするかを判定し、分岐予測子回路 1 2 6 内に格納された予測パターンを用いることによって分岐命令の方向を予測し、分岐予測子回路 1 2 6 内に格納された予測パターンの状態に基づいて B T A C 1 4 1 を更新する。マルチプルステージ分岐予測システム 1 4 3 と、命令プリフェッチユニット 1 2 8 及びパイプライン 1 1 2 の動作とは、図 2 の説明に関連してより詳しく説明される。

10

【 0 0 2 0 】

図 2 は、図 1 の分岐予測子システム 1 4 3 の機能ブロック図である。パイプライン 1 1 2 及び命令プリフェッチユニット 1 2 8 の各々は、1 つ又は複数の処理ステージを含む。分岐予測子回路 1 2 6 は、分岐履歴レジスタ 2 0 3 と、分岐履歴テーブル (B H T) 2 0 7 と、分岐テーブル更新及び予測論理回路 2 0 5 とを含むことができる。分岐テーブル更新及び予測論理回路 2 0 5 の B T A C 管理部分の典型的な実施形態は、図 3 及び図 4 に関連して説明される。

20

【 0 0 2 1 】

動作中、フェッチアドレスは、パイプライン 1 1 2 によって以前処理された選択された分岐命令に対応するかを判定するために経路 2 1 9 を介して B T A C 1 4 1 内でルックアップされる。命令プリフェッチユニット 1 2 8 は経路 2 2 1 を介して命令キャッシュ 1 2 2 から推測的に命令をプリフェッチし、「選択される」と暗黙に予測された分岐の B T A C 1 4 1 から戻った分岐ターゲットアドレスで開始するか、又は「選択されない」と暗黙に予測された分岐の次の連続アドレスで開始する。何れの場合も、プリフェッチされた命令は、経路 2 2 3 に沿って命令プリフェッチユニット 1 2 8 へロードされる。

【 0 0 2 2 】

条件付分岐命令は、命令プリフェッチユニット 1 2 8 又はパイプライン 1 1 2 のステージによって処理されるので、例えば経路 2 2 3 を介して I キャッシュ 1 2 2 から取り出されたプレ復号ビット内で搬送される情報のような、条件付分岐命令に関する追加情報が決定される。B T A C が条件付分岐命令の方向をルックアップするより高いレベルの信頼性を持って予測するために、格納された予測パターンとこの追加情報とを用いる分岐予測子回路 1 2 6 が経路 1 2 1 を介して呼び出される。

30

【 0 0 2 3 】

分岐テーブル更新及び予測論理回路 2 0 5 は、条件付分岐命令の方向を予測するために、分岐命令アドレス、分岐履歴レジスタ (B H R) 2 0 3、及び分岐履歴テーブル (B H T) 2 0 7 を用いる。B H R 2 0 3 は、条件付分岐命令のシフトレジスタとして動作する。例えば、もし条件付分岐命令が実際に選択されれば、「1」が B H R 2 0 3 内へシフトされる。もし条件付分岐命令が実際に選択されなければ、「0」が B H R 2 0 3 内にシフトされ、結果として特定の分岐命令の分岐方向履歴を B H R 2 0 3 に格納させる。1 つの実施形態において、B H R 2 0 3 は、期間にわたってパイプライン 1 1 2 により処理された各分岐命令のための特定のレジスタを含む。別の実施形態において、B H R 2 0 3 は、最近処理された条件付分岐命令の分岐方向履歴を含むグローバルスコープを有することができる。B H T 2 0 7 は、上記の背景技術で説明したように特定の分岐命令に関する 2 ビットカウンタを含むことができる。分岐方向を予測する様々な周知技術が B H R 2 0 3 及び B H T 2 0 7 を用いることが理解される。また、これら周知の予測技術が B H R 2 0 3 及び B H T 2 0 7 の様々な実施形態を用いることも理解される。また、本開示が B H R や B H T の代替例を実現する他の予測技術の利用を意図することも理解される。

40

50

【 0 0 2 4 】

B H R 2 0 3 及び B H T 2 0 7 に基づいて、図 2 に示す例の分岐方向予測回路 1 2 6 は、B T A C 1 4 1 暗黙予測と矛盾する分岐方向を予測する。結果として、条件付分岐命令の格納場所である「選択された経路 1」より上の全ての命令が命令プリフェッチユニット 1 2 8 からフラッシュされるであろう。命令プリフェッチユニット 1 2 8 は、分岐ターゲットアドレスから始まる命令を矛盾なく継続してプリフェッチするであろう。

【 0 0 2 5 】

条件付分岐命令がパイプライン 1 1 2 のステージを進むと、条件付分岐命令は条件が実際に決定されるステージへ到着する。もし分岐の実際の分岐結果が分岐予測子回路 1 2 6 と異なれば、条件付分岐命令より上の全ての命令は、パイプライン 1 1 2 と命令プリフェッチユニット 1 2 8 との両方からフラッシュされる。パイプラインの実際の分岐決定ステージにおいて、条件付分岐の実際の方向が、経路 2 1 3 を介して分岐予測子回路 1 2 6 へ送られる。

【 0 0 2 6 】

分岐テーブル更新及び予測論理回路 2 0 5 は、分岐命令アドレス、B H T 2 0 7 内のエントリの状態、及びオプションとして B H R 2 0 3 のコンテンツに加えて、B H T 2 0 7 のコンテンツを更新するために実際の分岐方向を用いるように構成される。更に、分岐テーブル更新及び予測論理回路 2 0 5 は、実際の分岐方向及び B H T 2 0 7 の状態、又は分岐方向予測子内のその他任意の状態に依存して、B T A C 1 4 1 内のエントリを管理し、もって、有利なことに、B T A C 1 4 1 内のエントリが、分岐予測子回路 1 2 6、及び分岐予測のために用いられる状態情報を格納する他の分岐予測子回路によって実現される任意の分岐予測技術に応答することを可能とする。

【 0 0 2 7 】

図 3 は、B T A C 管理回路 3 0 0 の第 1 の典型的な実施形態の機能ブロック図である。B T A C 管理回路 3 0 0 は、B H T 2 0 7 の更新後、B T A C 1 4 1 を管理するための、分岐テーブル更新及び予測論理回路 2 0 5 内に含まれる適切な回路であることができる。B T A C 管理回路 3 0 0 への入力は、実際の分岐結果の結果として更新された後、条件付分岐命令に対応する 2 つのビットカウンタ値のうちの最上位ビットである。B T A C 管理回路 3 0 0 の出力信号 3 0 5 は、入力の反転信号である。B T A C 1 4 1 は以下のように、条件付分岐命令に対応するエントリを管理するかを判定するために出力信号 3 0 5 を解釈する。

【 0 0 2 8 】

例えば、もし条件付分岐命令に対応する更新された 2 つのビットカウンタが 0 0 値（選択されないと強く予測された）を有すれば、B T A C 1 4 1 内のこの条件付分岐命令のエントリは、以下で説明する様々な代替例に従って管理されるであろう。同様に、もし更新された 2 つのビットカウンタが 0 1 値（選択されないと弱く予測された）を有すれば、B T A C 1 4 1 内のこの条件付分岐命令のエントリが管理されるであろう。もし更新された 2 つのビットカウンタが 1 0 値（選択されると弱く予測された）又は 1 1 値（選択されると強く予測された）の何れかを有すれば、B T A C 1 4 1 内のエントリは修正されないであろう。

【 0 0 2 9 】

図 4 は、B T A C 管理信号回路 4 0 0 の第 2 の典型的な実施形態の機能ブロック図である。B T A C 管理回路 4 0 0 は、B H T 2 0 7 の更新前、B T A C 1 4 1 を管理するための、分岐テーブル更新及び予測論理回路 2 0 5 の B T A C 管理部分の一部の適切な回路であることができる。B T A C 管理回路 4 0 0 は、A N D ゲート 4 0 5 A 乃至 4 0 5 B 及び O R ゲート 4 1 5 を含む論理回路であり、実際に決定された条件付分岐命令に対応するエントリを管理するための管理信号 4 2 5 を生成するために用いられる。B T A C 管理回路 4 0 0 は、実際の方向の結果である更新の前に、実際の分岐方向及び B H T 2 0 7 のカレント状態に応答して動作する。B T A C 管理回路 4 0 0 は、入力 A'（反転された実際の分岐方向）、入力 B'（反転された 2 ビットカウンタのうちの最上位ビット）、及び入力

10

20

30

40

50

C' (反転された2ビットカウンタのうちの最下位ビット)を有する。この実施形態において、BTAC141は、以下で説明するように条件付分岐命令に対応するエントリを管理するために、出力信号425を解釈するであろう。BTAC管理回路300及び400がBHT207の実施形態に基づいて説明されたが、これらはBHRの選択された実施形態に基づくこともできる。更に、本開示は、BHTの様々な実施形態によって実現される、又は様々な分岐予測実施形態を用いて実現されるその他のBTAC管理回路を意図していることが理解される。更に、図3及び図4に示すBTAC管理回路は、分岐テーブル更新及び予測論理回路205と統合されるか、あるいは別々であることができる。

【0030】

エントリ管理のタイプは、様々な代替例を含むことができる。管理のタイプは、BTACを即座に除去すること、次に付加される分岐命令において除去するためにBTACをマークすること、延長した期間、BTACエントリを固定又は保持すること、等を含む。条件付分岐命令に関連するBTACエントリの管理の代わりに、条件付分岐命令に関連しないBTACエントリの管理も本開示によって意図されていることが理解される。

【0031】

BTAC141は、BTAC141内のエントリの置換え順序を示す順序でエントリが構成される、LRU置換えポリシーを用いる。最後に用いられた周知の疑似回路が、エントリの置換え順序を維持するために適切でありうる。このように、BTAC管理回路300の出力信号は結局、BTAC141内の条件付分岐命令に対応するエントリの位置を修正することができる。例えば、エントリはこの置換え順序内で上がったたり下がったりすることができる。あるいはエントリは、BTAC141内での自身の寿命を長くするために、最後に用いられたことを示すようにBTAC141内での位置を調節することによって保持されることができる。

【0032】

あるいは別の実施形態において、BTAC141は、修正されたラウンドロビンポリシーを用いることができる。従来のラウンドロビンポリシーでは、レジスタは、次の機会に条件付分岐が付加される、置き換えられるエントリを示し、続いて、エントリの置き換え後、連続する次のエントリへ進み、均等方式でエントリを周回する。しかし、修正されたラウンドロビンポリシーでは、ポイントが、実際に決定されている条件付分岐命令に対応しているエントリを示すために用いられる。例えば、条件付分岐命令に対応しているエントリは、ポイントがこのエントリを示すように調節することによって、除去するためにマークされることができる。それによって、次の機会に条件付分岐命令及び対応するターゲットアドレスがBTAC141に付加される、エントリが置き換えられる。従って、次に除去されるエントリは、除去されることが最後に決定されたエントリとなるであろう。本明細書で提供されるBTAC141によって用いられる置換えポリシーは典型的であるが、この発明技術は、BTACにおいて一般に用いられる他の置換えポリシーにも適用可能である。

【0033】

図5は、BTACを管理する方法を示すフローチャート500である。ブロック510で、実際に決定された条件付分岐命令の分岐方向が受け取られる。例えば、図2の経路213は、パイプライン112からの分岐方向を受け取ると分岐予測子回路126を示す。ブロック520で、分岐予測子回路の状態は、実際の分岐方向を受け取ったことに応答して評価される。ブロック530で、BTAC内の条件付分岐命令に関連するエントリは、分岐予測子回路の状態に従って管理される。

【0034】

ブロック530A乃至530Dは、ブロック530に示す様々なタイプのBTAC内のエントリ制御の典型的な代替実施形態である。これらの典型的な実施形態は、単一で、あるいは組み合わせて用いられうる。ブロック530Aでは、管理されるBTAC内エントリは除去され、「選択されない」と予測される最後の条件付分岐命令がBTACから都合よく除去される。ブロック530Bでは、管理されるBTAC内エントリは、延長された

期間 B T A C 内で保持され、B T A C 内で「選択される」と予測される最後の条件付分岐命令の寿命を都合よく延長する。

【 0 0 3 5 】

ブロック 5 3 0 C は、L R U 置換えポリシーを用いる B T A C のために調整された置換え順序内の自身の位置を有する、管理される B T A C エントリを示す。1つの実施形態において、B T A C 内のエントリは、エントリが、付加される次の B T A C エントリと置き換えられる可能性を低くし、「選択される」と予測される最後の条件付分岐命令の B T A C 内での寿命を都合よく延長する方式で修正された置換え順序で自身の位置を有する。別の実施形態において、B T A C 内のエントリは、エントリが、付加される次の B T A C エントリと置き換えられる可能性を高くする方式で修正された置換え順序で自身の位置を有する。

10

【 0 0 3 6 】

ブロック 5 3 0 D は、修正されたラウンドロビン置換えポリシーを用いる B T A C のために調整された次の置換えレジスタを示す。1つの実施形態において、次の置換えレジスタのコンテンツが、B T A C 内で管理されるエントリを示すように修正される。従って、次の条件付分岐命令が B T A C に付加され、ポイントされるエントリが付加されたエントリと置き換わり、「選択されない」と予測される最後の条件付分岐命令が B T A C から都合よく除去される。別の実施形態において、次の置換えレジスタのコンテンツは、管理されるエントリの後の、B T A C 内の次のエントリを示すように修正される。この方法では、次の条件付分岐命令が B T A C に付加される場合、管理されるエントリの後の B T A C 内の次のエントリが付加されたエントリと置き換わり、B T A C 内で管理されるエントリの寿命を都合よく延長する。B T A C を管理する他の管理技術も本開示によって利用可能であることが認識される。

20

【 0 0 3 7 】

図 6 は、パイプラインのマルチプルフラッシュサイクルの可能性を低減する方法 6 0 0 を示す。ブロック 6 1 0 で、条件付分岐命令の第 1 の方向が暗黙に予測される。例えば、もし B T A C 内での条件付分岐命令へのヒットがあれば、B T A C 内の対応する分岐ターゲットアドレスがプリフェッチされる。従って、分岐方向は暗黙に「選択される」と予測される。ブロック 6 2 0 で、条件付分岐命令の第 2 の方向が、例えば分岐予測子回路 1 2 6 内に格納された状態情報のような状態情報に基づいて連続して予測される。上記の例に続いて、分岐予測子回路は、条件付分岐命令が「選択されない」であろうと予測するので、B T A C の暗黙の予測と整合が取れない。ブロック 6 3 0 で、条件付分岐命令に関連する B T A C エントリは、例えば分岐予測子回路 1 2 6 に格納された状態情報を用いて管理される。異なるタイプの B T A C 管理が図 5 の説明に関連して上述された。あるいはブロック 6 3 0 で、条件付分岐命令に関連する B T A C エントリは、分岐予測子回路と、分岐予測子回路に格納された任意の状態から独立した B T A C ルックアップとの間が矛盾すると管理される。

30

【 0 0 3 8 】

本明細書に開示された実施形態に関連して説明された様々な例示的論理ブロック、モジュール、回路、要素、及び / 又は構成要素は、汎用プロセッサ、デジタル信号プロセッサ (D S P)、特定用途向け集積回路 (A S I C)、フィールド・プログラマブル・ゲート・アレイ (F P G A) 又はその他のプログラマブル・ロジック・コンポーネント、ディスクリットハードウェア部品、又は本明細書で説明される機能を実行するように設計されたこれらの任意の組み合わせを用いて実現又は実行することができる。汎用プロセッサとしてマイクロプロセッサを用いることが可能であるが、代わりに、従来技術によるプロセッサ、コントローラ、マイクロコントローラ、又は状態機器を用いることも可能である。プロセッサは、例えば D S P とマイクロプロセッサとの組み合わせ、複数のマイクロプロセッサ、D S P コアに接続された 1 つ又は複数のマイクロプロセッサ、又はこのような任意の構成である計算デバイスの組み合わせとして実現することも可能である。

40

【 0 0 3 9 】

50

本明細書に開示された実施形態に関連して説明された方法又はアルゴリズムは、ハードウェアで直接、あるいはプロセッサによって実行されるソフトウェアモジュールで、又はその2つの組み合わせで実現することができる。ソフトウェアモジュールは、RAMメモリ、フラッシュメモリ、ROMメモリ、EPROMメモリ、EEPROMメモリ、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、又は当該技術において周知であるその他任意の形式の記憶媒体に収納されうる。記憶媒体は、プロセッサがそこから情報を読み取り、またそこに情報を書き込むことができるようにプロセッサに結合されうる。あるいは記憶媒体は、プロセッサに統合されることができる。

【0040】

本発明は実施形態に関連して開示されたが、当業者には、実施形態の広範囲な変形例が、上記説明及び特許請求の範囲と整合が取れるように利用することができることがよく理解されるであろう。

なお、以下に、出願当初の特許請求の範囲に記載された発明を付記する。

[発明 1]

マルチブルステージ分岐予測システムであって、

分岐ターゲットアドレスキャッシュ(BTAC)エントリを格納するように構成されたBTACと、

状態情報を格納し、前記状態情報を用いて分岐命令の方向を予測し、前記分岐命令の実際の分岐結果に応答して前記状態情報に基づいて前記BTACエントリを管理するように構成された分岐予測子回路と
を備えるシステム。

[発明 2]

発明 1 に記載のシステムにおいて、

前記分岐予測子回路は、前記BTACから前記BTACエントリを除去するように構成されたシステム。

[発明 3]

発明 1 に記載のシステムにおいて、

前記分岐予測子回路は、延長された期間、前記BTAC内に前記BTACエントリを保持するように構成されたシステム。

[発明 4]

発明 1 に記載のシステムにおいて、

前記BTACは、格納された1つ又は複数のエントリを置換え順序で保持するように構成され、前記分岐予測子回路は、前記置換え順序にある前記BTACエントリの位置を修正するように構成されたシステム。

[発明 5]

発明 4 に記載のシステムにおいて、

前記分岐予測子回路は、前記BTACエントリの置換えの可能性を高めるために、前記置換え順序において、前記BTACエントリの位置を現在の位置より高く修正するように構成されたシステム。

[発明 6]

発明 1 に記載のシステムにおいて、

置換えポインタを更に備え、前記BTACエントリは、修正されたラウンドロビン置換えポリシーを用い、前記分岐予測子回路は、前記BTACエントリを示すように前記置換えポインタを修正するように構成されたシステム。

[発明 7]

プロセッサ内に配置された発明 1 に記載のシステム。

[発明 8]

分岐ターゲットアドレスキャッシュ(BTAC)を管理する方法であって、

条件付分岐命令の実際に決定された分岐方向を受け取ることと、

受け取った前記分岐方向に応答して分岐予測子回路の状態情報を評価することと、

10

20

30

40

50

前記分岐予測子回路の状態情報に従って前記条件付分岐命令に関連する前記ＢＴＡＣ内のエントリを管理することと
を備える方法。

[発明 9]

発明 8 に記載の方法において、

前記ＢＴＡＣ内のエントリを管理することは、前記ＢＴＡＣから前記エントリを除去することを備える方法。

[発明 10]

発明 8 に記載の方法において、

前記ＢＴＡＣ内のエントリを管理することは、延長された期間、前記ＢＴＡＣ内で前記エントリを保持することを備える方法。

[発明 11]

発明 8 に記載の方法において、

前記ＢＴＡＣ内に格納されたエントリを置換え順序で保持することを更に備え、前記ＢＴＡＣ内で前記エントリを保持することは更に、前記置換え順序における前記エントリの位置を修正することを備える方法。

[発明 12]

発明 11 に記載の方法において、

前記エントリの位置を修正することは、前記エントリを示すように置換えポインタを修正することを備える方法。

[発明 13]

パイプラインのマルチプルフラッシュサイクルの可能性を低減する方法であって、
条件付分岐命令の第 1 の方向を暗黙に予測することと、

前記条件付分岐命令の第 2 の方向を状態情報に基づいて予測することと、

前記第 1 の方向と前記第 2 の方向との間の矛盾に応答して、前記条件付分岐命令に関連する分岐ターゲットアドレスキャッシュ（ＢＴＡＣ）エントリを管理することと
を備える方法。

[発明 14]

発明 13 に記載の方法において、

状態情報を用いて前記ＢＴＡＣを管理することは、前記ＢＴＡＣから前記ＢＴＡＣエントリを除去することを備える方法。

[発明 15]

発明 13 に記載の方法において、

状態情報を用いて前記ＢＴＡＣを管理することは、延長された期間、前記ＢＴＡＣ内で前記ＢＴＡＣエントリを保持することを備える方法。

[発明 16]

発明 13 に記載の方法において、

前記ＢＴＡＣ内に格納された 1 つ又は複数のエントリを置換え順序で保持することを更に備え、状態情報を用いて前記ＢＴＡＣを管理することは、前記置換え順序において前記ＢＴＡＣエントリの位置を修正することを備える方法。

[発明 17]

発明 16 に記載の方法において、

前記ＢＴＡＣエントリの位置を修正することは、前記ＢＴＡＣエントリを示すように置換えポインタを修正することを備える方法。

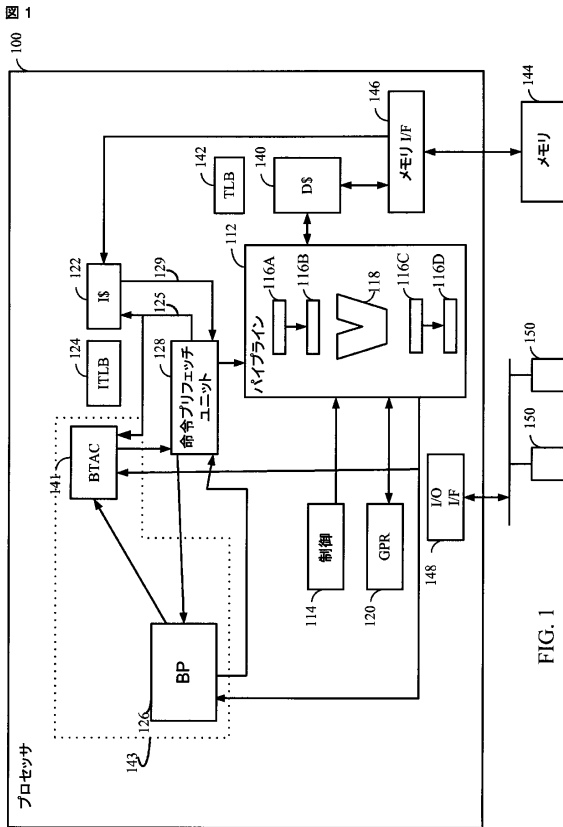
10

20

30

40

【 図 1 】



【 図 2 】

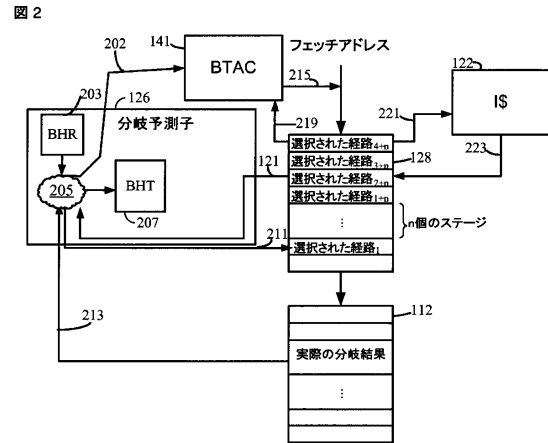


FIG. 2

【 図 3 】



FIG. 3

【 図 4 】

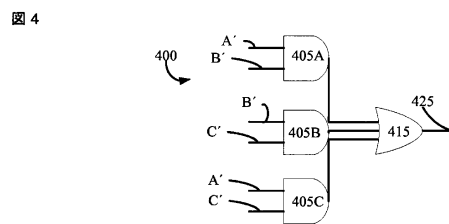


FIG. 4

【 図 5 】

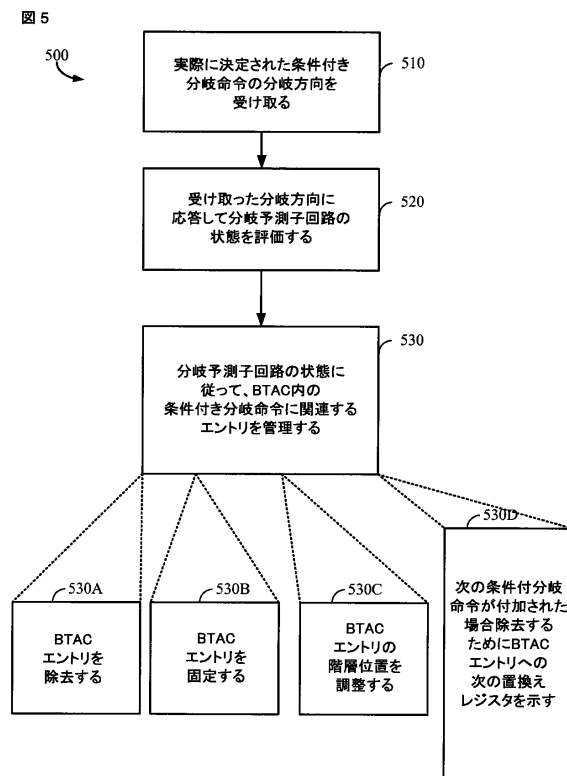


FIG. 5

【図 6】

図 6

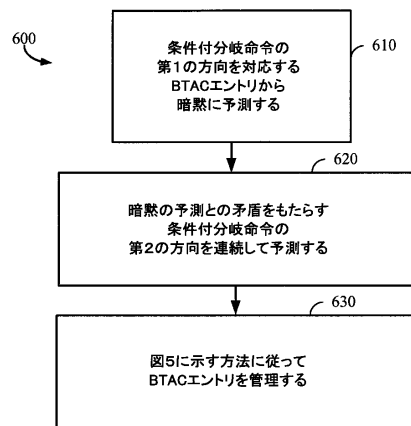


FIG. 6

フロントページの続き

- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100075672
弁理士 峰 隆司
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100172580
弁理士 赤穂 隆雄
- (74)代理人 100179062
弁理士 井上 正
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (72)発明者 リシリク、ボヒュースラブ
アメリカ合衆国、ノースカロライナ州 27560、モリスビル、スウィート・スポット・サークル 1017

審査官 三坂 敏夫

- (56)参考文献 特開平09-062508(JP,A)
特開平07-262006(JP,A)
米国特許出願公開第2002/0188833(US,A1)
米国特許出願公開第2004/0186985(US,A1)
David Levitan et al., "The PowerPC 620(TM) microprocessor: a high performance superscalar RISC microprocessor", Comcon '95. 'Technologies for the Information Superhighway', Digest of Papers., 米国, IEEE, 1995年 5月 9日, pages:285-291
技術速報「分岐予測機構を強化」, 日経エレクトロニクス, 日本, 日経BP社, 1994年 5月 9日, no. 607, 10頁

- (58)調査した分野(Int.Cl., DB名)
G06F 9/38