

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 19 年 6 月 7 日 (2007.6.7)

【公表番号】特表 2006-523036(P2006-523036A)
 【公表日】平成 18 年 10 月 5 日 (2006.10.5)
 【年通号数】公開・登録公報 2006-039
 【出願番号】特願 2006-509808(P2006-509808)
 【国際特許分類】

H 0 1 L 21/82 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

【F I】

H 0 1 L 21/82 P

H 0 1 L 27/04 E

【手続補正書】

【提出日】平成 19 年 4 月 4 日 (2007.4.4)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数の入力 / 出力 (I / O) セルを含む集積回路 (I C) チップであって、その複数の I / O セルの各 I / O セルは、

I C チップの基板に位置する能動 I / O 回路と、

前記基板の上に形成されるとともに、第 1 電源導体、第 2 電源導体、及び信号導体を備える複数の金属相互接続層と、

前記複数の金属相互接続層の上に形成される絶縁層と、

前記絶縁層の上に形成されるとともに、前記信号導体に接続される第 1 パッドと、

前記絶縁層の上に形成されるとともに、複数の金属相互接続層の内の最上部に位置する金属層の少なくとも 2 つの金属構造の直上に位置する第 2 パッドとを備え、該第 2 パッドは、前記絶縁層の少なくとも一つの開口を通して、少なくとも 2 つの金属構造の内の一つの金属構造に選択的に接続される、I C チップ。

【請求項 2】

前記少なくとも 2 つの金属構造のうちの第 1 の金属構造は前記第 1 電源導体に結合され、前記第 1 電源導体は第 1 の電源電位を供給するように構成され、前記少なくとも 2 つの金属構造のうちの第 2 の金属構造は前記第 2 電源導体に結合され、前記第 2 電源導体は第 2 の電源電位を供給するように構成される、請求項 1 に記載の I C チップ。

【請求項 3】

前記絶縁層は、絶縁層マスクを用いてパターンニングされ、前記少なくとも 2 つの金属構造の内の一つの金属構造の直上の所定位置における前記絶縁層の少なくとも一つの開口を通して、前記第 2 パッドを前記少なくとも 2 つの金属構造の内の一つの金属構造に選択的に結合させるようにマスクをプログラム化する、請求項 1 に記載の I C チップ。

【請求項 4】

入力 / 出力 (I / O) セルを含む集積回路 (I C) チップであって、I / O セルは、I C チップの基板に位置する能動 I / O 回路と、
 前記基板の上に形成される複数の金属相互接続層と、

前記複数の金属相互接続層の上に形成される絶縁層と、

前記絶縁層の上に形成されるとともに、該絶縁層の少なくとも一つの開口を通して前記複数の金属相互接続層の内の第 1 金属構造に接続される第 1 パッドと、

前記絶縁層の上に形成されるとともに、複数の金属相互接続層の内の最上部に位置する金属層の少なくとも 2 つの金属構造の直上に位置する第 2 パッドとを備え、第 2 パッドは、少なくとも 2 つの前記金属構造の内の一つの金属構造に対して、当該少なくとも 2 つの金属構造の内の一つの金属構造の直上に位置する前記絶縁層の少なくとも一つの開口を通して、選択的に接続される、IC チップ。

【請求項 5】

半導体チップの I/O セルの標準化された設計ブロックを設ける工程であって、前記 I/O セルは、金属相互接続層と、金属相互接続層の上に形成される絶縁層と、信号を伝送する第 1 パッドと、電源電位を供給する第 2 パッドとを備え、前記第 2 パッドは金属相互接続層の少なくとも 2 つの金属構造の直上に形成されており、前記絶縁層は複数の位置を有し、少なくとも 2 つの金属構造の各金属構造は複数の位置の内の一つの位置に対応し、少なくとも 2 つの金属構造の内の第 1 金属構造は第 1 電源電位を供給する導体であり、少なくとも 2 つの金属構造の内の第 2 金属構造は第 2 電源電位を供給する導体である、工程と、

第 2 パッドを、少なくとも 2 つの金属構造の一つの金属構造に対して、当該少なくとも 2 つの金属構造の内の一つの金属構造に対応する複数の位置の内の一つの位置にある少なくとも一つの開口を通して選択的に接続するように、マスクをプログラム化する工程と、

前記マスクを使用して前記絶縁層をパターンニングする工程とを備える、IC チップの形成方法。