



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0125761
(43) 공개일자 2016년11월01일

(51) 국제특허분류(Int. Cl.)
H01L 21/205 (2006.01) H01L 21/28 (2006.01)
H01L 21/324 (2006.01)
(52) CPC특허분류
H01L 21/2053 (2013.01)
H01L 21/2807 (2013.01)
(21) 출원번호 10-2015-0056635
(22) 출원일자 2015년04월22일
심사청구일자 2015년04월22일

(71) 출원인
충남대학교산학협력단
대전광역시 유성구 대학로 99 (궁동, 충남대학교)
(72) 발명자
이희덕
대전광역시 서구 둔산북로 175 햇님아파트 8동 604
김제영
대전광역시 중구 서문로 32 한밭우성아파트 102동 1006호
이맹
대전광역시 유성구 대학로 99 충남대학교 생활관 8동 210호
(74) 대리인
권혁수, 송윤희

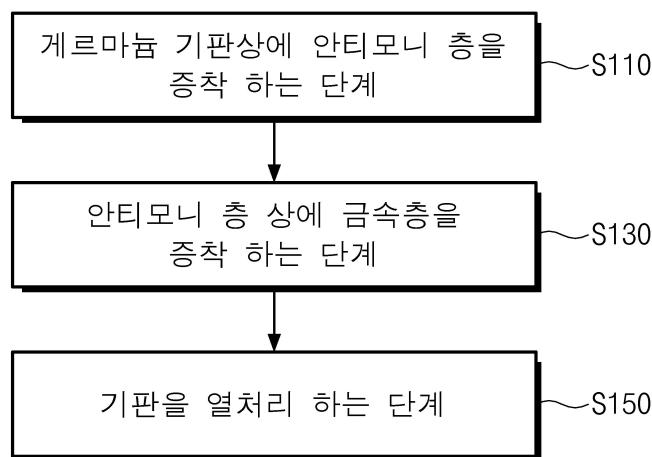
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 저마나이드 형성 방법 및 그 저마나이드를 포함하는 반도체 소자

(57) 요약

본 발명은 접촉저항을 낮출 수 있는 저마나이드 형성 방법 및 저마나이드를 포함하는 반도체 소자에 관한 것으로, 본 발명의 일 실시 예에 따른 저마나이드 형성 방법은 게르마늄(Ge) 기판 상에 안티모니 층을 증착하는 단계; 상기 안티모니 층 상에 금속 층을 증착하는 단계; 및 상기 금속 층이 증착된 기판을 열처리하는 단계;를 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 21/324 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 G01201406010774

부처명 산업통상지원부

연구관리전문기관 한국반도체연구조합

연구사업명 미래소자 원천기술개발사업

연구과제명 20nm급 이하 차세대 반도체 소자를 위한 저항 감소 기술 개발

기 여 율 1/2

주관기관 충남대학교

연구기간 2014.06.01 ~ 2015.05.31이 발명을 지원한 국가연구개발사업

과제고유번호 2014018410

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 일반연구자(지역대학우수과학자)지원사업

연구과제명 차세대 반도체 소자를 위한 게르마늄 쇼트키 장벽 MOSFET 연구

기 여 율 1/2

주관기관 충남대학교

연구기간 2014.05.01 ~ 2015.04.30

명세서

청구범위

청구항 1

게르마늄 기판 상에 안티모니를 증착하여 안티모니 층을 형성하는 단계;
상기 안티모니 층 상에 금속을 증착하여 금속 층을 형성하는 단계; 및
상기 금속 층이 형성된 게르마늄 기판을 열처리하는 단계;를 포함하는 저마나이드 형성 방법.

청구항 2

제1 항에 있어서,
상기 게르마늄 기판은 실리콘 기판 상에 게르마늄 층이 형성된 것인 저마나이드 형성 방법.

청구항 3

제1 항에 있어서,
상기 게르마늄 기판 상에 안티모니를 증착하여 안티모니 층을 형성하는 단계는,
상기 안티모니 층을 5nm 내지 12nm의 두께로 형성하는 저마나이드 형성 방법.

청구항 4

제3 항에 있어서,
상기 안티모니 층 상에 금속을 증착하여 금속 층을 형성하는 단계는,
상기 안티모니 층과 상기 금속 층의 두께 비가 4:5 내지 1:3의 비율이 되도록 금속 층을 형성하는 저마나이드 형성 방법.

청구항 5

제1 항에 있어서,
상기 금속 층이 형성된 게르마늄 기판을 열처리하는 단계는,
상기 금속 층이 형성된 게르마늄 기판을 300℃ 내지 400℃의 온도로 열처리하는 저마나이드 형성 방법.

청구항 6

제1 항에 있어서,
상기 금속 층은 니켈(Ni)을 포함하는 저마나이드 형성 방법.

청구항 7

실리콘 기판;
상기 실리콘 기판 상의 게르마늄 층; 및
상기 게르마늄 층 상의 저마나이드 층;을 포함하는 반도체 소자.

청구항 8

제7 항에 있어서,
상기 저마나이드 층은 NiGe를 포함하는 반도체 소자.

청구항 9

실리콘 기판;
 상기 실리콘 기판 상의 게르마늄 층;
 상기 게르마늄 층 상의 안티모니 층; 및
 상기 안티모니 층 상의 금속 층;을 포함하는 반도체 소자.

청구항 10

제9 항에 있어서,
 상기 금속 층은 니켈을 포함하는 반도체 소자.

청구항 11

제10 항에 있어서,
 상기 안티모니 층은 5nm 내지 12nm의 두께를 갖는 반도체 소자.

청구항 12

제11 항에 있어서,
 상기 안티모니 층과 상기 금속 층의 두께 비가 4:5 내지 1:3인 반도체 소자.

발명의 설명

기술 분야

[0001] 본 발명은 저마나이드 형성 방법 및 그 저마나이드를 포함하는 반도체 소자에 관한 것이다.

배경 기술

[0002] 반도체 소자가 소형화될수록, 채널의 길이는 짧아져 채널 저항은 감소하게 되나, 소스와 드레인을 이루는 활성화 면적(activation area)과 접촉 면적(contact area) 등의 면적이 줄어 외부 저항이 증가하게 된다. 이와 같은 외부 저항의 증가는 소자 성능 열화에 크게 기인하게 된다.

[0003] 이에 따라, 고성능 소자를 구현하기 위해 외부 저항을 감소시키는 연구가 다방면에서 이루어지고 있다.

[0004] 특히, 이러한 외부 저항 중 금속 전극과 반도체 기판 사이의 접촉 저항을 줄이기 위한 방안으로, 기존에는 이온 주입법(ion implantation)을 이용하여 도펀트(dopant)를 주입한 후, 저마나이드를 형성하였다.

[0005] 그러나, 기존의 방법은 공정이 복잡하고, 공정 비용 역시 고가의 비용이 드는 문제점이 있었다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 저비용으로 반도체 기판과 금속 전극 사이의 접촉저항을 낮출 수 있는 저마나이드(germanide) 형성 방법을 제공하는 것을 목적으로 한다.

[0007] 본 발명의 목적은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0008] 본 발명의 일 실시 예에 따른 저마나이드 형성 방법은 게르마늄 기판 상에 안티모니를 증착하여 안티모니 층을 형성하는 단계; 상기 안티모니 층 상에 금속을 증착하여 금속 층을 형성하는 단계; 및 상기 금속 층이 형성된 게르마늄 기판을 열처리하는 단계;를 포함할 수 있다.

[0009] 일 실시 예에 있어서, 상기 게르마늄 기판은 실리콘(Si) 기판 상에 게르마늄(Ge) 층이 형성된 것일 수 있다.

- [0010] 일 실시 예에 있어서, 상기 게르마늄 기판 상에 안티모니를 증착하여 안티모니 층을 형성하는 단계는, 상기 안티모니 층을 5nm 내지 12nm의 두께로 형성할 수 있다.
- [0011] 일 실시 예에 있어서, 상기 안티모니 층 상에 금속 층을 증착하여 금속 층을 형성하는 단계는, 상기 안티모니 층과 상기 금속 층의 두께 비가 4:5 내지 1:3의 비율이 되도록 금속 층을 형성할 수 있다.
- [0012] 일 실시 예에 있어서, 상기 금속 층이 증착된 게르마늄 기판을 열처리하는 단계는, 상기 금속 층이 증착된 게르마늄 기판을 300℃ 내지 400℃의 온도로 열처리할 수 있다.
- [0013] 일 실시 예에 있어서, 상기 금속 층은 니켈(Ni)을 포함할 수 있다.
- [0014] 본 발명의 다른 실시 예에 따른 반도체 소자는 실리콘 기판; 상기 실리콘 기판 상의 게르마늄(Ge) 층; 및 상기 게르마늄(Ge) 층 상의 저마나이드 층;을 포함할 수 있다.
- [0015] 일 실시 예에 있어서, 상기 저마나이드 층은 NiGe를 포함할 수 있다.
- [0016] 본 발명의 또 다른 실시 예에 따른 반도체 소자는 실리콘 기판; 상기 실리콘 기판 상의 게르마늄 층; 상기 게르마늄 층 상의 안티모니 층; 및 상기 안티모니 층 상의 금속 층;을 포함할 수 있다.
- [0017] 일 실시 예에 있어서, 상기 금속 층은 니켈을 포함할 수 있다.
- [0018] 일 실시 예에 있어서, 상기 안티모니 층은 5nm 내지 12nm의 두께를 가질 수 있다.
- [0019] 일 실시 예에 있어서, 상기 안티모니 층과 상기 금속 층의 두께 비가 4:5 내지 1:3일 수 있다.

발명의 효과

- [0020] 본 발명의 일 실시 예에 따르면, 기존의 공정보다 간단한 공정으로 저 접촉저항을 갖는 저마나이드를 형성할 수 있다.
- [0021] 본 발명의 효과가 상술한 효과들로 한정되는 것은 아니며, 언급되지 아니한 효과들은 본 명세서 및 첨부된 도면들로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확히 이해될 수 있을 것이다.

도면의 간단한 설명

- [0022] 도 1은 본 발명의 일 실시 예에 따른 저마나이드 형성 방법의 흐름도이다.
- 도 2는 도 1의 S150에 따라 형성되는 저마나이드의 구조를 나타내는 도면이다.
- 도 3은 본 발명의 일 실시 예에 따라 형성된 저마나이드가 적용된 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조를 나타내는 단면도이다.
- 도 4는 본 발명의 일 실시 예에 따라 형성된 저마나이드가 적용된 수광 다이오드의 구조를 나타내는 단면도이다.
- 도 5는 본 발명의 실시 예 1에 따라 형성된 니켈 저마나이드(NiGe)의 단면을 전자현미경으로 촬영한 이미지이다.
- 도 6은 본 발명의 실시 예 1-1 내지 실시 예 1-4 및 비교 예 1에 따라 형성된 니켈 저마나이드(NiGe)를 포함하는 다이오드에 인가된 전압에 따른 전류의 특성 변화를 나타내는 그래프이다.
- 도 7은 본 발명의 실시 예 2에 따라 열처리 온도 변화에 따라 형성된 니켈 저마나이드의 면저항(Sheet Resistance)을 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 본 발명의 다른 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술 되는 실시 예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0024] 만일 정의되지 않더라도, 여기서 사용되는 모든 용어들(기술 혹은 과학 용어들을 포함)은 이 발명이 속한 종래

기술에서 보편적 기술에 의해 일반적으로 수용되는 것과 동일한 의미가 있다. 일반적인 사전들에 의해 정의된 용어들은 관련된 기술 그리고/혹은 본 출원의 본문에 의미하는 것과 동일한 의미를 갖는 것으로 해석될 수 있고, 그리고 여기서 명확하게 정의된 표현이 아니더라도 개념화되거나 혹은 과도하게 형식적으로 해석되지 않을 것이다. 본 명세서에서 사용된 용어는 실시 예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다.

[0025] 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다' 및/또는 이 동사의 다양한 활용형들 예를 들어, '포함', '포함하는', '포함하고', '포함하며' 등은 언급된 조성, 성분, 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 조성, 성분, 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다. 또한 '구비한다', '갖는다' 등도 이와 동일하게 해석되어야 한다. 또한, 층, 막의 구성이 다른 구성 "상에" 있다고 함은 다른 구성의 바로 위에 있는 경우뿐만 아니라 그 중간에 다른 구성이 구비된 경우도 포함한다.

[0026] 본 발명의 일 실시 예에 따른 저마나이드 형성 방법은, 게르마늄(Ge) 기판 상에 안티모니(Sb) 층을 증착하고, 증착된 안티모니 층 상에 금속을 증착하여 금속 층을 형성한 후, 이를 열처리하는 단계를 포함한다. 이 경우, 안티모니(Sb)는 도펀트(dopant)로서 게르마늄(Ge) 기판 상에 첨가되고, 게르마늄이 금속 층을 이루는 금속과 반응하여 저마나이드가 형성된다. 즉, 본 발명의 일 실시 예에 따르면, 이온 주입법에 의하지 않고도, 간단한 증착 장비를 이용하여 안티모니 층 및 금속을 증착시킨 후, 이를 열처리함으로써, 저 접촉 저항을 갖는 저마나이드를 형성할 수 있다.

[0027] 이하, 본 명세서에 첨부된 도면을 참조하여 본 발명에 대해 상세히 설명한다.

[0028] 도 1은 본 발명의 일 실시 예에 따른 저마나이드 형성 방법의 흐름도이다.

[0029] 도 1에 도시된 바와 같이, 본 발명의 일 실시 예에 따른 저마나이드 형성 방법은 게르마늄 기판 상에 안티모니(Sb) 층을 증착하는 단계(S110), 안티모니 층 상에 금속 층을 증착하는 단계(S130) 및 상기 금속 층이 증착된 기판을 열처리하는 단계(S150)을 포함할 수 있다.

[0030] 일 실시 예로서, 상기 게르마늄 기판은 게르마늄 웨이퍼 기판일 수 있다. 다른 실시 예로서, 상기 게르마늄 기판은 실리콘 웨이퍼 상에 에피택셜 성장(Epitaxial growth) 방법에 의해 게르마늄이 증착된 기판일 수 있다. 실리콘 웨이퍼 상에 게르마늄을 성장시킨 기판을 사용하는 경우, 게르마늄 웨이퍼를 사용하는 경우보다 비용을 절감할 수 있는 장점이 있다.

[0031] 상기 게르마늄 기판 상에 안티모니 층을 증착하는 단계(S110)에 있어서, 상기 안티모니 층은 스퍼터(sputter)를 이용하여 게르마늄 기판 상에 증착할 수 있다. 기존의 방법인 이온 주입법(ion implantation)이 아닌, 증착 장비를 이용하여 안티모니를 증착함으로써, 공정 비용을 절감할 수 있으며, 보다 간단한 공정에 의해 저마나이드를 형성할 수 있다.

[0032] 일 실시 예로서, 상기 안티모니 층은 5nm 내지 12nm의 두께로 증착할 수 있다. 더 바람직하게는, 상기 안티모니 층은 8nm 두께로 증착할 수 있다.

[0033] 이와 같이, 게르마늄 기판 상에 증착되는 안티모니 층은 게르마늄 기판이 산화되는 것을 방지하고, 금속과 게르마늄이 과도한 에너지 주입 없이 이동할 수 있게 한다. 따라서, 열처리시 안티모니 층을 사이에 둔 금속과 게르마늄 기판이 반응하여 저마나이드가 형성되고, 안티모니 층은 게르마늄 기판 상에 도펀트로 첨가된다.

[0034] 상기 안티모니 층 상에 금속 층을 증착하는 단계(S130)에서, 상기 금속 층 역시 스퍼터를 이용하여 증착될 수 있다. 상기 금속은 니켈(Ni)을 포함할 수 있다. 또한, 상기 금속 층은 안티모니 층과 금속 층의 두께 비가 4:5 내지 1:3의 비율이 되도록 증착할 수 있다. 더 바람직하게는, 상기 안티모니 층과 금속 층의 두께 비가 1:2 정도의 비율로 증착되도록 할 수 있다.

[0035] 상기 금속 층이 증착된 기판을 열처리하는 단계(S150)에서, 상기 금속 층이 증착된 기판을 열처리함으로써, 저마나이드를 형성할 수 있다. 예로서, 열처리 온도는 300℃ 내지 400℃ 범위의 온도로 열처리할 수 있다. 300℃ 내지 400℃ 범위의 온도로 열처리하는 경우, 다른 온도 범위로 열처리한 경우보다 접촉저항이 훨씬 낮은 저마나이드를 형성할 수 있다.

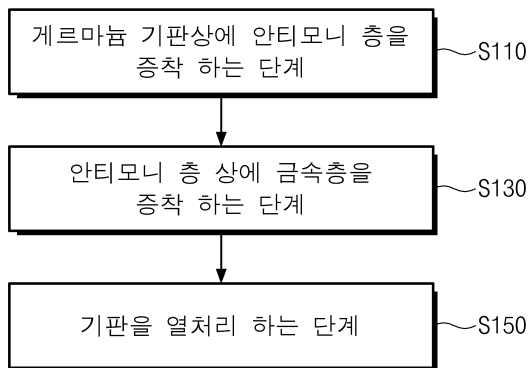
[0036] 도 2는 도 1의 S150에 따라 형성되는 저마나이드의 구조를 나타내는 도면이다.

- [0037] 도 2에 도시된 바와 같이, 본 발명의 일 실시 예에 따른 저마나이드는 게르마늄(Ge) 기판상의 안티모니(Sb) 층, 그리고, 안티모니 층 상의 니켈(Ni)을 증착할 수 있다. 그리고나서, 이를 열처리(S150)함으로써, 게르마늄 기판 상에 니켈 저마나이드(NiGe)를 형성할 수 있다.
- [0038] 도 3 및 도 4는 본 발명의 일 실시 예에 따라 형성된 저마나이드가 적용된 반도체 소자로서, MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 및 수광 다이오드의 구조를 나타내는 단면도이다.
- [0039] 도 3에 도시된 바와 같이, 본 발명의 일 실시 예에 따른 저마나이드는 MOSFET 에서 소스, 드레인 전극 영역에 적용될 수 있다. 또한, 도 4에 도시된 바와 같이, 게르마늄 기판과 하부 금속 전극 사이에 적용되어 접촉 저항을 낮출 수 있다.
- [0040] 이하, 본 발명의 실시 예 및 실시 예에 따른 실험 결과를 통해 본 발명을 더 상세히 설명한다.
- [0041] <실시 예 1>
- [0042] 먼저, 실리콘 웨이퍼 상에 게르마늄을 에피택셜 성장(Epitaxial growth) 방법으로 증착시켰다. 이후, 게르마늄이 증착된 기판 상에 스퍼터(sputter)를 이용하여 20sccm의 아르곤(Ar) 가스 분위기에서 100W 파워로 선 스퍼터링(pre sputtering)한 후, 1.8sccm의 아르곤 가스 분위기에서 30W 파워로 스퍼터링하여 안티모니(Sb)를 증착하였다. 이 경우, 진공도(base pressure)은 5.4×10^{-7} torr로 하였다.
- [0043] 이 때, 스퍼터링 공정의 증착 시간을 달리하여 안티모니를 2nm(실시 예 1-1), 5nm(실시 예 1-2), 8nm(실시 예 1-3) 및 12nm(실시 예 1-4)로 증착하였다. 구체적으로, 2nm는 1분 29초, 5nm는 4분 24초, 8nm는 6분 27초, 12nm는 8분 56초 동안 스퍼터링하여 증착하였다.
- [0044] 그리고 나서, 상기 각각 다른 두께로 증착된 안티모니 층 상에 같은 증착 장비를 이용하여 니켈(Ni)을 증착하였다. 구체적으로, 상기 안티모니 층 상에 스퍼터(sputter)를 이용하여 20sccm의 아르곤(Ar) 가스 분위기에서 100W 파워로 선 스퍼터링(pre sputtering)한 후, 1.8sccm의 아르곤 가스 분위기에서 100W 파워로 스퍼터링하여 니켈(Ni)을 증착하였다. 이 경우, 5분 1초 동안 증착하여 안티모니 층 상의 15nm의 니켈 층을 증착하였다.
- [0045] 이후, 상기 각각 다른 두께의 안티모니 층 상에 니켈 층이 증착된 게르마늄 기판을 400℃ 온도로 30초 동안 열처리하여 니켈 저마나이드(NiGe)를 형성하였다.
- [0046] <비교 예 1>
- [0047] 다른 과정은 실시 예1과 동일하게 수행하되, 안티모니 층을 증착하지 않고, 게르마늄 기판 상에 15nm의 니켈(Ni) 층을 증착하였다.
- [0048] 도 5는 본 발명의 실시 예 1에 따라 형성된 니켈 저마나이드(NiGe)의 단면을 전자현미경으로 촬영한 이미지이다.
- [0049] 도 5를 참조하면, 본 발명의 실시 예 1에 따라 형성된 니켈 저마나이드는 실리콘 기판 상에 증착된 게르마늄 층 및 게르마늄 층 상에 증착된 니켈 저마나이드(NiGe) 층이 균일하게 형성되었음을 확인할 수 있다.
- [0050] 도 6은 본 발명의 실시 예 1-1 내지 실시 예 1-4 및 비교 예 1에 따라 형성된 니켈 저마나이드(NiGe)를 포함하는 다이오드에 인가된 전압에 따른 전류의 특성 변화를 나타내는 그래프이다.
- [0051] 도 6에 나타난 바와 같이, 안티모니 층을 증착하지 않은 비교 예 1 보다 안티모니 층을 증착한 실시 예 1-1 내지 4에 전류밀도가 확연히 증가됨을 알 수 있다. 나아가, 실시 예 1-1에 비해 실시 예 1-2 내지 4에서 전류 밀도가 현저히 향상됨을 확인할 수 있다. 즉, 안티모니 층이 5nm 내지 12nm의 두께로 증착되고, 안티모니 층과 금속 층의 두께 비가 4:5 내지 1:3인 경우, 특히 반도체 소자의 성능이 향상되었다. 또한, 실시 예 1-3, 즉, 8nm의 안티모니 층 상의 15nm의 니켈 층을 증착한 경우, 실시 예 1-1 내지 4 중 가장 전류 밀도가 높게 나타남을 확인할 수 있다.

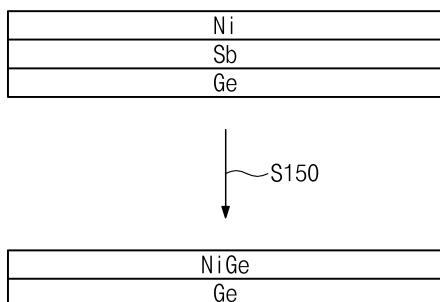
- [0052] <실시 예 2>
- [0053] 다른 과정은 실시 예 1과 동일한 과정을 수행하되, 실시 예 1 중 가장 성능이 좋은 것으로 확인된 8nm의 안티모니 층 상의 15nm의 니켈 층을 증착한 후, 열처리 온도에 따른 접촉 저항을 확인하기 위해 열처리 온도를 달리하여 실험을 진행하여 니켈 저마나이드를 형성하였다.
- [0054] 도 7은 본 발명의 실시 예 2에 따라 열처리 온도 변화에 따라 형성된 니켈 저마나이드의 면저항(Sheet Resistance)을 나타내는 그래프이다.
- [0055] 도 7에 도시된 바와 같이, 실시 예 2에 따라 각기 다른 온도에서 열처리하여 형성된 니켈 저마나이드의 면저항은 300℃ 내지 400℃의 범위에서 열처리한 경우, 다른 범위에 비해 면저항이 확연히 낮아짐을 확인할 수 있다. 즉, 본 발명의 일 실시 예에 따른 저마나이드는 300℃ 내지 400℃의 범위에서 열처리할 경우, 훨씬 낮은 접촉 저항을 가질 수 있으므로, 이를 포함하는 반도체 소자의 성능을 향상시킬 수 있다.
- [0056] 이상의 실시 예들은 본 발명의 이해를 돕기 위하여 제시된 것으로, 본 발명의 범위를 제한하지 않으며, 이로부터 다양한 변형 가능한 실시 예들도 본 발명의 범위에 속할 수 있음을 이해하여야 한다. 예를 들어, 본 발명의 실시 예에 도시된 각 구성 요소는 분산되어 실시될 수도 있으며, 반대로 여러 개로 분산된 구성 요소들은 결합되어 실시될 수 있다. 따라서, 본 발명의 기술적 보호범위는 특허청구범위의 기술적 사상에 의해 정해져야 할 것이며, 본 발명의 기술적 보호범위는 특허청구범위의 문언적 기재 그 자체로 한정되는 것이 아니라 실질적으로 는 기술적 가치가 균등한 범주의 발명에 대하여까지 미치는 것임을 이해하여야 한다.

도면

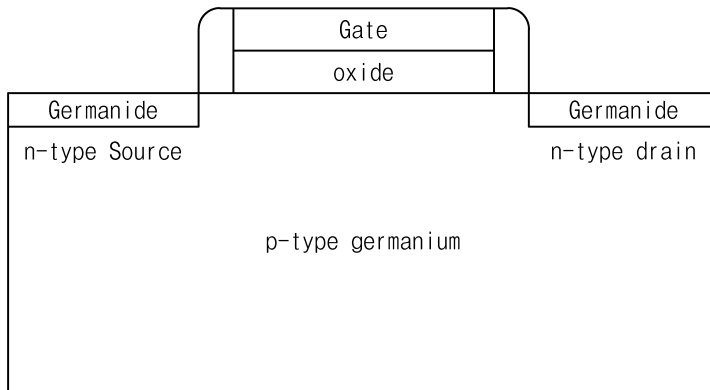
도면1



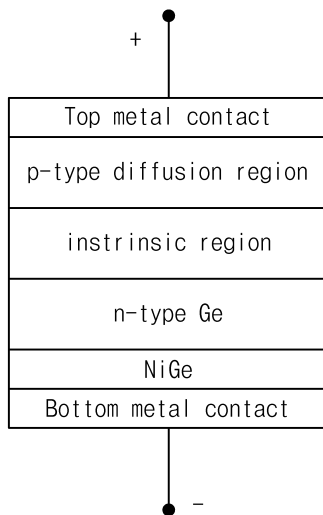
도면2



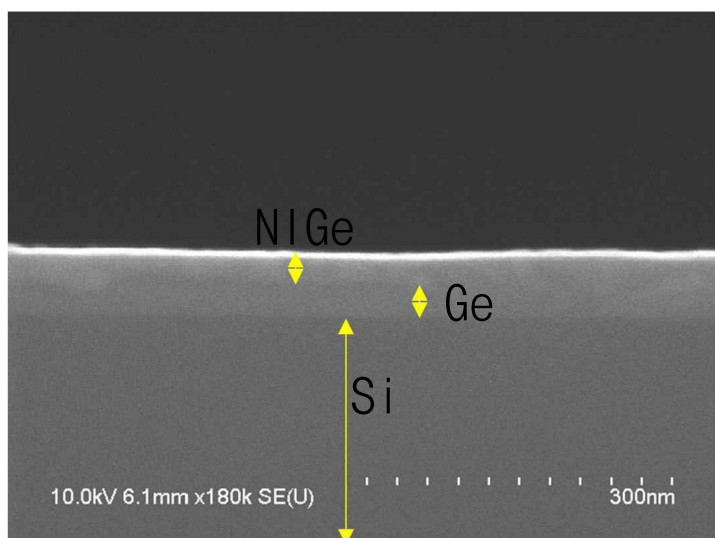
도면3



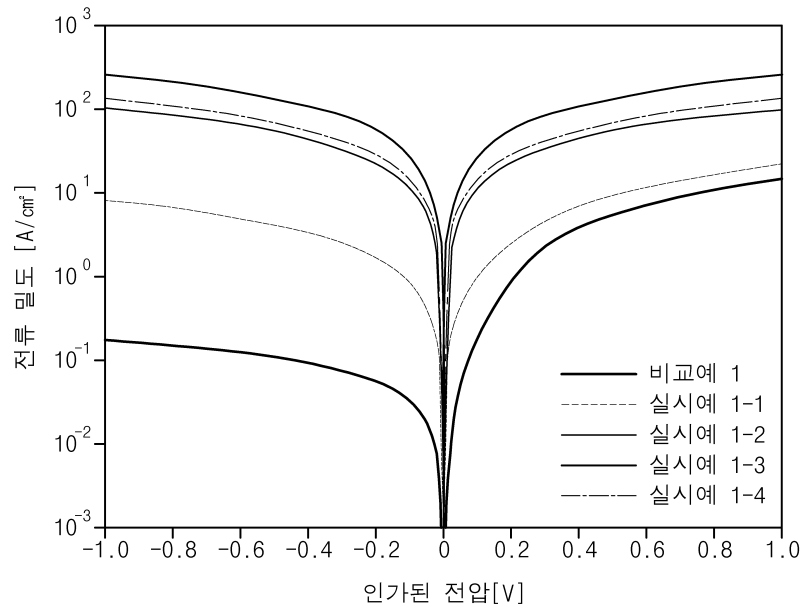
도면4



도면5



도면6



도면7

