

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-49524  
(P2011-49524A)

(43) 公開日 平成23年3月10日(2011.3.10)

(51) Int.Cl.

H01L 27/146 (2006.01)  
H04N 5/335 (2011.01)

F 1

H01L 27/14  
H04N 5/335A  
E

テーマコード(参考)

4M118  
5C024

審査請求 未請求 請求項の数 9 O L (全 16 頁)

(21) 出願番号 特願2010-65114 (P2010-65114)  
 (22) 出願日 平成22年3月19日 (2010.3.19)  
 (31) 優先権主張番号 特願2009-174329 (P2009-174329)  
 (32) 優先日 平成21年7月27日 (2009.7.27)  
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000002185  
 ソニー株式会社  
 東京都港区港南1丁目7番1号  
 (74) 代理人 100082131  
 弁理士 稲本 義雄  
 (74) 代理人 100121131  
 弁理士 西川 孝  
 (72) 発明者 大理 洋征龍  
 東京都港区港南1丁目7番1号 ソニー株  
 式会社内  
 (72) 発明者 十河 康則  
 東京都港区港南1丁目7番1号 ソニー株  
 式会社内  
 F ターム(参考) 4M118 AA01 AA05 AB01 BA14 CA04  
 DD04 FA06 FA26 FA33 FA50  
 5C024 AX01 CX03 CY47 GX03 GY31

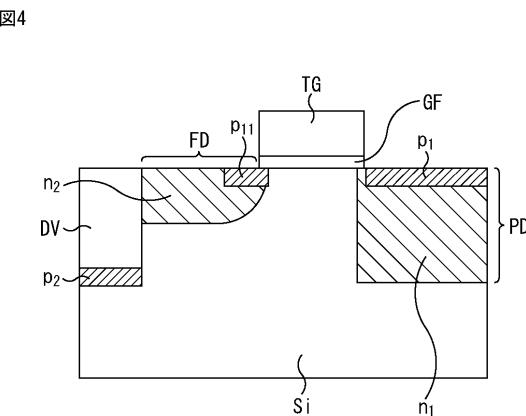
(54) 【発明の名称】 固体撮像素子および固体撮像素子の製造方法

(57) 【要約】

【課題】 固体撮像素子において、低照度時または暗時に、フローティングディフュージョンで生じるリーク電流に起因するノイズを低減できるようにする。

【解決手段】 CMOSからなる撮像素子における、フローティングディフュージョン FD を形成する第1導電型半導体層である層 n2 の転送ゲート TG の端部付近に、第2導電型半導体層である層 p11 を形成する。これにより、転送ゲートがオフ時に、フローティングディフュージョン領域 FD において、結晶欠陥が生じ易い転送ゲート TG 端付近への電界集中を防ぎ、リーク電流を抑制する。本発明は、CMOSからなる撮像素子に適用することができる。

【選択図】 図4



## 【特許請求の範囲】

## 【請求項 1】

光信号を信号電荷に変換するフォトダイオードと、  
 前記フォトダイオードから信号電荷を転送する転送ゲートと、  
 前記信号電荷が転送されるフローティングディフュージョンと、  
 ゲートが前記フローティングディフュージョンに接続されるMOSトランジスタとを備え、  
 前記フローティングディフュージョンを形成する第1導電型半導体層の転送ゲート端部に、第2導電型半導体層が形成されてなることを特徴とした  
 固体撮像素子。

10

## 【請求項 2】

前記第1導電型半導体層および前記第2導電型半導体層は、相互に一部が接するように形成される

請求項1に記載の固体撮像素子。

## 【請求項 3】

前記第2導電型半導体層は、前記第1導電型半導体層の素子分離領域の周囲に形成された第2導電型半導体層と繋がっている

請求項1に記載の固体撮像素子。

## 【請求項 4】

前記フローティングディフュージョンに接続されたリセット用トランジスタのソース領域を形成する前記第1導電型半導体層において、リセットゲート端部に、前記第2導電型半導体層が形成されてなることを特徴とする

20

請求項1乃至3のいずれかに記載の固体撮像素子。

## 【請求項 5】

1つの画素内に、複数の前記フローティングディフュージョンと複数の前記転送ゲートとを有する固体撮像素子のうち、少なくとも1つ以上の前記フローティングディフュージョン形成する第1導電型半導体層の転送ゲート端部に、第2導電型半導体層が形成されてなることを特徴とした

請求項1乃至3のいずれかに記載の固体撮像素子。

## 【請求項 6】

少なくとも1つ以上の前記フローティングディフュージョンにおいて、前記フローティングディフュージョンを形成する第1導電型半導体層の表面が、第2導電型半導体層で覆われている

30

請求項5に記載の固体撮像素子。

## 【請求項 7】

複数の画素全てが同時に撮像動作を行うグローバルシャッタ方式をとる固体撮像素子であって、

前記フォトダイオードから前記フローティングディフュージョンへ全画素が同時に信号電荷の転送を行い、転送後から読み出しまでの間に前記フローティングディフュージョンで信号電荷を保持する

40

請求項1乃至6の何れかに記載の固体撮像素子。

## 【請求項 8】

シリコン基板上にフォトダイオードを構成する第1導電型半導体層を形成する第1の工程と、前記フォトダイオードから信号電荷の転送を行う転送ゲートを形成する第2の工程と、

前記第1導電型半導体層を覆うと共に、フローティングディフュージョン領域の前記転送ゲート端部に、第2導電型半導体層を形成する第3の工程と、

前記フローティングディフュージョンを構成する第1導電型半導体層を形成する第4の工程と

を含む固体撮像素子の製造方法。

50

## 【請求項 9】

光信号を信号電荷に変換するフォトダイオードと、  
前記フォトダイオードから信号電荷を転送する転送ゲートと、  
前記信号電荷が転送されるフローティングディフュージョンと、  
ゲートが前記フローティングディフュージョンに接続されるMOSトランジスタとを備え、

前記フローティングディフュージョンを形成する第1導電型半導体層において、転送ゲート端部に、第2導電型半導体層が形成されてなることを特徴とした

請求項1乃至7の何れかに記載の固体撮像素子を用いた電子機器。

## 【発明の詳細な説明】

10

## 【技術分野】

## 【0001】

本発明は、固体撮像素子および固体撮像素子の製造方法に関し、特に、半導体により形成したCMOS(Complementary Metal Oxide Semiconductor)型の固体撮像素子におけるリーク電流を抑制して、低照度、または暗時のノイズを低減できるようにした固体撮像素子および固体撮像素子の製造方法に関する。

## 【背景技術】

## 【0002】

CMOS(Complementary Metal Oxide Semiconductor)型の固体撮像素子(以下、CMOS型撮像素子とも称する)は、低電圧駆動が可能であり、消費電力の点から多画素化、高速読み出しの要求に応えることが容易である。

20

## 【0003】

このような特性により、近年、カメラ付き携帯電話等の小型民生機器だけでなく、高画質化が要求されるデジタル一眼レフカメラ、更には業務用撮影機器においてもCMOS型撮像素子が用いられ始めており、従来のCCD(Charge Coupled Devices)に代わる高性能撮像素子として注目されている。

## 【0004】

従来、撮像素子は、暗時や低照度時には、画像にノイズが入り易いことが知られており、銀塩式のカメラと比べて劣るため、一部のユーザからは敬遠されることがあり、低ノイズ化が課題とされてきた。

30

## 【0005】

このため、CMOS型撮像素子を構成するフォトダイオード及びフローティングディフュージョンにおいても、暗時または低照度時のリーク電流を抑制し、ノイズを低減させる技術が益々重要なものとなっている。

## 【0006】

図1は、従来技術におけるフローティングディフュージョンを含むCMOS型撮像素子の構造例を示したものである。一般に、フローティングディフュージョンFDは、フォトダイオードPDに対し、Poly-Si(ポリシリコン)などからなる、電荷転送用の転送ゲートTGを挟んだ位置に、フォトダイオードPDと同一の導電型の不純物拡散層が形成された構造となる(特許文献1参照)。

40

## 【0007】

このようなフローティングディフュージョンは、CMOS型撮像素子のうち、ローリングシャッタ方式をとるものにおいては、信号電荷の読み出し用素子として使用される。一方、グローバルシャッタ方式をとるものにおいては、読み出し用素子としてだけでなく、読み出しが実行されるまでの間、信号電荷を保持する素子としても使用される(特許文献2参照)。

## 【0008】

ここで、ローリングシャッタ方式とグローバルシャッタ方式について説明する。

## 【0009】

CMOS型撮像素子は、フォトダイオードで光電変換する信号電荷の蓄積期間(もしくは露

50

光期間)について、その同時性の違いから、ローリングシャッタ方式(別名:フォーカルプレーンシャッタ方式、ライン露光方式)とグローバルシャッタ方式の2種類に分けられる(特許文献3参照)。

【0010】

ローリングシャッタ方式とは、信号を出力した画素がその時点から再び光電変換を行い、順次読み出されるまでの間フォトダイオードへ信号電荷の蓄積を行うものである。この方式では、画素配列の行毎に信号電荷の蓄積期間が異なる。このため、撮影された画像は歪みを生じることとなる。

【0011】

一方、グローバルシャッタ方式とは、ローリングシャッタ方式により生じる歪みを解消するために、信号電荷の蓄積期間の同時性を保つ方式である。グローバルシャッタ方式を実現するために、メカニカルシャッタを併用する方法(特許文献3参照)、あるいは遮光膜で覆われたフローティングディフュージョンに全画素同時にフォトダイオードから信号電荷の転送を行い、読み出すまでの間保持させることで蓄積期間の同時性を保つ方法(特許文献4参照)などが提案されている。

10

【0012】

図1に示したCMOS型撮像素子の従来の構造では、特許文献1によればPoly-Si(ポリシリコン)などの異方性エッチングによって形成された転送ゲートTG端付近に、結晶欠陥が導入され易いことが知られている。転送ゲートTGがオフの状態では、フローティングディフュージョンFDと転送ゲートTGとの電位差によって、結晶欠陥の生じ易い転送ゲートTG端付近に電界集中が生じる。この結果、電界集中箇所で結晶欠陥を介したリーク電流が発生し、暗時や低照度時において、偽信号が出力されてしまう可能性がある。

20

【0013】

尚、図1においては、シリコン基板Si上に第1導電型半導体層としてn型不純物層n1が設けられ、その上部に第2導電型半導体層としてp型不純物層p1が設けられている。そして、この層p1, n1によりフォトダイオードPDが形成されている。また、同図中、素子分離領域DVが設けられており、その下には、p型不純物層p2が設けられている。さらに、フォトダイオードに対し転送ゲートTGを挟んだ位置にn型不純物層n2が設けられ、フローティングディフュージョンFDを形成している。

30

【0014】

より詳細には、一般に、半導体装置において、結晶欠陥部にpn接合の逆バイアスによる電界集中が生じると、Trap-Assisted-Tunneling(TAT)モデルと呼ばれる機構によって、結晶欠陥を介したリーク電流が発生することが説明されている。そして、前述した問題は、同機構によって発生していることが広く知られている(非特許文献1, 2参照)。

【0015】

図2は、従来のCMOS型撮像素子における、フローティングディフュージョン領域の不純物分布と電界強度分布のシミュレーション結果を示したものである。図2(a)は、不純物濃度分布を示しており、図2(b)は、電界強度分布を示している。尚、図2(a)の不純物濃度分布においては、白色に近くなるほどn型不純物の濃度が高く、黒色に近くなるほどp型不純物の濃度が高いことを示している。また、図2(b)の電界強度分布においては、白色に近いほど電界強度が高く、黒色に近いほど電界強度が低いことを示している。また、図2(a), 図2(b)においては、いずれも同図内に転送ゲートTGが存在し、フローティングディフュージョンFDが配置される場合を示している。換言すれば、図2は、いずれも、図1の転送ゲートTGおよびフローティングディフュージョンFD付近を拡大した範囲の分布が示されている。ここで、図2(b)においては、転送ゲートにはオフ時を想定し負電位が印加され、フローティングディフュージョンFD領域は正電位となっている。

40

【0016】

すなわち、図2で示す従来の構造の場合、転送ゲートTGがオフ時に、同転送ゲートTGに印加された負電位が、ゲート絶縁膜を介して、ゲート絶縁膜直下のシリコン基板Si内に

50

伝えられる。その結果、同ゲート絶縁膜直下のシリコン基板とフローティングディフュージョンF D領域との電位差により、転送ゲートT G端付近(図2(b)中の領域A)に電界の最大値をとる領域が存在する。

#### 【0017】

特に、CMOS型撮像素子のうち、グローバルシャッタ方式であって、特許文献2のような例でフローティングディフュージョンF Dに信号電荷を保持する場合、リーク電流の影響が避けられない。すなわち、信号電荷の保持期間中に、前述した機構によって、フローティングディフュージョンF Dにリーク電流が発生し続けることにより、転送されるべき信号電荷にノイズが生じ、SN比(Signal to Noise Ratio)が劣化する。

#### 【0018】

従って、転送ゲートT G端のような結晶欠陥が生じ易い領域には、電界集中が生じない構造を実現し、リーク電流を低減できる構造とすることが望ましいと言える。

#### 【先行技術文献】

##### 【特許文献】

##### 【0019】

【特許文献1】特開2001-028433号公報

【特許文献2】特開2006-311515号公報

【特許文献3】特開2006-191236号公報

【特許文献4】特開2009-049870号公報

【非特許文献1】Hurkx et al., "A New Recombination Model for Device Simulation Including Tunneling", IEEE TED. Vol. 39, no.2 pp.331-338, 1992.

【非特許文献2】G. Eneman et al., "Analysis of junction leakage in advanced germanium P+/n junctions", in Proc. European Solid-State Device Research Conf. 2007, pp.454-457.

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0020】

本発明はこのような状況に鑑みてなされたものであり、特に、CMOS型固体撮像素子のフローティングディフュージョンにおいて、転送ゲート端付近への電界集中を防止し、リーク電流の生じにくい固体撮像素子と、その製造方法を実現できるようにするものである。

#### 【課題を解決するための手段】

#### 【0021】

本発明の一側面の固体撮像素子は、光信号を信号電荷に変換するフォトダイオードと、前記フォトダイオードから信号電荷を転送する転送ゲートと、前記信号電荷が転送されるフローティングディフュージョンと、ゲートが前記フローティングディフュージョンに接続されるMOSトランジスタとを備え、前記フローティングディフュージョンを形成する第1導電型半導体層の転送ゲート端部に、第2導電型半導体層を形成する。

#### 【0022】

前記第1導電型半導体層および前記第2導電型半導体層は、相互に一部が接するように形成されるようにすることができる。

#### 【0023】

前記第2導電型半導体からなる部位は、前記第1導電型半導体層の素子分離領域の周囲に形成された第2導電型半導体層と繋がるように形成することができる。

#### 【0024】

前記フローティングディフュージョンに接続された、リセット用トランジスタのソース領域におけるリセットゲート端部に、前記第2導電型半導体層を形成するようにさせることができる。

#### 【0025】

単位画素あたりに複数の前記フローティングディフュージョンと複数の前記転送ゲートを有する場合に、少なくとも1つ以上の前記フローティングディフュージョン形成する第

10

20

30

40

50

1導電型半導体層の転送ゲート端部には、第2導電型半導体層を形成するようにさせることができる。

【0026】

単位画素あたりに複数の前記フローティングディフュージョンと複数の前記転送ゲートを有する場合に、転送ゲートと転送ゲートに挟まれた、少なくとも1つ以上の前記フローティングディフュージョンにおいて、前記フローティングディフュージョンを形成する第1導電型半導体層の表面が、第2導電型半導体層で覆われているようにすることができる。

【0027】

本発明の固体撮像素子は、複数の画素全てが同時に撮像動作を行うグローバルシャッタ機能を有する固体撮像素子であって、前記フォトダイオードから前記フローティングディフュージョンへ全画素が同時に信号電荷の転送を行い、転送後から読み出しまでの間に前記フローティングディフュージョンで信号電荷を保持するようにすることができる。

【0028】

本発明の第2の側面の製造方法は、シリコン基板上にフォトダイオードを構成する第1導電型半導体層を形成する第1の工程と、転送ゲートを形成する第2の工程と、前記第1導電型半導体層を覆うと共に、フローティングディフュージョン領域の前記転送ゲート端部に、第2導電型半導体層を形成する第3の工程と、フローティングディフュージョンを構成する第1導電型半導体からなる層を形成する第4の工程とを含む。

【0029】

本発明の電子機器は、光信号を信号電荷に変換するフォトダイオードと、前記フォトダイオードから信号電荷を転送する転送ゲートと、前記信号電荷が転送されるフローティングディフュージョンと、ゲートが前記フローティングディフュージョンに接続されるMOSトランジスタとを備え、前記フローティングディフュージョンを形成する第1導電型半導体層において、転送ゲート端部に、第2導電型半導体層が形成されてなることを特徴とした。

【0030】

本発明の第1の側面においては、フォトダイオードにより光信号が信号電荷に変換され、転送ゲートにより、前記フォトダイオードから信号電荷がフローティングディフュージョンに転送され、フローティングディフュージョンにより、前記信号電荷が転送され、MOSトランジスタにより、ゲートが前記フローティングディフュージョンに接続され、前記フローティングディフュージョンを形成する第1導電型半導体層の転送ゲート端部に、第2導電型半導体層が形成される。

【0031】

本発明の第2の側面においては、シリコン基板上にフォトダイオードを構成する第1導電型半導体層が形成され、さらに信号電荷をフローティングディフュージョンへ転送する転送ゲートが形成され、前記第1導電型半導体層が覆われると共に、フローティングディフュージョン領域の前記転送ゲート端部に、第2導電型半導体層が形成され、フローティングディフュージョンを構成する第1導電型半導体層が形成される。

【発明の効果】

【0032】

本発明によれば、フローティングディフュージョンにおいて、結晶欠陥が生じ易い転送ゲートTG端付近への電界集中を防ぎ、リーク電流を抑制することが可能となる。また、フローティングディフュージョンを形成する不純物層が転送ゲートTGに対しオーバーラップしない構造となるため、転送ゲート端部におけるオーバーラップ容量が低減し、変換効率が増大する。この結果、高いSN比での撮像が可能となる。

【図面の簡単な説明】

【0033】

【図1】従来の固体撮像素子の構成例を示す図である。

【図2】図1の固体撮像素子による不純物濃度分布、および電界強度分布を示す図である

10

20

30

40

50

。  
 【図3】固体撮像素子を含む1画素分の回路構成を示す図である。  
 【図4】本発明を適用した固体撮像素子の構成例を示す図である。  
 【図5】図4の固体撮像素子による不純物濃度分布、および電界強度分布を示す図である  
 。

【図6】ローリングシャッタの動作を説明する図である。  
 【図7】グローバルシャッタの動作を説明する図である。  
 【図8】製造方法を説明するフローチャートである。  
 【図9】本発明の製造方法を説明する製造工程図である。  
 【図10】本発明を適用した素子分離領域の周囲が第2導電型半導体層に囲まれた固体撮像素子の構成例を示す図である。 10  
 【図11】本発明を適用したリセットトランジスタのソース領域にフローティングディフュージョンが接続された固体撮像素子の構成例を示す図である。  
 【図12】本発明を適用した転送ゲートとフローティングディフュージョンを複数有する固体撮像素子の構成例を示す図である。  
 【図13】本発明の固体撮像素子を適用した電子機器の構成例を示す図である。

【発明を実施するための最良の形態】

【0034】

以下、発明を実施するための最良の形態（以下実施の形態とする）について説明する。  
 尚、説明は以下の順序で行う 20

1. 第1の実施の形態（基本例）
2. 第2の実施の形態（素子分離領域の周囲が第2導電型半導体層に囲まれた例）
3. 第3の実施の形態（リセットトランジスタのソース領域にフローティングディフュージョンが接続された例）
4. 第4の実施の形態（転送ゲートとフローティングディフュージョンを複数有する例）

【0035】

<第1の実施の形態>

[固体撮像素子を含む1画素分の回路構成]

本発明を適用した固体撮像素子の構成についての説明にあたり、まず、固体撮像素子を含む1画素分の回路構成について説明する。 30

【0036】

図3は、固体撮像素子を含む1画素分の回路構成を示している。図3に示すように、固体撮像素子を含む1画素分の回路構成は、フォトダイオード21、フローティングディフュージョン部(FD)22、および複数のMOSトランジスタTr1乃至Tr4を含む構成とされている。図3における複数のMOSトランジスタTr1乃至Tr4は、それぞれ転送トランジスタTr1、リセットトランジスタTr2、増幅トランジスタTr3、および選択トランジスタTr4である。

【0037】

転送トランジスタTr1は、フォトダイオード21からなるソース、フローティングディフュージョン部22からなるドレイン、および、そのソース・ドレイン間に形成されたゲート電極24から構成されている。転送トランジスタTr1においては、ゲート電極24に転送パルスTRGが供給される。これにより、受光部21に蓄積された信号電荷がフローティングディフュージョン部22に転送される。尚、受光部21は、後述するフォトダイオードP.Dである。 40

【0038】

増幅トランジスタTr3は、電源VDDからなるソース、不純物領域23からなるドレイン、およびそのソース・ドレイン間に形成されたゲート電極26から構成されている。

【0039】

ここで、フローティングディフュージョン部22と増幅トランジスタTr3のゲート電

極 2 6 は、電気的に接続される必要がある。すなわち、フローティングディフュージョン部 2 2 と増幅トランジスタ T r 3 のゲート電極 2 6 とが電気的に接続されることにより、増幅トランジスタ T r 3 では、ゲート電極 2 6 にフローティングディフュージョン部 2 2 の電位が供給される。これにより、フローティングディフュージョン部 2 2 の電位に対応した画素信号が、増幅トランジスタ T r 3 のドレインとなる不純物領域 2 3 に出力される。

【 0 0 4 0 】

リセットトランジスタ T r 2 は、フローティングディフュージョン部 2 2 からなるソースと、電源 V D D からなるドレインと、そのソース・ドレイン間に形成されたゲート電極 2 5 とから構成されている。リセットトランジスタ T r 2 においては、ゲート電極 2 5 にリセットパルス RST が供給される。これにより、フローティングディフュージョン部 2 2 の電位が、電源 V D D の電源電位付近の電位にリセットされる。

10

【 0 0 4 1 】

選択トランジスタ T r 4 は、不純物領域 2 3 からなるソース、垂直信号線 V S L に接続された不純物領域 2 8 からなるドレインと、そのソース・ドレイン間に形成されたゲート電極 2 7 とから構成されている。ここで、選択トランジスタ T r 4 のソースとなる不純物領域 2 3 は、増幅トランジスタ T r 3 のドレインと共に用いられる。選択トランジスタ T r 4 においては、ゲート電極 2 7 に選択パルス SEL が供給される。これにより不純物領域 2 3 に流れ込んだ画素信号が垂直信号線 V S L より伝送される。

20

【 0 0 4 2 】

尚、図 3 においては、フローティングディフュージョン部が 1 箇所設けられる例を示しているが、フローティングディフュージョン部は、複数箇所に設けられる構成としてもよい。

【 0 0 4 3 】

[ 固体撮像素子の構成例 ]

図 4 は、本発明を適用した一実施の形態の構成例を示す固体撮像素子である。

【 0 0 4 4 】

固体撮像素子は、シリコン基板 S i 上に第 1 導電型半導体層として n 型不純物層 n 1 が設けられ、その上部に第 2 導電型半導体層として p 型不純物層 p 1 が設けられている。そして、この層 p 1 , n 1 によりフォトダイオード P D が形成されている。また、図中には素子分離領域 D V が設けられており、その下には、p 型不純物層 p 2 が設けられている。さらに、転送ゲート T G は、ゲート絶縁膜 G F 上に設けられている。そして、フォトダイオード PD に対し転送ゲート T G を挟んだ位置に、第 1 導電型半導体層である n 型不純物層 n 2 により形成された、フローティングディフュージョン F D が設けられている。フローティングディフュージョン FD を形成する n 型不純物層 n 2 の転送ゲート TG 端部には、第 2 導電型半導体層として p 型不純物層 p 1 1 が形成されている。より詳細には、転送ゲート T G 端部に対し、p 型不純物層 p 1 1 は一部の面がオーバーラップするように形成される。

30

【 0 0 4 5 】

[ 図 4 の固体撮像素子における不純物濃度分布と電界強度分布 ]

この p 型不純物層 p 1 1 が形成されることにより、図 5 ( b ) で示されるように、フローティングディフュージョン FD の転送ゲート TG 端部に発生していた電界集中を抑制することが可能となっている。図 5 ( a ) は、図 4 の本発明の固体撮像素子における不純物濃度分布を示し、図 5 ( b ) は、その電界強度分布を示している。ここで、図 5 ( b ) においては、転送ゲートはオフ時を想定し負電位が印加され、フローティングディフュージョン FD 領域は正電位となっているまた、図 5 ( a ) の不純物濃度分布においては、白色に近くなるほど n 型不純物の濃度が高く、黒色に近くなるほど p 型不純物の濃度が高いことを示している。また、図 5 ( b ) の電界強度分布においては、白色に近いほど電界強度が高く、黒色に近いほど電界強度が低いことを示している。さらに、図 5 ( a ) , 図 5 ( b ) においては、いずれも同図内に転送ゲート TG が存在し、フローティングディフュージョン FD が配置される場合を示している。換言すれば、図 5 は、いずれも、図 4 の転送ゲー

40

50

トTGおよびフローティングディフュージョンFD付近を拡大した範囲の分布が示されている。

【0046】

ここで、図4で示される本発明の固体撮像素子の構造と、図1で示される従来の固体撮像素子の構造との違いは、p型不純物層p11の有無である。

【0047】

すなわち、図1の従来構造の固体撮像素子における、図2のシミュレーション結果については以下のように説明できる。すなわち、転送ゲートTGがオフ時に印加される負電位が、ゲート絶縁膜GFを介してシリコン基板Si内のチャネル部に伝えられ、同チャネル部とフローティングディフュージョンFDとが電位差を生じる。この結果、転送ゲートTG端付近に電界の最大値を示す箇所が生じていた。

10

【0048】

そこで、図4で示されるように、n型不純物層n2の転送ゲートTG端付近にp型不純物層p11(図5(a)の領域Bの黒色部分)を設けるようにした。この結果、pn接合部が転送ゲートTGからフローティングディフュージョンFDに向かって離れる方向に、図5(b)の領域A'に移動する。すなわち、図5(b)で示されるように、転送ゲートTG端での電界集中が抑制される。

【0049】

すなわち、図4に示す本発明の構成をとることで、結晶欠陥の生じ易い転送ゲートTG端への電界集中が抑制され、結晶欠陥を介したリーク電流の発生を抑制することが可能となる。また、本発明の構成では、フローティングディフュージョンを形成するn型不純物層n2が転送ゲートTGに対しオーバーラップしなくなる。この結果、転送ゲートTGとn型不純物層n2間で生じるオーバーラップ容量が、図1の従来構造の場合に比べ低減する。このように、フローティングディフュージョンの寄生容量が低減するため、変換効率が増大する。以上、本発明を成すことで、暗時や低照度での撮像において発生しやすいノイズを低減することが可能となる。

20

【0050】

また、特に、グローバルシャッタ方式のCMOS型撮像素子においては、信号電荷の保持期間におけるノイズを低減させることができる。

30

【0051】

[ローリングシャッタ方式]

例えば、ローリングシャッタ方式(フォーカルプレーンシャッタ方式、またはライン露光方式とも称する)においては、図6で示されるように、行単位でフォトダイオードの露光が開始され、露光終了と同時に読み出しが開始される。すなわち、図6においては、第1行目においては、時刻t1で露光が開始され、露光期間Teが経過した時刻t101に露光が終了すると読み出しが開始される。第2行目においては、時刻t2で露光が開始され、露光期間Teが経過した時刻t102に露光が終了すると読み出しが開始される。時刻t3で露光が開始され、露光期間Teが経過した時刻t103に露光が終了すると読み出しが開始される。そして、第1行目においては、時刻t103で再び露光が開始され、露光期間Teが経過したとき、露光が終了し、同時に読み出しが開始され、この処理が順次繰り返される。このため、ローリングシャッタ方式においては、撮像された画像は、行単位で露光期間がずれるため、行単位で異なるタイミングの画像が撮像されることになり、行単位の画像を組み合わせて1枚の画像を構成すると歪が生じやすい。しかしながら、ローリングシャッタ方式では、信号電荷の保持時間がないため、リーク電流に起因するノイズが比較的生じ難い。

40

【0052】

[グローバルシャッタ方式]

一方、グローバルシャッタ方式においては、図7で示されるように、全行が同時に露光を開始し、露光期間Teが終了すると、行単位で順次読み出しがなされていく。すなわち、図7においては、時刻t201において、全行のフォトダイオードの露光が一斉に開始

50

され、露光期間  $T_e$  が終了する時刻  $t_{301}$  に一斉に露光が終了すると、行単位で読み出期間  $T_r$  で順次信号電荷が読み出されていく。この結果、先頭行に近い行は保持期間  $T_{k1}$  に近く短い期間で済むが、最終行に近い行は、保持期間  $T_{kn}$  に近く期間が長くなる。尚、 $T_{kn}$  の「 $n$ 」は行番号である。

【0053】

従って、図1の従来の固体撮像素子では、転送ゲートTG端部に電界集中が発生することによりリーク電流が発生する状態で、この保持期間  $T_{kn}$  が継続すると、保持期間  $T_{kn}$  に比例して信号電荷にノイズが蓄積されることになり、画質を劣化させる可能性がある。

【0054】

これに対して、図4の本発明の固体撮像素子では、n型不純物層n2の転送ゲートTG端付近にp型不純物層p11が設けられることで、転送ゲートTG端での電界集中を防止することができる。結果として、図4の本発明の固体撮像素子は、グローバルシャッタ方式などの保持期間  $T_{kn}$  が長い画素を含むようなシャッタ方式では、リーク電流の発生を抑制できる分、ノイズを低減させる効果が大きい。

【0055】

【図4の固体撮像素子の製造方法について】

次に、図8のフローチャートを参照して、図4で示される固体撮像素子の製造処理について説明する。

【0056】

ステップS1において、図9(a)で示されるように、シリコン基板Si上に素子分離領域DVが形成される。ここで、素子分離領域DVの形成方法は、例えば、シリコン基板Siの選択酸化によるLOCOS(Local Oxidation of Silicon)法、もしくは、浅い溝に絶縁膜を埋め込むSTI(Shallow Trench Isolation)法、または、素子分離領域DVにp型不純物層を形成する不純物分離法のどの方法によるものでもかまわない。ここで、素子分離領域DVがLOCOS法またはSTI法により形成される場合は、その形成前、または形成後に、チャネルストップ用のp型不純物層p2が素子分離領域DV下に形成される。

【0057】

ステップS2において、図9(b)で示されるように、イオン注入が行われ、フォトダイオードPDを構成する第1導電型半導体層であるn型不純物層n1が形成される。

【0058】

ステップS3において、図9(c)で示されるように、ゲート絶縁膜GFが形成され、その上にポリシリコン(Poly-Si)などからなる転送ゲートTGが形成される。

【0059】

ステップS4において、図9(d)で示されるように、フォトレジストPRをマスクとして用いフォトダイオードPDが形成される第1導電型半導体層の層n1の表面にB(ボロン)またはBF2(フッ化ボロン)のイオン注入が行われる。そして、同時に、フローティングディフュージョンFDが形成される領域にも、BまたはBF2のイオン注入が行われる。この結果、フォトダイオードPDの表面に第2導電型半導体層であるp型不純物層の層p1が形成されると同時に、フローティングディフュージョンFDの転送ゲートTG端付近に第2導電型半導体層である層p11が、転送ゲートTGに対して自己整合的に形成される。

【0060】

この処理において、注入時のイオン種としてB(ボロン)を用いる場合、その注入エネルギーは、例えば20keV以内とし、BF2を用いる場合、例えば50keV以内とする。また、いずれの場合にも、その注入量は、1e12/cm<sup>2</sup>以上とする。

【0061】

ステップS5において、図9(e)で示されるように、フローティングディフュージョンFDに、1e13/cm<sup>2</sup>以上の燐または砒素のイオン注入が行われ、第1導電型半導体層であるn型不純物層n2が形成される。

10

20

30

40

50

## 【0062】

ステップS6において、RTA(Rapid Thermal Annealing)などの熱処理により、注入した不純物の活性化が行われる。

## 【0063】

尚、以上の製造処理において、フローティングディフュージョンFDの第1導電型半導体層を形成する方法は、転送ゲートTG側壁にサイドウォールスペーサを形成したのち、砒素または燐の不純物注入により拡散層が形成される方法でもよい。

## 【0064】

また、転送ゲートTG形成後に $1e13/cm^2$ 乃至 $1e14/cm^2$ 程度の燐または砒素の不純物注入が行われた後、転送ゲートTG側壁にサイドウォールスペーサが形成されるようにする。さらに、砒素または燐の不純物注入により不純物拡散層が形成され、LDD(Lightly Doped Drain)構造の形態としてもよい。

10

## 【0065】

以上の製造処理によれば、フローティングディフュージョンFDの転送ゲートTG端付近に第2導電型半導体層であるp型不純物層p11は、フォトダイオードPD表面の第2導電型半導体層であるp型不純物層p1と同時に形成される。このため、従来の製造工程において、フォトダイオードPD表面の第2導電型半導体層であるp型不純物層p1が形成される処理における、処理範囲を層p11が形成されるために一部拡大するのみで、図4の固体撮像素子を製造することが可能となる。結果として、従来の製造工程に対し、新たな工程を加えることなく、低コストで、かつ、容易にリーク電流を低減する固体撮像素子を製造することが可能となる。

20

## 【0066】

<第2の実施の形態>

## [素子分離領域の周囲が第2導電型半導体層に囲まれた構成例]

以上においては、フローティングディフュージョンFDの転送ゲート端部に第2導電型半導体層として層p11が形成される例について説明してきたが、この位置関係が維持されていれば、層p11は、他の範囲に存在する構成としてもよい。例えば、図10で示されるように、層p11に代えて構成される層p21を設けるようにしてもよい。この層p21は、フローティングディフュージョンFDを表面で囲み、さらに、素子分離領域DVを積層状に囲い込む構成となっている。尚、図10(a)は、平面図であり、図10(b)は、図10(a)のA-A'の断面図である。

30

## 【0067】

このような層p21は、素子分離領域DVの形成前または形成後に、不純物注入により素子分離領域DVの周囲を積層状に覆うようにp型不純物層として形成されるようにすることで実現される。

## 【0068】

このような構成とすることで、結晶欠陥の生じ易い転送ゲートTG端への電界集中を防止し、フローティングディフュージョンFDにおけるリーク電流を低減できることは当然のことながら、さらに、素子分離領域DVの近傍で生じるリーク電流をも低減することが可能となる。結果として、転送ゲートTGと素子分離領域DVとのいずれのリーク電流も低減させることができるので、さらに、暗時、または低照度時における撮像画像におけるノイズを低減させることができることが可能となる。

40

## 【0069】

<第3の実施の形態>

## [リセットトランジスタのソース領域にフローティングディフュージョンが接続された構成例]

以上は、フローティングディフュージョンFDにおいて、結晶欠陥の生じ易い転送ゲートTG端部付近に層p11または層p21を形成する例について説明してきたが、結晶欠陥の生じ易い位置であれば、転送ゲートTG端部でなくとも同様の効果が得られる。

## 【0070】

50

例えば、図11で示されるように、転送ゲートTGに加えて、リセットゲートRGを含むリセットトランジスタRSTを形成し、フローティングディフュージョンFDに接続されたりセットトランジスタRSTのソース領域SSに、層p11と同様に第2導電型半導体層であるp型不純物層p53を設けるようにしてもよい。

## 【0071】

ここで、フローティングディフュージョンを形成するn型不純物層n2と、リセットトランジスタRSTのソース領域SSを形成するn型不純物層n51は、配線Lにより同電位とされている。ただし、層n2、n51が一体となって形成されれば、配線Lは不要となる。

## 【0072】

このような構成により、フローティングディフュージョンFDの転送ゲートTG端部において生じる電界集中を防止することができ、フローティングディフュージョンにおけるリーク電流を低減することができるだけでなく、フローティングディフュージョンFDに接続されたリセットトランジスタRSTのソース領域においても、同様のリーク電流をも低減することができる。<第4の実施の形態>

## [転送ゲートとフローティングディフュージョンが複数に接続された構成例]

以上においては、転送ゲートとフローティングディフュージョンがそれぞれ1個の場合、または、リセットゲートとソース領域がそれぞれ1個の場合の例について説明してきたが、複数の構成であってもよいものである。

## 【0073】

例えば、図12(a)で示されるように、2つのフローティングディフュージョンFD1、FD2と転送ゲートTG1、TG2を有する構造で、当該フローティングディフュージョンFD1、FD2の各転送ゲートTG1、TG2の端部に、それぞれ第2導電型半導体層であるp型不純物層p11、p71、p72が設けられている。すなわち、p型不純物層p11、p71、p72は、フローティングディフュージョンFD1、FD2を構成する第1導電型半導体層である層n71、n72の、転送ゲートTG1、TG2の端部に設けられている。このため、いずれにおいても、結晶欠陥が生じ易い転送ゲート端部での電界集中を防止することができるので、電界集中に起因するリーク電流を低減させることが可能となる。

## 【0074】

また、層p11、p71は、一体となって表層で層n71を取り囲むように構成してもよい。具体的には、図12(b)で示されるように、層p11、p71が一体となって、層p101を構成し、層n71の表面を覆い隠すようにしても同様の効果を得ることが可能である。

## 【0075】

尚、以上においては、第1導電型半導体層および第2導電型半導体層は、それぞれn型不純物層およびp型不純物層である場合について説明してきたが、当然のことながら、それぞれp型不純物層およびn型不純物層として入替えるても同様の効果を奏するものである。

## 【0076】

## [本発明の固体撮像素子を適用した電子機器の構成例]

次に、図13を参照して、本発明の固体撮像素子を適用した電子機器の構成例について説明する。尚、図13において、図13(a)は、本発明を適用した固体撮像素子からなる固体撮像装置101の概略構成図であり、図13(b)は、電子機器131の概略断面図である。

## 【0077】

固体撮像装置1は、図13(a)で示されるように、各単位画素がアレイ状に配置された画素アレイ部111、制御回路112、垂直駆動回路113、カラム信号処理回路114、水平駆動回路115、および出力回路116を備えている。制御回路112は、垂直駆動回路113、カラム信号処理回路114、および水平駆動回路115を制御している

10

20

30

40

50

。垂直駆動回路 113、カラム信号処理回路 114、および水平駆動回路 115 は、垂直信号線 L1 および画素駆動線 L2 を用いて、画素アレイ部 111 の画素信号を転送し、出力回路 116 より出力させる。

【0078】

図 13 (b) の電子機器 131 は、上述した本発明の画素を含む固体撮像装置 101 を用いた場合の構成例であり、例えば、静止画撮影が可能なデジタルカメラなどである。

【0079】

電子機器 131 は、固体撮像装置 101、光学レンズ 141、シャッタ装置 142 と、駆動回路 143、および信号処理回路 144 を備えている。

【0080】

光学レンズ 141 は、被写体からの像光 (入射光) を固体撮像装置 101 の撮像面上に結像させる。これにより固体撮像装置 101 内に一定期間当該信号電荷が蓄積される。シャッタ装置 142 は、固体撮像装置 101 への光照射期間および遮光期間を制御する。駆動回路 143 は、固体撮像装置 101 の転送動作およびシャッタ装置 142 のシャッタ動作を制御する駆動信号を供給する。駆動回路 143 は、固体撮像装置 101 に対して駆動信号 (タイミング信号) を供給し、固体撮像装置 101 は、この駆動信号に基づいて信号転送を行い、画像信号として信号処理回路 144 に供給する。信号処理回路 144 は、固体撮像装置 101 より供給されてくる画像信号に対して各種の信号処理を行う。信号処理が行われた映像信号は、図示せぬメモリなどの記憶媒体に記憶されたり、または、LCD (Liquid Crystal Display) などからなるモニタに出力されて表示される。

10

20

【0081】

図 13 (b) の電子機器 131 では、本発明の固体撮像素子を適用した固体撮像装置 101 を用いることにより、固体撮像装置 101 のフローティングディフュージョンにおいては、結晶欠陥が生じ易い転送ゲート端付近への電界集中を防止し、リーク電流を抑制することが可能となる。また、転送ゲート端部におけるオーバーラップ容量が低減し、変換効率が増大する。このため電子機器 131 では、高いSN比での撮像が可能となる。

30

【0082】

尚、本発明の固体撮像素子を用いた固体撮像装置 101 を適用できる電子機器 131 としては、デジタルカメラに限られるものではなく、デジタルスチルカメラ、さらには携帯電話機等のモバイル機器向けカメラモジュールなどの撮像装置に適用可能である。

30

【0083】

本発明によれば、フローティングディフュージョン FD において、結晶欠陥が生じ易い転送ゲート端付近への電界集中を防止することができるので、リーク電流が抑制され、低照度時、または暗時に、ノイズを低減して画像を撮像することが可能となる。特に、グローバルシャッタ方式のシャッタによる固体撮像素子の場合、読み出し動作までの間、フローティングディフュージョン FD に長時間、信号電荷が保持されることとなるので、リーク電流を低減させることにより、ノイズの少ない撮像が可能となる。

【0084】

尚、本明細書において、処理工程を記述するステップは、記載された順序に沿って時系列的に行われる処理は、もちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行されても構わない。

40

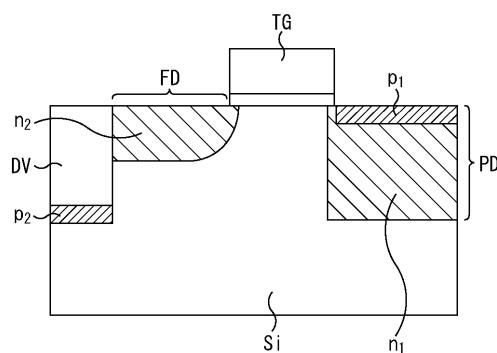
【符号の説明】

【0085】

TG, TG1, TG2 転送ゲート, FD, FD1, FD2 フローティングディフュージョン, PD フォトダイオード, DV 素子分離領域

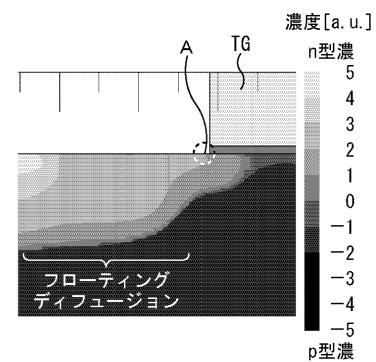
【図1】

図1

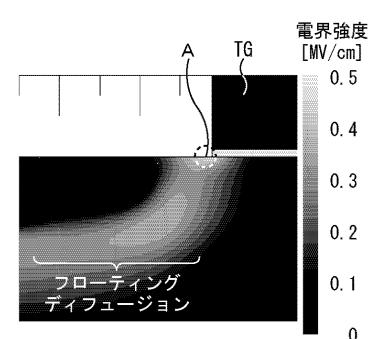


【図2】

図2



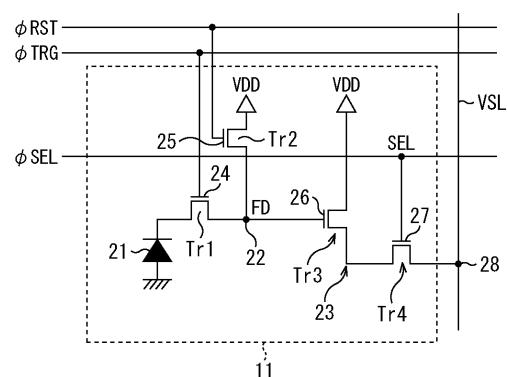
(a)



(b)

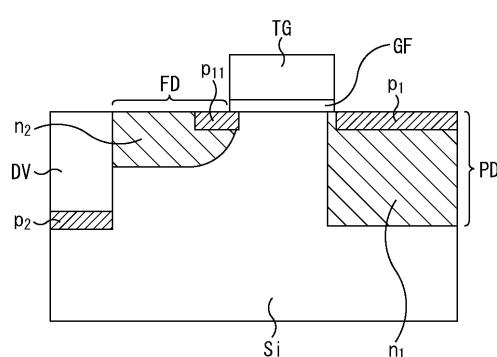
【図3】

図3



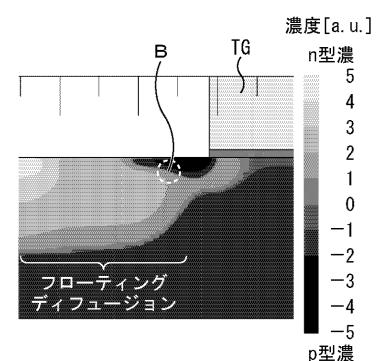
【図4】

図4

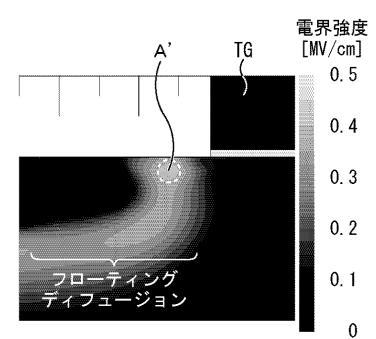


【図5】

図5

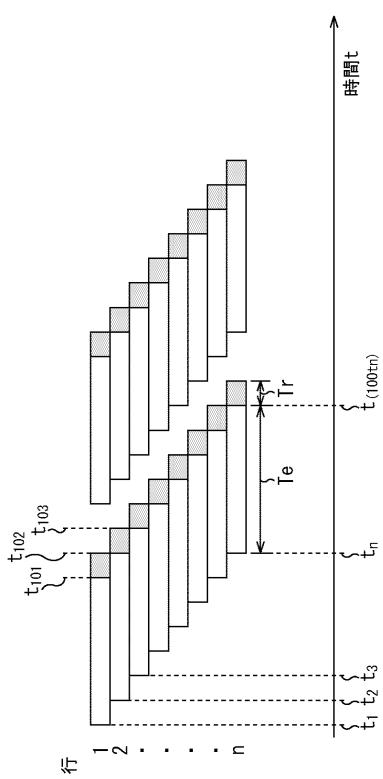


(a)

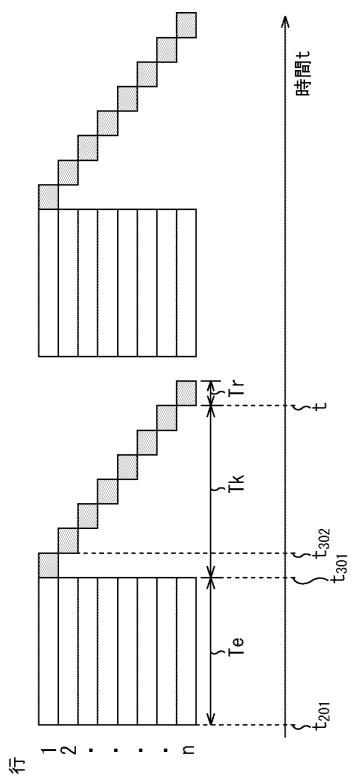


(b)

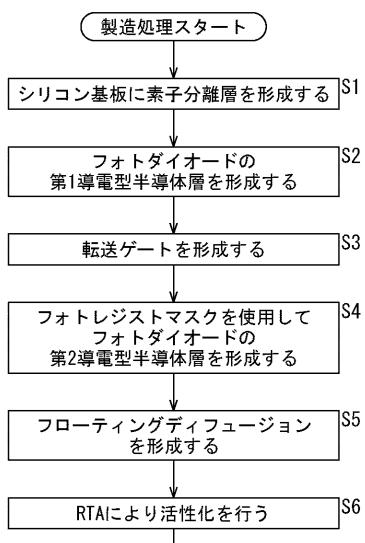
【図6】  
図6



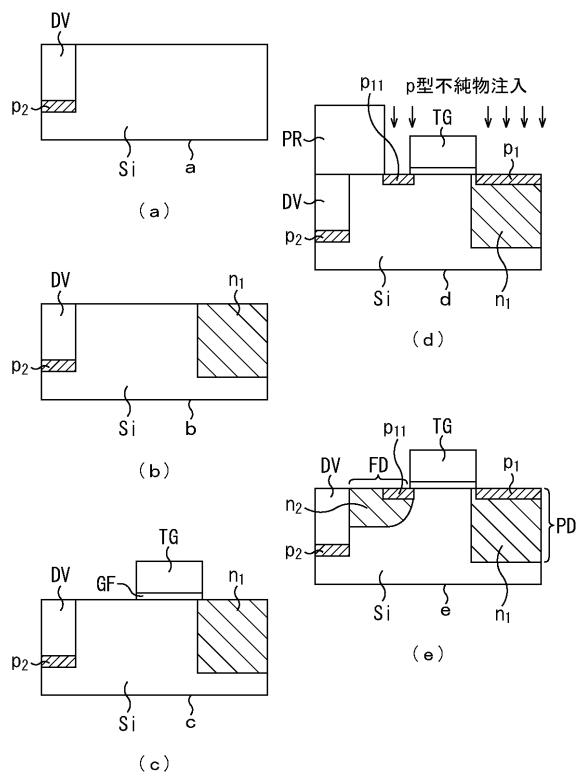
【図7】  
図7



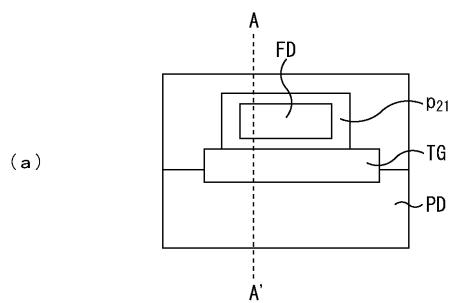
【図8】  
図8



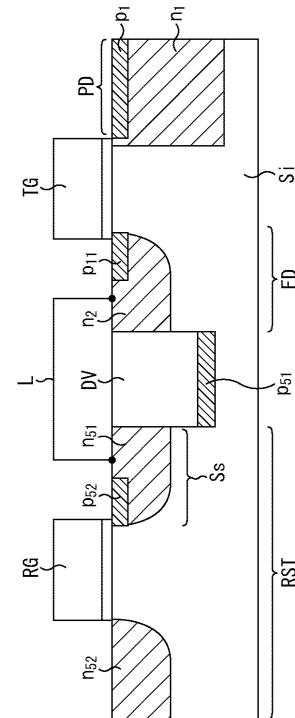
【図9】  
図9



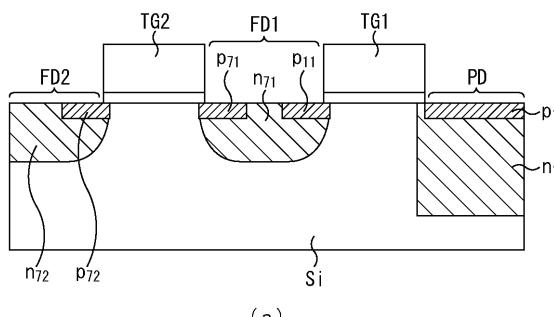
【 図 1 0 】



【 図 1 1 】



【図12】



【 図 1 3 】

