



(12)发明专利申请

(10)申请公布号 CN 108665933 A

(43)申请公布日 2018.10.16

(21)申请号 201710368406.9

(22)申请日 2017.05.22

(30)优先权数据

15/649,672 2017.03.27 US

(71)申请人 旺宏电子股份有限公司

地址 中国台湾新竹科学工业园区力行路16
号

(72)发明人 林昱佑 李峰旻 许凯捷

(74)专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 曹玲柱

(51)Int.Cl.

G11C 16/34(2006.01)

G11C 16/10(2006.01)

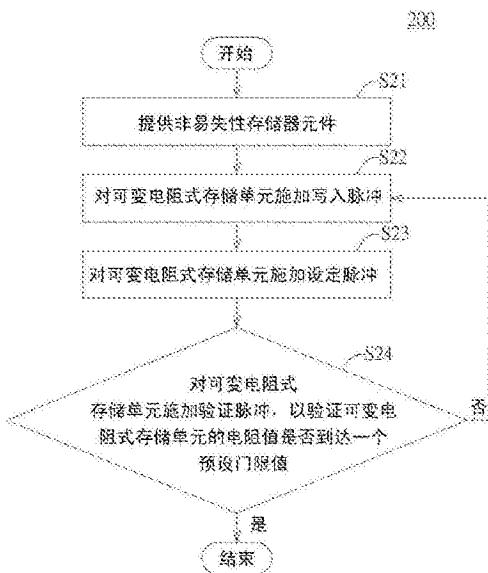
权利要求书2页 说明书12页 附图13页

(54)发明名称

非易失性存储器元件的操作方法及其应用

(57)摘要

一种非易失性存储器(Non-Volatile Memory,NVM)元件的操作方法,包括下述步骤:首先进行一个第一写入操作,此第一写入操作包括:对非易失性存储器元件的至少一个可变电阻式存储单元(resistance switching memory cell)施加具有第一电性的第一写入脉冲。接着对此至少一个可变电阻式存储单元施加具有验证电压的第一验证脉冲。并在第一验证脉冲之前或之后,对此至少一个可变电阻式存储单元施加第一设定脉冲。其中,第一设定脉冲具有一个与第一电性相反的第二电性的设定电压;且设定电压的绝对值实质小于或等于验证电压的绝对值。



1. 一种非易失性存储器(Non-Volatile Memory, NVM)元件的操作方法,包括:
进行第一写入操作,包括:
对该非易失性存储器元件的至少一可变电阻式存储单元(resistance switching memory cell)施加具有一第一电性的一第一写入脉冲;
对该可变电阻式存储单元施加具有一验证电压(V_{ver})的一第一验证脉冲;以及
在该第一验证脉冲之前或之后,对该可变电阻式存储单元施加一第一设定脉冲,该第一设定脉冲包括一设定电压(V_{set})具有与该第一电性相反的一第二电性以及小于该验证电压的一绝对值($|V_{set}| \leq |V_{ver}|$)。
2. 根据权利要求1所述的非易失性存储器元件的操作方法,其中该验证电压具有该第一电性或该第二电性。
3. 根据权利要求1所述的非易失性存储器元件的操作方法,其中在施加该第一写入脉冲和该第一验证脉冲之后,该第一写入操作还包括:
对该可变电阻式存储单元施加具有该第一电性的一第二写入脉冲;以及
对该可变电阻式存储单元施加一第二验证脉冲。
4. 根据权利要求3所述的非易失性存储器元件的操作方法,其中该第一设定脉冲是在该第二验证脉冲之后施加于该可变电阻式存储单元。
5. 根据权利要求4所述的非易失性存储器元件的操作方法,其中在施加该第二验证脉冲之后,该可变电阻式存储单元具有大于一预设门限值(predetermined criteria)的一电阻值;且在施加该第一设定脉冲,再经过一时间间隔之后,该电阻值不会小于该默认值。
6. 根据权利要求3所述的非易失性存储器元件的操作方法,其中该第一设定脉冲是施加于该第一写入脉冲之后,该第一验证脉冲之前;且
该第二设定脉冲是施加于该第二写入脉冲之后,该第二验证脉冲之前。
7. 根据权利要求3所述的非易失性存储器元件的操作方法,其中该第一设定脉冲是在第一写入脉冲和该第一验证脉冲之后;且
该第二设定脉冲是在第二写入脉冲和该第二验证脉冲之后。
8. 根据权利要求1所述的非易失性存储器元件的操作方法,其中该第一写入操作还包括:在该第一写入脉冲和该第一验证脉冲之后对该可变电阻式存储单元施加一第二写入脉冲;且该第一设定脉冲是施加于该第二写入脉冲之后。
9. 根据权利要求8所述的非易失性存储器元件的操作方法,还包括:在该第一设定脉冲之后,进行一第二写入操作,该第二写入操作包括:
对该可变电阻式存储单元施加具有该第一电性的一第三写入脉冲;以及
对该可变电阻式存储单元施加具有该验证电压(V_{ver})的一第三验证脉冲。
10. 根据权利要求1所述的非易失性存储器元件的操作方法,其中该第一设定脉冲具有大于该第一验证脉冲的一脉冲宽度(pulse width)。
11. 一种非易失性存储器元件,包括:
至少一可变电阻式存储单元;以及
一控制器,与该可变电阻式存储单元电性连接,用来对该可变电阻式存储单元进行一第一写入操作,该第一写入操作包括:
对该可变电阻式存储单元施加具有一第一电性的一第一写入脉冲;

对该可变电阻式存储单元施加具有一验证电压(V_{ver})的一第一验证脉冲;以及

在该第一验证脉冲之前或之后,对该可变电阻式存储单元施加一第一设定脉冲,该第一设定脉冲包括一设定电压(V_{set}),具有与该第一电性相反的一第二电性以及小于该验证电压的一绝对值($|V_{set}| \leq |V_{ver}|$)。

12.根据权利要求11所述的非易失性存储器元件,其中在施加该第一写入脉冲和该第一验证脉冲之后,该第一写入操作还包括:

对该可变电阻式存储单元施加具有该第一电性的一第二写入脉冲;以及

对该可变电阻式存储单元施加一第二验证脉冲。

13.根据权利要求11所述的非易失性存储器元件,其中该第一设定脉冲具有大于该第一验证脉冲的一脉冲宽度。

14.一种非易失性存储器元件的制作方法,包括:

形成至少一可变电阻式存储单元;以及

形成一控制器,与该可变电阻式存储单元电性连接,用来对该可变电阻式存储单元进行一第一写入操作,该第一写入操作包括:

对该可变电阻式存储单元施加具有一第一电性的一第一写入脉冲;

对该可变电阻式存储单元施加具有一验证电压(V_{ver})的一第一验证脉冲;以及

在该第一验证脉冲之前或之后,对该可变电阻式存储单元施加一第一设定脉冲,该第一设定脉冲包括一设定电压(V_{set}),具有与该第一电性相反的一第二电性以及小于该验证电压的一绝对值($|V_{set}| \leq |V_{ver}|$)。

15.根据权利要求14所述的非易失性存储器元件的制作方法,其中在施加该第一写入脉冲和该第一验证脉冲之后,该第一写入操作还包括:

对该可变电阻式存储单元施加具有该第一电性的一第二写入脉冲;以及

对该可变电阻式存储单元施加一第二验证脉冲。

16.根据权利要求14所述的非易失性存储器元件的制作方法,其中该第一设定脉冲具有大于该第一验证脉冲的一脉冲宽度。

非易失性存储器元件的操作方法及其应用

技术领域

[0001] 本发明是有关于一种非易失性存储器(Non-Volatile Memory,NVM)元件的操作方法及其应用装置。特别是有关于一种包含有可变电阻式存储单元(resistance switching memory cell)的存储器元件的操作方法及其应用装置。

背景技术

[0002] 非易失性存储器元件，具有在移除电源时亦不丢失存储于存储单元中的信息的特性。目前较被广泛使用的是属于采用电荷存储式(charge trap)的电荷存储式快闪(Charge Trap Flash, CTF)存储器元件。然而，随着存储器元件的积集密度增加，元件关键尺寸(critical size)和间隔(pitch)缩小，电荷存储式闪存元件面临其物理极限，而无法动作。

[0003] 可变电阻式存储器元件(例如可变电阻式随机存取存储器元件)，是利用可变电阻式存储单元的电阻大小来作为信息存储状态的判读依据。其不论在元件密度(device density)、电力消耗、编程/抹除速度或三维空间堆叠特性上，都优于其他闪存。因此，目前已成为倍受业界关注的存储器元件之一。

[0004] 典型可变电阻式存储器元件的写入操作(programming)步骤，包括对可变电阻式随机存取存储器元件中被选取的多个可变电阻式存储单元施加一写入脉冲，使可变电阻式存储单元的电阻分布由第一阻值分布状态(例如，低阻值分布状态)转变成第二阻值分布状态(高阻值分布状态)。并进行一次验证操作(verification)，以验证被写入的可变电阻式存储单元的电阻分布是否转变成第二阻值分布状态。而为了使验证操作有效实施，就必须具备足以分辨前述两种电阻分布状态的电阻辨别窗(resistance window)。

[0005] 因此，有需要提供一种非易失性存储器元件的操作方法及其应用装置，以解决现有技术所面临的问题。

发明内容

[0006] 本说明书的一个实施例是有关于一种非易失性存储器元件的操作方法。此非易失性存储器元件的操作方法包括：首先进行一个第一写入操作，此第一写入操作包括：对非易失性存储器元件的至少一个可变电阻式存储单元施加具有第一电性的第一写入脉冲。接着对此至少一个可变电阻式存储单元施加具有验证电压(V_{ver})的第一验证脉冲。并在第一验证脉冲之前或之后，对此至少一个可变电阻式存储单元施加一个第一设定脉冲。其中，第一设定脉冲具有一个与第一电性相反的第二电性相反的设定电压(V_{set})；且设定电压的绝对值，实质小于或等于验证电压的绝对值($|V_{set}| \leq |V_{ver}|$)。

[0007] 本说明书的一个实施例是有关于一种非易失性存储器元件。此非易失性存储器元件包括：至少一个可变电阻式存储单元以及一个控制器。控制器与此至少一个可变电阻式存储单元电性连接，用来对此至少一个可变电阻式存储单元进行第一写入操作。第一写入操作包括下述步骤：首先对此至少一个可变电阻式存储单元施加具有第一电性的第一写入脉冲。接着对此至少一个可变电阻式存储单元施加具有验证电压(V_{ver})的第一验证脉冲。并

在第一验证脉冲之前或之后,对此至少一个可变电阻式存储单元施加一个第一设定脉冲。其中,第一设定脉冲具有一个与第一电性相反的第二电性相反的设定电压(V_{set}) ;且设定电压的绝对值,实质小于或等于验证电压的绝对值($|V_{set}| \leq |V_{ver}|$)。

[0008] 一种非易失性存储器元件的制作方法,包括:形成至少一个可变电阻式存储单元;以及形成一个可变电阻式存储单元电性连接的控制器,用来对可变电阻式存储单元进行第一写入操作。第一写入操作包括下述步骤:首先对此至少一个可变电阻式存储单元施加具有第一电性的第一写入脉冲。接着对此至少一个可变电阻式存储单元施加具有验证电压(V_{ver})的第一验证脉冲。并在第一验证脉冲之前或之后,对此至少一个可变电阻式存储单元施加一个第一设定脉冲。其中,第一设定脉冲具有一个与第一电性相反的第二电性相反的设定电压(V_{set}) ;且设定电压的绝对值,实质小于或等于验证电压的绝对值($|V_{set}| \leq |V_{ver}|$)。

[0009] 根据上述,本说明书的实施例是提供一种非易失性存储器元件的操作方法及其应用装置,其是在非易失性存储器元件的写入操作期间,对非易失性存储器元件的至少一个可变电阻式存储单元施加至少一个写入脉冲和一个验证脉冲。并在验证脉冲之前或之后,对此可变电阻式存储单元施加至少一个设定脉冲。其中设定脉冲具有一个与写入脉冲电性相反的设定电压,且设定电压绝对值实质小于或等于验证脉冲的验证电压的绝对值。可变电阻式存储单元在写入操作之后,电阻值会大于一个预设电阻值。且经过一段时间之后,电阻分布状态不会再度恢复到先前较宽的电阻分布状态,而使部分小于此预设电阻值。进而可以解决可变电阻式存储单元写入操作不稳定的问题。

附图说明

[0010] 为了对本发明的上述实施例及其他目的、特征和优点能更明显易懂,特举数个优选实施例,并配合所附附图,作详细说明如下:

[0011] 图1为根据本说明书的一实施例绘示一种非易失性存储器元件的电路方块图;

[0012] 图2A为根据本说明书的一实施例所绘示的非易失性存储器元件的操作方法流程图;

[0013] 图2B为根据本说明书的一实施例采用图2A的方法对非易失性存储器元件进行写入操作所绘示的操作时序图(timing diagram);

[0014] 图2C为根据本说明书的另一实施例采用图2A的方法对非易失性存储器元件进行写入操作所绘示的操作时序图;

[0015] 图3A为根据本说明书的一实施例所绘示的非易失性存储器元件的操作方法流程图;

[0016] 图3B为绘示采用图3A所述的方法对非易失性存储器元件进行写入操作的操作时序图;

[0017] 图4A为根据本说明书的一实施例所绘示的非易失性存储器元件的操作方法流程图;

[0018] 图4B为根据本说明书的一实施例采用图4A的方法对非易失性存储器元件进行写入操作所绘示的操作时序图;

[0019] 图4C为根据本说明书的另一实施例采用图4A的方法对非易失性存储器元件进行

写入操作所绘示的操作时序图；

[0020] 图5A为根据本说明书的一实施例所绘示的非易失性存储器元件的操作方法流程图；

[0021] 图5B为根据本说明书的一实施例采用图5A的方法对非易失性存储器元件进行写入操作所绘示的操作时序图；

[0022] 图6A为根据本说明书的一实施例所绘示的非易失性存储器元件的操作方法流程图；

[0023] 图6B为根据本说明书的一实施例采用图6A的方法对非易失性存储器元件进行写入操作所绘示的操作时序图；

[0024] 图7A为绘示采用图5A所述的方法，对非易失性存储器元件进行5B图所绘示的写入操作并经过一段特定时间间隔后，可变电阻式存储单元的电阻值累积分布函数(Cumulative Distribution Function, CDF)图；

[0025] 图7B为绘示采用一比较例所提供的方法，对非易失性存储器元件进行写入操作并经过一段特定时间间隔后，可变电阻式存储单元的电阻值累积分布函图；

[0026] 图8A为绘示采用图6A所述的方法，对非易失性存储器元件进行6B图所绘示的写入操作并经过一段特定时间间隔后，可变电阻式存储单元的电阻值累积分布函数图；

[0027] 图8B为绘示采用一比较例所提供的方法，对非易失性存储器元件进行写入操作并经过一段特定时间间隔后，可变电阻式存储单元的电阻值累积分布函图；

[0028] 图9A至图9D为采用图5A和图5B所述的方法，分别以-0.3V、-0.5V、-0.7V和-1.0V的设定电压V_{set}对非易失性存储器元件100进行写入操作500经过一段特定时间间隔之后，可变电阻式存储单元的电阻值累积分布图；以及

[0029] 图10为根据本说明书一实施例所绘示的电阻式随机存取存储器(Resistive Random Access Memory, ReRAM)单元的可变电阻式存储单元结构剖面图。

【符号说明】

- | | |
|---|----------------|
| [0031] 100: 非易失性存储器元件 | 101: 可变电阻式存储单元 |
| [0032] 158: 阶层译码器 | 159: 串列选择线 |
| [0033] 160: 立体存储器阵列 | 161: 行译码器 |
| [0034] 162: 条字线 | 163: 列译码器 |
| [0035] 164: 位线 | 165: 总线 |
| [0036] 166: 感测放大器和数据输入结构 | 167: 数据总线 |
| [0037] 168: 电压供应器 | 169: 偏压配置状态机 |
| [0038] 171: 数据输入线 | 172: 数据输出线 |
| [0039] 174: 其他电路 | 408: 复合脉冲 |
| [0040] 200、200'、300、400、404、405、406、407、500、600、604、605、606、607: 写入操作 | |
| [0041] 201、301、401、501、504、505、506、507、601: 写入脉冲 | |
| [0042] 202、302、402、402'、502、602: 设定脉冲 | |
| [0043] 203、203'、303、403、403'、503、603、608: 验证脉冲 | |
| [0044] 701、702、702'、801、802、802'、901、902、902'、902''、902'''：电阻值累积分布函曲线 | |

- [0045] S21: 提供非易失性存储器元件
- [0046] S22: 对可变电阻式存储单元施加写入脉冲
- [0047] S23: 对可变电阻式存储单元施加设定脉冲
- [0048] S24: 对可变电阻式存储单元施加验证脉冲, 以验证可变电阻式存储单元的电阻值是否到达一个预设门限值
- [0049] S31: 提供非易失性存储器元件
- [0050] S32: 对可变电阻式存储单元施加写入脉冲
- [0051] S33: 对可变电阻式存储单元施加验证脉冲, 以验证可变电阻式存储单元的电阻值是否到达一个预设门限值
- [0052] S34: 对可变电阻式存储单元施加设定脉冲
- [0053] S41: 提供非易失性存储器元件
- [0054] S42: 对可变电阻式存储单元施加写入脉冲
- [0055] S43: 对可变电阻式存储单元施加设定脉冲
- [0056] S44: 对可变电阻式存储单元施加验证脉冲, 以验证可变电阻式存储单元的电阻值是否到达一个预设门限值
- [0057] S45: 对可变电阻式存储单元施加另一个写入脉冲
- [0058] S51: 提供非易失性存储器元件
- [0059] S52: 对可变电阻式存储单元施加写入脉冲
- [0060] S53: 对可变电阻式存储单元施加验证脉冲, 以验证可变电阻式存储单元的电阻值是否到达一个预设门限值
- [0061] S54: 对可变电阻式存储单元施加设定脉冲
- [0062] S55: 对可变电阻式存储单元施加另一个写入脉冲
- [0063] S61: 提供非易失性存储器元件
- [0064] S62: 对可变电阻式存储单元施加写入脉冲
- [0065] S63: 对可变电阻式存储单元施加验证脉冲, 以验证可变电阻式存储单元的电阻值是否大于一个预设门限值
- [0066] S64: 对可变电阻式存储单元施加另一个写入脉冲
- [0067] S65: 对可变电阻式存储单元施加设定脉冲
- [0068] S60A: 前段写入操作 S60B: 后段写入操作
- [0069] $V_{pgm}, V_{pgm1}, V_{pgm2}, V_{pgm3}, V_{pgm4}, V_{pgm5}$: 写入电压
- [0070] V_{ver}, V_{ver}' : 验证电压 V_{set} : 设定电压
- [0071] K: 预设门限值

具体实施方式

- [0072] 本说明书是揭露一种非易失性存储器元件的操作方法及其应用装置, 可解决现有技术写入操作不稳定的问题。为了对本说明书的上述实施例及其他目的、特征和优点能更明显易懂, 下文特举数个优选实施例, 并配合所附图作详细说明。但必须注意的是, 这些特定的实施案例与方法, 并非用以限定本发明。本发明的其他实施例仍可采用其他特征、元件、方法及参数来加以实施。优选实施例的提出, 仅用以例示本发明的技术特征, 并非用以

限定本发明的权利要求。该技术领域中普通技术人员，将可根据以下说明书的描述，在不脱离本发明的精神范围内，作均等的修饰与变化。在不同实施例与附图之中，相同的元件，将以相同的元件符号加以表示。

[0073] 请参照图1,图1为根据本说明书的一实施例绘示一种非易失性存储器元件100的电路方块图。在本说明书的一些实施例中，非易失性存储器元件100可以是一种具有多个可变电阻式存储单元101的存储器元件。例如非易失性存储器元件100，可以是一种包括位于集成电路基板上由多个可变电阻式存储单元101所构成的立体存储器阵列160的电阻式随机存取存储器(Resistive Random Access Memory, ReRAM)单元。每一个可变电阻式存储单元101(如图10所绘示)，可以包括位于第一电极101b和第二电极101c之间的电阻转换层101a。其中，电阻转换层101a包括高介电系数材料(high-K dielectric material)、二元金属氧化物(binary metal oxide)或过渡金属氧化物(transition metal oxide)。第一电极101b和第二电极101c可以包括导电材料，例如硅(Si)、钨(W)、氮化钛(TiN)、氮化钽(TaN)、钽(Ta)、铜(Cu)或其他合适的材料。

[0074] 在本实施例之中，非易失性存储器元件100包括行译码器(row decoder)161与多条字线162耦接，并且沿着存储器阵列160中的行线进行配置。列译码器(column decoder)163与沿着存储器阵列160中的列线配置的多条位线164耦接，用以从存储器阵列160中的可变电阻式存储单元读取并写入数据。地址由总线165提供给列译码器163、行译码器161和阶层译码器158。感测放大器和数据输入结构(sense amplifiers and data-in structures)166经由数据总线167和列译码器163耦接。由非易失性存储器元件100的输入/输出端口，或由非易失性存储器元件100内部或外部的其他数据源输入的数据，是通过数据输入线(data-in)171，提供至感测放大器和数据输入结构166中。另外，非易失性存储器元件100中还包括其他电路174，例如一般用途处理器(general purpose processor)或是特定用途应用电路(special purpose application circuit)，抑或是提供系统芯片(system-on-a-chip)功能且受到可编程电阻单元阵列(programmable resistance cell array)所支持的整合模块。来自于感测放大器和数据输入结构166中的数据，则是通过数据输出(data-out)线172，提供至非易失性存储器元件100的输入/输出端口，或至非易失性存储器元件100内部或外部的其他数据目的地址。

[0075] 非易失性存储器元件100还包括一个控制器与存储器阵列160中的可变电阻式存储单元101电性连接。在本实施例中，控制器是偏压配置状态机(bia arrangement state machine)169来控制电压供应器168的偏压配置，以产生或提供读取或写入电压，藉以对可变电阻式存储单元101进行读取或写入操作。在本说明书的一些实施例之中，控制器可以是使用特殊用途逻辑电路来加以实现。在另一实施例中，控制器包括在同一集成电路中用来执行计算器程序以控制元件(例如，可变电阻式存储单元101)的操作的一般用途处理器。在又一实施例中，可以采用特殊用途逻辑电路和一般用途处理器的组合来实现此控制器。

[0076] 在本说明书的一些实施例之中，非易失性存储器元件100是一种用通过多个不同操作进行数据存储的电阻式随机存取存储器单元。在「形成(forming)」操作中，对可变电阻式存储单元101的第一电极101b和第二电极101c施加「形成」电压，通过提供足够高的「形成」电压，以在电阻转换层101a中产生导电部分。在一个实施例之中，导电部分包括一个或多个导电条带，以提供导电路径，进而使得电阻转换层101a呈现出「开启」或低电阻状态。导

电路路径可以与电阻转换层101a中的缺陷(例如氧)空位的排列相关。在一些实施例中,可以仅对可变电阻式存储单元101施加一次「形成」电压。一旦导电路径形成,其将保持存在电阻转换层101a中。

[0077] 在「形成」操作之后,可以进行「写入(program operations)」操作,通过较小或不同的电压来断开或重新连接导电路径。「写入」操作可以包括「设定(set)」操作或「重设(reset)」操作。

[0078] 在「设定」操作中,可变电阻式存储单元101被施加足够高的「设定」电压,使位于电阻转换层101a中的导电路径重新连接,进而使得电阻转换层101a呈现出「开启」或低电阻状态。

[0079] 在「重设」操作中,可变电阻式存储单元101被施加足够高的「重设」电压,使位于电阻转换层101a中的导电路径断开,进而使得电阻转换层101a呈现出「关闭」或高电阻状态。通过对第一电极101b和第二电极101c施加不同电压,可以改变电阻转换层101a的电阻值大小。其中,高电阻值和低电阻值可以分别代表「1」和「0」的数字信号,藉以用来存储数据。

[0080] 请参照图2A和图2B,图2A为根据本说明书的一实施例所绘示的非易失性存储器元件100的操作方法流程图。图2B为根据本说明书的另一实施例采用图2A的方法对非易失性存储器元件100进行写入操作200所绘示的操作时序图(timing diagram)。在本说明书的一些实施例中,非易失性存储器元件100的写入操作200方包括下述步骤:首先提供如图1所绘示的非易失性存储器元件100(如步骤S21所绘示)。

[0081] 接着,对非易失性存储器元件100的至少一个可变电阻式存储单元101施加具有第一电性的写入脉冲201(如步骤S22所绘示)。例如,在本实施例中,写入脉冲201可以具有实质为1.6V的正向写入电压 V_{pgm} ;且具有实质介于500纳秒(nanosecond, ns)至3000纳秒之间的脉冲宽度。

[0082] 然后,对可变电阻式存储单元101施加设定脉冲202(如步骤S23所绘示)。其中,设定脉冲202具有与第一电性相反的第二电性。例如,在本说明书的一些实施例中,设定脉冲202可以具有值实质介于-0.3V至-1.0V之间的设定电压 V_{set} ;具有实质介于1微秒(microsecond, μs)至3微秒之间的脉冲宽度。且设定脉冲202的设定电压 V_{set} 绝对值实质小于写入脉冲201的写入电压 V_{pgm} 绝对值($|V_{set}| < |V_{pgm}|$)。在本实施例中,设定脉冲202可以具有实质为-0.5V的设定电压 V_{set} ,脉冲宽度优选约为1微秒。

[0083] 后续,对可变电阻式存储单元101施加一个具有验证电压 V_{ver} 的验证脉冲203(如步骤S24所绘示),以验证可变电阻式存储单元101的电阻值是否到达一个预设门限值(predetermined criteria)。在本说明书的一些实施例中,验证脉冲203的验证电压 V_{ver} 绝对值实质大于或等于设定脉冲202的设定电压 V_{set} 绝对值($|V_{set}| \leq |V_{ver}|$);且验证脉冲203的脉冲宽度远小于设定脉冲202的脉冲宽度。例如,在本实施例中,验证脉冲203可以具有正向的验证电压 V_{ver} 。其中验证电压 V_{ver} 实质为0.5V,验证电压 V_{ver} 的脉冲宽度实质介于50纳秒(nanosecond, ns)至100纳秒之间,在一实施例中,优选为80纳秒。

[0084] 在验证过程中,当可变电阻式存储单元101的电阻值到达预设门限值(是)时,即结束写入操作200。当可变电阻式存储单元101的电阻值未能大于预设门限值(否)时,则回到步骤S22;再重复实施一次步骤S22、S23及S24。意即,对可变电阻式存储单元101再施加一次写入脉冲201(步骤S22)、设定脉冲202(步骤S23)和验证脉冲203(步骤S24),直到可变电阻

式存储单元101的电阻值到达预设门限值。在本实施例之中,写入操作200在对可变电阻式存储单元101施加第一次的验证脉冲203之后,可变电阻式存储单元101的电阻值即已到达预设门限值,而结束写入操作200。因此,写入操作200总共仅对可变电阻式存储单元101施加一次写入脉201、一次设定脉冲202和一次验证脉冲203。

[0085] 经过写入操作200之后,可变电阻式存储单元101的电阻值会大于预设电阻值,且经过一段时间之后,可变电阻式存储单元101的电阻分布状态不会再恢复到先前较宽的电阻分布状态,而使部分可变电阻式存储单元101的电阻值小于此预设电阻值。进而可以解决写入操作不稳定的问题。

[0086] 而值得注意的是,在本说明书的另一些实施例中,验证脉冲203以可以具有与写入脉冲201相反的电性。例如请参照图2C,图2C为根据本说明书的另一实施例采用图2A的方法对非易失性存储器元件进行写入操作200'所绘示的操作时序图。其中,图2C所绘示的操作时序图大致与图2B所绘示者相似,差别仅在于图2C的写入操作200'所采用的验证脉冲203'具有与写入脉冲201电性相反的负向电压。在本实施例中,验证脉冲203'的验证电压 V_{ver}' 实质为-0.5V。虽然,验证脉冲203'和设定脉冲202都具有与写入脉冲201相反的电性,且二者的电压绝对值也都小于写入脉冲201的写入电压 V_{pgm} 绝对值。不过,由于验证脉冲203'的脉冲宽度远小于设定脉冲202的脉冲宽度。因此,仍可通过脉冲宽度和电压大小来区别验证脉冲203'和设定脉冲202。

[0087] 请参照图3A和图3B,图3A为根据本说明书的一实施例所绘示的非易失性存储器元件100的操作方法流程图。图3B为绘示采用图3A所述的方法对非易失性存储器元件100进行写入操作300的操作时序图。在本说明书的一些实施例中,非易失性存储器元件100的写入操作300方包括下述步骤:首先提供如图1所绘示的非易失性存储器元件100(如步骤S31所绘示)。

[0088] 接着,对非易失性存储器元件100的至少一个可变电阻式存储单元101施加具有第一电性的写入脉冲301(如步骤S32所绘示)。例如,在本实施例中,写入脉冲301可以具有实质为16V的正向写入电压 V_{pgm} ;以及实质介于500纳秒至3000纳秒之间的脉冲宽度。

[0089] 然后,对可变电阻式存储单元101施加一个具有验证电压 V_{ver} 的验证脉冲303(如步骤S33所绘示),以验证可变电阻式存储单元101的电阻值是否到达一个预设门限值。在本实施例中,验证脉冲303可以具有实质小于写入脉冲301的写入电压 V_{pgm} 的正向验证电压 V_{ver} (例如0.5V);且具有实质介于50纳秒至100纳秒之间的脉冲宽度。在一实施例中,验证脉冲303的脉冲宽度优选为80纳秒。

[0090] 在验证过程中,当可变电阻式存储单元101的电阻值到达预设门限值(是)时,则进入步骤S34,对可变电阻式存储单元101施加设定脉冲302,然后结束写入操作300。相反的,当可变电阻式存储单元101的电阻值未能到达预设门限值(否)时,回到步骤S33,再次对可变电阻式存储单元101施加写入脉冲301(步骤S32)和验证脉冲303(步骤S33)。重复实施步骤S32和S33,直到可变电阻式存储单元101的电阻值到达预设门限值。之后,再对可变电阻式存储单元101施加设定脉冲302,随即结束写入操作300。其中,设定脉冲302具有与写入脉冲301电性相反的负向设定电压 V_{set} ;设定脉冲302的设定电压 V_{set} 绝对值实质小于或等于验证脉冲303的验证电压绝对值($|V_{set}| \leq |V_{ver}|$);且验证脉冲303的脉冲宽度远小于设定脉冲302的脉冲宽度。

[0091] 在本实施例之中,写入操作300在对可变电阻式存储单元101施加第一次的验证脉冲303之后,还重复实施了一次步骤S32和S33。因此,写入操作300总共对可变电阻式存储单元101施加二次写入脉冲301、二次设定脉冲302和一次设定脉冲302。经过写入操作300之后,可变电阻式存储单元101的电阻值会大于预设电阻值,且经过一段时间之后,可变电阻式存储单元101的电阻分布状态不会再度恢复到先前较宽的电阻分布状态,而使部分可变电阻式存储单元101的电阻值小于此预设电阻值。进而可以解决写入操作不稳定的问题。

[0092] 请参照图4A和图4B,图4A为根据本说明书的一实施例所绘示的非易失性存储器元件100的操作方法流程图。图4B为根据本说明书的另一实施例采用图4A的方法对非易失性存储器元件100进行写入操作400所绘示的操作时序图。在本说明书的一些实施例中,非易失性存储器元件100的写入操作400方包括下述步骤:首先提供如图1所绘示的非易失性存储器元件100(如步骤S41所绘示)。

[0093] 接着,对非易失性存储器元件100的至少一个可变电阻式存储单元101施加具有第一电性的写入脉冲401(如步骤S42所绘示)。例如,在本实施例中,写入脉冲401可以具有实质为16V的正向写入电压 V_{pgm1} ;写入脉冲401的脉冲宽度实质介于500纳秒至3000纳秒之间。

[0094] 然后,对可变电阻式存储单元101施加设定脉冲402(如步骤S43所绘示)。例如,在本说明书的一些实施例中,设定脉冲402可以具有值实质介于-0.3V至-1.0V之间的负向设定电压 V_{set} ,以及实质介于1微秒至3微秒之间的脉冲宽度。且设定脉冲402的设定电压 V_{set} 绝对值实质小于写入脉冲401的写入电压 V_{pgm1} 绝对值($|V_{set}| < |V_{pgm1}|$)。在本实施例中,设定脉冲402可以具有实质0.5V的负向设定电压 V_{set} ,以及优选约为1微秒的脉冲宽度。

[0095] 后续,对可变电阻式存储单元101施加一个具有验证电压 V_{ver} 的验证脉冲403(如步骤S44所绘示),以验证可变电阻式存储单元101的电阻值是否到达一个预设门限值。当可变电阻式存储单元101的电阻值到达预设门限值(是)时,即结束写入操作400。在本说明书的实施例中,验证脉冲403的验证电压 V_{ver} 的绝对值实质大于设定脉冲402的设定电压 V_{set} 的绝对值($|V_{ver}| > |V_{set}|$);且验证脉冲403的脉冲宽度远小于设定脉冲402的脉冲宽度。例如,在本实施例中,验证脉冲403是具有实质为0.5V的正向验证电压 V_{ver} ,以及实质介于50纳秒至100纳秒之间的脉冲宽度。

[0096] 在步骤S44的验证过程中,若可变电阻式存储单元101的电阻值仍未到达此预设门限值(否),则进入步骤S45。对可变电阻式存储单元101施加具有第一电性的另一个写入脉冲(例如写入脉冲404)。在本实施例中,写入脉冲404的写入电压 V_{pgm2} 可以实质大于写入脉冲401的写入电压 V_{pgm1} 。之后,再实施一次步骤S43和步骤S44,对可变电阻式存储单元101施加设定脉冲402和验证脉冲403。重复步骤S45、S43和S44,直到可变电阻式存储单元101的电阻值到达预设门限值(是)时,再结束写入操作400。

[0097] 在本实施例之中,写入操作400在对可变电阻式存储单元101施加第一次的验证脉冲403之后,还重复实施了四次的步骤S45、步骤S43和步骤S44。因此,写入操作400总共对可变电阻式存储单元101施加四次写入脉冲404、405、406和407、五次设定脉冲402以及五次验证脉冲403(如图4B所绘示)。步骤S45所提供的写入脉冲404、405、406和407的写入电压 V_{pgm2} 、 V_{pgm3} 、 V_{pgm4} 和 V_{pgm5} ,实质大于写入脉冲401的写入电压 V_{pgm1} 。且写入电压值 V_{pgm1} 、 V_{pgm2} 、 V_{pgm3} 、 V_{pgm4} 和 V_{pgm5} 是逐次增加。

[0098] 而值得注意的是,当验证脉冲403'可以具有与设定脉冲402'相同电性时(即皆具

有负向电性)时,验证脉冲403'和设定脉冲402'可以结合形成一个复合脉冲408。例如请参照图4C,图4C为根据本说明书的另一实施例采用图4A的方法对非易失性存储器元件进行写入操作400'所绘示的操作时序图。其中,图4C所绘示的写入操作400'的操作时序图大致与图4B所绘示的写入操作400的操作时序图相似,差别仅在于的写入操作400'所采用的验证脉冲403'具有实质为与写入脉冲401电性相反的负向验证电压 V_{ver}' ,且负向验证电压 V_{ver}' 实质低于设定脉冲402'的负向设定电压 V_{set} 。另外,验证脉冲403'和设定脉冲402'二者之间并无时间间隔,可以结合形成一个如图4C所绘示的锯齿状连续复合脉冲408。

[0099] 请参照图5A和图5B,图5A为根据本说明书的一实施例所绘示的非易失性存储器元件100的操作方法流程图。图5B为根据本说明书的一实施例采用图5A的方法对非易失性存储器元件100进行写入操作500所绘示的写入操作时序图。在本说明书的一些实施例中,非易失性存储器元件100的写入操作500方包括下述步骤:首先提供如图1所绘示的非易失性存储器元件100(如步骤S51所绘示)。

[0100] 接着,对非易失性存储器元件100的至少一个可变电阻式存储单元101施加具有第一电性的写入脉冲501(如步骤S52所绘示)。例如,在本实施例中,写入脉冲501可以具有实质为16V的正向写入电压 V_{pgm1} ;写入脉冲501的脉冲宽度实质介于500纳秒至3000纳秒之间。

[0101] 之后,对可变电阻式存储单元101施加一个具有验证电压 V_{ver} 的验证脉冲503(如步骤S53所绘示),以验证可变电阻式存储单元101的电阻值是否到达一个预设门限值。在本实施例中,验证脉冲503可以具有实质小于写入脉冲501的正向验证电压 V_{ver} (例如0.5V);且具有实质介于50纳秒至100纳秒之间的脉冲宽度。

[0102] 在步骤S53的验证过程,当可变电阻式存储单元101的电阻值到达预设门限值(是)时,写入操作500进入步骤S54;对可变电阻式存储单元101施加设定脉冲502,之后即结束写入操作500。在本实施例中,设定脉冲502可以具有实质为-0.5V的负向设定电压 V_{set} ,脉冲宽度约为1微秒。

[0103] 相反的,当可变电阻式存储单元101的电阻值仍未到达此预设门限值(否)时,则写入操作500进入步骤S55:对可变电阻式存储单元101施加具有第一电性的另一个写入脉冲(例如,写入脉冲504)。在本说明书的一些实施例中,写入脉冲504的写入电压 V_{pgm2} 可以实质大于写入脉冲501的写入电压 V_{pgm1} 。之后,再对可变电阻式存储单元101施加一次验证脉冲503(步骤S53)。重复实施步骤S55和S53,直到可变电阻式存储单元101的电阻值到达预设门限值。当可变电阻式存储单元101的电阻值到达预设门限值时,对可变电阻式存储单元101施加设定脉冲502(步骤S54),即结束写入操作500。

[0104] 在本实施例之中,写入操作500在对可变电阻式存储单元101施加第一次的验证脉冲503之后,还重复实施了四次的步骤S55、S53和S54。因此,写入操作500总共对可变电阻式存储单元101施加五次写入脉冲501、504、505、506和507五次验证脉冲503以及一次设定脉冲502(如图5B所绘示)。步骤S55所提供的写入脉冲504、505、506和507的写入电压 V_{pgm2} 、 V_{pgm3} 、 V_{pgm4} 和 V_{pgm5} ,实质大于写入脉冲501的写入电压 V_{pgm1} 。且写入电压值 V_{pgm1} 、 V_{pgm2} 、 V_{pgm3} 、 V_{pgm4} 和 V_{pgm5} 逐次增加。

[0105] 请参照图6A和图6B,图6A为根据本说明书的一实施例所绘示的非易失性存储器元件100的操作方法流程图。图6B为根据本说明书的另一实施例采用图6A的方法对非易失性存储器元件100进行写入操作600所绘示的操作时序图。在本说明书的一些实施例中,非易

失性存储器元件100的写入操作600方包括下述步骤：首先提供如图1所绘示的非易失性存储器元件100（如步骤S61所绘示）。接着，对非易失性存储器元件100的至少一个可变电阻式存储单元101进行一前段写入操作S60A。之后，对可变电阻式存储单元101施加一设定脉冲602（如步骤S65所绘示）。后续，再进行一后段写入操作S60B。

[0106] 前段写入操作S60A包括下述步骤：先对可变电阻式存储单元101施加具有第一电性的写入脉冲601（如步骤S62所绘示）。之后，对可变电阻式存储单元101施加一个具有验证电压V_{ver}的验证脉冲603（如步骤S63所绘示），以验证可变电阻式存储单元101的电阻值是否到达一个预设门限值。

[0107] 在本实施例中，写入脉冲601可以具有实质为16V的正向写入电压V_{pgm1}；写入脉冲601的脉冲宽度实质介于500纳秒至3000纳秒之间。验证脉冲603可以具有实质小于写入脉冲601的正向验证电压V_{ver}（例如0.5V）；且具有实质介于50纳秒至100纳秒之间的脉冲宽度。

[0108] 若经步骤S63验证，可变电阻式存储单元101的电阻值仍未到达此预设门限值（否），则进入步骤S64。对可变电阻式存储单元101施加具有第一电性的另一个写入脉冲（例如写入脉冲604）。写入脉冲604的写入电压V_{pgm2}可以实质大于写入脉冲601的写入电压V_{pgm1}。之后，再实施一次步骤S63，对可变电阻式存储单元101施加验证脉冲603。重复步骤S64和S63，直到可变电阻式存储单元101的电阻值到达预设门限值（是）时，完成前段写入操作S60A。

[0109] 在本实施例中，前段写入操作S60A重复了二次步骤S64和S63。因此，前段写入操作S60A总共对可变电阻式存储单元101施加三次写入脉冲601、604和605以及三次验证脉冲603（如图6B所绘示）。步骤S64所提供的写入脉冲604和605的写入电压V_{pgm2}和V_{pgm3}实质大于写入脉冲601的写入电压V_{pgm1}，且逐次增加。

[0110] 然后，进入步骤S65，对可变电阻式存储单元101施加设定脉冲602对可变电阻式存储单元101施加设定脉冲602。其中，设定脉冲602具有与第一电性相反的第二电性。设定脉冲602的设定电压V_{set}绝对值实质小于或等于验证脉冲603的验证电压V_{ver}绝对值（|V_{set}|≤|V_{ver}|）。且设定脉冲602的脉冲宽度远大于验证脉冲603的脉冲宽度。在本实施例中，设定脉冲602具有值实质为-0.5V的负向设定电压V_{set}，以及约为1微秒的脉冲宽度。

[0111] 后续，再进行后段写入操作S60B，然后结束写入操作600。在本实施例中，后段写入操作S60B包括对可变电阻式存储单元101施加二次写入脉冲606和607以及二次验证脉冲608（如图6B所绘示）。其中，写入脉冲606和607的写入电压与写入脉冲601和604的写入电压V_{pgm2}和V_{pgm3}实质相同；且验证脉冲608的验证电压与验证脉冲603的验证电压V_{ver}实质相同。由于后段写入操作S60B的实施内容，实质上与前段写入操作S60A相同。故不在此赘述。

[0112] 请参照图7A和图7B，图7A为绘示采用图5A所述的方法对非易失性存储器元件100进行如5B图所绘示的写入操作500并经过一段特定时间间隔后，可变电阻式存储单元101的电阻值累积分布函数图。图7B为绘示采用一比较例所提供的方法对非易失性存储器元件100进行写入操作并经过一段特定时间间隔后，可变电阻式存储单元101的电阻值累积分布函图。其中，本实施例所采用的写入操作500和比较例所采用的写入操作步骤程序与操作参数大致相同，差别仅在于比较例所采用的写入操方法省略了步骤S54，并未对可变电阻式存储单元101施加设定脉冲502。

[0113] 由图7A和图7B的结果可知，本实施例和比较例在进行写入操作之后，可变电阻式

存储单元101的电阻值分布状态,可分别由第一电阻值分布状态(以电阻值累积分布函曲线701表示)偏移到第二电阻值分布状态(分别以电阻值累积分布函曲线702和702'表示),且可变电阻式存储单元101的电阻值会超过预设门限值K(例如87K-ohm)。经过一段特定时间间隔之后(例如,经过约为1秒时间间隔之后),大部分可变电阻式存储单元101的电阻值仍会维持超过预设门限值K的状态。但少部分可变电阻式存储单元101的电阻值会再度恢复到先前小于预设门限值K的状态。

[0114] 在本实施例中,采用图5A和图5B所述的方法进行写入操作500再经过一段特定时间间隔之后,可变电阻式存储单元101的电阻值低于预设门限值K的机率,实质小于百分之1(例如约为0.6%)(如图7A所绘示);而采用比较例的方法进行写入操作500'再经过一段特定时间间隔之后,可变电阻式存储单元101的电阻值低于预设门限值K的机率约为2%(如图7B所绘示)。显示采用图5A和图5B所述的方法来操作非易失性存储器元件100,可有效消除写入操作不稳定的现象,大幅增进非易失性存储器元件100的效能。

[0115] 请参照图8A和图8B,图8A为绘示采用图6A所述的方法对非易失性存储器元件100进行如6B图所绘示的写入操作600,再经过一段特定时间间隔后,可变电阻式存储单元101的电阻值累积分布函数图。图8B为绘示采用一比较例所提供的方法对非易失性存储器元件100进行写入操作,再经过一段特定时间间隔后,可变电阻式存储单元101的电阻值累积分布函图。本实施例所采用的写入操作600和比较例所采用的写入操作步骤程序与操作参数大致相同,差别仅在于比较例所采用的写入操方法省略了步骤S65,并未对可变电阻式存储单元101施加设定脉冲602。

[0116] 由图8A和图8B的结果可知,本实施例和比较例在进行写入操作之后,可变电阻式存储单元101的电阻值分布状态,可分别由第一电阻值分布状态(以电阻值累积分布函曲线801表示)偏移到第二电阻值分布状态(分别以电阻值累积分布函曲线802和802'表示),且可变电阻式存储单元101的电阻值会超过预设门限值K(例如87K-ohm)。再经过一段特定时间间隔之后(例如,经过约为1秒时间间隔之后),大部分可变电阻式存储单元101的电阻值仍会维持超过预设门限值K的状态。但少部分可变电阻式存储单元101的电阻值会再度恢复到先前小于预设门限值K的状态。

[0117] 在本实施例中,采用图6A和图6B所述的方法进行写入操作600,再经过一段特定时间间隔之后,全部的可变电阻式存储单元101中电阻值仍低于预设门限值K(如图8A所绘示);而采用比较例的方法进行写入操作,再经过一段特定时间间隔之后,可变电阻式存储单元101的电阻值低于预设门限值K的机率约为2%(如图8B所绘示)。显示采用图6A和图6B所述的方法来操作非易失性存储器元件100,可有效消除写入操作不稳定的现象,大幅增进非易失性存储器元件100的效能。

[0118] 另外值得注意的是,在本说明书的前述实施例中,设定脉冲的设定电压V_{set}大小是消除写入操作不稳定现象的重要因素之一。例如请参照图9A至图9D,图9A至图9D为采用图5A和图5B所述的方法,分别以-0.3V、-0.5V、-0.7V和-1.0V的设定电压V_{set}对非易失性存储器元件100进行写入操作500,再经过一段特定时间间隔后,可变电阻式存储单元101的电阻值累积分布图。

[0119] 由图9A至图9D可观察到,采用-0.3V、-0.5V、-0.7V和-1.0V的设定电压V_{set}对非易失性存储器元件100进行写入操作500之后,可变电阻式存储单元101的电阻值分布状态,可

分别由第一电阻值分布状态(以电阻值累积分布函曲线901表示)偏移到第二电阻值分布状态(分别以电阻值累积分布函曲线902、902'、902''和902'''表示),且可变电阻式存储单元101的电阻值会超过预设门限值K(例如87K-ohm)。再经过一段特定时间间隔之后,可变电阻式存储单元101的电阻值低于预设门限值K的机率,分别为0.7%、0.1%和2%。显示采用-0.5V的设定电压 V_{set} 来对非易失性存储器元件100进行写入操作500,藉以消除写入操作不稳定现象的效果(如图9B所绘示),优于采用-0.3V的设定电压 V_{set} 来对非易失性存储器元件100进行写入操作500来消除写入操作不稳定现象的效果(如图9A所绘示)。更优于采用-0.7V和-1.0V的设定电压 V_{set} 对非易失性存储器元件100进行写入操作500来消除写入操作不稳定现象的效果(如图9C和图9D所绘示)。

[0120] 根据上述,本说明书的实施例是提供一种非易失性存储器元件的操作方法及其应用装置,其是在非易失性存储器元件的写入操作期间,对非易失性存储器元件的至少一个可变电阻式存储单元施加至少一个写入脉冲和一个验证脉冲。并在验证脉冲之前或之后,对此可变电阻式存储单元施加至少一个设定脉冲。其中设定脉冲具有一个与写入脉冲电性相反的设定电压,且设定电压绝对值实质小于或等于验证脉冲的验证电压绝的对值。可变电阻式存储单元在写入操作之后电阻值会大于一个预设电阻值。且经过一段时间之后,电阻分布状态不会再度恢复到先前较宽的电阻分布状态,而使部分小于此预设电阻值。进而可以解决可变电阻式存储单元写入操作不稳定的问题。

[0121] 虽然本说明书已以优选实施例揭露如上,然其并非用以限定本发明,任何该技术领域中普通技术人员,在不脱离本发明的精神和范围内,当可作部分的更改与修饰,因此本发明的保护范围当视权利要求所界定者为准。

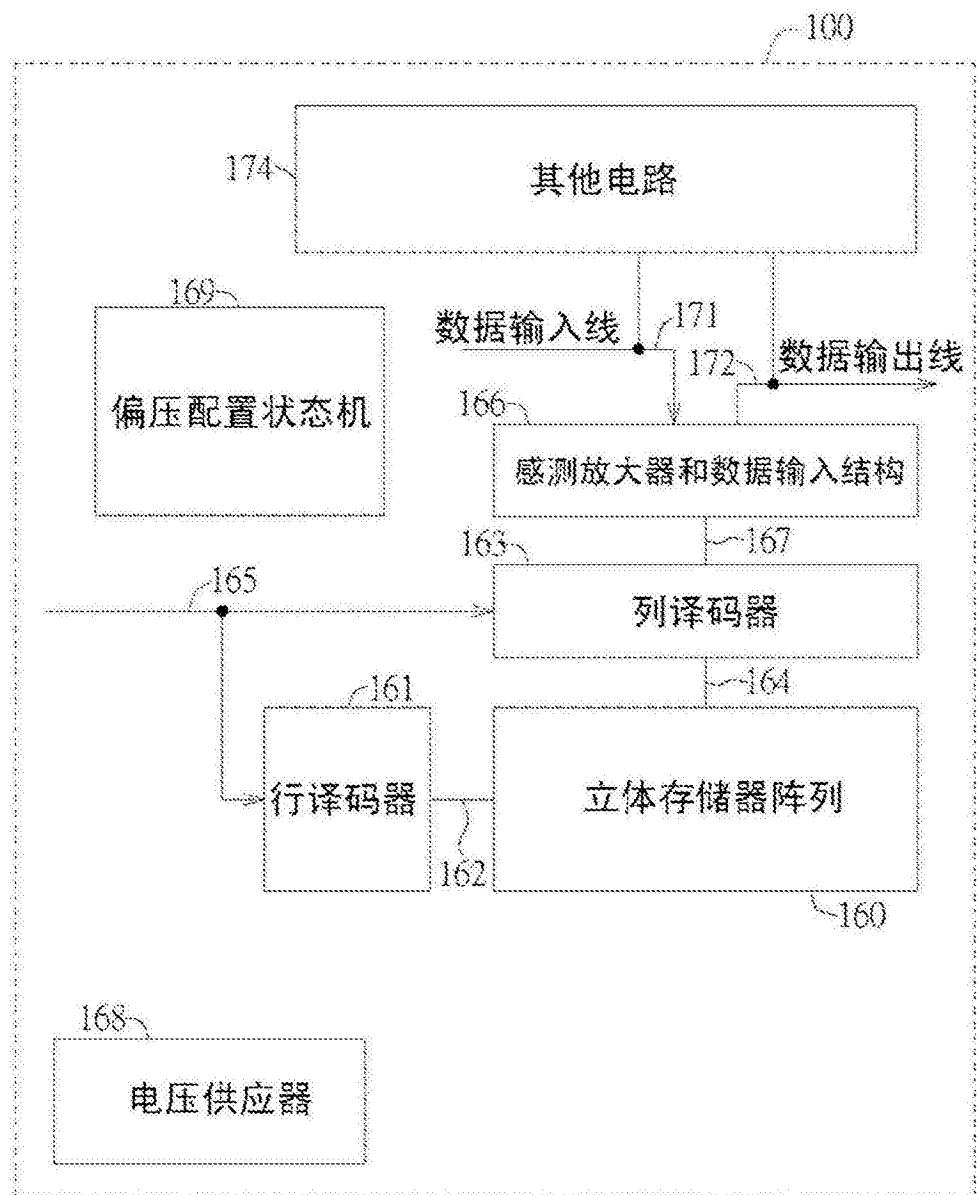


图1

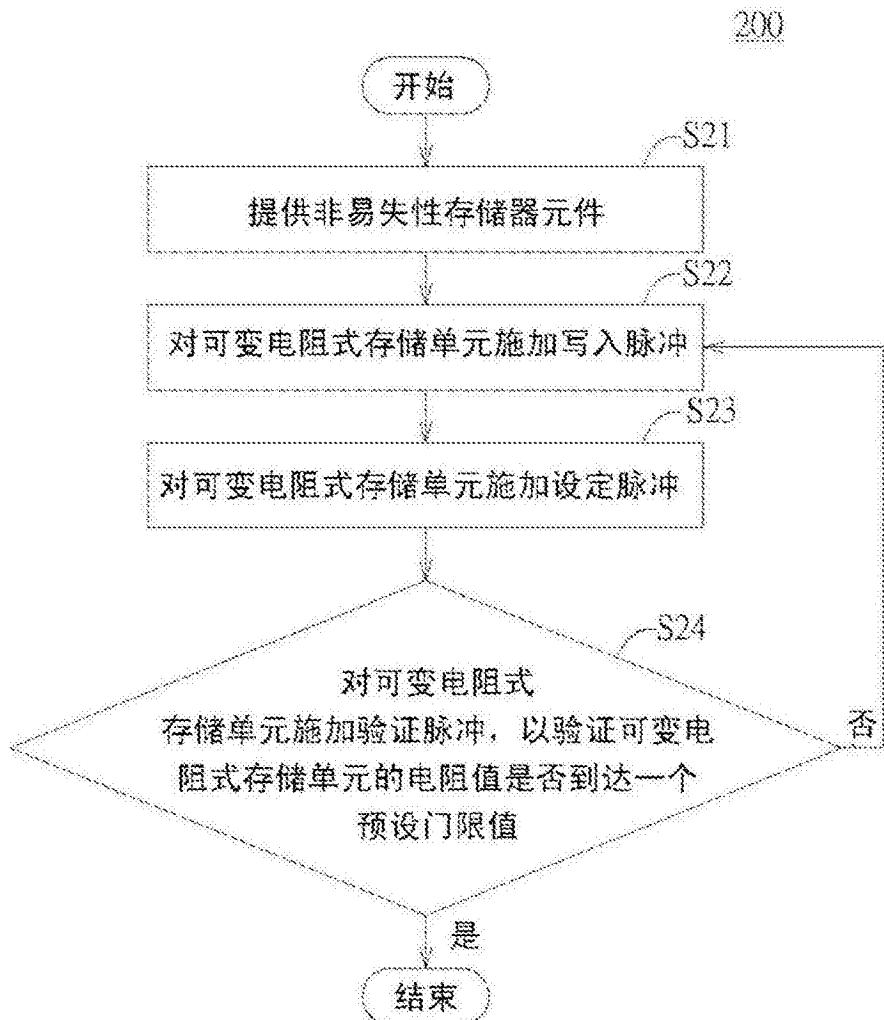


图2A

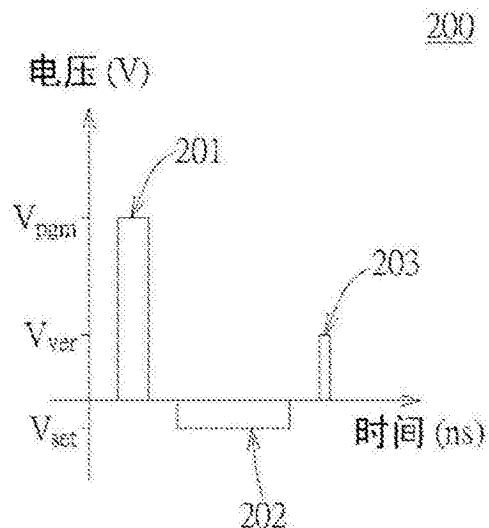


图2B

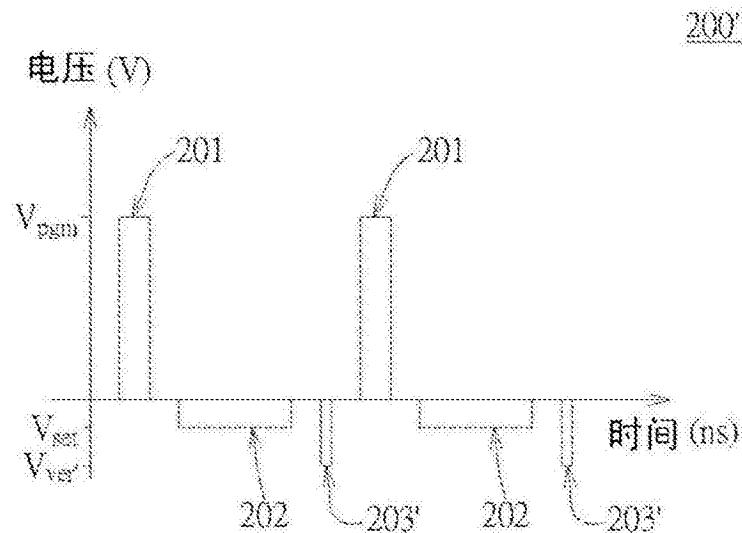


图2C

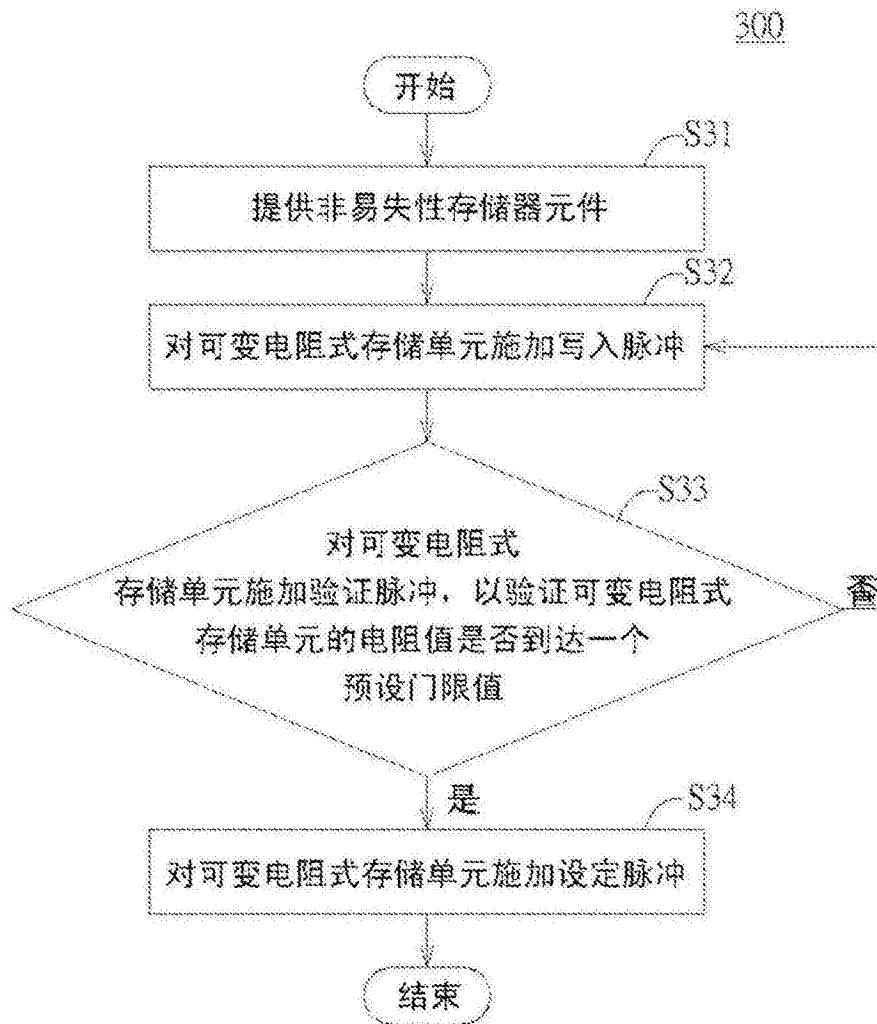


图3A

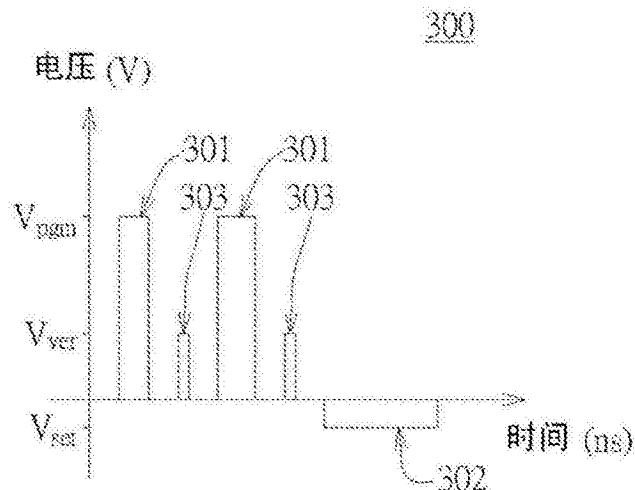


图3B

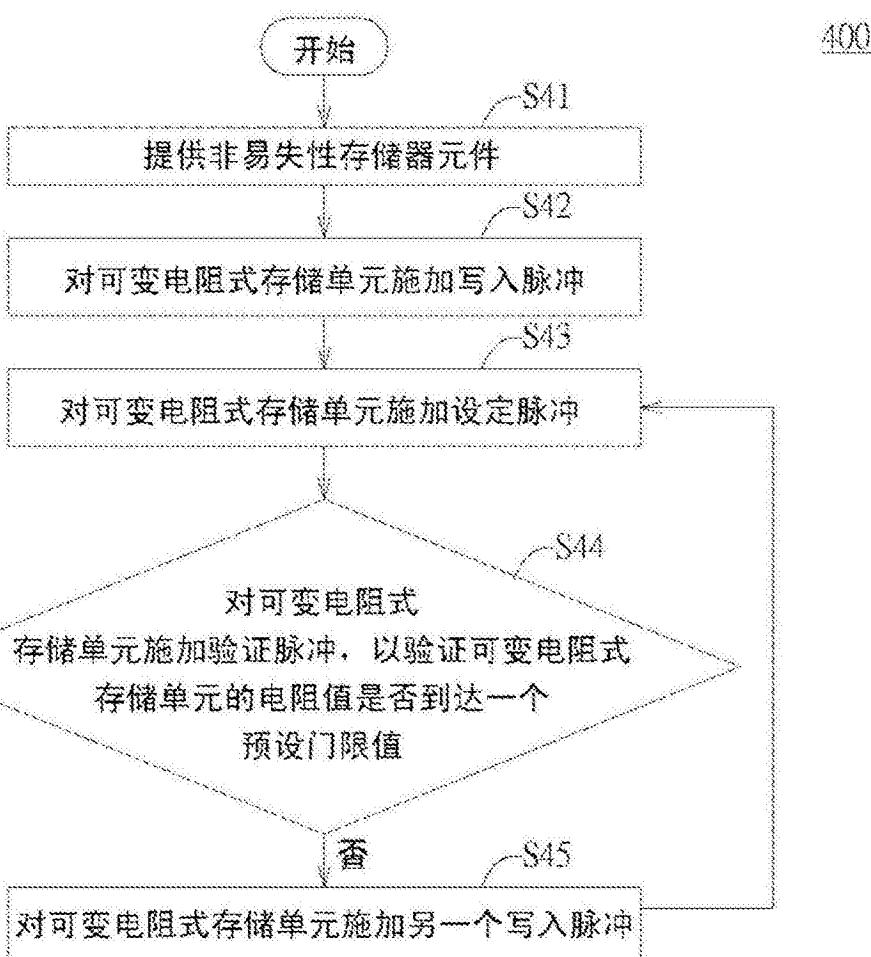


图4A

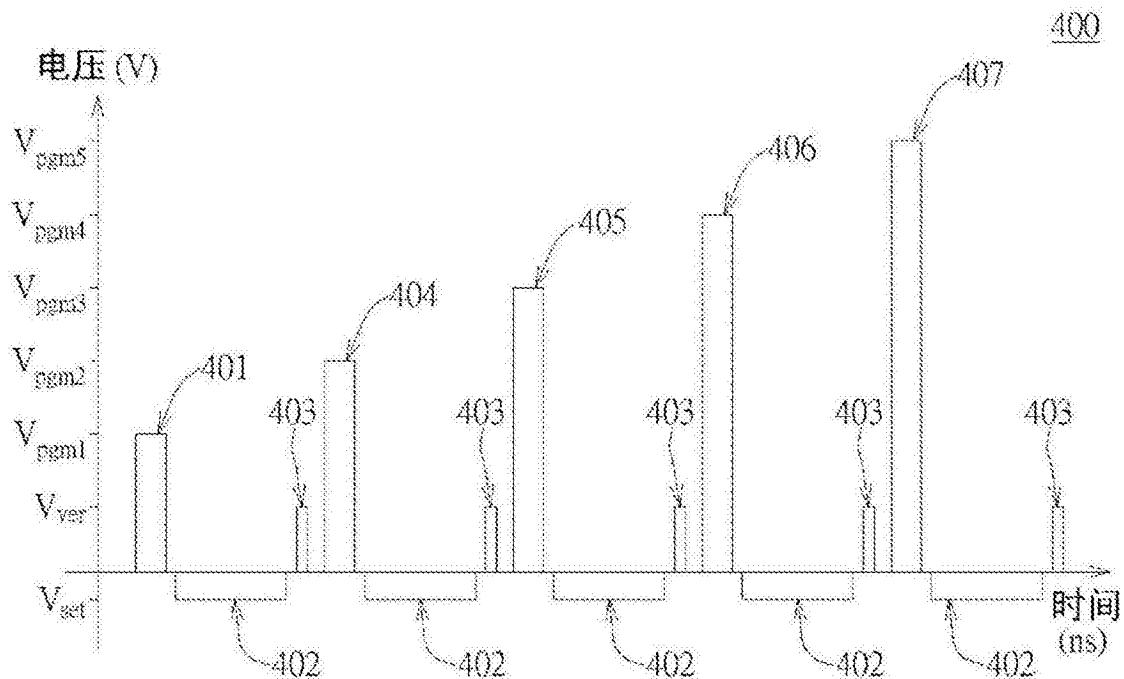


图4B

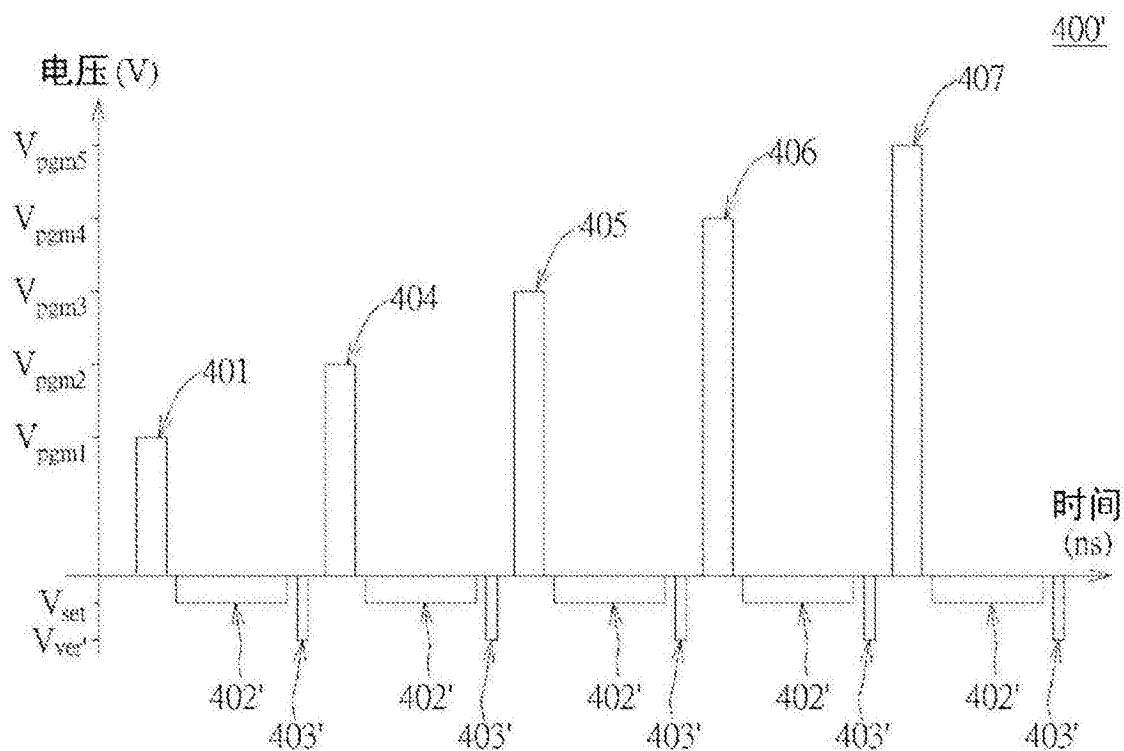


图4C

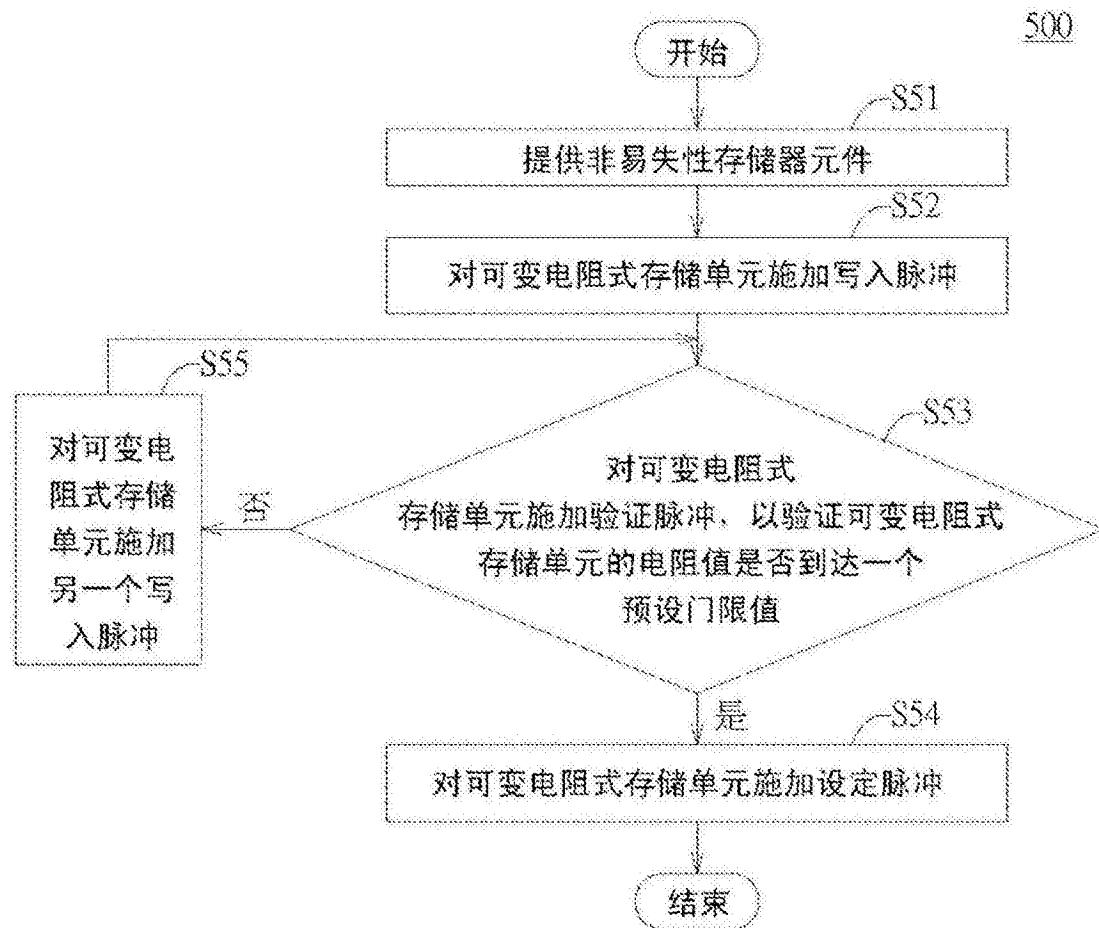


图5A

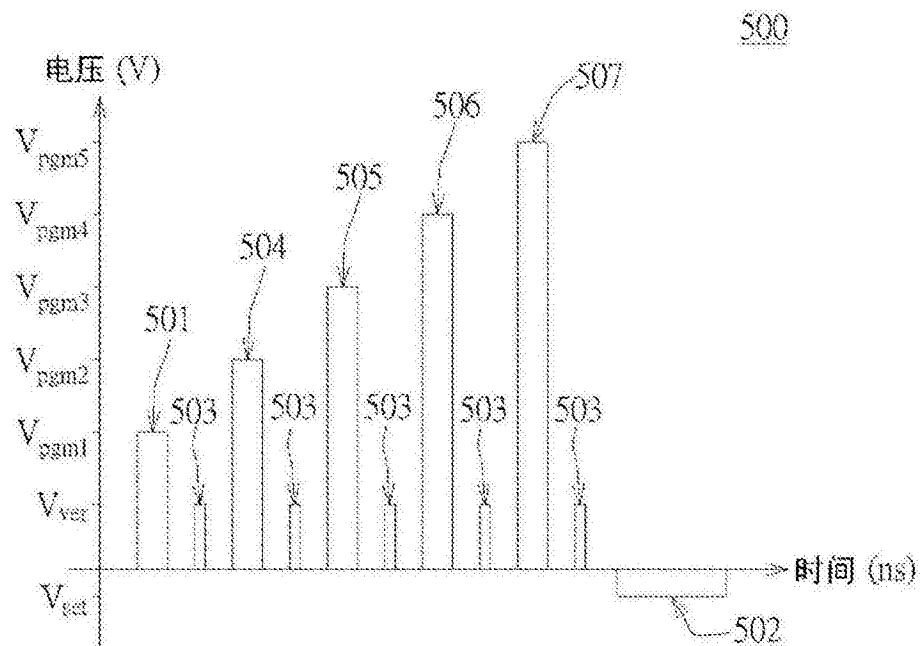


图5B

600

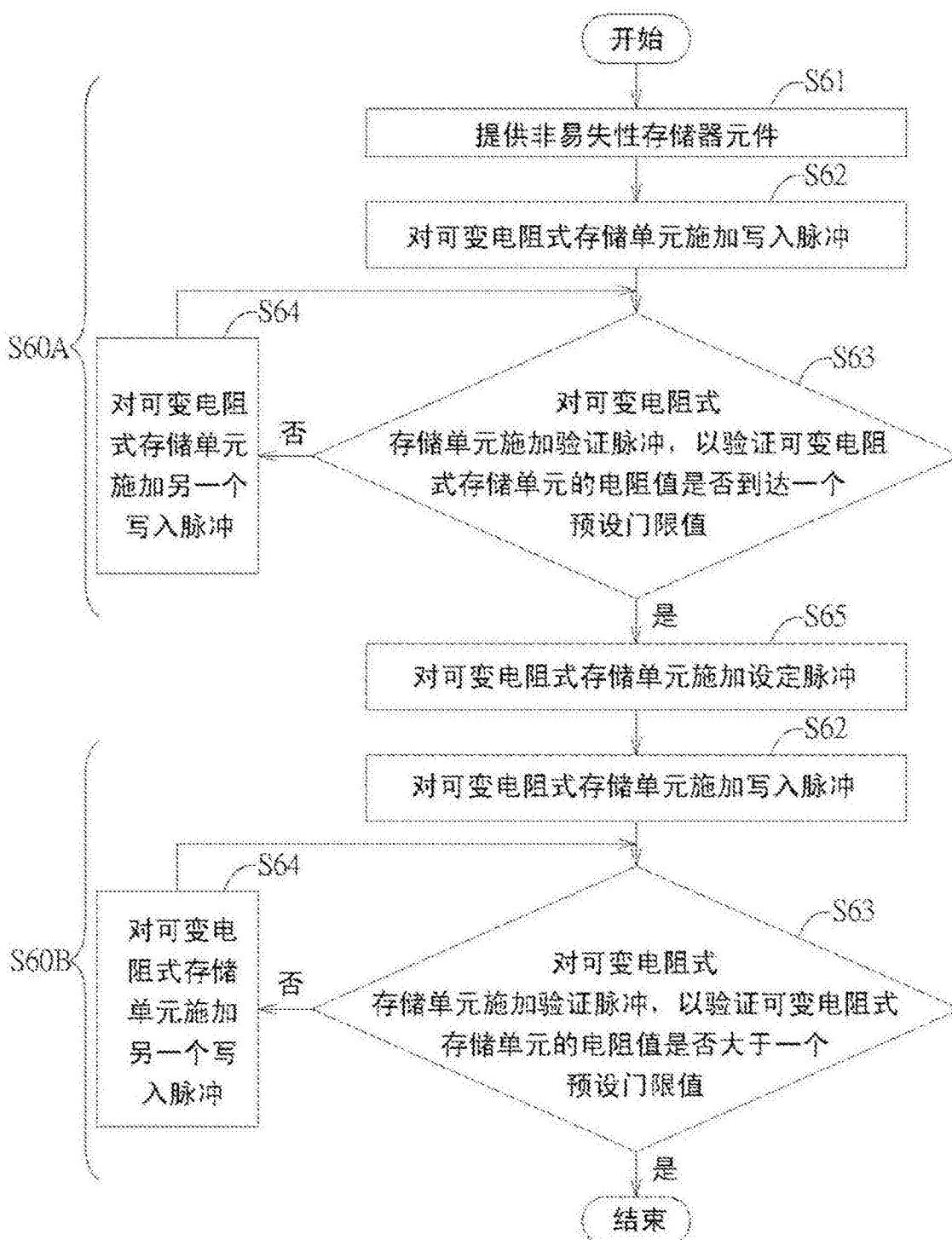


图6A

600

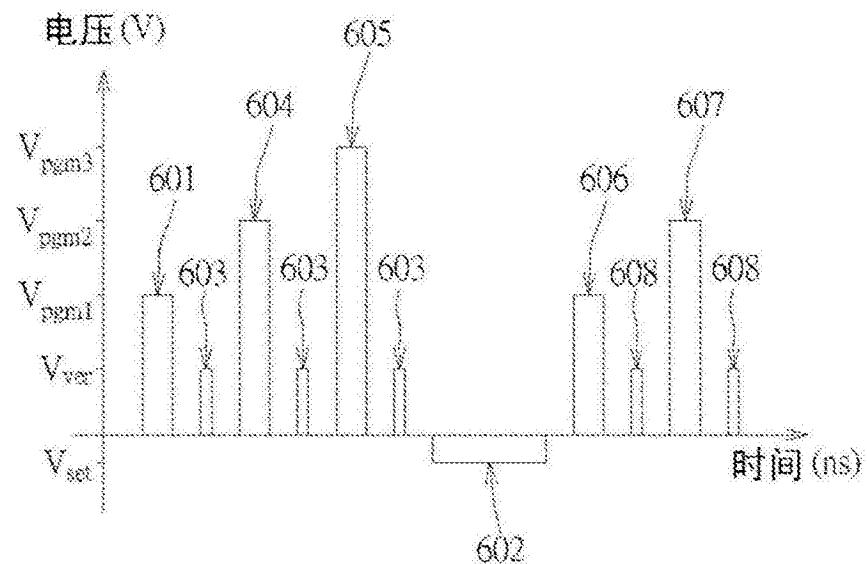


图6B

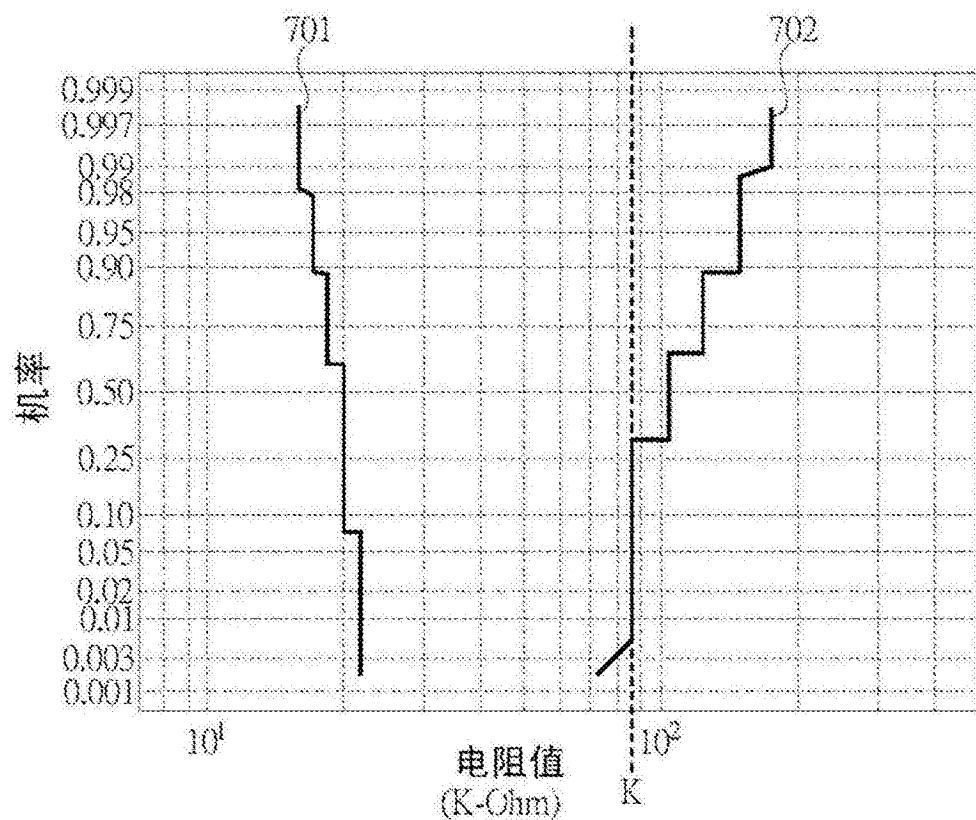


图7A

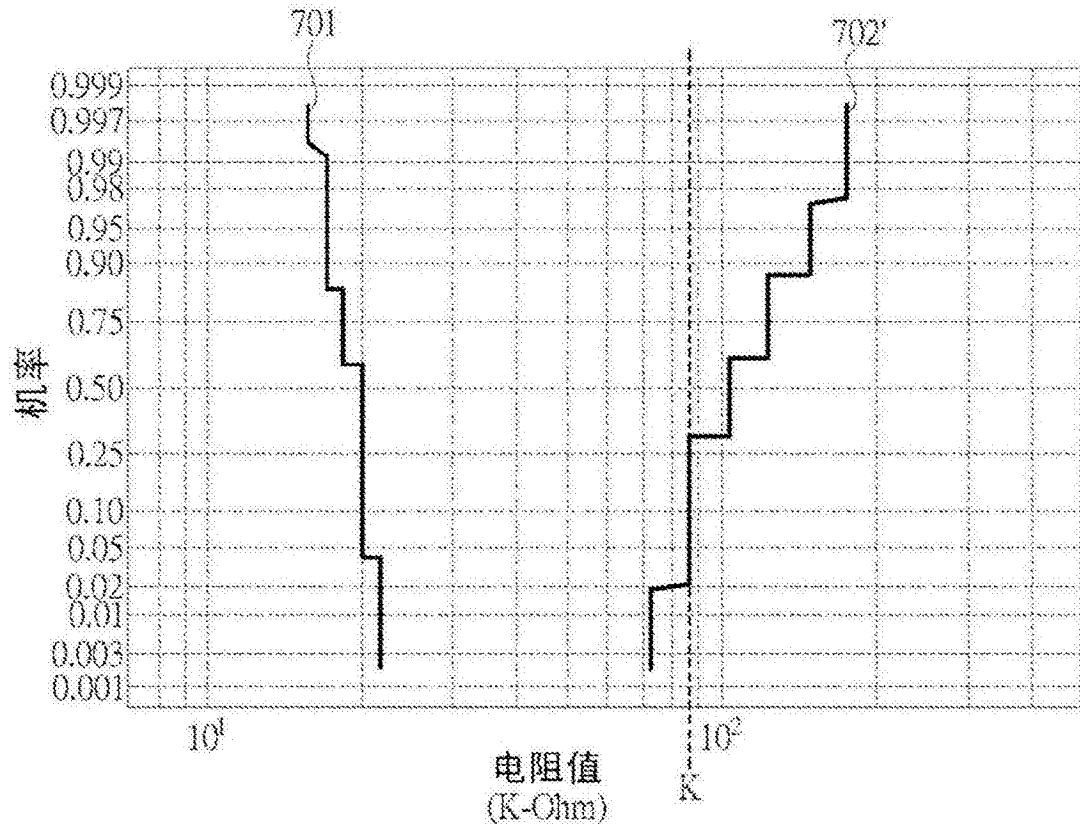


图7B

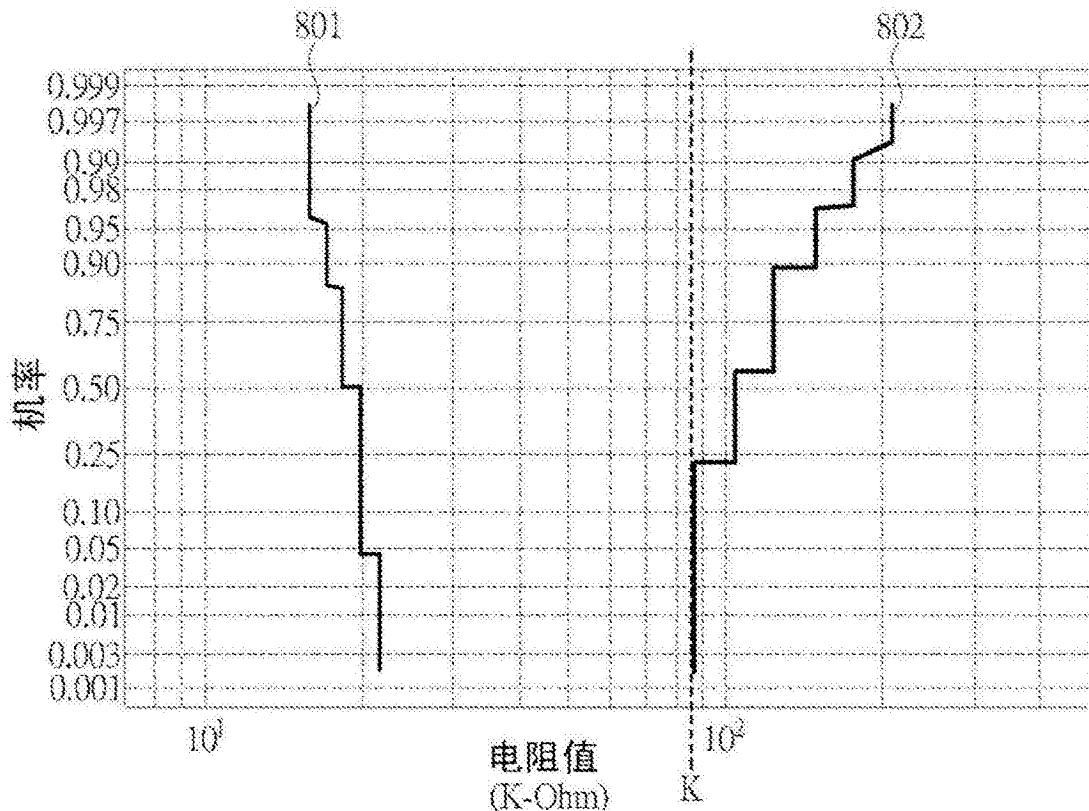


图8A

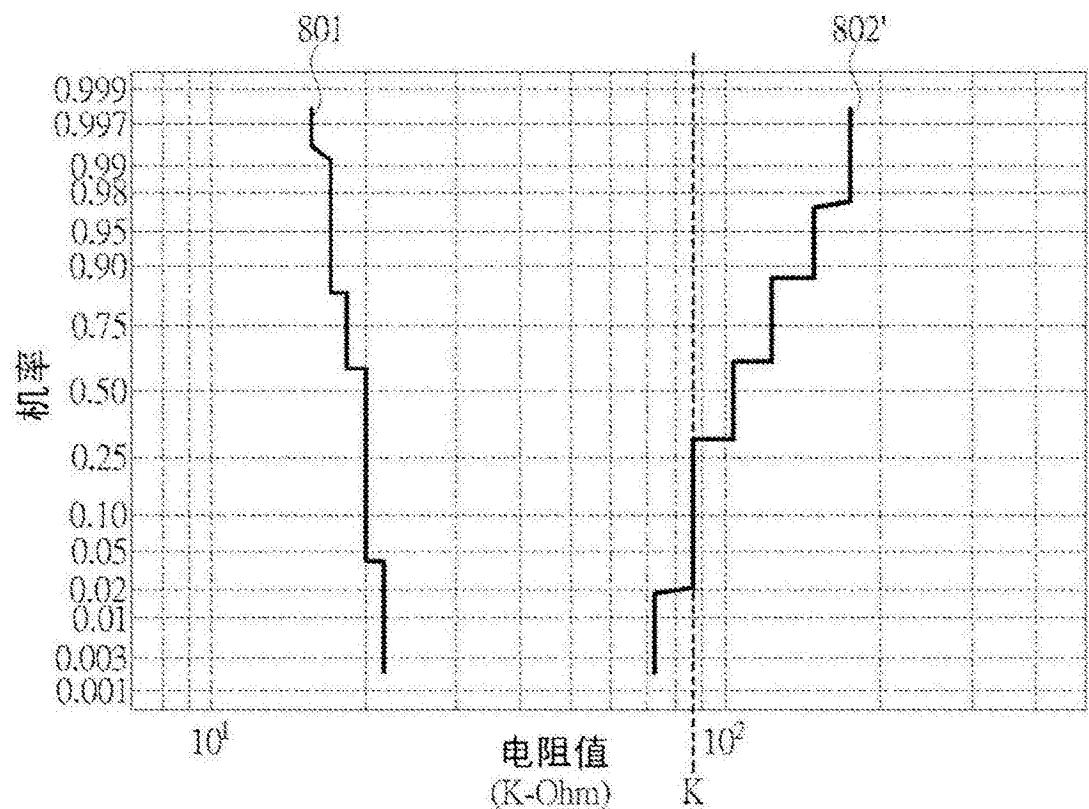


图8B

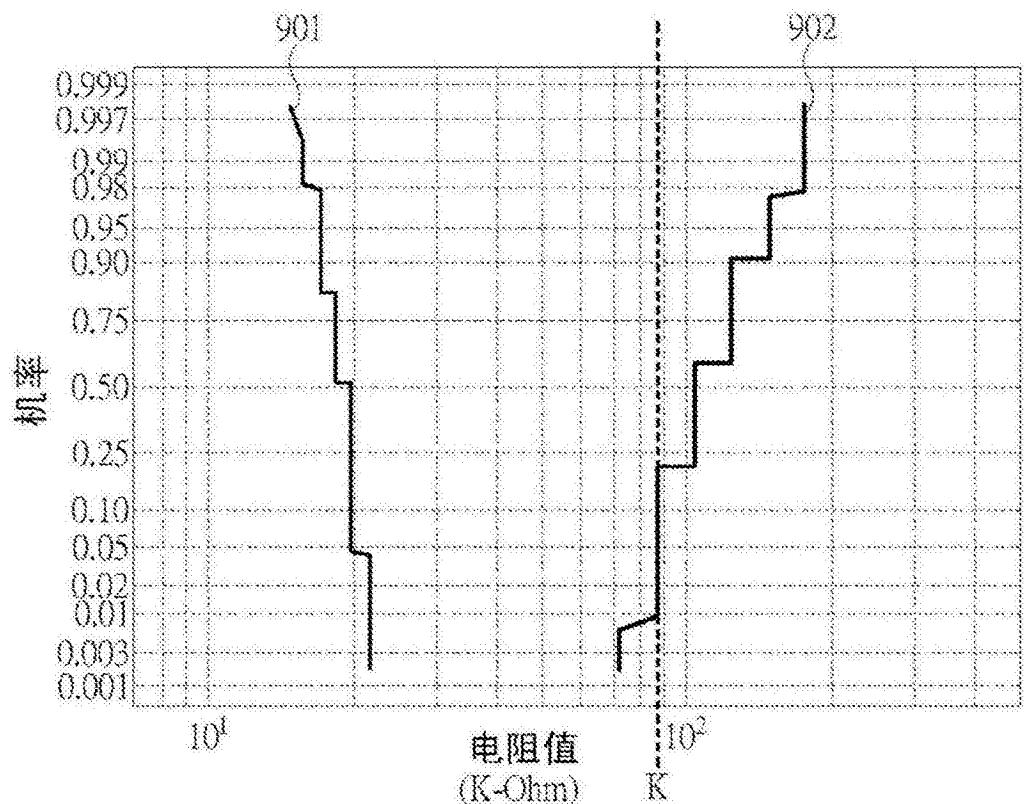


图9A

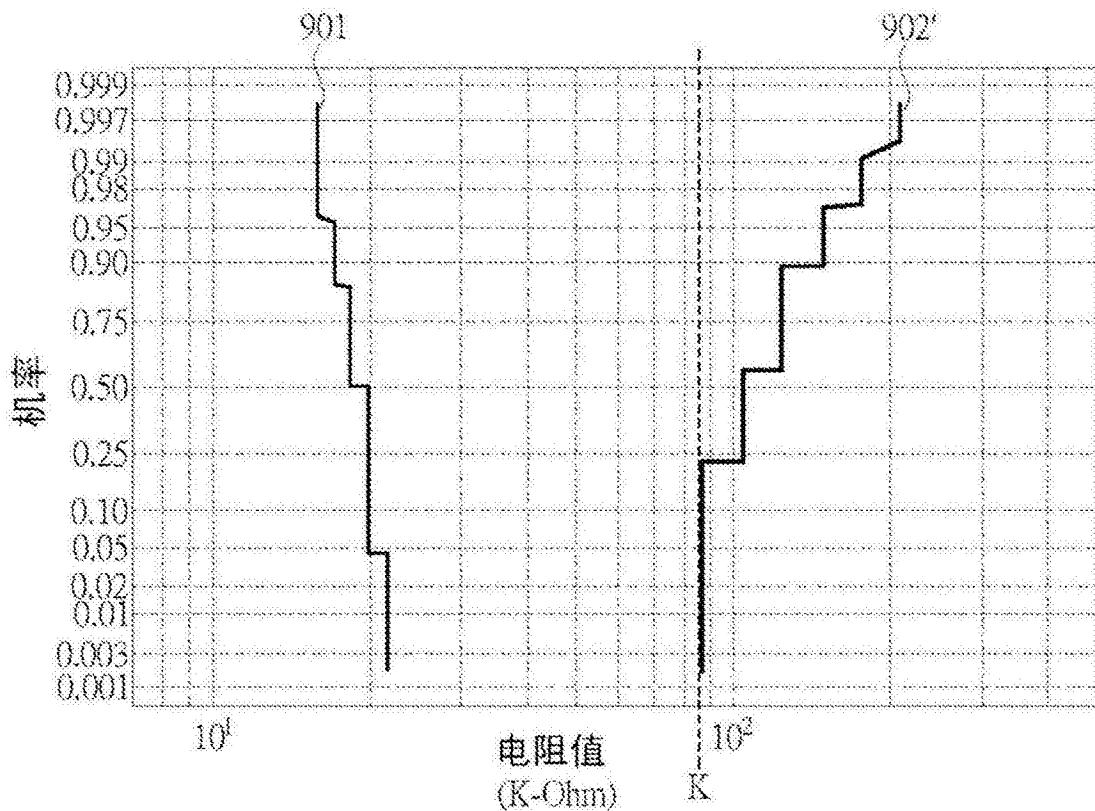


图9B

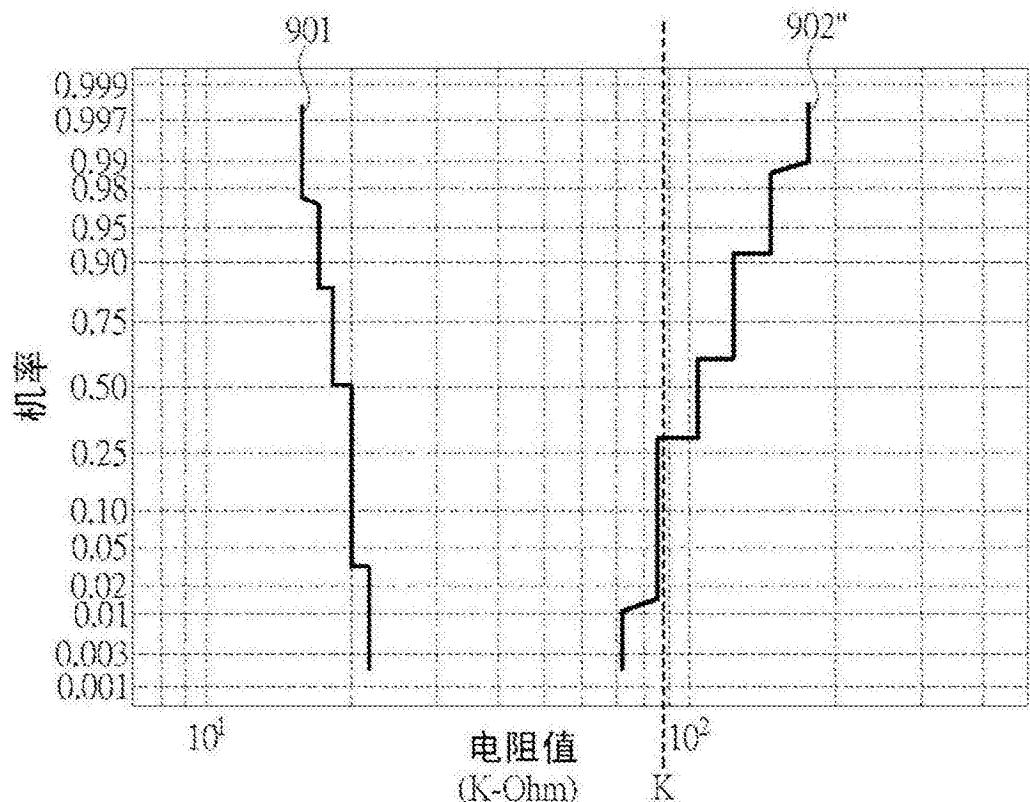


图9C

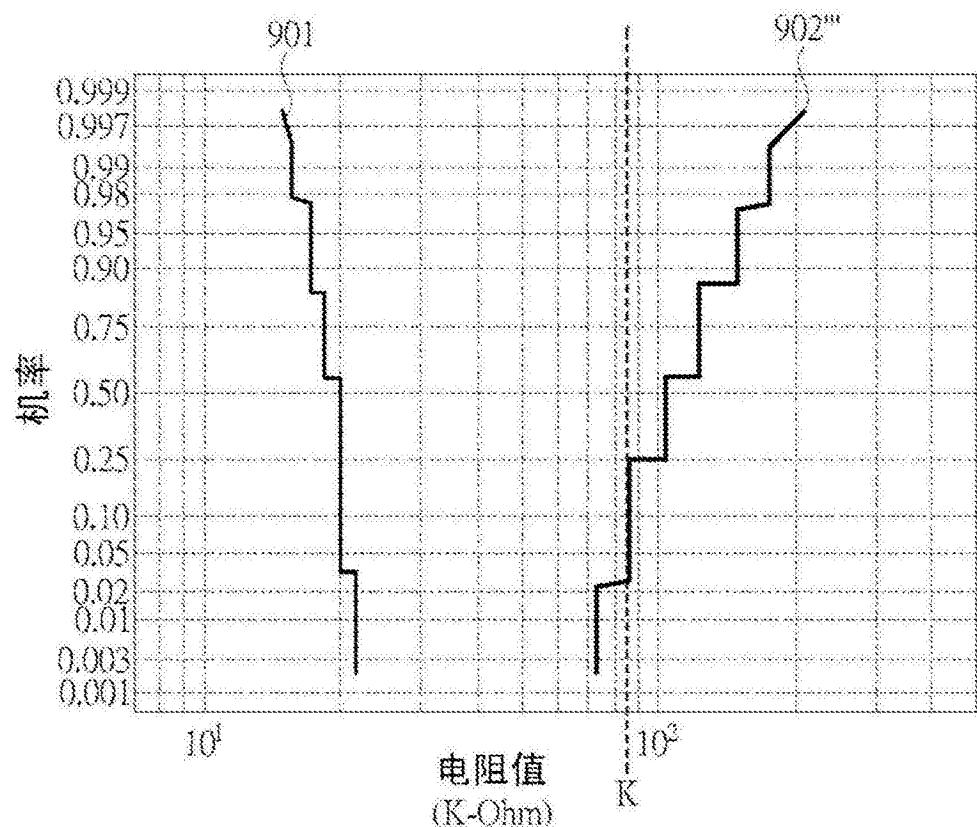


图9D

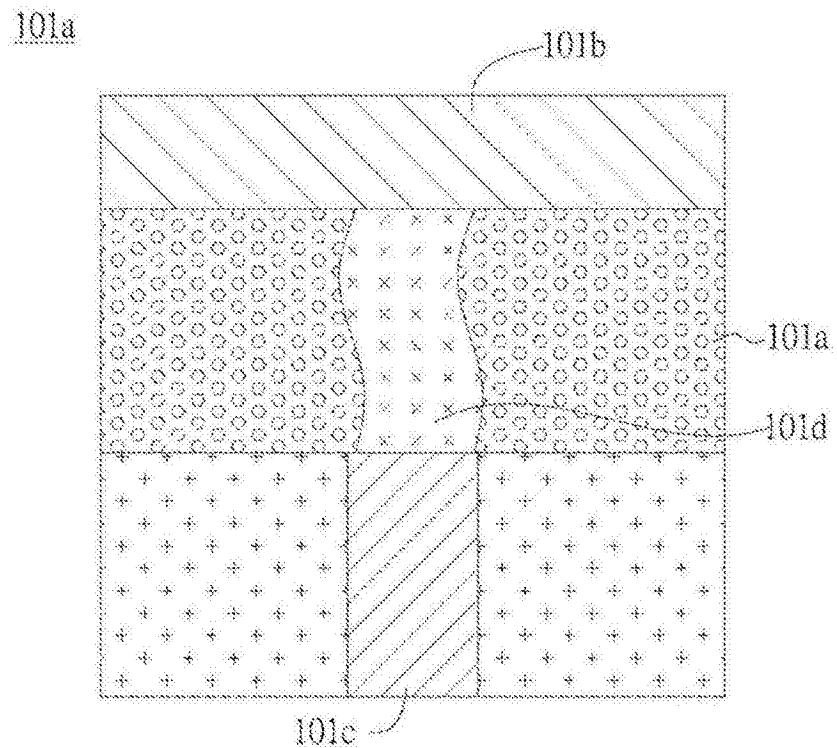


图10