

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7693562号
(P7693562)

(45)発行日 令和7年6月17日(2025.6.17)

(24)登録日 令和7年6月9日(2025.6.9)

(51)国際特許分類		F I	
H 0 4 N	25/70 (2023.01)	H 0 4 N	25/70
H 0 4 N	25/76 (2023.01)	H 0 4 N	25/76
H 1 0 D	1/68 (2025.01)	H 1 0 D	1/68
H 1 0 D	30/67 (2025.01)	H 1 0 D	30/67 1 0 3 B
H 1 0 D	84/80 (2025.01)	H 1 0 D	84/80 1 0 1 A
請求項の数 7 (全71頁) 最終頁に続く			
(21)出願番号	特願2021-575094(P2021-575094)	(73)特許権者	000153878
(86)(22)出願日	令和3年1月26日(2021.1.26)		株式会社半導体エネルギー研究所
(86)国際出願番号	PCT/IB2021/050568		神奈川県厚木市長谷398番地
(87)国際公開番号	WO2021/156700	(72)発明者	井上 広樹
(87)国際公開日	令和3年8月12日(2021.8.12)		神奈川県厚木市長谷398番地 株式会
審査請求日	令和5年12月26日(2023.12.26)		社半導体エネルギー研究所内
(31)優先権主張番号	特願2020-20014(P2020-20014)	(72)発明者	米田 誠一
(32)優先日	令和2年2月7日(2020.2.7)		神奈川県厚木市長谷398番地 株式会
(33)優先権主張国・地域又は機関	日本国(JP)		社半導体エネルギー研究所内
		審査官	辻本 寛司
		最終頁に続く	

(54)【発明の名称】 半導体装置、及び撮像装置

(57)【特許請求の範囲】

【請求項1】

第1トランジスタと、第2トランジスタと、第3トランジスタと、第4トランジスタと、第1容量と、第2容量と、入力端子と、出力端子と、を有し、
前記第1トランジスタと、前記第2トランジスタと、前記第3トランジスタと、前記第4トランジスタと、のそれぞれは同じ極性のトランジスタであり、
前記第1トランジスタの第1端子は、前記第2トランジスタの第1端子と、前記出力端子と、に電氣的に接続され、
前記第2トランジスタの第2端子は、前記第3トランジスタの第1端子に電氣的に接続され、
前記第4トランジスタの第1端子は、前記第2トランジスタのゲートと、前記第1容量の第1端子に電氣的に接続され、
前記第1容量の第2端子は、前記入力端子に電氣的に接続され、
前記第2容量の第1端子は、前記第1トランジスタの第1端子と、前記第2トランジスタの第1端子と、前記出力端子と、に電氣的に接続されている、
半導体装置。

【請求項2】

請求項1において、
前記入力端子には第1電位が入力され、前記第1トランジスタの第2端子には第2電位が入力され、前記第3トランジスタの第2端子と、前記第4トランジスタの第2端子と、

には第3電位が入力されている場合において、

前記第1トランジスタは、前記第1トランジスタがオン状態のときに、前記出力端子を前記第2電位にプリチャージする機能を有し、

前記第2トランジスタは、前記第4トランジスタがオフ状態のときに、前記入力端子に入力された前記第1電位に応じてオン状態、又はオフ状態となる機能を有し、

前記出力端子に前記第2電位がプリチャージされ、前記第1トランジスタがオフ状態になった後に、前記第3トランジスタがオン状態になることで、前記出力端子の電位を前記第2電位、又は前記第3電位にする機能を有する、

半導体装置。

【請求項3】

第1トランジスタと、第2トランジスタと、第3トランジスタと、第4トランジスタと、第1容量と、第2容量と、入力端子と、出力端子と、を有し、

前記第1トランジスタと、前記第2トランジスタと、前記第3トランジスタと、前記第4トランジスタと、のそれぞれは同じ極性のトランジスタであり、

前記第1トランジスタの第1端子は、前記第3トランジスタの第1端子と、前記出力端子と、に電氣的に接続され、

前記第3トランジスタの第2端子は、前記第2トランジスタの第1端子に電氣的に接続され、

前記第4トランジスタの第1端子は、前記第2トランジスタのゲートと、前記第1容量の第1端子に電氣的に接続され、

前記第1容量の第2端子は、前記入力端子に電氣的に接続され、

前記第2容量の第1端子は、前記第1トランジスタの第1端子と、前記第3トランジスタの第1端子と、前記出力端子と、に電氣的に接続されている、

半導体装置。

【請求項4】

請求項3において、

前記入力端子には第1電位が入力され、前記第1トランジスタの第2端子には第2電位が入力され、前記第2トランジスタの第2端子と、前記第4トランジスタの第2端子と、には第3電位が入力されている場合において、

前記第1トランジスタは、前記第1トランジスタがオン状態のときに、前記出力端子を前記第2電位にプリチャージする機能を有し、

前記第2トランジスタは、前記第4トランジスタがオフ状態のときに、前記入力端子に入力された前記第1電位に応じてオン状態、又はオフ状態となる機能を有し、

前記出力端子に前記第2電位がプリチャージされ、前記第1トランジスタがオフ状態になった後に、前記第3トランジスタをオン状態にするすることで、前記出力端子の電位を前記第2電位、又は前記第3電位にする機能を有する、

半導体装置。

【請求項5】

請求項1乃至請求項4のいずれかーにおいて、

前記第1トランジスタ乃至前記第4トランジスタのそれぞれは、チャネル形成領域に金属酸化物、又はシリコンを有する、

半導体装置。

【請求項6】

請求項1乃至請求項5のいずれかーにおいて、

前記第1容量は、第5トランジスタを有し、

前記第5トランジスタは、チャネル形成領域に金属酸化物、又はシリコンを有し、

前記第5トランジスタのゲートは、前記第1容量の第1端子又は第2端子の一方としての機能を有し、

前記第5トランジスタの第1端子及び第2端子は、前記第1容量の第1端子又は第2端子の他方としての機能を有する、

10

20

30

40

50

半導体装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一の半導体装置と、光電変換素子と、を有し、
前記光電変換素子は、前記第 1 トランジスタ乃至前記第 4 トランジスタの上方に位置する、

撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置、及び撮像装置に関する。

【0002】

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、動作方法、又は、製造方法に関するものである。又は、本発明の一態様は、プロセス、マシン、マニュファクチャ、又は、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、蓄電装置、撮像装置、記憶装置、信号処理装置、センサ、プロセッサ、電子機器、システム、それらの駆動方法、それらの製造方法、又はそれらの検査方法を一例として挙げることができる。

【背景技術】

【0003】

近年、電子機器において、動作時の消費電力を低くすることが強く求められている。例えば、電子機器の消費電力を低くすることを目的として、当該電子機器に含まれている個々のロジック回路の消費電力の低減が検討されている。

【0004】

ロジック回路は、例えば、スタティックロジック回路、ダイナミックロジック回路、および疑似（pseudo）ロジック回路等に分類できる。ダイナミックロジック回路は、データを一時的に保持することで動作する回路であるため、スタティックロジック回路と比較して、トランジスタのリーク電流が問題となる。トランジスタのリーク電流が大きいと、ダイナミックロジック回路で保持しているデータが破壊されてしまう。リーク電流は、トランジスタをオフ状態であるときに流れ出るオフ電流が一因となって生じる。例えば、特許文献 1、及び特許文献 2 には、チャンネルが酸化物半導体で形成されているトランジスタを備えることで、ダイナミックロジック回路のリーク電流を低減することが開示されている。

【先行技術文献】

【特許文献】

【0005】

【文献】特開 2013-9311 号公報

【文献】特開 2013-9313 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

半導体装置を作製するとき、当該半導体装置が有する複数のトランジスタのチャンネル形成領域に含まれる材料は、互いに同じ材料とすることによって、半導体装置の作製工程を短くすることができる場合がある。具体的には、例えば、当該材料としては、インジウム、ガリウム、亜鉛を含む金属酸化物を用いることができる。

【0007】

しかし、インジウムを含む金属酸化物（例えば、In 酸化物）、あるいは亜鉛を含む金属酸化物（例えば、Zn 酸化物）では、n 型半導体は作製できているが、p 型半導体は移動度及び信頼性の点で作製が難しい。そのため、半導体装置を作製するときは、n 型半導体を含むトランジスタ（n チャンネル型トランジスタ）で構成された単極性回路とすること

10

20

30

40

50

が好ましい。ただし、当該単極性回路は、p型半導体を含むトランジスタ（pチャネル型トランジスタ）が含まれないため、CMOS回路と異なって、回路面積が大きくなりやすい。

【0008】

また、ここで、入力された電位をより低い電位であるVSSLにレベルシフトを行うレベルシフタ（負電圧レベルシフタと呼称する）を、nチャネル型トランジスタを含む単極性回路として構成する場合を考える。nチャネル型トランジスタのソースにVSSLが入力され、ゲートに入力信号であるVSSが入力されたとき、nチャネル型トランジスタのゲート-ソース間電圧がしきい値電圧よりも高くなる場合があるため、nチャネル型トランジスタがオフ状態にならないことがある。nチャネル型トランジスタがオフ状態にならない場合、負電圧レベルシフタは定常電流が流れる回路構成となるため、消費電力が大きくなる可能性がある。

10

【0009】

また、レベルシフタは、負電圧レベルシフタの機能だけでなく、入力された電位をより高い電位にレベルシフトを行う正電圧レベルシフタの機能も有することが好ましい。また、当該レベルシフタは、状況に応じて、負電圧レベルシフタ又は正電圧レベルシフタのどちらかのみ機能する回路構成とすることが好ましい。

【0010】

本発明の一態様は、入力電圧をより低い電圧、又はより高い電圧にシフトさせる機能を有する半導体装置を提供することを課題の一とする。又は、本発明の一態様は、消費電力が低減された半導体装置を提供することを課題の一とする。又は、本発明の一態様は、回路面積が低減された半導体装置を提供することを課題の一とする。

20

【0011】

又は、本発明の一態様は、新規な半導体装置を提供することを課題の一とする。又は、本発明の一態様は、上記半導体装置を有する撮像装置を提供することを課題の一とする。

【0012】

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した課題、及び他の課題のうち、少なくとも一つの課題を解決するものである。なお、本発明の一態様は、上記列挙した課題、及び他の課題の全てを解決する必要はない。

30

【課題を解決するための手段】

【0013】

(1)

本発明の一態様は、第1トランジスタと、第2トランジスタと、第3トランジスタと、第4トランジスタと、第1容量と、入力端子と、出力端子と、を有する半導体装置である。第1トランジスタの第1端子は、第2トランジスタの第1端子と、出力端子と、に電氣的に接続されている。また、第2トランジスタの第2端子は、第3トランジスタの第1端子に電氣的に接続されている。また、第4トランジスタの第1端子は、第2トランジスタのゲートと、第1容量の第1端子に電氣的に接続され、第1容量の第2端子は、入力端子に電氣的に接続されている。なお、第1トランジスタと、第2トランジスタと、第3トランジスタと、第4トランジスタと、のそれぞれは同じ極性のトランジスタとしてもよい。

40

【0014】

(2)

又は、本発明の一態様は、上記(1)において、入力端子には第1電位が入力され、第1トランジスタの第2端子には第2電位が入力され、第3トランジスタの第2端子と、第4トランジスタの第2端子と、には第3電位が入力されている場合において、第1トランジスタは、第1トランジスタがオン状態のときに、出力端子を第2電位にプリチャージす

50

る機能を有することが好ましく、第2トランジスタは、第4トランジスタがオフ状態のときに、入力端子に入力された第1電位に応じてオン状態、又はオフ状態となる機能を有することが好ましい。また、半導体装置は、出力端子に第2電位がプリチャージされ、第1トランジスタがオフ状態になった後に、第3トランジスタがオン状態になることで、出力端子の電位を第2電位、又は第3電位にする機能を有することが好ましい。

【0015】

(3)

又は、本発明の一態様は、第1トランジスタと、第2トランジスタと、第3トランジスタと、第4トランジスタと、第1容量と、入力端子と、出力端子と、を有する半導体装置である。第1トランジスタの第1端子は、第3トランジスタの第1端子と、出力端子と、に電氣的に接続され、第3トランジスタの第2端子は、第2トランジスタの第1端子に電氣的に接続され、第4トランジスタの第1端子は、第2トランジスタのゲートと、第1容量の第1端子に電氣的に接続され、第1容量の第2端子は、入力端子に電氣的に接続されている。また、入力端子には、第1電位が入力されていてもよい。なお、第1トランジスタと、第2トランジスタと、第3トランジスタと、第4トランジスタと、のそれぞれは同じ極性のトランジスタとしてもよい。

【0016】

(4)

又は、本発明の一態様は、上記(3)の構成において、入力端子には第1電位が入力され、第1トランジスタの第2端子には第2電位が入力され、第2トランジスタの第2端子と、第4トランジスタの第2端子と、には第3電位が入力されている場合において、第1トランジスタは、第1トランジスタがオン状態のときに、出力端子を第2電位にプリチャージする機能を有することが好ましく、第2トランジスタは、第4トランジスタがオフ状態のときに、入力端子に入力された第1電位に応じてオン状態、又はオフ状態となる機能を有することが好ましい。また、半導体装置は、出力端子に第2電位がプリチャージされ、第1トランジスタがオフ状態になった後に、第3トランジスタをオン状態にすることで、出力端子の電位を第2電位、又は第3電位にする機能を有することが好ましい。

【0017】

(5)

又は、本発明の一態様は、上記(1)又は(4)の構成において、第2容量を有する半導体装置としてもよい。第2容量の第1端子は、第1トランジスタの第1端子と、第2トランジスタの第1端子と、出力端子と、に電氣的に接続されている。

【0018】

(6)

又は、本発明の一態様は、上記(1)乃至(5)のいずれか一の構成において、第1トランジスタ乃至第4トランジスタのそれぞれは、チャネル形成領域に金属酸化物、又はシリコンを有してもよい。

【0019】

(7)

又は、本発明の一態様は、上記(1)乃至(6)のいずれか一の構成において、第1容量は、第5トランジスタを有してもよい。第5トランジスタは、チャネル形成領域に金属酸化物、又はシリコンを有する。また、第5トランジスタのゲートは、第1容量の第1端子又は第2端子の一方として機能し、第5トランジスタの第1端子及び第2端子は、第1容量の第1端子又は第2端子の他方として機能する。

【0020】

(8)

又は、本発明の一態様は、上記(1)乃至(7)のいずれか一の半導体装置と、光電変換素子と、を有する撮像装置である。また、光電変換素子は、第1トランジスタ乃至第4トランジスタの上方に位置することが好ましい。

【0021】

なお、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップ、パッケージなどにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置及び電子機器等は、それ自体が半導体装置であり、半導体装置を有している場合がある。

【0022】

また、本明細書等において、XとYとが接続されていると記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図又は文章に示された接続関係に限定されず、図又は文章に示された接続関係以外のものも、図又は文章に開示されているものとする。X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層など）であるとする。

10

【0023】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示デバイス、発光デバイス、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。

20

【0024】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（デジタルアナログ変換回路、アナログデジタル変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅又は電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

30

【0025】

なお、XとYとが電氣的に接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。

【0026】

また、例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。又は、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。又は、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、

40

50

区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0027】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【0028】

また、本明細書等において、「抵抗素子」とは、例えば、 0Ω よりも高い抵抗値を有する回路素子、配線などとしてすることができる。そのため、本明細書等において、「抵抗素子」は、抵抗値を有する配線、ソースドレイン間に電流が流れるトランジスタ、ダイオード、コイルなどを含むものとする。そのため、「抵抗素子」という用語は、「抵抗」、「負荷」、「抵抗値を有する領域」などの用語に言い換えることができ、逆に「抵抗」、「負荷」、「抵抗値を有する領域」という用語は、「抵抗素子」などの用語に言い換えることができる。抵抗値としては、例えば、好ましくは $1\text{m}\Omega$ 以上 10Ω 以下、より好ましくは $5\text{m}\Omega$ 以上 5Ω 以下、更に好ましくは $10\text{m}\Omega$ 以上 1Ω 以下とすることができる。また、例えば、 1Ω 以上 $1\times 10^9\Omega$ 以下としてもよい。

【0029】

また、本明細書等において、「容量素子」とは、例えば、 0F よりも高い静電容量の値を有する回路素子、静電容量の値を有する配線の領域、寄生容量、トランジスタのゲート容量などとしてすることができる。そのため、本明細書等において、「容量素子」は、一對の電極と、当該電極の間に含まれている誘電体と、を含む回路素子だけでなく、配線と配線との間に現れる寄生容量、トランジスタのソース又はドレインの一方とゲートとの間に現れるゲート容量などを含むものとする。また、「容量素子」、「寄生容量」、「ゲート容量」などという用語は、「容量」などの用語に言い換えることができ、逆に、「容量」という用語は、「容量素子」、「寄生容量」、「ゲート容量」などの用語に言い換えることができる。また、「容量」の「一對の電極」という用語は、「一對の導電体」、「一對の導電領域」、「一對の領域」などに言い換えることができる。なお、静電容量の値としては、例えば、 0.05fF 以上 10pF 以下とすることができる。また、例えば、 1pF 以上 $10\mu\text{F}$ 以下としてもよい。

【0030】

また、本明細書等において、トランジスタは、ゲート、ソース、及びドレインと呼ばれる3つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御端子である。ソース又はドレインとして機能する2つの端子は、トランジスタの入出力端子である。2つの入出力端子は、トランジスタの導電型（nチャネル型、pチャネル型）及びトランジスタの3つの端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソース及びドレインのそれぞれの用語は、言い換えることができるものとする。また、本明細書等では、トランジスタの接続関係を説明する際、「ソース又はドレインの一方」（又は第1電極、又は第1端子）、「ソース又はドレインの他方」（又は第2電極、又は第2端子）という表記を用いる。なお、トランジスタの構造によっては、上述した3つの端子に加えて、バックゲートを有する場合がある。この場合、本明細書等において、トランジスタのゲート又はバックゲートの一方を第1ゲートと呼称し、トランジスタのゲート又はバックゲートの他方を第2ゲートと呼称することができる。更に、同じトランジスタにおいて、「ゲート」と「バックゲート」の用語は互いに入れ換えることができる場合がある。また、トランジスタが、3以上のゲートを有する場合は、本明細書等においては、それぞれのゲートを第1ゲート、第2ゲート、第3ゲートなどと呼称することができる。

【0031】

また、本明細書等において、ノードは、回路構成、デバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

【0032】

また、本明細書等において、「電圧」と「電位」は、適宜言い換えることができる。「電圧」は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、「電圧」を「電位」に言い換えることができる。なお、グラウンド電位は必ずしも0Vを意味するとは限らない。また、電位は相対的なものであり、基準となる電位が変わることによって、配線に与えられる電位、回路などに印加される電位、回路などから出力される電位なども変化する。

10

【0033】

また、本明細書等において、「高レベル電位」、「低レベル電位」という用語は、特定の電位を意味するものではない。例えば、2本の配線において、両方とも「高レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの高レベル電位は、互いに等しくなくてもよい。また、同様に、2本の配線において、両方とも「低レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの低レベル電位は、互いに等しくなくてもよい。

【0034】

「電流」とは、電荷の移動現象（電気伝導）のことであり、例えば、「正の荷電体の電気伝導が起きている」という記載は、「その逆向きに負の荷電体の電気伝導が起きている」と換言することができる。そのため、本明細書等において、「電流」とは、特に断らない限り、キャリアの移動に伴う電荷の移動現象（電気伝導）をいうものとする。ここでいうキャリアとは、電子、正孔、アニオン、カチオン、錯イオン等が挙げられ、電流の流れる系（例えば、半導体、金属、電解液、真空中など）によってキャリアが異なる。また、配線等における「電流の向き」は、正のキャリアが移動する方向とし、正の電流量で記載する。換言すると、負のキャリアが移動する方向は、電流の向きと逆の方向となり、負の電流量で表現される。そのため、本明細書等において、電流の正負（又は電流の向き）について断りがない場合、「素子Aから素子Bに電流が流れる」等の記載は「素子Bから素子Aに電流が流れる」等に言い換えることができるものとする。また、「素子Aに電流が入力される」等の記載は「素子Aから電流が出力される」等に言い換えることができるものとする。

20

30

【0035】

また、本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

40

【0036】

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書等で説明した語句に限定されず、状況に応じて適切に言い換えることができる。例えば、「導電体の上面に位置する絶縁体」の表現では、示している図面の向きを180度回転することによって、「導電体の下面に位置する絶縁体」と言い換えることができる。

【0037】

また、「上」又は「下」の用語は、構成要素の位置関係が直上又は直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれ

50

ば、絶縁層 A の上に電極 B が直接接して形成されている必要はなく、絶縁層 A と電極 B との間に他の構成要素を含むものを除外しない。

【0038】

また、本明細書等において、「膜」、「層」などの語句は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。又は、場合によっては、又は、状況に応じて、「膜」、「層」などの語句を使わずに、別の用語に入れ替えることが可能である。例えば、「導電層」又は「導電膜」という用語を、「導電体」という用語に変更することが可能な場合がある。又は、例えば、「絶縁層」、「絶縁膜」という用語を、「絶縁体」という用語に変更することが可能な場合がある。

10

【0039】

また、本明細書等において「電極」、「配線」、「端子」などの用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」又は「配線」の用語は、複数の「電極」又は「配線」が一体となって形成されている場合なども含む。また、例えば、「端子」は「配線」又は「電極」の一部として用いられることがあり、その逆もまた同様である。更に、「端子」の用語は、複数の「電極」、「配線」、「端子」などが一体となって形成されている場合なども含む。そのため、例えば、「電極」は「配線」又は「端子」の一部とすることができ、また、例えば、「端子」は「配線」又は「電極」の一部とすることができる。また、「電極」、「配線」、「端子」などの用語は、場合によって、「領域」などの用語に置き換える場合がある。

20

【0040】

また、本明細書等において、「配線」、「信号線」、「電源線」などの用語は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「配線」という用語を、「信号線」という用語に変更することが可能な場合がある。また、例えば、「配線」という用語を、「電源線」などの用語に変更することが可能な場合がある。また、その逆も同様で、「信号線」、「電源線」などの用語を、「配線」という用語に変更することが可能な場合がある。「電源線」などの用語は、「信号線」などの用語に変更することが可能な場合がある。また、その逆も同様で「信号線」などの用語は、「電源線」などの用語に変更することが可能な場合がある。また、配線に印加されている「電位」という用語を、場合によっては、又は、状況に応じて、「信号」などという用語に変更することが可能な場合がある。また、その逆も同様で、「信号」などの用語は、「電位」という用語に変更することが可能な場合がある。

30

【0041】

本明細書等において、半導体の不純物とは、例えば、半導体層を構成する主成分以外をいう。例えば、濃度が 0.1 原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体に欠陥準位密度が高くなること、キャリア移動度が低下すること、結晶性が低下すること、などが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第 1 族元素、第 2 族元素、第 13 族元素、第 14 族元素、第 15 族元素、主成分以外の遷移金属などがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。具体的には、半導体がシリコン層である場合、半導体の特性を変化させる不純物としては、例えば、水素を除く第 1 族元素、第 2 族元素、第 13 族元素、第 15 族元素、酸素などがある。

40

【0042】

本明細書等において、スイッチとは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。又は、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。一例としては、電氣的なスイッチ、機械的なスイッチなどを用いることができる。つまり、スイッチは

50

、電流を制御できるものであればよく、特定のものに限定されない。

【0043】

電氣的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性（導電型）は特に限定されない。

10

【0044】

機械的なスイッチの一例としては、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

【0045】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」又は「概略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」又は「概略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

20

【発明の効果】

【0046】

本発明の一態様によって、入力電圧をより低い電圧又はより高い電圧にシフトさせる機能を有する半導体装置を提供することができる。又は、本発明の一態様によって、消費電力が低減された半導体装置を提供することができる。又は、本発明の一態様によって、回路面積が低減された半導体装置を提供することができる。

30

【0047】

又は、本発明の一態様によって、新規な半導体装置を提供することができる。又は、本発明の一態様によって、上記半導体装置を有する撮像装置を提供することができる。

【0048】

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

40

【図面の簡単な説明】

【0049】

図1は、半導体装置の構成例を示す回路図である。

図2は、半導体装置の動作例を示すタイミングチャートである。

図3は、半導体装置の構成例を示す回路図である。

図4Aは容量の構成例を示す回路図であり、図4Bは半導体装置の構成例を示す回路図である。

図5は、半導体装置の構成例を示す回路図である。

図6は、半導体装置の構成例を示す断面模式図である。

50

図 7 は、半導体装置の構成例を示す断面模式図である。

図 8 A 乃至図 8 C は、トランジスタの構成例を示す断面模式図である。

図 9 は、半導体装置の構成例を示す断面模式図である。

図 10 は、半導体装置の構成例を示す断面模式図である。

図 11 A、及び図 11 B は、トランジスタの構成例を示す断面模式図である。

図 12 A、及び図 12 B は、トランジスタの構成例を示す断面模式図である。

図 13 A は容量の構成例を示す上面図であり、図 13 B、及び図 13 C は容量の構成例を示す断面斜視図である。

図 14 A は容量の構成例を示す上面図であり、図 14 B は容量の構成例を示す断面図であり、図 14 C は容量の構成例を示す断面斜視図である。

図 15 は、撮像装置の構成例を示す断面模式図である。

図 16 は、撮像装置の構成例を示す断面模式図である。

図 17 A は I G Z O の結晶構造の分類を説明する図であり、図 17 B は結晶性 I G Z O の X R D スペクトルを説明する図であり、図 17 C は結晶性 I G Z O の極微電子線回折パターンを説明する図である。

図 18 A は半導体ウェハの一例を示す斜視図であり、図 18 B はチップの一例を示す斜視図であり、図 18 C 及び図 18 D は電子部品の一例を示す斜視図である。

図 19 A 乃至図 19 F は、撮像装置を収めたパッケージ、モジュールの斜視図である。

図 20 は、電子機器の一例を示す斜視図である。

【発明を実施するための形態】

【0050】

本明細書等において、金属酸化物 (metal oxide) とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む)、酸化物半導体 (Oxide Semiconductor 又は単に OS ともいう) などに分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、金属酸化物が増幅作用、整流作用、及びスイッチング作用の少なくとも 1 つを有するトランジスタのチャネル形成領域を構成し得る場合、当該金属酸化物を、金属酸化物半導体 (metal oxide semiconductor) と呼称することができる。また、OSFET、又は OS トランジスタと記載する場合においては、金属酸化物又は酸化物半導体を有するトランジスタと換言することができる。

【0051】

また、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

【0052】

また、本明細書等において、各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1 つの実施の形態の中に、複数の構成例が示される場合は、互いに構成例を適宜組み合わせることが可能である。

【0053】

なお、ある一つの実施の形態の中で述べる内容 (一部の内容でもよい) は、その実施の形態で述べる別の内容 (一部の内容でもよい) と、一つ若しくは複数の別の実施の形態で述べる内容 (一部の内容でもよい) との少なくとも一つの内容に対して、適用、組み合わせ、又は置き換えなどを行うことができる。

【0054】

なお、実施の形態の中で述べる内容とは、各々の実施の形態 (又は実施例) において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

【0055】

なお、ある一つの実施の形態において述べる図 (一部でもよい) は、その図の別の部分

10

20

30

40

50

、その実施の形態において述べる別の図（一部でもよい）と、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）との少なくとも一つの図に対して、組み合わせることにより、さらに多くの図を構成させることができる。

【0056】

本明細書に記載の実施の形態については、図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態の発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、斜視図

10

【0057】

本明細書等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“__1”、“[n]”、“[m, n]”等の識別用の符号を付記して記載する場合がある。

【0058】

また、本明細書の図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

20

【0059】

（実施の形態1）

本実施の形態では、本発明の一態様の半導体装置である、レベルシフタについて、説明する。

【0060】

なお、本明細書等におけるレベルシフタは、入力された電圧レベルを別の電圧レベルに変換する電位レベル変換回路とする。このとき、別の電圧とは、入力された電圧よりも低くてもよく高くてもよい。なお、入力された電圧によっては、レベルシフトを行わず、入力電圧と同じ電圧を出力してもよい。例えば、本明細書等におけるレベルシフタは、入力された高レベル電位を第1電位にレベルシフトさせ、入力された低レベル電位を第2電位にレベルシフトさせる機能を有するものとしてもよい。なお、第1電位は、高レベル電位より高い電位、高レベル電位、又は高レベル電位よりも低い電位としてもよく、第2電位は、低レベル電位より高い電位、低レベル電位、又は低レベル電位よりも低い電位としてもよい。このため、例えば、本明細書等におけるレベルシフタは、入力された高レベル電位又は低レベル電位の一方を高レベル電位よりも高い電位にレベルシフトさせ、入力された高レベル電位又は低レベル電位の他方を低レベル電位よりも低い電位にレベルシフトさせる機能を有するものとしてもよい。

30

【0061】

本発明の一態様の半導体装置である、レベルシフタは、ダイナミックロジック回路のアーキテクチャを用いた回路である。ダイナミックロジック回路は、一例として、データを一時的に保持する、電位をプリチャージする、評価する、などを含む動作によって、回路駆動が行われる回路である。

40

【0062】

図1は、当該レベルシフタの構成例を示している。レベルシフタ100は、トランジスタTr1と、トランジスタTr2と、トランジスタTr3と、トランジスタTr4と、容量C1と、容量CLと、を有する。

【0063】

トランジスタTr1乃至トランジスタTr4は、一例として、OSトランジスタである

50

ことが好ましい。加えて、トランジスタ T_{r1} 乃至トランジスタ T_{r4} のチャネル形成領域は、インジウム、ガリウム、亜鉛の少なくとも一を含む酸化物であることがより好ましい。また、当該酸化物の代わりとしては、インジウム、元素 M （元素 M としては、例えば、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウムなどから選ばれた一種、又は複数種などが挙げられる。）、亜鉛の少なくとも一を含む酸化物を用いてもよい。トランジスタ T_{r1} 乃至トランジスタ T_{r4} は、特に実施の形態2に記載するトランジスタの構造であることが更に好ましい。

【0064】

又は、トランジスタ T_{r1} 乃至トランジスタ T_{r4} は、一例として、チャネル形成領域にシリコンを有するトランジスタ（本明細書では、 Si トランジスタと呼称する）としてもよい。シリコンとしては、例えば、非晶質シリコン（水素化アモルファスシリコンと呼称する場合がある）、微結晶シリコン、多結晶シリコン、単結晶シリコンなどを用いることができる。

【0065】

又は、トランジスタ T_{r1} 乃至トランジスタ T_{r4} は、 OS トランジスタ及び Si トランジスタ以外としては、一例として、 Ge などがチャネル形成領域に含まれるトランジスタ、 $ZnSe$ 、 CdS 、 $GaAs$ 、 InP 、 GaN 、 $SiGe$ などの化合物半導体がチャネル形成領域に含まれるトランジスタ、カーボンナノチューブがチャネル形成領域に含まれるトランジスタ、有機半導体がチャネル形成領域に含まれるトランジスタ等を用いることができる。

【0066】

トランジスタ T_{r1} 乃至トランジスタ T_{r4} のそれぞれは、互いに同様の構造、材料（例えば、チャネル形成領域に含まれている半導体、絶縁体、導電体などの材料）とすることにより、トランジスタ T_{r1} 乃至トランジスタ T_{r4} を同一のプロセスで作製を行うことができるため、レベルシフト100の作製工程を短縮することができる。なお、本発明の一態様の半導体装置は、これに限定されず、例えば、トランジスタ T_{r1} 乃至トランジスタ T_{r4} の一部を、異なる構造、材料としたトランジスタとしてもよい。例えば、トランジスタ T_{r1} 、トランジスタ T_{r3} 、及びトランジスタ T_{r4} を OS トランジスタとし、トランジスタ T_{r2} を Si トランジスタとしてもよい。

【0067】

また、図1において、トランジスタ T_{r1} 乃至トランジスタ T_{r4} には、バックゲートが図示され、当該バックゲートの接続構成については図示されていないが、当該バックゲートの電氣的な接続先は、設計の段階で決めることができる。例えば、バックゲートを有するトランジスタにおいて、そのトランジスタのオン電流を高めるために、ゲートとバックゲートとを電氣的に接続してもよい。つまり、例えば、トランジスタ T_{r1} のゲートとバックゲートとを電氣的に接続してもよいし、また、トランジスタ T_{r2} のゲートとバックゲートとを電氣的に接続してもよいし、トランジスタ T_{r3} のゲートとバックゲートとを電氣的に接続してもよいし、また、トランジスタ T_{r4} のゲートとバックゲートとを電氣的に接続してもよい。また、例えば、バックゲートを有するトランジスタにおいて、そのトランジスタのしきい値電圧を変動させるため、又は、そのトランジスタのオフ電流を小さくするために、そのトランジスタのバックゲートと外部回路などとを電氣的に接続するための配線を設けて、当該外部回路などによってそのトランジスタのバックゲートに電位を与える構成としてもよい。

【0068】

なお、トランジスタ T_{r1} 乃至トランジスタ T_{r4} のそれぞれのしきい値電圧を V_{TH1} 、 V_{TH2} 、 V_{TH3} 、 V_{TH4} とする。また、本明細書等において、特に断らない限り、 V_{TH1} 乃至 V_{TH4} のそれぞれは0よりも大きい実数とする。

【0069】

また、図1に図示しているトランジスタTr1乃至トランジスタTr4は、バックゲートを有しているが、本発明の一態様の半導体装置は、これに限定されない。例えば、図1に図示しているトランジスタTr1乃至トランジスタTr4は、バックゲートを有さないような構成、つまり、シングルゲート構造のトランジスタとしてもよい。また、一部のトランジスタはバックゲートを有している構成であり、別の一部のトランジスタは、バックゲートを有さない構成であってもよい。

【0070】

また、図1に図示しているトランジスタTr1乃至トランジスタTr4は、nチャネル型トランジスタとしているが、本発明の一態様の半導体装置は、これに限定されない。例えば、トランジスタTr1乃至トランジスタTr4の一部、又は全部をpチャネル型トランジスタに置き換えてもよい。

10

【0071】

なお、上記のトランジスタの構造、極性に関する変更例は、トランジスタTr1乃至トランジスタTr4だけに限定されない。例えば、明細書の他の箇所に記載されているトランジスタ、他の図面に図示されているトランジスタなどについても、上記と同様にトランジスタの構造、極性に関して変更を行ってもよい。

【0072】

トランジスタTr1乃至トランジスタTr4は、特に断りのない場合は、オン状態のときは飽和領域で動作する場合がある。すなわち、トランジスタTr1乃至トランジスタTr4がオン状態のとき、トランジスタTr1乃至トランジスタTr4のゲート電圧、ソース電圧、及びドレイン電圧は、飽和領域で動作する範囲での電圧に適切にバイアスされている場合があるものとする。

20

【0073】

トランジスタTr1の第1端子は、配線VDHEに電氣的に接続され、トランジスタTr1の第2端子は、トランジスタTr2の第1端子と、配線BOTEと、に電氣的に接続され、トランジスタTr1のゲートは、配線PRCEに電氣的に接続されている。トランジスタTr2の第2端子は、トランジスタTr3の第1端子に電氣的に接続され、トランジスタTr2のゲートは、トランジスタTr4の第1端子と、容量C1の第1端子と、に電氣的に接続されている。トランジスタTr3の第2端子は、配線VLSEに電氣的に接続され、トランジスタTr3のゲートは、配線EVEに電氣的に接続されている。トランジスタTr4の第2端子は、配線VLSEに電氣的に接続され、トランジスタTr4のゲートは、配線CLPEに電氣的に接続されている。また、容量C1の第2端子は、配線INEに電氣的に接続されている。また、容量CLの第1端子は、配線BOTEに電氣的に接続され、容量CLの第2端子は、配線VLSEに電氣的に接続されている。

30

【0074】

また、レベルシフタ100は、一例として、記憶部AMを有する。記憶部AMは、一例として、トランジスタTr4と、容量C1と、を有する。また、本明細書等において、トランジスタTr2のゲートと、容量C1の第1端子と、トランジスタTr4の第1端子と、の電氣的な接続点をノードFNと呼称する。

【0075】

記憶部AMは、ノードFNに電位を保持する機能を有する。具体的には、例えば、記憶部AMは、配線CLPEに高レベル電位が入力されてトランジスタTr4がオン状態になることで、ノードFNと配線VLSEとの間が導通状態となり、ノードFNの電位は配線VLSEから与えられる電位となる。ここで、配線CLPEに低レベル電位が入力されてトランジスタTr4がオフ状態になることで、記憶部AMは、ノードFNに配線VLSEが与えた電位を保持することができる。

40

【0076】

容量CLは、配線BOTEからの出力信号を安定化するために設けられている。具体的には、例えば、配線BOTEに電圧が出力され、かつトランジスタTr1、及びトランジスタTr2がオフ状態のとき、容量CLによって当該電圧を保持することができる。一方

50

、容量 C_L が設けられていない場合、配線 $BOTE$ の電圧は、トランジスタ $Tr1$ 、トランジスタ $Tr2$ などからのリーク電流によって、変動することがある。このため、レベルシフタ 100 には容量 C_L が設けられていることが好ましい。なお、配線 $BOTE$ からの出力信号が寄生容量などによって好ましくない変化をしない場合は、レベルシフタ 100 に容量 C_L を設けなくてもよい。

【0077】

配線 $VDHE$ は、一例として、定電圧を与える配線として機能する。なお、当該定電圧は、レベルシフタ 100 における高レベル側の電源電圧とする。本明細書等では、当該電源電圧を $VDDH$ と呼ぶこととする。

【0078】

配線 $VLSE$ は、一例として、定電圧を与える配線として機能する。なお、当該定電圧は、レベルシフタ 100 における低レベル側の電源電圧とする。本明細書等では、当該電源電圧を $VSSL$ と呼ぶこととする。また、 $VSSL$ は、 $VDDH$ よりも低い電圧とする。

【0079】

配線 INE は、一例として、レベルシフタ 100 の入力端子に電氣的に接続されており、配線 INE は、当該入力端子に入力電圧を与えるための配線として機能する。例えば、当該入力電圧は、配線 INE を介してレベルシフタ 100 に電氣的に接続されている、ロジック回路などから出力される電圧とすることができる。なお、当該入力電圧（当該ロジック回路の出力電圧）としては、例えば、高レベル電位、又は低レベル電位とすることができる。本明細書では、当該高レベル電位を VDD と呼び、当該低レベル電位を VSS と呼ぶこととする。また、 VDD は、 VSS よりも高い電圧であって、 $VDDH$ よりも低い電圧であるとする。また、 VSS は、 $VSSL$ よりも高い電圧であるとする。

【0080】

なお、レベルシフタ 100 において、配線 INE に入力された VDD を $VDDH$ にレベルシフトさせない場合は、配線 $VDHE$ が与える定電圧を $VDDH = VDD$ とすればよい。又は、レベルシフタ 100 において、配線 INE に入力された VSS を $VSSL$ にレベルシフトさせない場合は、配線 $VLSE$ が与える定電圧を $VSSL = VSS$ とすればよい。

【0081】

配線 $PRCE$ は、一例として、配線 $VDHE$ から配線 $BOTE$ への電位のチャージの有無を制御するための配線として機能する。具体的には、例えば、配線 $PRCE$ は、 $VDDH + V_{TH1}$ 又は VSS を与える配線とすることができる。なお、 V_{TH1} は、トランジスタ $Tr1$ のしきい値電圧とする。また、配線 $PRCE$ が与える高レベル電位は $VDDH + V_{TH1}$ でなく $VDDH$ としてもよく、又は $VDDH + V_{TH1}$ を超える電位としてもよい。

【0082】

配線 EVE は、一例として、評価信号を与える配線として機能する。具体的には、例えば、配線 EVE は、 $VDDH + V_{TH3}$ 又は VSS を与える配線とすることができる。なお、 V_{TH3} は、トランジスタ $Tr3$ のしきい値電圧とする。また、配線 EVE が与える高レベル電位は $VDDH + V_{TH3}$ でなく $VDDH$ としてもよく、又は $VDDH + V_{TH3}$ を超える電位としてもよい。また、配線 EVE が与える高レベル電位は V_{TH3} より高く $VDDH$ 以下の電位としてもよい。

【0083】

配線 $CLPE$ は、一例として、トランジスタ $Tr4$ のオン状態、オフ状態の切り替えを制御するための配線として機能する。具体的には、例えば、配線 $CLPE$ は、 VDD 又は $VSSL$ を与える配線とすることができる。また、配線 $CLPE$ が与える高レベル電位は VDD でなく $VDD + V_{TH4}$ としてもよく、又は $VDD + V_{TH4}$ を超える電位としてもよい。なお、 V_{TH4} は、トランジスタ $Tr4$ のしきい値電圧とする。

【0084】

配線 $BOTE$ は、一例として、レベルシフタ 100 の入力端子に電氣的に接続されており、配線 $BOTE$ は、レベルシフタ 100 における出力電圧を出力する配線として機能す

10

20

30

40

50

る。詳しくは後述するが、レベルシフタ100は、配線INEにVDDが入力された時に、VDDをVDDHにレベルシフトし、かつ論理を反転させて、VSSLを配線BOTEに出力する。又は、レベルシフタ100は、配線INEにVSSが入力された時に、VSSをVSSLにレベルシフトし、かつ論理を反転させて、VDDHを配線BOTEに出力する。

【0085】

<<動作例>>

次に、図1に示したレベルシフタ100の動作例について説明する。

【0086】

図2は、時刻T1乃至時刻T9、及びその近傍における、配線CLPE、配線PRCE、配線EVE、配線INE、ノードFN、及び配線BOTEの電圧の変化を示したタイミングチャートである。

【0087】

時刻T1より前の時刻において、配線INEにはVSSが入力され、配線CLPEにはVSSLが入力され、配線PRCEにはVSSLが入力され、配線EVEにはVSSLが入力されているものとする。また、記憶部AMのノードFNには、VSSL又はVSSが保持され、配線BOTEにはVDDH又はVSSLが出力されているものとする。

【0088】

[記憶部AMへの電位の書き込み期間]

時刻T1から時刻T3までの間では、記憶部AMのノードFNへのVSSLの書き込みが行われる。具体的には、時刻T1から時刻T2までの間において、配線CLPEには、高レベル電位としてVDDが入力されている。これにより、トランジスタTr4のゲートにVDDが入力されることで、トランジスタTr4のゲートソース間電圧は、 $VDD - VSSL$ となる。ここで、 $VDD - VSSL > V_{TH4}$ となるように V_{TH4} を決めることで、トランジスタTr4をオン状態にすることができる。

【0089】

トランジスタTr4がオン状態になることによって、配線VLSEとノードFNとの間が導通状態となる。これにより、記憶部AMのノードFNの電位がVSSLとなる。

【0090】

時刻T2から時刻T3までの間において、配線CLPEには、低レベル電位としてVSSLが入力されている。これにより、トランジスタTr4のゲートにVSSLが入力されることで、トランジスタTr4のゲートソース間電圧は、0となる。このとき、 $0 < V_{TH4}$ なので、トランジスタTr4はオフ状態となる。

【0091】

トランジスタTr4がオフ状態になることによって、配線VLSEとノードFNとの間が非導通状態となる。これにより、記憶部AMのノードFNにVSSLが保持される。具体的には、このとき、容量C1には、容量C1の第1端子と第2端子間にVSS-VSSLが保持される。

【0092】

ところで、トランジスタTr3のゲートにはVSSLが入力されているため、トランジスタTr3のゲートソース間電圧は、0となる。このとき、 $0 < V_{TH3}$ なので、トランジスタTr3はオフ状態となる。トランジスタTr3がオフ状態となっているため、トランジスタTr2のソースドレイン間に電流は流れない。

【0093】

[プリチャージ期間(1)、データ入力期間(1)]

時刻T3から時刻T4までの間では、配線BOTEへの電位のプリチャージが行われる。具体的には、時刻T3から時刻T4までの間において、配線PRCEには、高レベル電位として $VDDH + V_{TH1}$ が入力されている。これにより、トランジスタTr1のゲートに $VDDH + V_{TH1}$ が入力される。また、このとき、トランジスタTr1の第1端子には、VDDHが入力されているため、トランジスタTr1の第2端子の電位がVDDHに達

10

20

30

40

50

するまでチャージされる。トランジスタ T_{r1} の第2端子が V_{DDH} に達することで、トランジスタ T_{r1} のゲートソース間電圧が0となり、また $0 < V_{TH1}$ なので、トランジスタ T_{r1} はオフ状態となる。これにより、配線 $BOTE$ の電位は、 V_{DDH} となる。

【0094】

なお、配線 $BOTE$ への電位のプリチャージが行われた後は、配線 $PRCE$ には、低レベル電位として V_{SSL} が入力される。

【0095】

また、時刻 T_3 から時刻 T_4 までの間では、レベルシフタ 100 へのデータの入力が行われる。具体的には、時刻 T_3 から時刻 T_4 までの間において、配線 INE には、高レベル電位として V_{DD} が入力される。

【0096】

配線 INE に V_{DD} が入力された時、ノード FN の電位が容量 C_1 における容量結合によって変動する。このとき、例えば、ノード FN の電位は、容量 C_1 における容量結合によって、 $V_{SSL} + \alpha (V_{DD} - V_{SS})$ となる。なお、 α は、ノード FN の周辺の回路構成などによって決まる容量結合係数である。

【0097】

なお、レベルシフタ 100 へのデータの入力のタイミングとしては、時刻 T_3 から時刻 T_4 までの間、好ましくは配線 $PRCE$ に V_{DDH} が入力されている間、とすることが好ましい。つまり、配線 INE への V_{DD} の入力は、配線 $BOTE$ に V_{DDH} のプリチャージが行われている間に行われることが好ましい。

【0098】

〔ノンオーバーラップ期間(1)〕

時刻 T_4 から時刻 T_5 までの間は、ノンオーバーラップ期間である。ノンオーバーラップ期間は、前述した時刻 T_3 から時刻 T_4 までの間のプリチャージ期間と後述する時刻 T_5 から時刻 T_6 までの間の評価期間とがオーバーラップしないようにするために設けられた期間である。なお、プリチャージ期間と評価期間とがオーバーラップしないのであれば、ノンオーバーラップ期間を設けなくてもよい。

【0099】

〔評価期間(1)〕

時刻 T_5 から時刻 T_6 までの間では、配線 INE に入力された信号の評価が行われる。具体的には、時刻 T_5 から時刻 T_6 までの間において、配線 EVE には、一例として、高レベル電位として $V_{DDH} + V_{TH3}$ が入力される。これにより、トランジスタ T_{r3} のゲートに $V_{DDH} + V_{TH3}$ が入力される。トランジスタ T_{r3} のゲートに $V_{DDH} + V_{TH3}$ が入力されることで、トランジスタ T_{r3} のゲートソース間電圧は、 $V_{DDH} + V_{TH3} - V_{SSL}$ となる。ここで、 $V_{DDH} + V_{TH3} - V_{SSL} > V_{TH3}$ 、つまり $V_{DDH} - V_{SSL} > 0$ を満たすため、トランジスタ T_{r3} をオン状態にすることができる。このため、トランジスタ T_{r2} の第2端子と、配線 $VLSE$ と、の間が導通状態となり、トランジスタ T_{r2} の第2端子に配線 $VLSE$ が与える電位 V_{SSL} が入力される。なお、配線 EVE には、高レベル電位として、一例として、 V_{TH3} よりも高く V_{DDH} 以下の電位である V_{EVE} が入力されてもよい。この場合、トランジスタ T_{r3} のゲートソース間電圧は、 $V_{EVE} - V_{SSL}$ となるため、 $V_{EVE} - V_{SSL} > V_{TH3}$ を満たすように V_{SSL} を設定すれば、トランジスタ T_{r3} をオン状態にすることができる。

【0100】

このとき、トランジスタ T_{r2} のゲートソース間電圧は、 $V_{SSL} + \alpha (V_{DD} - V_{SS}) - V_{SSL} = \alpha (V_{DD} - V_{SS})$ となる。ここで、 V_{TH2} が、 $\alpha (V_{DD} - V_{SS}) > V_{TH2}$ を満たすことで、トランジスタ T_{r2} はオン状態となる。

【0101】

トランジスタ T_{r2} 、及びトランジスタ T_{r3} のそれぞれがオン状態になることによって、配線 $BOTE$ と配線 $VLSE$ との間が導通状態となる。このため、配線 $BOTE$ にチャージされていた V_{DDH} が、配線 $VLSE$ が与える V_{SSL} にまでディスチャージされ

10

20

30

40

50

る。その結果、配線BOTEは、VSSLを出力する。

【0102】

なお、配線BOTEからVSSLの出力が行われた後は、配線EVEには、低レベル電位としてVSSLが入力される。これにより、トランジスタTr3のゲートにVSSLが入力される。トランジスタTr3のゲートにVSSLが入力されることで、トランジスタTr3のゲートソース間電圧は、 $V_{SSL} - V_{SSL} = 0$ となる。また $0 < V_{TH3}$ なので、トランジスタTr3はオフ状態となる。

【0103】

[プリチャージ期間(2)、データ入力期間(2)]

時刻T6から時刻T7までの間では、配線BOTEへの電位のプリチャージが行われる。具体的には、時刻T6から時刻T7までの間において、時刻T3から時刻T4までの間での動作が同様に行われる。このため、配線PRCEには、高レベル電位として $VDDH + V_{TH1}$ が入力され、配線BOTEの電位がVDDHとなる。

【0104】

なお、配線BOTEへの電位のプリチャージが行われた後は、配線PRCEには、低レベル電位としてVSSLが入力される。

【0105】

また、時刻T6から時刻T7までの間では、レベルシフタ100へのデータの入力が行われる。具体的には、時刻T6から時刻T7までの間において、配線INEには、低レベル電位としてVSSが入力される。

【0106】

配線INEにVSSが入力された時、ノードFNの電位が容量C1における容量結合によって変動する。このとき、配線INEの電位はVSSとなっているため、ノードFNの電位は、時刻T2から時刻T3までの間でのノードFNの電位に戻る。つまり、時刻T6から時刻T7までの間における、ノードFNの電位はVSSLとなる。

【0107】

なお、レベルシフタ100へのデータの入力のタイミングとしては、時刻T6から時刻T7までの間、好ましくは配線PRCEにVDDHが入力されている間、とすることが好ましい。つまり、配線INEへのVSSの入力は、配線BOTEにVDDHのプリチャージが行われている間に行われることが好ましい。

【0108】

[ノンオーバーラップ期間(2)]

時刻T7から時刻T8までの間は、時刻T4から時刻T5までの間と同様の、ノンオーバーラップ期間である。そのため、ノンオーバーラップ期間については、時刻T4から時刻T5までの間での動作の説明を参酌する。

【0109】

[評価期間(2)]

時刻T8から時刻T9までの間では、配線INEに入力された信号の評価が行われる。具体的には、時刻T8から時刻T9までの間において、配線EVEには、高レベル電位として $VDDH + V_{TH3}$ が入力される。このため、時刻T5から時刻T6までの間での動作と同様に、トランジスタTr3をオン状態になる。また、これにより、トランジスタTr2の第2端子に配線VLEが与えるVSSLが入力される。

【0110】

このとき、トランジスタTr2のゲートソース間電圧は、 $V_{SSL} - V_{SSL} = 0$ となる。また $0 < V_{TH2}$ なので、トランジスタTr2はオフ状態となる。これにより、配線BOTEの電位は、時刻T6から時刻T7までの間でチャージされたVDDHのままとなる。その結果、配線BOTEは、VDDHを出力する。

【0111】

なお、配線BOTEからVDDHの出力が行われた後は、配線EVEには、低レベル電位としてVSSLが入力される。これにより、トランジスタTr3はオフ状態となる。

【0112】

上述した動作例によって、入力されたVDDをVSSよりも低いVSSLにレベルシフトさせ、又は入力されたVSSをVDDよりも高いVDDHにレベルシフトさせることができる。

【0113】

なお、本発明の一態様の半導体装置は、図1の構成に限定されない。本発明の一態様の半導体装置は、状況に応じて図1に示すレベルシフタ100の回路構成を変更したものとしてもよい。

【0114】

例えば、図1に示すレベルシフタ100は、図3に示すレベルシフタ100Aの回路構成に変更してもよい。具体的には、レベルシフタ100Aは、レベルシフタ100において、トランジスタTr2とトランジスタTr3とを入れ替えた構成となっている。

10

【0115】

図3のレベルシフタ100Aの回路構成について、図1のレベルシフタ100と異なる点のみ説明する。トランジスタTr1の第1端子は、トランジスタTr3の第1端子に電氣的に接続され、トランジスタTr3の第2端子は、トランジスタTr2の第1端子に電氣的に接続され、トランジスタTr2の第2端子は、配線VLSEに電氣的に接続されている。

【0116】

図3のレベルシフタ100Aの動作例としては、例えば、図1のレベルシフタ100の動作例である図2のタイミングチャートと同様とすることができる。

20

【0117】

また、例えば、図1に示すレベルシフタ100は、容量C1と容量CLとのそれぞれがトランジスタを有する構成としてもよい。図4Aは、容量C1（容量CL）がトランジスタTc1（トランジスタTcL）を含む構成としている。具体的には、トランジスタTc1（トランジスタTcL）の第1端子及び第2端子を、容量C1（容量CL）の第1端子又は第2端子の一方とし、トランジスタTc1（トランジスタTcL）のゲートを、容量C1（容量CL）の第1端子又は第2端子の他方としている。つまり、トランジスタTc1は、トランジスタTc1のゲート容量を用いて、容量C1の代替とし、同様に、トランジスタTcLは、トランジスタTcLのゲート容量を用いて、容量CLの代替としている。図4Bに示すレベルシフタ100Bは、容量C1と容量CLとのそれぞれをトランジスタTc1とトランジスタTcLに置き換えた構成となっている。なお、トランジスタTc1（トランジスタTcL）のしきい値電圧は、トランジスタTc1（トランジスタTcL）のゲートと、トランジスタTc1（トランジスタTcL）のソース又はドレインと、の間の電圧よりも低いことが好ましい。また、図4Bに示すレベルシフタ100Bは、トランジスタを形成する工程で容量C1（容量CL）としてトランジスタTc1（トランジスタTcL）を作製することができるため、プレーナ型、トレンチ型などの容量を形成する工程を省略することができる。つまり、レベルシフタ100Bの作製に要する時間を短くすることができる。

30

【0118】

また、例えば、図1に示すレベルシフタ100は、容量CLの第2端子が配線VLSEでなく、別の配線に電氣的に接続されている構成としてもよい。当該構成としては、例えば、図5に示すレベルシフタ100Cの構成とすることができる。レベルシフタ100Cは、容量CLの第2端子が配線VALに電氣的に接続されている点で、レベルシフタ100と異なっている。配線VALは、配線VLSEと同様に、定電圧を与える配線として機能する。なお、当該定電圧としては、配線VLSEが与えるVSSLでなく、VSS、接地電位（GND）などとすることができる。又は、状況に応じて、配線VALは、VDD、VDDHなどの電圧を与える配線としてもよい。又は、配線VALは、配線VDHEに電氣的に接続されていてもよい。

40

【0119】

50

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0120】

(実施の形態2)

本実施の形態では、上記実施の形態で説明した半導体装置の構成例、及び半導体装置に適用できるトランジスタの構成例について説明する。

【0121】

<半導体装置の構成例>

図6に示す半導体装置は、トランジスタ300と、トランジスタ500と、容量素子600と、を有している。図8Aはトランジスタ500のチャネル長方向の断面図であり、図8Bはトランジスタ500のチャネル幅方向の断面図であり、図8Cはトランジスタ300のチャネル幅方向の断面図である。

【0122】

トランジスタ500は、チャネル形成領域に金属酸化物を有するトランジスタ（OSトランジスタ）である。トランジスタ500は、オフ電流が小さく、また、高温でも電界効果移動度が変化しない特性を有する。トランジスタ500を、半導体装置、例えば、上記実施の形態で説明したレベルシフト100、レベルシフト100A、レベルシフト100B、レベルシフト100Cなどに含まれるトランジスタに適用することにより、高温でも動作能力が低下しない半導体装置を実現できる。特に、オフ電流が小さい特性を利用して、トランジスタ500を、トランジスタTr4に適用することにより、記憶部AMのノードFNに書き込んだ電位を長時間保持することができる。

【0123】

図6に示す半導体装置において、トランジスタ500は、例えば、トランジスタ300の上方に設けられ、容量素子600は、例えば、トランジスタ300、及びトランジスタ500の上方に設けられている。なお、容量素子600は、上記実施の形態で説明したレベルシフト100、レベルシフト100A、レベルシフト100B、レベルシフト100Cなどに含まれる容量などとしてすることができる。なお、回路構成によっては、図6に示す容量素子600は必ずしも設けなくてもよい。

【0124】

トランジスタ300は、基板311上に設けられ、導電体316、絶縁体315、基板311の一部からなる半導体領域313、ソース領域又はドレイン領域として機能する低抵抗領域314a、及び低抵抗領域314bを有する。なお、トランジスタ300は、例えば、上記実施の形態で説明したレベルシフト100、レベルシフト100A、レベルシフト100B、レベルシフト100Cなどに含まれるトランジスタなどに適用することができる。具体的には、例えば、図1のレベルシフト100が有するトランジスタTr2とすることができる。なお、図6では、トランジスタ300のゲートが、容量素子600の一对の電極の一方を介して、トランジスタ500のソース又はドレインの一方に電氣的に接続されている構成を示しているが、レベルシフト100、レベルシフト100A、レベルシフト100B、レベルシフト100Cなどの構成によっては、トランジスタ300のソース又はドレインの一方が、容量素子600の一对の電極の一方を介して、トランジスタ500のソース又はドレインの一方に電氣的に接続されている構成としてもよく、また、トランジスタ300のソース又はドレインの一方が、容量素子600の一对の電極の一方を介して、トランジスタ500のゲートに電氣的に接続されている構成としてもよく、また、トランジスタ300の各端子は、トランジスタ500の各端子、容量素子600の各端子のそれぞれに電氣的に接続されない構成としてもよい。

【0125】

また、基板311としては、半導体基板（例えば単結晶基板又はシリコン基板）を用いることが好ましい。

【0126】

トランジスタ300は、図8Cに示すように、半導体領域313の上面及びチャネル幅

方向の側面が絶縁体 3 1 5 を介して導電体 3 1 6 に覆われている。このように、トランジスタ 3 0 0 を F i n 型とすることにより、実効上のチャネル幅が増大することによりトランジスタ 3 0 0 のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ 3 0 0 のオフ特性を向上させることができる。

【0 1 2 7】

なお、トランジスタ 3 0 0 は、p チャネル型、あるいは n チャネル型のいずれでもよい。

【0 1 2 8】

半導体領域 3 1 3 のチャネルが形成される領域、その近傍の領域、ソース領域、又はドレイン領域となる低抵抗領域 3 1 4 a、及び低抵抗領域 3 1 4 b などにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。又は、Ge (ゲルマニウム)、SiGe (シリコンゲルマニウム)、GaAs (ガリウムヒ素)、GaAlAs (ガリウムアルミニウムヒ素)、GaN (窒化ガリウム) などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又は GaAs と GaAlAs 等を用いることで、トランジスタ 3 0 0 を HEMT (High Electron Mobility Transistor) としてもよい。

【0 1 2 9】

低抵抗領域 3 1 4 a、及び低抵抗領域 3 1 4 b は、半導体領域 3 1 3 に適用される半導体材料に加え、ヒ素、リンなどの n 型の導電性を付与する元素、又はホウ素などの p 型の導電性を付与する元素を含む。

【0 1 3 0】

ゲート電極として機能する導電体 3 1 6 は、ヒ素、リンなどの n 型の導電性を付与する元素、もしくはホウ素などの p 型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。

【0 1 3 1】

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタン、窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステン、アルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

【0 1 3 2】

なお、図 6 に示すトランジスタ 3 0 0 は一例であり、その構造に限定されず、回路構成、駆動方法などに応じて適切なトランジスタを用いればよい。例えば、半導体装置を OS トランジスタのみの単極性回路とする場合、図 7 に示すとおり、トランジスタ 3 0 0 の構成を、酸化物半導体を用いているトランジスタ 5 0 0 と同様の構成にすればよい。なお、トランジスタ 5 0 0 の詳細については後述する。

【0 1 3 3】

なお、図 7 において、トランジスタ 3 0 0 は、基板 3 1 2 上に設けられているが、この場合、基板 3 1 2 としては、図 6 の半導体装置の基板 3 1 1 と同様に半導体基板を用いてもよい。また、基板 3 1 2 としては、例えば、SOI 基板、ガラス基板、石英基板、プラスチック基板、サファイアガラス基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどを用いることができる。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、以下のものがあげられる。例えば、ポリエチレンテレフタレート (PET)、ポリエチレンナフタレート (PEN)、ポリエーテルサルフォン (PES)、ポリテトラフルオロエチレン (PTFE) に代表されるプラスチックがある。または、一例としては、アクリル等の合成樹脂などがある。または、一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニルなどがある。ま

たは、一例としては、ポリアミド、ポリイミド、アラミド、エポキシ樹脂、無機蒸着フィルム、又は紙類などがある。

【0134】

トランジスタ300を覆って、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326が順に積層して設けられている。

【0135】

絶縁体320、絶縁体322、絶縁体324、及び絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

【0136】

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

【0137】

絶縁体322は、その下方に設けられるトランジスタ300などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化处理により平坦化されている。

【0138】

また、絶縁体324には、基板311、又はトランジスタ300などから、トランジスタ500が設けられる領域に、水素、不純物などが拡散しないようなバリア性を有する膜を用いることが好ましい。

【0139】

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

【0140】

水素の脱離量は、例えば、昇温脱離ガス分析法（TDS）などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $1.0 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

【0141】

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

【0142】

また、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326には容量素子600、又はトランジスタ500と接続する導電体328、及び導電体330等が埋め込まれている。なお、導電体328、及び導電体330は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び

導電体の一部がプラグとして機能する場合もある。

【0143】

各プラグ、及び配線（導電体328、導電体330等）の材料としては、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料などの導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステン、モリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。又は、アルミニウム、銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

【0144】

絶縁体326、及び導電体330上に、配線層を設けてもよい。例えば、図6において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、トランジスタ300と接続するプラグ、又は配線としての機能を有する。なお導電体356は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

10

【0145】

なお、例えば、絶縁体350は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体350が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

20

【0146】

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ300からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体350と接する構造であることが好ましい。

【0147】

絶縁体354、及び導電体356上に、配線層を設けてもよい。例えば、図6において、絶縁体360、絶縁体362、及び絶縁体364が順に積層して設けられている。また、絶縁体360、絶縁体362、及び絶縁体364には、導電体366が形成されている。導電体366は、プラグ又は配線としての機能を有する。なお導電体366は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

30

【0148】

なお、例えば、絶縁体360は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体366は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体360が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

40

【0149】

絶縁体364、及び導電体366上に、配線層を設けてもよい。例えば、図6において、絶縁体370、絶縁体372、及び絶縁体374が順に積層して設けられている。また、絶縁体370、絶縁体372、及び絶縁体374には、導電体376が形成されている。導電体376は、プラグ又は配線としての機能を有する。なお、導電体376は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

【0150】

なお、例えば、絶縁体370は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体376は、水素に対するバリア性を有す

50

る導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 370 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 300 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 300 からトランジスタ 500 への水素の拡散を抑制することができる。

【0151】

絶縁体 374、及び導電体 376 上に、配線層を設けてもよい。例えば、図 6 において、絶縁体 380、絶縁体 382、及び絶縁体 384 が順に積層して設けられている。また、絶縁体 380、絶縁体 382、及び絶縁体 384 には、導電体 386 が形成されている。導電体 386 は、プラグ又は配線としての機能を有する。なお、導電体 386 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

10

【0152】

なお、例えば、絶縁体 380 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 386 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 380 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 300 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 300 からトランジスタ 500 への水素の拡散を抑制することができる。

【0153】

上記において、導電体 356 を含む配線層、導電体 366 を含む配線層、導電体 376 を含む配線層、及び導電体 386 を含む配線層、について説明したが、本実施の形態に係る半導体装置はこれに限られるものではない。導電体 356 を含む配線層と同様の配線層を 3 層以下にしてもよいし、導電体 356 を含む配線層と同様の配線層を 5 層以上にしてもよい。

20

【0154】

絶縁体 384 上には絶縁体 510、絶縁体 512、絶縁体 514、及び絶縁体 516 が、順に積層して設けられている。絶縁体 510、絶縁体 512、絶縁体 514、及び絶縁体 516 のいずれかは、酸素、水素に対してバリア性のある物質を用いることが好ましい。

【0155】

例えば、絶縁体 510、及び絶縁体 514 には、例えば、基板 311、又はトランジスタ 300 を設ける領域などから、トランジスタ 500 を設ける領域に、水素、不純物などが拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体 324 と同様の材料を用いることができる。

30

【0156】

水素に対するバリア性を有する膜の一例として、CVD 法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 500 等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ 500 と、トランジスタ 300 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

【0157】

また、水素に対するバリア性を有する膜として、例えば、絶縁体 510、及び絶縁体 514 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

40

【0158】

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ 500 への混入を防止することができる。また、トランジスタ 500 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 500 に対する保護膜として用いることに適している。

50

【0159】

また、例えば、絶縁体512、及び絶縁体516には、絶縁体320と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体512、及び絶縁体516として、酸化シリコン膜、酸化窒化シリコン膜などを用いることができる。

【0160】

また、絶縁体510、絶縁体512、絶縁体514、及び絶縁体516には、導電体518、及びトランジスタ500を構成する導電体（例えば、導電体503）等が埋め込まれている。なお、導電体518は、容量素子600、又はトランジスタ300と接続するプラグ、又は配線としての機能を有する。導電体518は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

10

【0161】

特に、絶縁体510、及び絶縁体514と接する領域の導電体518は、酸素、水素、及び水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ300とトランジスタ500とは、酸素、水素、及び水に対するバリア性を有する層で、分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

【0162】

絶縁体516の上方には、トランジスタ500が設けられている。

【0163】

図8A、及び図8Bに示すように、トランジスタ500は、絶縁体514及び絶縁体516に埋め込まれるように配置された導電体503と、絶縁体516及び導電体503の上に配置された絶縁体520と、絶縁体520の上に配置された絶縁体522と、絶縁体522の上に配置された絶縁体524と、絶縁体524の上に配置された酸化物530aと、酸化物530aの上に配置された酸化物530bと、酸化物530b上に互いに離れて配置された導電体542a及び導電体542bと、導電体542a及び導電体542b上に配置され、導電体542aと導電体542bの間に重畳して開口が形成された絶縁体580と、開口の底面及び側面に配置された酸化物530cと、酸化物530cの形成面に配置された絶縁体550と、絶縁体550の形成面に配置された導電体560と、を有する。なお、本明細書等では、導電体542aと導電体542bとをまとめて、導電体542と記載する。

20

【0164】

また、図8A、及び図8Bに示すように、酸化物530a、酸化物530b、導電体542a、及び導電体542bと、絶縁体580との間に絶縁体544が配置されることが好ましい。また、図8A、及び図8Bに示すように、導電体560は、絶縁体550の内側に設けられた導電体560aと、導電体560aの内側に埋め込まれるように設けられた導電体560bと、を有することが好ましい。また、図8A、及び図8Bに示すように、絶縁体580、導電体560、及び絶縁体550の上に絶縁体574が配置されることが好ましい。

30

【0165】

なお、以下において、酸化物530a、酸化物530b、及び酸化物530cをまとめて酸化物530という場合がある。

40

【0166】

なお、トランジスタ500では、チャンネルが形成される領域と、その近傍において、酸化物530a、酸化物530b、及び酸化物530cの3層を積層する構成について示しているが、本発明の一態様はこれに限られるものではない。例えば、酸化物530bの単層、酸化物530bと酸化物530aの2層構造、酸化物530bと酸化物530cの2層構造、又は4層以上の積層構造を設ける構成にしてもよい。また、トランジスタ500では、導電体560を2層の積層構造として示しているが、本発明の一態様はこれに限られるものではない。例えば、導電体560が、単層構造であってもよいし、3層以上の積

50

層構造であってもよい。また、図 6、図 8 A、及び図 8 B に示すトランジスタ 5 0 0 は一例であり、その構造に限定されず、回路構成、駆動方法などに応じて適切なトランジスタを用いればよい。

【0167】

ここで、導電体 5 6 0 は、トランジスタのゲート電極として機能し、導電体 5 4 2 a 及び導電体 5 4 2 b は、それぞれソース電極又はドレイン電極として機能する。上記のように、導電体 5 6 0 は、絶縁体 5 8 0 の開口、及び導電体 5 4 2 a と導電体 5 4 2 b に挟まれた領域に埋め込まれるように形成される。導電体 5 6 0、導電体 5 4 2 a 及び導電体 5 4 2 b の配置は、絶縁体 5 8 0 の開口に対して、自己整合的に選択される。つまり、トランジスタ 5 0 0 において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体 5 6 0 を位置合わせのマージンを設けることなく形成することができるので、トランジスタ 5 0 0 の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

10

【0168】

さらに、導電体 5 6 0 が、導電体 5 4 2 a と導電体 5 4 2 b の間の領域に自己整合的に形成されるので、導電体 5 6 0 は、導電体 5 4 2 a 又は導電体 5 4 2 b と重畳する領域を有さない。これにより、導電体 5 6 0 と導電体 5 4 2 a 及び導電体 5 4 2 b との間に形成される寄生容量を低減することができる。よって、トランジスタ 5 0 0 のスイッチング速度を向上させ、高い周波数特性を有せしめることができる。

【0169】

20

導電体 5 6 0 は、第 1 のゲート（トップゲートともいう）電極として機能する場合がある。また、導電体 5 0 3 は、第 2 のゲート（ボトムゲートともいう）電極として機能する場合がある。その場合、導電体 5 0 3 に印加する電位を、導電体 5 6 0 に印加する電位と、連動させず、独立して変化させることで、トランジスタ 5 0 0 のしきい値電圧を制御することができる。特に、導電体 5 0 3 に負の電位を印加することにより、トランジスタ 5 0 0 のしきい値電圧を 0 V より大きくし、オフ電流を低減することが可能となる。したがって、導電体 5 0 3 に負の電位を印加したほうが、印加しない場合よりも、導電体 5 6 0 に印加する電位が 0 V のときのドレイン電流を小さくすることができる。

【0170】

導電体 5 0 3 は、酸化物 5 3 0、及び導電体 5 6 0 と、重なるように配置する。これにより、導電体 5 6 0、及び導電体 5 0 3 に電位を印加した場合、導電体 5 6 0 から生じる電界と、導電体 5 0 3 から生じる電界と、がつながり、酸化物 5 3 0 に形成されるチャネル形成領域を覆うことができる。本明細書等において、第 1 のゲート電極、及び第 2 のゲート電極の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を、*surrounded channel*（*S-channel*）構造とよぶ。

30

【0171】

また、導電体 5 0 3 は、導電体 5 1 8 と同様の構成であり、絶縁体 5 1 4 及び絶縁体 5 1 6 の開口の内壁に接して導電体 5 0 3 a が形成され、さらに内側に導電体 5 0 3 b が形成されている。なお、トランジスタ 5 0 0 では、導電体 5 0 3 a 及び導電体 5 0 3 b を積層する構成について示しているが、本発明の一態様はこれに限られるものではない。例えば、導電体 5 0 3 は、単層、又は 3 層以上の積層構造として設ける構成にしてもよい。

40

【0172】

ここで、導電体 5 0 3 a は、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）導電性材料を用いることが好ましい。なお、本明細書において、不純物、又は酸素の拡散を抑制する機能とは、上記不純物、又は上記酸素のいずれか一又は、すべての拡散を抑制する機能とする。

【0173】

例えば、導電体 5 0 3 a が酸素の拡散を抑制する機能を持つことにより、導電体 5 0 3

50

bが酸化して導電率が低下することを抑制することができる。

【0174】

また、導電体503が配線の機能を兼ねる場合、導電体503bは、タングステン、銅、又はアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。また、当該配線の導電性を高く維持できる場合、その場合、導電体503aは、必ずしも設けなくともよい。なお、導電体503bを単層で図示したが、積層構造としてもよく、例えば、チタン、又は窒化チタンと上記導電性材料との積層としてもよい。

【0175】

絶縁体520、絶縁体522、及び絶縁体524は、第2のゲート絶縁膜としての機能を有する。

【0176】

ここで、酸化物530と接する絶縁体524は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。つまり、絶縁体524には、過剰酸素領域が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物530に接して設けることにより、酸化物530中の酸素欠損を低減し、トランジスタ500の信頼性を向上させることができる。

【0177】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、又は $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下、又は 100°C 以上 400°C 以下の範囲が好ましい。

【0178】

また、上記過剰酸素領域を有する絶縁体と、酸化物530と、を接して加熱処理、マイクロ波処理、またはRF処理のいずれか一または複数の処理を行っても良い。当該処理を行うことで、酸化物530中の水、または水素を除去することができる。例えば、酸化物530において、V-O-Hの結合が切断される反応が起きる、別言すると「 $\text{V-O-H} \rightarrow \text{V-O} + \text{H}$ 」という反応が起きて、脱水素化することができる。このとき発生した水素の一部は、酸素と結合して H_2O として、酸化物530、または酸化物530近傍の絶縁体から除去される場合がある。また、水素の一部は、導電体542a、及び導電体542bに拡散または捕獲（ゲッタリングともいう）される場合がある。

【0179】

また、上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、または、基板側にRFを印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスを用い、且つ高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを、効率よく酸化物530、または酸化物530近傍の絶縁体中に導入することができる。また、上記マイクロ波処理は、圧力を 133 Pa 以上、好ましくは 200 Pa 以上、さらに好ましくは 400 Pa 以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば、酸素と、アルゴンとを用い、酸素流量比 ($\text{O}_2 / (\text{O}_2 + \text{Ar})$) が50%以下、好ましくは10%以上30%以下で行うとよい。

【0180】

また、トランジスタ500の作製工程中において、酸化物530の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、 100°C 以上 450°C 以下、より好ましくは 350°C 以上 400°C 以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを 10 ppm 以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。こ

10

20

30

40

50

れにより、酸化物530に酸素を供給して、酸素欠損(V_O)の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気中で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。または、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気中で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気中で加熱処理を行っても良い。

【0181】

なお、酸化物530に加酸素化処理を行うことで、酸化物530中の酸素欠損を、供給された酸素により修復させる、別言すると「 $V_O + O \rightarrow null$ 」という反応を促進させることができる。さらに、酸化物530中に残存した水素に供給された酸素が反応することで、当該水素をH₂Oとして除去する(脱水化する)ことができる。これにより、酸化物530中に残存していた水素が酸素欠損に再結合してV_OHが形成されるのを抑制することができる。

【0182】

また、絶縁体524が、過剰酸素領域を有する場合、絶縁体522は、酸素(例えば、酸素原子、酸素分子など)の拡散を抑制する機能を有する(上記酸素が透過しにくい)ことが好ましい。

【0183】

絶縁体522が、酸素、不純物などの拡散を抑制する機能を有することで、酸化物530が有する酸素は、絶縁体520側へ拡散することがなく、好ましい。また、導電体503が、絶縁体524、酸化物530などが有する酸素と反応することを抑制することができる。

【0184】

絶縁体522は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物(ハフニウムアルミネート)、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム(SrTiO₃)、又は(Ba, Sr)TiO₃(BST)などのいわゆるhigh-k材料を含む絶縁体を単層又は積層で用いることが好ましい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体にhigh-k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

【0185】

特に、不純物、及び酸素などの拡散を抑制する機能を有する(上記酸素が透過しにくい)絶縁性材料であるアルミニウム、ハフニウム的一方又は双方の酸化物を含む絶縁体を用いるとよい。アルミニウム、ハフニウム的一方又は双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物(ハフニウムアルミネート)などを用いることが好ましい。このような材料を用いて絶縁体522を形成した場合、絶縁体522は、酸化物530からの酸素の放出、トランジスタ500の周辺部から酸化物530への水素等の不純物の混入を抑制する層として機能する。

【0186】

又は、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。又はこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン又は窒化シリコンを積層して用いてもよい。

【0187】

また、絶縁体520は、熱的に安定していることが好ましい。例えば、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため、好適である。また、high-k材料の絶縁体と、酸化シリコン又は酸化窒化シリコンと、を組み合わせることで、熱的に安定かつ比誘電率の高い積層構造の絶縁体520を得ることができる。

【0188】

なお、図 8 A、及び図 8 B のトランジスタ 500 では、3 層の積層構造からなる第 2 のゲート絶縁膜として、絶縁体 520、絶縁体 522、及び絶縁体 524 が図示されているが、第 2 のゲート絶縁膜は、単層、2 層、又は 4 層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

【0189】

トランジスタ 500 は、チャネル形成領域を含む酸化物 530 に、酸化物半導体として機能する金属酸化物を用いることが好ましい。例えば、酸化物 530 として、In-M-Zn 酸化物（元素 M は、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウムなどから選ばれた一種、又は複数種）等の金属酸化物を用いるとよい。特に、酸化物 530 として適用できる In-M-Zn 酸化物は、CAAC-OS (C-Axis Aligned Crystalline Oxide Semiconductor)、CAC-OS (Cloud-Aligned Composite Oxide Semiconductor) であることが好ましい。また、酸化物 530 として、In-Ga 酸化物、In-Zn 酸化物、In 酸化物などを用いてもよい。

【0190】

また、トランジスタ 500 には、キャリア濃度の低い金属酸化物を用いることが好ましい。金属酸化物のキャリア濃度を低くする場合においては、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。なお、金属酸化物中の不純物としては、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0191】

特に、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、金属酸化物中に酸素欠損を形成する場合がある。また、酸化物 530 中の酸素欠損に水素が入った場合、酸素欠損と水素とが結合し V_{OH} を形成する場合がある。V_{OH} はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。また、金属酸化物中の水素は、熱、電界などのストレスによって動きやすいため、金属酸化物に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。本発明の一態様においては、酸化物 530 中の V_{OH} をできる限り低減し、高純度真性または実質的に高純度真性にするのが好ましい。このように、V_{OH} が十分低減された金属酸化物を得るには、金属酸化物中の水分、水素などの不純物を除去すること（脱水、脱水素化処理と記載する場合がある。）と、金属酸化物に酸素を供給して酸素欠損を補填すること（加酸素化処理と記載する場合がある。）が重要である。V_{OH} などの不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0192】

酸素欠損に水素が入った欠陥は、金属酸化物のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、金属酸化物においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、金属酸化物のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

【0193】

よって、金属酸化物を酸化物 530 に用いる場合、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、二次イオン質量分析法

(SIMS: Secondary Ion Mass Spectrometry) により得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。水素などの不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0194】

また、酸化物530に金属酸化物を用いる場合、当該金属酸化物は、バンドギャップが高く、真性（I型ともいう。）、又は実質的に真性である半導体であって、かつチャネル形成領域の金属酸化物のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 未満であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域の金属酸化物のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

【0195】

また、酸化物530に金属酸化物を用いる場合、導電体542a及び導電体542bと酸化物530とが接することで、酸化物530中の酸素が導電体542a及び導電体542bへ拡散し、導電体542a及び導電体542bが酸化する場合がある。導電体542a及び導電体542bが酸化することで、導電体542a及び導電体542bの導電率が低下する蓋然性が高い。なお、酸化物530中の酸素が導電体542a及び導電体542bへ拡散することを、導電体542a及び導電体542bが酸化物530中の酸素を吸収する、と言い換えることができる。

【0196】

また、酸化物530中の酸素が導電体542a及び導電体542bへ拡散することで、導電体542aと酸化物530bとの間、および、導電体542bと酸化物530bとの間に異層が形成される場合がある。当該異層は、導電体542a及び導電体542bよりも酸素を多く含むため、当該異層は絶縁性を有すると推定される。このとき、導電体542a又は導電体542bと、当該異層と、酸化物530bとの3層構造は、金属－絶縁体－半導体からなる3層構造とみなすことができ、MIS (Metal-Insulator-Semiconductor) 構造と呼称する、またはMIS構造を主としたダイオード接合構造と呼称する場合がある。

【0197】

なお、上記異層は、導電体542a及び導電体542bと酸化物530bとの間に形成されることに限られず、例えば、異層が、導電体542a及び導電体542bと酸化物530cとの間に形成される場合、導電体542a及び導電体542bと酸化物530bとの間、導電体542a及び導電体542bと酸化物530cとの間に形成される場合などがある。

【0198】

酸化物530においてチャネル形成領域として機能する金属酸化物は、バンドギャップが2eV以上、好ましくは2.5eV以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

【0199】

酸化物530は、酸化物530b下に酸化物530aを有することで、酸化物530aよりも下方に形成された構造物から、酸化物530bへの不純物の拡散を抑制することができる。また、酸化物530b上に酸化物530cを有することで、酸化物530cよりも上方に形成された構造物から、酸化物530bへの不純物の拡散を抑制することができる。

【0200】

なお、酸化物530は、各金属原子の原子数比が異なる複数の酸化物層により、積層構造を有することが好ましい。具体的には、酸化物530aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物530bに用いる金属酸化物における、構成元素中の元素Mの原子数比より、大きいことが好ましい。また、酸化物530aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物530bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物530aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。また、酸化物530cは、酸化物530a又は酸化物530bに用いることができる金属酸化物を、用いることができる。

10

【0201】

具体的には、酸化物530aとして、InとGaとZnとの原子数比が $In:Ga:Zn=1:3:4$ 、または $1:1:0.5$ の金属酸化物を用いればよい。また、酸化物530bとして、InとGaとZnとの原子数比が $In:Ga:Zn=4:2:3$ 、または $1:1:1$ の金属酸化物を用いればよい。また、酸化物530cとして、InとGaとZnとの原子数比が $In:Ga:Zn=1:3:4$ 、またGaとZnの原子数比が $Ga:Zn=2:1$ 、または $Ga:Zn=2:5$ の金属酸化物を用いればよい。また、酸化物530cを積層構造とする場合の具体例としては、InとGaとZnとの原子数比が $In:Ga:Zn=4:2:3$ と、 $In:Ga:Zn=1:3:4$ との積層構造、またGaとZnの原子数比が $Ga:Zn=2:1$ と、InとGaとZnとの原子数比が $In:Ga:Zn=4:2:3$ との積層構造、GaとZnの原子数比が $Ga:Zn=2:5$ と、InとGaとZnとの原子数比が $In:Ga:Zn=4:2:3$ との積層構造、酸化ガリウムと、InとGaとZnとの原子数比が $In:Ga:Zn=4:2:3$ との積層構造などが挙げられる。

20

【0202】

また、例えば、酸化物530aに用いる金属酸化物における元素Mに対するInの原子数比が、酸化物530bに用いる金属酸化物における元素Mに対するInの原子数比より小さい場合、酸化物530bとして、InとGaとZnとの原子数比が $In:Ga:Zn=5:1:6$ またはその近傍、 $In:Ga:Zn=5:1:3$ またはその近傍、 $In:Ga:Zn=10:1:3$ またはその近傍などの組成であるIn-Ga-Zn酸化物を用いることができる。

30

【0203】

また、上述した以外の組成としては、酸化物530bには、例えば、 $In:Zn=2:1$ の組成、 $In:Zn=5:1$ の組成、 $In:Zn=10:1$ の組成、これらのいずれか一の近傍の組成などを有する金属酸化物を用いることができる。

【0204】

これらの酸化物530a、酸化物530b、酸化物530cを上記の原子数比の関係を満たして組み合わせることが好ましい。例えば、酸化物530a、および酸化物530cを、 $In:Ga:Zn=1:3:4$ の組成およびその近傍の組成を有する金属酸化物、酸化物530bを、 $In:Ga:Zn=4:2:3$ から4.1の組成およびその近傍の組成を有する金属酸化物とすることが好ましい。なお、上記組成は、基体上に形成された酸化物中の原子数比、またはスパッタターゲットにおける原子数比を示す。また、酸化物530bの組成として、Inの比率を高めることで、トランジスタのオン電流、または電界効果移動度などを高めることが出来るため好適である。

40

【0205】

また、酸化物530a及び酸化物530cの伝導帯下端のエネルギーが、酸化物530bの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物530a及び酸化物530cの電子親和力が、酸化物530bの電子親和力より小さいことが好ましい。

【0206】

50

ここで、酸化物530a、酸化物530b、及び酸化物530cの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物530a、酸化物530b、及び酸化物530cの接合部における伝導帯下端のエネルギー準位は、連続的に変化又は連続接合するともいうことができる。このようにするためには、酸化物530aと酸化物530bとの界面、及び酸化物530bと酸化物530cとの界面において形成される混合層の欠陥準位密度を低くするとよい。

【0207】

具体的には、酸化物530aと酸化物530b、酸化物530bと酸化物530cが、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物530bがIn-Ga-Zn酸化物の場合、酸化物530a及び酸化物530cとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウムなどを用いるとよい。

10

【0208】

このとき、キャリアの主たる経路は酸化物530bとなる。酸化物530a、酸化物530cを上記の構成とすることで、酸化物530aと酸化物530bとの界面、及び酸化物530bと酸化物530cとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ500は高いオン電流を得られる。

【0209】

酸化物530b上には、ソース電極、及びドレイン電極として機能する導電体542a、及び導電体542bが設けられる。導電体542a、及び導電体542bとしては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、又は上述した金属元素を成分とする合金か、上述した金属元素を組み合わせ合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、又は、酸素を吸収しても導電性を維持する材料であるため、好ましい。更に、窒化タンタルなどの金属窒化物膜は、水素又は酸素に対するバリア性があるため好ましい。

20

30

【0210】

また、図8A、及び図8Bでは、導電体542a、及び導電体542bを単層構造として示したが、2層以上の積層構造としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造としてもよい。

40

【0211】

また、チタン膜又は窒化チタン膜と、そのチタン膜又は窒化チタン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にチタン膜又は窒化チタン膜を形成する三層構造、モリブデン膜又は窒化モリブデン膜と、そのモリブデン膜又は窒化モリブデン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にモリブデン膜又は窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫又は酸化亜鉛を含む透明導電材料を用いてもよい。

【0212】

また、図8Aに示すように、酸化物530の、導電体542a（導電体542b）との

50

界面とその近傍には、低抵抗領域として、領域 5 4 3 a、及び領域 5 4 3 b が形成される場合がある。このとき、領域 5 4 3 a はソース領域又はドレイン領域の一方として機能し、領域 5 4 3 b はソース領域又はドレイン領域の他方として機能する。また、領域 5 4 3 a と領域 5 4 3 b に挟まれる領域にチャネル形成領域が形成される。

【0 2 1 3】

酸化物 5 3 0 と接するように上記導電体 5 4 2 a（導電体 5 4 2 b）を設けることで、領域 5 4 3 a（領域 5 4 3 b）の酸素濃度が低減する場合がある。また、領域 5 4 3 a（領域 5 4 3 b）に導電体 5 4 2 a（導電体 5 4 2 b）に含まれる金属と、酸化物 5 3 0 の成分とを含む金属化合物層が形成される場合がある。このような場合、領域 5 4 3 a（領域 5 4 3 b）のキャリア濃度が増加し、領域 5 4 3 a（領域 5 4 3 b）は、低抵抗領域となる。

10

【0 2 1 4】

絶縁体 5 4 4 は、導電体 5 4 2 a、及び導電体 5 4 2 b を覆うように設けられ、導電体 5 4 2 a、及び導電体 5 4 2 b の酸化を抑制する。このとき、絶縁体 5 4 4 は、酸化物 5 3 0 及び絶縁体 5 2 4 のそれぞれの側面を覆い、絶縁体 5 2 2 と接するように設けられてもよい。

【0 2 1 5】

絶縁体 5 4 4 として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、ネオジム、ランタン又は、マグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。また、絶縁体 5 4 4 として、窒化酸化シリコン又は窒化シリコンなども用いることができる。

20

【0 2 1 6】

特に、絶縁体 5 4 4 として、アルミニウム、又はハフニウムの一方又は双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウム、及びハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいため好ましい。なお、導電体 5 4 2 a、及び導電体 5 4 2 b が耐酸化性を有する材料、又は、酸素を吸収しても著しく導電性が低下しない場合、絶縁体 5 4 4 は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

30

【0 2 1 7】

絶縁体 5 4 4 を有することで、絶縁体 5 8 0 に含まれる水、及び水素などの不純物が酸化物 5 3 0 c、絶縁体 5 5 0 を介して、酸化物 5 3 0 b に拡散することを抑制することができる。また、絶縁体 5 8 0 が有する過剰酸素により、導電体 5 6 0 が酸化するのを抑制することができる。

【0 2 1 8】

絶縁体 5 5 0 は、第 1 のゲート絶縁膜として機能する。絶縁体 5 5 0 は、酸化物 5 3 0 c の内側（上面、及び側面）に接して配置することが好ましい。絶縁体 5 5 0 は、上述した絶縁体 5 2 4 と同様に、過剰に酸素を含み、かつ加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

40

【0 2 1 9】

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、及び酸化窒化シリコンは熱に対し安定であるため好ましい。

【0 2 2 0】

加熱により酸素が放出される絶縁体を、絶縁体 5 5 0 として、酸化物 5 3 0 c の上面に接して設けることにより、絶縁体 5 5 0 から、酸化物 5 3 0 c を通じて、酸化物 5 3 0 b のチャネル形成領域に効果的に酸素を供給することができる。また、絶縁体 5 2 4 と同様

50

に、絶縁体 550 中の水又は水素などの不純物濃度が低減されていることが好ましい。絶縁体 550 の膜厚は、1 nm 以上 20 nm 以下とすることが好ましい。

【0221】

また、絶縁体 550 が有する過剰酸素を、効率的に酸化物 530 へ供給するために、絶縁体 550 と導電体 560 との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体 550 から導電体 560 への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体 550 から導電体 560 への過剰酸素の拡散が抑制される。つまり、酸化物 530 へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体 560 の酸化を抑制することができる。当該金属酸化物としては、絶縁体 544 に用いることができる材料を用いればよい。

10

【0222】

なお、絶縁体 550 は、第 2 のゲート絶縁膜と同様に、積層構造としてもよい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合があるため、ゲート絶縁膜として機能する絶縁体を、high-k 材料と、熱的に安定している材料との積層構造とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、熱的に安定かつ比誘電率の高い積層構造とすることができる。

【0223】

第 1 のゲート電極として機能する導電体 560 は、図 8 A、及び図 8 B では 2 層構造として示しているが、単層構造でもよいし、3 層以上の積層構造であってもよい。

20

【0224】

導電体 560 a は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体 560 a が酸素の拡散を抑制する機能を持つことにより、絶縁体 550 に含まれる酸素により、導電体 560 b が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、又は酸化ルテニウムなどを用いることが好ましい。また、導電体 560 a として、酸化物 530 に適用できる酸化物半導体を用いることができる。その場合、導電体 560 b をスパッタリング法で成膜することで、導電体 560 a の電気抵抗値を低下させて導電体にすることができる。これを OC (Oxide Conductor) 電極と呼称することができる。

30

【0225】

また、導電体 560 b は、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体 560 b は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることができる。また、導電体 560 b は積層構造としてもよく、例えば、チタン、又は窒化チタンと上記導電性材料との積層構造としてもよい。

40

【0226】

絶縁体 580 は、絶縁体 544 を介して、導電体 542 a、及び導電体 542 b 上に設けられる。絶縁体 580 は、過剰酸素領域を有することが好ましい。例えば、絶縁体 580 として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン、又は樹脂などを有することが好ましい。特に、酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

【0227】

50

絶縁体 580 は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体 580 を、酸化物 530 c と接して設けることで、絶縁体 580 中の酸素を、酸化物 530 c を通じて、酸化物 530 へと効率良く供給することができる。なお、絶縁体 580 中の水又は水素などの不純物濃度が低減されていることが好ましい。

【0228】

絶縁体 580 の開口は、導電体 542 a と導電体 542 b の間の領域に重畳して形成される。これにより、導電体 560 は、絶縁体 580 の開口、及び導電体 542 a と導電体 542 b に挟まれた領域に、埋め込まれるように形成される。

【0229】

半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体 560 の導電性が下がらないようにする必要がある。そのために導電体 560 の膜厚を大きくすると、導電体 560 はアスペクト比が高い形状となりうる。本実施の形態では、導電体 560 を絶縁体 580 の開口に埋め込むように設けるため、導電体 560 をアスペクト比の高い形状にしても、工程中に導電体 560 を倒壊させることなく、形成することができる。

【0230】

絶縁体 574 は、絶縁体 580 の上面、導電体 560 の上面、及び絶縁体 550 の上面に接して設けられることが好ましい。絶縁体 574 をスパッタリング法で成膜することで、絶縁体 550、及び絶縁体 580 へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物 530 中に酸素を供給することができる。

【0231】

例えば、絶縁体 574 として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、又はマグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。

【0232】

特に、酸化アルミニウムはバリア性が高く、0.5 nm 以上 3.0 nm 以下の薄膜であっても、水素、及び窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素などの不純物のバリア膜としての機能も有することができる。

【0233】

また、絶縁体 574 の上に、層間膜として機能する絶縁体 581 を設けることが好ましい。絶縁体 581 は、絶縁体 524 などと同様に、膜中の水又は水素などの不純物濃度が低減されていることが好ましい。

【0234】

また、絶縁体 581、絶縁体 574、絶縁体 580、及び絶縁体 544 に形成された開口に、導電体 540 a、及び導電体 540 b を配置する。導電体 540 a 及び導電体 540 b は、導電体 560 を挟んで対向して設ける。導電体 540 a 及び導電体 540 b は、後述する導電体 546、及び導電体 548 と同様の構成である。

【0235】

絶縁体 581 上には、絶縁体 582 が設けられている。絶縁体 582 は、酸素、水素などに対してバリア性のある物質を用いることが好ましい。したがって、絶縁体 582 には、絶縁体 514 と同様の材料を用いることができる。例えば、絶縁体 582 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

【0236】

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ 500 への混入を防止することができる。また、トランジスタ 500 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 500 に対する保護膜として用いることに適している。

【0237】

また、絶縁体582上には、絶縁体586が設けられている。絶縁体586は、絶縁体320と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体586として、酸化シリコン膜、酸化窒化シリコン膜などを用いることができる。

【0238】

また、絶縁体520、絶縁体522、絶縁体524、絶縁体544、絶縁体580、絶縁体574、絶縁体581、絶縁体582、及び絶縁体586には、導電体546、及び導電体548等が埋め込まれている。

【0239】

導電体546、及び導電体548は、容量素子600、トランジスタ500、又はトランジスタ300と接続するプラグ、又は配線としての機能を有する。導電体546、及び導電体548は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

【0240】

なお、トランジスタ500の形成後、トランジスタ500を囲むように開口を形成し、当該開口を覆うように、水素、または水に対するバリア性が高い絶縁体を形成してもよい。上述のバリア性の高い絶縁体でトランジスタ500を包み込むことで、外部から水分、および水素が侵入するのを防止することができる。または、複数のトランジスタ500をまとめて、水素、または水に対するバリア性が高い絶縁体で包み込んでもよい。なお、トランジスタ500を囲むように開口を形成する場合、例えば、絶縁体514または絶縁体522に達する開口を形成し、絶縁体514または絶縁体522に接するように上述のバリア性の高い絶縁体を形成すると、トランジスタ500の作製工程の一部を兼ねられるため、好適である。なお、水素、または水に対するバリア性が高い絶縁体としては、例えば、絶縁体522と同様の材料を用いればよい。

【0241】

続いて、トランジスタ500の上方には、容量素子600が設けられている。容量素子600は、導電体610と、導電体620、絶縁体630とを有する。

【0242】

また、導電体546、及び導電体548上に、導電体612を設けてもよい。導電体612は、トランジスタ500と接続するプラグ、又は配線としての機能を有する。導電体610は、容量素子600の電極としての機能を有する。なお、導電体612、及び導電体610は、同時に形成することができる。

【0243】

導電体612、及び導電体610には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、又は上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

【0244】

図6では、導電体612、及び導電体610は単層構造を示したが、当該構成に限定されず、2層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、及び導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

【0245】

絶縁体630を介して、導電体610と重畳するように、導電体620を設ける。なお、導電体620は、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いる

10

20

30

40

50

ことができる。耐熱性と導電性を両立するタングステン、モリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料であるCu（銅）、Al（アルミニウム）等を用いればよい。

【0246】

導電体620、及び絶縁体630上には、絶縁体650が設けられている。絶縁体650は、絶縁体320と同様の材料を用いて設けることができる。また、絶縁体650は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

【0247】

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制するとともに、信頼性を向上させることができる。又は、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化又は高集積化を図ることができる。

10

【0248】

なお、本発明の一態様の半導体装置は、トランジスタ300が形成されている基板311の下方に、例えば、回路が構成されている別の半導体基板を貼り合わせた構成としてもよい。図9は、図6の半導体装置の一部である層SAと、別の半導体基板上に回路が構成された層SBと、を貼り合わせた構成を示している。具体的には、図9に示す半導体装置は、層SAに含まれている基板311の下方に、層SBに含まれている回路などが構成されている基板211を貼り合わせた構成となっている。なお、図9では、層SAにおいて絶縁体360より上方の導電体、絶縁体などを省略している。

20

【0249】

基板211としては、例えば、図6の半導体装置の基板311に適用できる基板を用いることができる。

【0250】

基板211上には、一例として、基板311上のトランジスタ300と同様に、トランジスタ200を覆うように、絶縁体220、絶縁体222、絶縁体224、絶縁体226、及び絶縁体230が順に設けられている。

【0251】

また、絶縁体220、絶縁体222、絶縁体224、絶縁体226、絶縁体230、及び絶縁体231としては、例えば、絶縁体320、絶縁体322、絶縁体324、絶縁体326、絶縁体230などに適用できる材料を用いることができる。また、絶縁体220、絶縁体222、絶縁体224、絶縁体226、絶縁体230、及び絶縁体231としては、例えば、絶縁体320、絶縁体322、絶縁体324、絶縁体326、絶縁体350などと同様の工程によって形成することができる。

30

【0252】

また、絶縁体220、絶縁体222、絶縁体224、及び絶縁体226には、導電体228、及び導電体229などが埋め込まれている。導電体228、及び導電体229は、導電体328、及び導電体330と同様に、プラグ又は配線としての機能を有する。また、導電体228、及び導電体229としては、導電体328、及び導電体330に適用できる材料を用いることができる。

40

【0253】

絶縁体232は、後述する基板311の下方に設けられている絶縁体341に対する貼り合わせ層として機能する。また、絶縁体231、及び絶縁体232には、導電体229の一部と電氣的に接続されるように導電体233が埋め込まれており、導電体233も貼り合わせ層の一部として機能する。

【0254】

絶縁体232としては、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、窒化チタンなどを用いることができる。

【0255】

50

導電体 2 3 3 としては、例えば、銅、アルミニウム、錫、亜鉛、タングステン、銀、白金または金などを用いることができる。後述する導電体 3 4 2 との接合のしやすさから、好ましくは銅、アルミニウム、タングステン、又は金を用いることが好ましい。

【0 2 5 6】

なお、導電体 2 3 3 は、複数の層を含む多層構造としてもよい。例えば、絶縁体 2 3 1、及び絶縁体 2 3 2 の開口の側壁に第 1 の導電体を形成し、その後に絶縁体 2 3 1、及び絶縁体 2 3 2 の開口部を埋めるように第 2 の導電体を形成してもよい。第 1 の導電体としては、例えば、窒化タンタルなど水素に対するバリア性を有する導電体を用いることができ、また、第 2 の導電体としては、例えば、導電性の高いタングステンを用いることができる。

10

【0 2 5 7】

また、基板 3 1 1 の下方には、絶縁体 3 4 1 が形成されている。絶縁体 3 4 1 は、基板 2 1 1 上の絶縁体 2 3 2 に対する貼り合わせ層として機能する。

【0 2 5 8】

絶縁体 3 4 1 としては、例えば、絶縁体 2 3 2 に適用できる材料を用いることができる。特に、絶縁体 2 3 2 と絶縁体 3 4 1 とを接合するため、絶縁体 2 3 2 及び絶縁体 3 4 1 は、同一の成分で構成されていることが好ましい。

【0 2 5 9】

層 S A において、絶縁体 3 4 1、基板 3 1 1、絶縁体 3 2 0、及び絶縁体 3 2 2 には、導電体 3 3 0 の一部と電気的に接続されるように導電体 3 4 2 が埋め込まれており、導電体 3 4 2 も貼り合わせ層の一部として機能する。

20

【0 2 6 0】

導電体 3 4 2 としては、例えば、導電体 2 3 3 に適用できる材料を用いることができる。特に、導電体 3 4 2 と導電体 2 3 3 とを接合するため、導電体 3 4 2 及び導電体 2 3 3 は互いに同一の金属材料を用いることが好ましい。

【0 2 6 1】

なお、導電体 3 4 2 は、複数の層を含む多層構造としてもよい。例えば、絶縁体 3 4 1、基板 3 1 1、絶縁体 3 2 0、及び絶縁体 3 2 2 の開口の側壁に第 1 の導電体を形成し、その後に絶縁体 3 4 1、基板 3 1 1、絶縁体 3 2 0、及び絶縁体 3 2 2 の開口部を埋めるように第 2 の導電体を形成してもよい。第 1 の導電体としては、例えば、窒化タンタルなど水素に対するバリア性を有する導電体を用いることができ、また、第 2 の導電体としては、例えば、導電性の高いタングステンを用いることができる。

30

【0 2 6 2】

次に、層 S A と層 S B との貼り合わせについて説明する。

【0 2 6 3】

層 S A と層 S B との貼り合わせを行う前工程では、層 S B において、絶縁体 2 3 2 及び導電体 2 3 3 の表面はそれぞれ高さが一致するように平坦化が行われる。同様に、層 S A において、絶縁体 3 4 1 及び導電体 3 4 2 の表面はそれぞれ高さが一致するように平坦化が行われる。

【0 2 6 4】

貼り合わせ工程で、絶縁体 2 3 2 と絶縁体 3 4 1 との接合、つまり絶縁層同士の接合を行うとき、研磨などによって高い平坦性を与えた後に、酸素プラズマ等で親水性処理をした表面同士を接触させて仮接合し、熱処理による脱水で本接合を行う親水性接合法などを用いることができる。親水性接合法も原子レベルでの結合が起こるため、機械的に優れた接合を得ることができる。

40

【0 2 6 5】

また、例えば、導電体 2 3 3 と導電体 3 4 2 との接合、つまり導電体同士の接合をおこなうとき、表面の酸化膜および不純物の吸着層などをスパッタリング処理などで除去し、清浄化および活性化した表面同士を接触させて接合する表面活性化接合法を用いることができる。または、温度と圧力を併用して表面同士を接合する拡散接合法などを用いること

50

ができる。どちらも原子レベルでの結合が起こるため、電氣的だけでなく機械的にも優れた接合を得ることができる。

【0266】

上述した、貼り合わせ工程を行うことによって、層SAに含まれている導電体342を、層SBに含まれている導電体233に電氣的に接続することができる。また、層SAに含まれている絶縁体341と、層SBに含まれている絶縁体232と、の機械的な強度を有する接続を得ることができる。

【0267】

層SAと層SBを貼り合わせる場合、それぞれの接合面には絶縁層と金属層が混在するため、例えば、表面活性化接合法および親水性接合法を組み合わせればよい。

【0268】

例えば、研磨後に表面を清浄化し、金属層の表面に酸化防止処理を行ったのちに親水性処理を行って接合する方法などを用いることができる。また、金属層の表面を金などの難酸化性金属とし、親水性処理を行ってもよい。なお、上述した方法以外の接合方法を用いてもよい。

【0269】

上述した、貼り合わせ工程を用いることによって、半導体装置に対して更に回路を追加することができる。そのため、半導体装置の回路面積の増大を抑制することができる。また、当該貼り合わせ工程によって、半導体装置に対して、別の半導体装置（例えば、論理回路、信号変換回路、電位レベル変換回路、電流源、電圧源、切り替え回路、増幅回路、光電変換回路、演算回路など）を電氣的に接続することができる。そのため、新規な半導体装置を構成することができる。

【0270】

なお、層SBに含まれている基板211上には、一例として、トランジスタ200が形成されている。なお、図9では、一例として、トランジスタ200をトランジスタ300と同様の構造として示しているが、トランジスタ200はトランジスタ300と異なる構造としてもよい。例えば、図10に示すとおり、トランジスタ200としては、OSトランジスタとして図6、図7、図8A、及び図8Bに示すトランジスタ500の構造としてもよい。なお、図10に示す基板212としては、例えば、図7に示す半導体装置の基板312に適用できる基板を用いることができる。

【0271】

次に、図6、及び図7に図示している、OSトランジスタの別の構成例について説明する。

【0272】

図11A、及び図11Bは、図8A、及び図8Bに示すトランジスタ500の変形例であって、図11Aは、トランジスタ500のチャンネル長方向の断面図であり、図11Bはトランジスタ500のチャンネル幅方向の断面図である。なお、図11A、及び図11Bに示す構成は、トランジスタ300等、本発明の一態様の半導体装置が有する他のトランジスタにも適用することができる。

【0273】

図11A、及び図11Bに示す構成のトランジスタ500は、絶縁体402及び絶縁体404を有する点が、図8A、及び図8Bに示す構成のトランジスタ500と異なる。また、導電体540aの側面に接して絶縁体552が設けられ、導電体540bの側面に接して絶縁体552が設けられる点が、図8A、及び図8Bに示す構成のトランジスタ500と異なる。さらに、絶縁体520を有さない点が、図8A、及び図8Bに示す構成のトランジスタ500と異なる。

【0274】

図11A、及び図11Bに示す構成のトランジスタ500は、絶縁体512上に絶縁体402が設けられている。また、絶縁体574上、及び絶縁体402上に絶縁体404が設けられている。

【0275】

図11A、及び図11Bに示す構成のトランジスタ500では、絶縁体514、絶縁体516、絶縁体522、絶縁体524、絶縁体544、絶縁体580、及び絶縁体574が設けられており、絶縁体404がこれらを覆う構造になっている。つまり、絶縁体404は、絶縁体574の上面、絶縁体574の側面、絶縁体580の側面、絶縁体544の側面、絶縁体524の側面、絶縁体522の側面、絶縁体516の側面、絶縁体514の側面、絶縁体402の上面とそれぞれ接する。これにより、酸化物530等は、絶縁体404と絶縁体402によって外部から隔離される。

【0276】

絶縁体402及び絶縁体404は、水素（例えば、水素原子、水素分子などの少なくとも一）又は水分子の拡散を抑制する機能が高いことが好ましい。例えば、絶縁体402及び絶縁体404として、水素バリア性が高い材料である、窒化シリコン又は窒化酸化シリコンを用いることが好ましい。これにより、酸化物530に水素等が拡散することを抑制することができるので、トランジスタ500の特性が低下することを抑制することができる。よって、本発明の一態様の半導体装置の信頼性を高めることができる。

10

【0277】

絶縁体552は、絶縁体581、絶縁体404、絶縁体574、絶縁体580、及び絶縁体544に接して設けられる。絶縁体552は、水素又は水分子の拡散を抑制する機能を有することが好ましい。たとえば、絶縁体552として、水素バリア性が高い材料である、窒化シリコン、酸化アルミニウム、又は窒化酸化シリコン等の絶縁体を用いることが好ましい。特に、窒化シリコンは水素バリア性が高い材料であるので、絶縁体552として用いると好適である。絶縁体552として水素バリア性が高い材料を用いることにより、水又は水素等の不純物が、絶縁体580等から導電体540a及び導電体540bを通じて酸化物530に拡散することを抑制することができる。また、絶縁体580に含まれる酸素が導電体540a及び導電体540bに吸収されることを抑制することができる。以上により、本発明の一態様の半導体装置の信頼性を高めることができる。

20

【0278】

また、図11A、及び図11Bに示すトランジスタ500は、状況に応じて、トランジスタの構成を変更してもよい。例えば、図11A、及び図11Bのトランジスタ500は、変更例として、図12A、及び図12Bに示すトランジスタにすることができる。図12Aはトランジスタのチャンネル長方向の断面図であり、図12Bはトランジスタのチャンネル幅方向の断面図である。図12A、及び図12Bに示すトランジスタは、酸化物530cが酸化物530c1及び酸化物530c2の2層構造である点で、図11A、及び図11Bに示すトランジスタと異なる。

30

【0279】

酸化物530c1は、絶縁体524の上面、酸化物530aの側面、酸化物530bの上面及び側面、導電体542a及び導電体542bの側面、絶縁体544の側面、及び絶縁体580の側面と接する。酸化物530c2は、絶縁体550と接する。

【0280】

酸化物530c1として、例えばIn-Zn酸化物を用いることができる。また、酸化物530c2として、酸化物530cが1層構造である場合に酸化物530cに用いることができる材料と同様の材料を用いることができる。例えば、酸化物530c2として、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ [原子数比]、 $\text{Ga}:\text{Zn}=2:1$ [原子数比]、または $\text{Ga}:\text{Zn}=2:5$ [原子数比]の金属酸化物を用いることができる。

40

【0281】

酸化物530cを酸化物530c1及び酸化物530c2の2層構造とすることにより、酸化物530cを1層構造とする場合より、トランジスタのオン電流を高めることができる。そのため、トランジスタは、例えばパワーMOSトランジスタとして適用することができる。なお、図8A、及び図8Bに示す構成のトランジスタが有する酸化物530cも、酸化物530c1と酸化物530c2の2層構造とすることができる。

50

【0282】

図12A、及び図12Bに示す構成のトランジスタは、例えば、図6、図7に示すトランジスタ300に適用することができる。また、例えば、トランジスタ300は、前述のとおり、上記実施の形態で説明した半導体装置、例えば、上記実施の形態で説明したレベルシフト100、レベルシフト100A、レベルシフト100B、レベルシフト100Cに含まれるトランジスタなどに適用することができる。なお図12A、及び図12Bに示すトランジスタは、本発明の一態様の半導体装置が有する、トランジスタ300、及びトランジスタ500以外のトランジスタにも適用することができる。

【0283】

次に、図6、及び図7の半導体装置に適用できる容量素子について説明する。

【0284】

図13では、図6、及び図7に示す半導体装置に適用できる容量素子600の一例として容量素子600Aについて示している。図13Aは容量素子600Aの上面図であり、図13Bは容量素子600Aの一点鎖線L3-L4における断面を示した斜視図であり、図13Cは容量素子600Aの一点鎖線W3-L4における断面を示した斜視図である。

【0285】

導電体610は、容量素子600Aの一对の電極の一方として機能し、導電体620は、容量素子600Aの一对の電極の他方として機能する。また、絶縁体630は、一对の電極に挟まれる誘電体として機能する。

【0286】

絶縁体630としては、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウム、酸化ジルコニウムなどを用いればよく、積層または単層で設けることができる。

【0287】

また、例えば、絶縁体630には、酸化窒化シリコンなどの絶縁耐力が大きい材料と、高誘電率(high-k)材料との積層構造を用いてもよい。当該構成により、容量素子600Aは、高誘電率(high-k)の絶縁体を有することで、十分な容量を確保でき、絶縁耐力が大きい絶縁体を有することで、絶縁耐力が向上し、容量素子600Aの静電破壊を抑制することができる。

【0288】

なお、高誘電率(high-k)材料(高い比誘電率の材料)の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などがある。

【0289】

または、絶縁体630は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム(SrTiO₃)または(Ba、Sr)TiO₃(BST)などのhigh-k材料を含む絶縁体を単層または積層で用いてもよい。例えば、絶縁体630を積層とする場合、酸化ジルコニウムと、酸化アルミニウムと、酸化ジルコニウムと、が順に形成された3層積層や、酸化ジルコニウムと、酸化アルミニウムと、酸化ジルコニウムと、酸化アルミニウムと、が順に形成された4層積層などを用いれば良い。また、絶縁体630としては、ハフニウムと、ジルコニウムとが含まれる化合物などを用いても良い。半導体装置の微細化、および高集積化が進むと、ゲート絶縁体、および容量素子に用いる誘電体の薄膜化により、トランジスタ、及び／又は容量素子のリーク電流などの問題が生じる場合がある。ゲート絶縁体、および容量素子に用いる誘電体として機能する絶縁体にhigh-k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減、および容量素子の容量の確保が可能となる。

10

20

30

40

50

【0290】

容量素子600は、導電体610の下部において、導電体546と、導電体548とに電氣的に接続されている。導電体546と、導電体548は、別の回路素子と接続するためのプラグ、又は配線として機能する。また図13A乃至図13Cでは、導電体546と、導電体548と、をまとめて導電体540と記載している。

【0291】

また、図13では、図を明瞭に示すために、導電体546及び導電体548が埋め込まれている絶縁体586と、導電体620及び絶縁体630を覆っている絶縁体650と、を省略している。

【0292】

なお、図6、図7、図13A、図13B、及び図13Cに示す容量素子600はプレーナ型であるが、容量素子の形状はこれに限定されない。例えば、容量素子600は、図14A乃至図14Cに示すシリンダ型の容量素子600Bとしてもよい。

【0293】

図14Aは容量素子600Bの上面図であり、図14Bは容量素子600Bの一点鎖線L3-L4における断面図であり、図14Cは容量素子600Bの一点鎖線W3-L4における断面を示した斜視図である。

【0294】

図14Bにおいて、容量素子600Bは、導電体540が埋め込まれている絶縁体586上の絶縁体631と、開口部を有する絶縁体651と、一对の電極の一方として機能する導電体610と、一对の電極の他方として機能する導電体620と、を有する。

【0295】

また、図14Cでは、図を明瞭に示すために、絶縁体586と、絶縁体650と、絶縁体651と、を省略している。

【0296】

絶縁体631としては、例えば、絶縁体586と同様の材料を用いることができる。

【0297】

また、絶縁体631には、導電体540に電氣的に接続されるように導電体611が埋め込まれている。導電体611は、例えば、導電体330、導電体518と同様の材料を用いることができる。

【0298】

絶縁体651としては、例えば、絶縁体586と同様の材料を用いることができる。

【0299】

また、絶縁体651は、前述の通り、開口部を有し、当該開口部は導電体611に重畳している。

【0300】

導電体610は、当該開口部の底部と、側面と、に形成されている。つまり、導電体610は、導電体611に重畳し、かつ導電体611に電氣的に接続されている。

【0301】

なお、導電体610の形成方法としては、エッチング法などによって絶縁体651に開口部を形成し、次に、スパッタリング法、ALD法などによって導電体610を成膜する。その後、CMP (Chemical Mechanical Polishing) 法などによって、開口部に成膜された導電体610を残して、絶縁体651上に成膜された導電体610を除去すればよい。

【0302】

絶縁体630は、絶縁体651上と、導電体610の形成面上と、に位置する。なお、絶縁体630は、容量素子において、一对の電極に挟まれる誘電体として機能する。

【0303】

導電体620は、絶縁体651の開口部が埋まるように、絶縁体630上に形成されている。

10

20

30

40

50

【0304】

絶縁体650は、絶縁体630と、導電体620と、を覆うように形成されている。

【0305】

図14に示すシリンダ型の容量素子600Bは、プレーナ型の容量素子600Aよりも静電容量の値を高くすることができる。

【0306】

また、本発明の一態様の半導体装置は、図6、及び図7に示した半導体装置の容量素子600の上方に光電変換素子を設けてもよい。つまり、本発明の一態様としては、上記実施の形態で説明したレベルシフトを含む撮像装置としてもよい。撮像装置は、例えば、光電変換素子によって誘起された電流を、電流電圧変換回路、アナログデジタル変換回路などによってデジタル信号に変換するが、撮像装置にレベルシフトを設けることによって、当該デジタル信号をレベルシフトすることができる。

10

【0307】

図15は、図7に示した半導体装置において、容量素子600の上方に光電変換素子700を設けた、撮像装置の構成例を示している。なお、光電変換素子700は、容量素子600の上方ではなく、トランジスタ300の下方に設けられていてもよい。

【0308】

光電変換素子700は、一例として、層767aと、層767bと、層767cと、層767dと、層767eと、を有する。

【0309】

20

図15に示す光電変換素子700は、有機光導電膜の一例であり、層767aは下部電極、層767eは透光性を有する上部電極であり、層767b、層767c、層767dは光電変換部に相当する。なお、図15に示す光電変換素子700の代わりとして、例えば、pn接合型フォトダイオード、アバランシェフォトダイオードなどを用いてもよい。

【0310】

下部電極である層767aは、アノード又はカソードの一方とすることができ、上部電極である層767bは、アノード又はカソードの他方とすることができる。なお、本実施の形態では、層767aをカソードとし、層767bをアノードとする。

【0311】

層767aとしては、例えば、低抵抗の金属層などとするのが好ましい。具体的には、層767aとしては、例えば、アルミニウム、チタン、タングステン、タンタル、銀またはそれらの積層を用いることができる。

30

【0312】

層767eとしては、例えば、可視光に対して高い透光性を有する導電層を用いるのが好ましい。具体的には、層767eとしては、例えば、インジウム酸化物、錫酸化物、亜鉛酸化物、インジウム-錫酸化物、ガリウム-亜鉛酸化物、インジウム-ガリウム-亜鉛酸化物、またはグラフェンなどを用いることができる。なお、層767eを省略した構成とすることもできる。

【0313】

光電変換部の層767b、層767dのいずれか一方はホール輸送層、他方は電子輸送層とすることができる。また、層767cは光電変換層とすることができる。

40

【0314】

ホール輸送層としては、例えば酸化モリブデンなどを用いることができる。電子輸送層としては、例えば、C60、C70などのフラーレン、またはそれらの誘導体などを用いることができる。

【0315】

光電変換層としては、n型有機半導体およびp型有機半導体の混合層（バルクヘテロ接合構造）を用いることができる。

【0316】

図15の撮像装置において、絶縁体751は、絶縁体650上に設けられ、層767a

50

は、絶縁体 751 上に設けられている。また、絶縁体 752 は、絶縁体 751 上と層 767a 上と、に設けられている。層 767b は、絶縁体 752 上と層 767a 上に設けられている。

【0317】

また、層 767b 上には、層 767c、層 767d、層 767e、絶縁体 753 が順に積層して設けられている。

【0318】

絶縁体 751 は、一例として、層間絶縁膜として機能する。絶縁体 751 は、例えば、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。絶縁体 751 に水素に対するバリア性を有する絶縁体を用いることにより、トランジスタ 500 への水素の拡散を抑制することができる。そのため、絶縁体 751 としては、一例として、絶縁体 324 に適用できる材料を用いることができる。

10

【0319】

絶縁体 752 は、一例として、素子分離層として機能する。絶縁体 752 は、図示しないが、隣に位置する別の光電変換素子との短絡を防止するために設けられている。絶縁体 752 としては、例えば、有機絶縁体などを用いることが好ましい。

【0320】

絶縁体 753 は、一例として、透光性を有する平坦化膜として機能する。絶縁体 753 としては、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコンなどの材料を用いることができる。

20

【0321】

絶縁体 753 の上方には、一例として、遮光層 771 と、光学変換層 772 と、マイクロレンズアレイ 773 と、が設けられている。

【0322】

絶縁体 753 上に設けられている遮光層 771 は、隣接する画素への光の流入を抑えることができる。遮光層 771 には、アルミニウム、タングステンなどの金属層を用いることができる。また、当該金属層と反射防止膜としての機能を有する誘電体膜を積層してもよい。

【0323】

絶縁体 753 上と遮光層 771 上とに設けられている光学変換層 772 には、カラーフィルタを用いることができる。カラーフィルタに R（赤）、G（緑）、B（青）、Y（黄）、C（シアン）、M（マゼンタ）などの色を画素別に割り当てることにより、カラー画像を得ることができる。

30

【0324】

また、光学変換層 772 に波長カットフィルタを用いれば、様々な波長領域における画像が得られる撮像装置とすることができる。

【0325】

例えば、光学変換層 772 に可視光線の波長以下の光を遮るフィルタを用いれば、赤外線撮像装置とすることができる。また、光学変換層 772 に近赤外線の波長以下の光を遮るフィルタを用いれば、遠赤外線撮像装置とすることができる。また、光学変換層 772 に可視光線の波長以上の光を遮るフィルタを用いれば、紫外線撮像装置とすることができる。

40

【0326】

また、光学変換層 772 にシンチレータを用いれば、X線撮像装置などに用いる放射線の強弱を可視化した画像を得る撮像装置とすることができる。被写体を透過したX線等の放射線がシンチレータに入射されると、フォトルミネッセンス現象により可視光線、紫外光線などの光（蛍光）に変換される。そして、当該光を光電変換素子 700 で検知することにより画像データを取得する。また、放射線検出器などに当該構成の撮像装置を用いてもよい。

【0327】

50

シンチレータは、X線、ガンマ線などの放射線が照射されると、そのエネルギーを吸収して可視光、又は紫外光を発する物質を含む。例えば、 $Gd_2O_2S:Tb$ 、 $Gd_2O_2S:Pr$ 、 $Gd_2O_2S:Eu$ 、 $BaFCl:Eu$ 、 NaI 、 CsI 、 CaF_2 、 BaF_2 、 CeF_3 、 LiF 、 LiI 、 ZnO などを樹脂、セラミクスなどに分散させたものを用いることができる。

【0328】

遮光層771上と、光学変換層772上にはマイクロレンズアレイ773が設けられる。マイクロレンズアレイ773が有する個々のレンズを通る光が直下の光学変換層772を通り、光電変換素子700に照射されるようになる。マイクロレンズアレイ773を設けることにより、集光した光を光電変換素子700に入射することができるため、効率よく光電変換を行うことができる。マイクロレンズアレイ773は、可視光に対して透光性の高い樹脂またはガラスなどで形成することが好ましい。

10

【0329】

ところで、図15には、トランジスタ300、及びトランジスタ500の上方に有機光導電膜を用いた光電変換素子700を設けた撮像装置の構成を示しているが、本発明の一態様の撮像装置は、これに限定されない。例えば、本発明の一態様の撮像装置は、光電変換素子700の代わりとして、裏面照射型であってpn接合型の光電変換素子を設けた構成としてもよい。

【0330】

図16は、トランジスタ300、及びトランジスタ500の上方に、裏面照射型であってpn接合型の光電変換素子700Aを設けた撮像装置の構成例を示している。図16に示している撮像装置は、トランジスタ300、トランジスタ500、及び容量素子600が設けられた基板312の上方に、光電変換素子700Aを有する構造体SCが貼り合わされた構成となっている。

20

【0331】

なお、構造体SCには、遮光層771と、光学変換層772と、マイクロレンズアレイ773と、が含まれており、これらの説明については、上述した説明を参酌する。

【0332】

光電変換素子700Aは、シリコン基板に形成されたpn接合型のフォトダイオードであり、p型領域に相当する層765bおよびn型領域に相当する層765aを有する。光電変換素子700Aは埋め込み型フォトダイオードであり、層765aの表面側（電流の取り出し側）に設けられた薄いp型の領域（層765bの一部）によって暗電流を抑えノイズを低減させることができる。

30

【0333】

絶縁体701、導電体741、導電体742は、貼り合わせ層としての機能を有する。絶縁体754は、層間絶縁膜および平坦化膜としての機能を有する。絶縁体755は、素子分離層としての機能を有する。絶縁体756は、キャリアの流出を抑制する機能を有する。

【0334】

シリコン基板には画素を分離する溝が設けられ、絶縁体756はシリコン基板上面および当該溝に設けられる。絶縁体756が設けられることにより、光電変換素子700A内で発生したキャリアが隣接する画素に流出することを抑えることができる。また、絶縁体756は、迷光の侵入を抑制する機能も有する。したがって、絶縁体756により、混色を抑制することができる。なお、シリコン基板の上面と絶縁体756との間に反射防止膜が設けられていてもよい。

40

【0335】

素子分離層は、LOCOS (LOCAL Oxidation of Silicon) 法を用いて形成することができる。または、STI (Shallow Trench Isolation) 法を用いて形成してもよい。絶縁体756としては、例えば、酸化シリコン、窒化シリコンなどの無機絶縁膜、ポリイミド、アクリルなどの有機絶縁膜を用い

50

ることができる。なお、絶縁体 756 は多層構成であってもよい。

【0336】

光電変換素子 700A の層 765a (n 型領域、カソードに相当) は、導電体 741 と電氣的に接続される。層 765b (p 型領域、アノードに相当) は、導電体 742 と電氣的に接続される。導電体 741、導電体 742 は、絶縁体 701 に埋設された領域を有する。また、絶縁体 701、導電体 741、導電体 742 の表面は、それぞれ高さが一致するように平坦化されている。

【0337】

絶縁体 650 の上方には、絶縁体 691、絶縁体 692 が順に積層されている。また、例えば、図 16 では、絶縁体 692 には開口部が設けられており、当該開口部を埋めるように導電体 743 が形成されている。

【0338】

絶縁体 691 としては、例えば、絶縁体 751 に適用できる材料を用いることができる。

【0339】

また、絶縁体 692 としては、例えば、絶縁体 650 に適用できる材料を用いることができる。

【0340】

絶縁体 693 と、絶縁体 701 と、のそれぞれは貼り合わせ層の一部として機能する。また、導電体 741、導電体 742 と、導電体 743 のそれぞれも貼り合わせ層の一部として機能する。

【0341】

絶縁体 693、及び絶縁体 701 としては、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、窒化チタンなどを用いることができる。特に、絶縁体 693 と絶縁体 701 とを接合するため、絶縁体 693 及び絶縁体 701 は、同一の成分で構成されていることが好ましい。

【0342】

導電体 741、導電体 742、及び導電体 743 としては、例えば、銅、アルミニウム、錫、亜鉛、タングステン、銀、白金または金などを用いることができる。特に、導電体 741 と導電体 743、及び導電体 742 と導電体 743 とを接合しやすくするには、銅、アルミニウム、タングステン、又は金を用いることが好ましい。

【0343】

なお、導電体 741、導電体 742、及び導電体 743 は、複数の層を含む多層構造としてもよい。例えば、導電体 741、導電体 742、又は導電体 743 が設けられる開口部の側面に第 1 の導電体を形成し、その後に開口部を埋めるように第 2 の導電体を形成してもよい。第 1 の導電体としては、例えば、窒化タンタルなど水素に対するバリア性を有する導電体を用いることができ、また、第 2 の導電体としては、例えば、導電性の高いタングステンをを用いることができる。

【0344】

基板 312 側の貼り合わせ層と構造体 SC 側の貼り合わせ層との貼り合わせを行う前工程では、基板 312 側において、絶縁体 693 と導電体 743 との表面はそれぞれ高さが一致するように平坦化が行われる。同様に、構造体 SC 側において、絶縁体 701 と、導電体 741 と、導電体 742 と、の表面はそれぞれ高さが一致するように平坦化が行われる。

【0345】

貼り合わせ工程で、絶縁体 693 と絶縁体 701 との接合、つまり絶縁層同士の接合を行うとき、研磨などによって高い平坦性を与えた後に、酸素プラズマ等で親水性処理をした表面同士を接触させて仮接合し、熱処理による脱水で本接合を行う親水性接合法などを用いることができる。親水性接合法も原子レベルでの結合が起こるため、機械的に優れた接合を得ることができる。

【0346】

また、例えば、導電体 741 と導電体 743 との接合、及び導電体 742 と導電体 743 との接合、つまり導電体同士の接合をおこなうとき、表面の酸化膜および不純物の吸着層などをスパッタリング処理などで除去し、清浄化および活性化した表面同士を接触させて接合する表面活性化接合法を用いることができる。または、温度と圧力を併用して表面同士を接合する拡散接合法などを用いることができる。どちらも原子レベルでの結合が起るため、電氣的だけでなく機械的にも優れた接合を得ることができる。

【0347】

上述した、貼り合わせ工程を行うことによって、基板 312 側の導電体 743 を、構造体 SC 側の導電体 741、及び導電体 742 に電氣的に接続することができる。また、基板 312 側の絶縁体 693 と、構造体 SC 側の絶縁体 701 と、の機械的な強度を有する接続を得ることができる。

10

【0348】

基板 312 と構造体 SC を貼り合わせる場合、それぞれの接合面には絶縁層と金属層が混在するため、例えば、表面活性化接合法および親水性接合法を組み合わせて行えばよい。

【0349】

例えば、研磨後に表面を清浄化し、金属層の表面に酸化防止処理を行ったのちに親水性処理を行って接合する方法などを用いることができる。また、金属層の表面を金などの難酸化性金属とし、親水性処理を行ってもよい。なお、上述した方法以外の接合方法を用いてもよい。

【0350】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

20

【0351】

(実施の形態 3)

本実施の形態では、上記の実施の形態で説明した O S トランジスタに用いることができる金属酸化物（以下、酸化物半導体ともいう。）について説明する。

【0352】

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、スズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどから選ばれた一種、または複数種が含まれていてもよい。

30

【0353】

<結晶構造の分類>

まず、酸化物半導体における、結晶構造の分類について、図 17A を用いて説明を行う。図 17A は、酸化物半導体、代表的には IGZO (In と、Ga と、Zn と、を含む金属酸化物) の結晶構造の分類を説明する図である。

【0354】

図 17A に示すように、酸化物半導体は、大きく分けて「Amorphous (無定形)」と、「Crystalline (結晶性)」と、「Crystal (結晶)」と、に分類される。また、「Amorphous」の中には、completely amorphous が含まれる。また、「Crystalline」の中には、CAAC (c-axis-aligned crystalline)、nc (nanocrystalline)、及び CAC (Cloud-Aligned Composite) が含まれる (excluding single crystal and polycrystal)。なお、「Crystalline」の分類には、single crystal、polycrystal、及び completely amorphous は除かれる。また、「Crystal」の中には、single crystal、及び polycrystal が含まれる。

40

50

【0355】

なお、図17Aに示す太枠内の構造は、「Amorphous（無定形）」と、「Crystal（結晶）」との間の中間状態であり、新しい境界領域（New crystalline phase）に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous（無定形）」、及び「Crystal（結晶）」とは全く異なる構造と言い換えることができる。

【0356】

なお、膜または基板の結晶構造は、X線回折（XRD：X-Ray Diffraction）スペクトルを用いて評価することができる。ここで、「Crystalline」に分類されるCAAC-IGZO膜のGIXD（Grazing-Incidence XRD）測定で得られるXRDスペクトルを図17Bに示す（横軸は 2θ [deg.]とし、また、縦軸は強度（Intensity）を任意単位（a.u.）で表している）。なお、GIXD法は、薄膜法またはSeemann-Bohlin法ともいう。以降、図17Bに示すGIXD測定で得られるXRDスペクトルを、単にXRDスペクトルと記す。なお、図17Bに示すCAAC-IGZO膜の組成は、In：Ga：Zn＝4：2：3〔原子数比〕近傍である。また、図17Bに示すCAAC-IGZO膜の厚さは、500 nmである。

【0357】

図17Bに示すように、CAAC-IGZO膜のXRDスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、CAAC-IGZO膜のXRDスペクトルでは、 $2\theta = 31^\circ$ 近傍に、c軸配向を示すピークが検出される。なお、図17Bに示すように、 $2\theta = 31^\circ$ 近傍のピークは、ピーク強度（Intensity）が検出された角度を軸に左右非対称である。

【0358】

また、膜または基板の結晶構造は、極微電子線回折法（NBED：Nano Beam Electron Diffraction）によって観察される回折パターン（極微電子線回折パターンともいう。）にて評価することができる。CAAC-IGZO膜の回折パターンを、図17Cに示す。図17Cは、電子線を基板に対して平行に入射するNBEDによって観察される回折パターンである。なお、図17Cに示すCAAC-IGZO膜の組成は、In：Ga：Zn＝4：2：3〔原子数比〕近傍である。また、極微電子線回折法では、プローブ径を1 nmとして電子線回折が行われる。

【0359】

図17Cに示すように、CAAC-IGZO膜の回折パターンでは、c軸配向を示す複数のスポットが観察される。

【0360】

<<酸化物半導体の構造>>

なお、酸化物半導体は、結晶構造に着目した場合、図17Aとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のCAAC-OS、及びnc-OSがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体（a-like OS：amorphous-like oxide semiconductor）、非晶質酸化物半導体、などが含まれる。

【0361】

ここで、上述のCAAC-OS、nc-OS、及びa-like OSの詳細について、説明を行う。

【0362】

[CAAC-OS]

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、またはCAAC-OS膜の表面の法線方向で

ある。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC-OSは、c軸配向し、a-b面方向には明らかな配向をしていない酸化物半導体である。

【0363】

なお、上記複数の結晶領域のそれぞれは、1つまたは複数の微小な結晶（最大径が10 nm未満である結晶）で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10 nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

【0364】

また、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、スズ、チタンなどから選ばれた一種、または複数種）において、CAAC-OSは、インジウム（In）、及び酸素を有する層（以下、In層）と、元素M、亜鉛（Zn）、及び酸素を有する層（以下、（M，Zn）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、（M，Zn）層にはインジウムが含まれる場合がある。また、In層には元素Mが含まれる場合がある。なお、In層にはZnが含まれる場合もある。当該層状構造は、例えば、高分解能TEM像において、格子像として観察される。

【0365】

CAAC-OS膜に対し、例えば、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$ またはその近傍に検出される。なお、c軸配向を示すピークの位置（ 2θ の値）は、CAAC-OSを構成する金属元素の種類、組成などにより変動する場合がある。

【0366】

また、例えば、CAAC-OS膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう。）を対称中心として、点对称の位置に観測される。

【0367】

上記特定の方法から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属原子が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

【0368】

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（polycrystal）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-OSは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-OSを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、及びIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

【0369】

CAAC-OSは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である

。よって、CAAC-Osは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入、及び／又は欠陥の生成などによって低下する場合があるため、CAAC-Osは不純物、及び／又は欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、CAAC-Osを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-Osを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-Osは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、OstransistorsにCAAC-Osを用いると、製造工程の自由度を広げることが可能となる。

【0370】

[nc-Os]

nc-Osは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。別言すると、nc-Osは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1nm以上10nm以下、特に1nm以上3nm以下であることから、当該微小な結晶をナノ結晶ともいう。また、nc-Osは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-Osは、分析方法によっては、a-like Os、及び非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-Os膜に対し、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、結晶性を示すピークが検出されない。また、nc-Os膜に対し、ナノ結晶よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-Os膜に対し、ナノ結晶の大きさと近いナノ結晶より小さいプローブ径（例えば1nm以上30nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

【0371】

[a-like Os]

a-like Osは、nc-Osと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like Osは、鬆又は低密度領域を有する。即ち、a-like Osは、nc-Os及びCAAC-Osと比べて、結晶性が低い。また、a-like Osは、nc-Os及びCAAC-Osと比べて、膜中の水素濃度が高い。

【0372】

<<酸化物半導体の構成>>

次に、上述のCAC-Osの詳細について、説明を行う。なお、CAC-Osは材料構成に関する。

【0373】

[CAC-Os]

CAC-Osとは、例えば、金属酸化物を構成する元素が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

【0374】

さらに、CAC-Osとは、第1の領域と、第2の領域と、に材料が分離することでモザイク状となり、当該第1の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、CAC-Osは、当該第1の領域と、当該第2の領域とが、混合している構成を有する複合金属酸化物である。

【0375】

ここで、In-Ga-Zn酸化物におけるCAC-Osを構成する金属元素に対するIn、Ga、およびZnの原子数比のそれぞれを、[In]、[Ga]、および[Zn]と

10

20

30

40

50

表記する。例えば、 In-Ga-Zn 酸化物における CAC-OS において、第1の領域は、 $[\text{In}]$ が、 CAC-OS 膜の組成における $[\text{In}]$ よりも大きい領域である。また、第2の領域は、 $[\text{Ga}]$ が、 CAC-OS 膜の組成における $[\text{Ga}]$ よりも大きい領域である。または、例えば、第1の領域は、 $[\text{In}]$ が、第2の領域における $[\text{In}]$ よりも大きく、且つ、 $[\text{Ga}]$ が、第2の領域における $[\text{Ga}]$ よりも小さい領域である。また、第2の領域は、 $[\text{Ga}]$ が、第1の領域における $[\text{Ga}]$ よりも大きく、且つ、 $[\text{In}]$ が、第1の領域における $[\text{In}]$ よりも小さい領域である。

【0376】

具体的には、上記第1の領域は、インジウム酸化物、インジウム亜鉛酸化物などが主成分である領域である。また、上記第2の領域は、ガリウム酸化物、ガリウム亜鉛酸化物などが主成分である領域である。つまり、上記第1の領域を、 In を主成分とする領域と言い換えることができる。また、上記第2の領域を、 Ga を主成分とする領域と言い換えることができる。

【0377】

なお、上記第1の領域と、上記第2の領域とは、明確な境界が観察できない場合がある。

【0378】

例えば、 In-Ga-Zn 酸化物における CAC-OS では、エネルギー分散型X線分光法(EDX: Energy Dispersive X-ray spectroscopy)を用いて取得したEDXマッピングにより、 In を主成分とする領域(第1の領域)と、 Ga を主成分とする領域(第2の領域)とが、偏在し、混合している構造を有することが確認できる。

【0379】

CAC-OS をトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能(On/Off させる機能)を CAC-OS に付与することができる。つまり、 CAC-OS とは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、 CAC-OS をトランジスタに用いることで、高いオン電流(I_{on})、高い電界効果移動度(μ)、および良好なスイッチング動作を実現することができる。

【0380】

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、 a-like OS 、 CAC-OS 、 nc-OS 、 CAAC-OS のうち、二種以上を有していてもよい。

【0381】

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

【0382】

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

【0383】

トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のキャリア濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体を呼称する場合がある。

【0384】

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

【0385】

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

【0386】

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0387】

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

【0388】

酸化物半導体において、第14族元素の一つであるシリコン、炭素などが含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコン、炭素などの濃度と、酸化物半導体との界面近傍のシリコン、炭素などの濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0389】

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

【0390】

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体中の窒素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にする。

【0391】

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満にする。

【0392】

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0393】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0394】

(実施の形態4)

本実施の形態は、上記実施の形態に示す半導体装置などが形成された半導体ウェハ、及び当該半導体装置が組み込まれた電子部品の一例を示す。

【0395】

<半導体ウェハ>

初めに、半導体装置などが形成された半導体ウェハの例を、図18Aを用いて説明する。

【0396】

図18Aに示す半導体ウェハ4800は、ウェハ4801と、ウェハ4801の上面に設けられた複数の回路部4802と、を有する。なお、ウェハ4801の上面において、回路部4802の無い部分は、スペーシング4803であり、ダイシング用の領域である。

【0397】

半導体ウェハ4800は、ウェハ4801の表面に対して、前工程によって複数の回路部4802を形成することで作製することができる。また、その後に、ウェハ4801の複数の回路部4802が形成された反対側の面を研削して、ウェハ4801の薄膜化してもよい。この工程により、ウェハ4801の反りなどを低減し、部品としての小型化を図ることができる。

【0398】

次の工程としては、ダイシング工程が行われる。ダイシングは、一点鎖線で示したスクライブラインSCL1及びスクライブラインSCL2（ダイシングライン、又は切断ラインと呼称する場合がある）に沿って行われる。なお、スペーシング4803は、ダイシング工程を容易に行うために、複数のスクライブラインSCL1が平行になるように設け、複数のスクライブラインSCL2が平行になるように設け、スクライブラインSCL1とスクライブラインSCL2が垂直になるように設けることが好ましい。

【0399】

ダイシング工程を行うことにより、図18Bに示すようなチップ4800aを、半導体ウェハ4800から切り出すことができる。チップ4800aは、ウェハ4801aと、回路部4802と、スペーシング4803aと、を有する。なお、スペーシング4803aは、極力小さくするようにすることが好ましい。この場合、隣り合う回路部4802の間のスペーシング4803の幅が、スクライブラインSCL1の切りしろと、又はスクライブラインSCL2の切りしろとほぼ同等の長さであればよい。

【0400】

なお、本発明の一態様の素子基板の形状は、図18Aに図示した半導体ウェハ4800の形状に限定されない。例えば、矩形の形状の半導体ウェハであってもよい。素子基板の形状は、素子の作製工程、及び素子を作製するための装置に応じて、適宜変更することができる。

【0401】

<電子部品>

図18Cに電子部品4700および電子部品4700が実装された基板（実装基板4704）の斜視図を示す。図18Cに示す電子部品4700は、モールド4711内にチップ4800aを有している。なお、図18Cに示すとおり、チップ4800aは、回路部4802が積層された構成としてもよい。図18Cは、電子部品4700の内部を示すために、一部を省略している。電子部品4700は、モールド4711の外側にランド4712を有する。ランド4712は電極パッド4713と電氣的に接続され、電極パッド4713はチップ4800aとワイヤ4714によって電氣的に接続されている。電子部品

10

20

30

40

50

４７００は、例えばプリント基板４７０２に実装される。このような電子部品が複数組み合わせられて、それぞれがプリント基板４７０２上で電氣的に接続されることで実装基板４７０４が完成する。

【０４０２】

図１８Ｄに電子部品４７３０の斜視図を示す。電子部品４７３０は、ＳｉＰ（Ｓｙｓｔｅｍ ｉｎ Ｐａｃｋａｇｅ）またはＭＣＭ（Ｍｕｌｔｉ Ｃｈｉｐ Ｍｏｄｕｌｅ）の一例である。電子部品４７３０は、パッケージ基板４７３２（プリント基板）上にインターポーザ４７３１が設けられ、インターポーザ４７３１上に半導体装置４７３５、および複数の半導体装置４７１０が設けられている。

【０４０３】

電子部品４７３０では、半導体装置４７１０を有する。半導体装置４７１０としては、例えば、上記実施の形態で説明した半導体装置、広帯域メモリ（ＨＢＭ：Ｈｉｇｈ Ｂａｎｄｗｉｄｔｈ Ｍｅｍｏｒｙ）などとすることができる。また、半導体装置４７３５は、ＣＰＵ、ＧＰＵ、ＦＰＧＡ、記憶装置などの集積回路（半導体装置）を用いることができる。

【０４０４】

パッケージ基板４７３２は、セラミック基板、プラスチック基板、またはガラスエポキシ基板などを用いることができる。インターポーザ４７３１は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

【０４０５】

インターポーザ４７３１は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ４７３１は、インターポーザ４７３１上に設けられた集積回路をパッケージ基板４７３２に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼称する場合がある。また、インターポーザ４７３１に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板４７３２を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、ＴＳＶ（Ｔｈｒｏｕｇｈ Ｓｉｌｉｃｏｎ Ｖｉａ）を用いることも出来る。

【０４０６】

インターポーザ４７３１としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

【０４０７】

ＨＢＭでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、ＨＢＭを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、ＨＢＭを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

【０４０８】

また、シリコンインターポーザを用いたＳｉＰ、ＭＣＭなどでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する２．５Ｄパッケージ（２．５次元実装）では、シリコンインターポーザを用いることが好ましい。

【０４０９】

また、電子部品４７３０と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ４７３１上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品４７３０では、半導体装置４７１０と半導体装置４７３５の高さを揃えることが好ましい。

10

20

30

40

50

【0410】

電子部品4730を他の基板に実装するため、パッケージ基板4732の底部に電極4733を設けてもよい。図18Dでは、電極4733を半田ボールで形成する例を示している。パッケージ基板4732の底部に半田ボールをマトリクス状に設けることで、BGA(Ball Grid Array)実装を実現できる。また、電極4733を導電性のピンで形成してもよい。パッケージ基板4732の底部に導電性のピンをマトリクス状に設けることで、PGA(Pin Grid Array)実装を実現できる。

【0411】

電子部品4730は、BGAおよびPGAに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、SPGA(Staggered Pin Grid Array)、LGA(Land Grid Array)、QFP(Quad Flat Package)、QFJ(Quad Flat J-leaded package)、またはQFN(Quad Flat Non-leaded package)などの実装方法を用いることができる。

10

【0412】

次に、光電変換素子が含まれているイメージセンサチップ(撮像装置)を有する、電子部品について説明する。

【0413】

図19Aは、イメージセンサチップを収めたパッケージの上面側の外観斜視図である。当該パッケージは、イメージセンサチップ4550(図19C参照)を固定するパッケージ基板4510、カバーガラス4520および両者を接着する接着剤4530等を有する。

20

【0414】

図19Bは、当該パッケージの下面側の外観斜視図である。パッケージの下面には、半田ボールを bumps 4540としたBGA(Ball Grid Array)を有する。なお、BGAに限らず、LGA(Land Grid Array)、PGA(Pin Grid Array)などを有していてもよい。

【0415】

図19Cは、カバーガラス4520および接着剤4530の一部を省いて図示したパッケージの斜視図である。パッケージ基板4510上には電極パッド4560が形成され、電極パッド4560および bumps 4540はスルーホールを介して電氣的に接続されている。電極パッド4560は、イメージセンサチップ4550とワイヤ4570によって電氣的に接続されている。

30

【0416】

また、図19Dは、イメージセンサチップをレンズ一体型のパッケージに収めたカメラモジュールの上面側の外観斜視図である。当該カメラモジュールは、イメージセンサチップ4551(図19F)を固定するパッケージ基板4511、レンズカバー4521、およびレンズ4535等を有する。また、パッケージ基板4511およびイメージセンサチップ4551の間には撮像装置の駆動回路および信号変換回路などの機能を有するICチップ4590(図19F)も設けられており、SiP(System in Package)としての構成を有している。

40

【0417】

図19Eは、当該カメラモジュールの下面側の外観斜視図である。パッケージ基板4511の下面および側面には、実装用のランド4541が設けられたQFN(Quad Flat No-lead package)の構成を有する。なお、当該構成は一例であり、QFP(Quad Flat Package)、前述したBGAなどが設けられていてもよい。

【0418】

図19Fは、レンズカバー4521およびレンズ4535の一部を省いて図示したモジュールの斜視図である。ランド4541は電極パッド4561と電氣的に接続され、電極パッド4561はイメージセンサチップ4551またはICチップ4590とワイヤ45

50

7 1 によって電氣的に接続されている。

【0 4 1 9】

イメージセンサチップを上述したような形態のパッケージに収めることでプリント基板等への実装が容易になり、イメージセンサチップを様々な半導体装置、電子機器に組み込むことができる。

【0 4 2 0】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0 4 2 1】

(実施の形態 5)

本実施の形態では、上記実施の形態で説明した半導体装置を有する電子機器の一例について説明する。なお、図 2 0 には、当該半導体装置を有する電子部品 4 7 0 0 が各電子機器に含まれている様子を図示している。

【0 4 2 2】

[携帯電話]

図 2 0 に示す情報端末 5 5 0 0 は、情報端末の一種である携帯電話（スマートフォン）である。情報端末 5 5 0 0 は、筐体 5 5 1 0 と、表示部 5 5 1 1 と、を有しており、入力用インターフェースとして、タッチパネルが表示部 5 5 1 1 に備えられ、ボタンが筐体 5 5 1 0 に備えられている。

【0 4 2 3】

また、図 2 0 には図示していないが、情報端末 5 5 0 0 は、記憶装置、撮像装置などの半導体装置を有する。ここで、情報端末 5 5 0 0 は、上記実施の形態で説明した半導体装置を適用することによって、記憶装置、撮像装置、表示部 5 5 1 1 などの消費電力を低減することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

【0 4 2 4】

[ウェアラブル端末]

また、図 2 0 には、ウェアラブル端末の一例として腕時計型の情報端末 5 9 0 0 が図示されている。情報端末 5 9 0 0 は、筐体 5 9 0 1、表示部 5 9 0 2、操作ボタン 5 9 0 3、操作子 5 9 0 4、バンド 5 9 0 5 などを有する。

【0 4 2 5】

ウェアラブル端末は、先述した情報端末 5 5 0 0 と同様に、上記実施の形態で説明した半導体装置を適用することによって、ウェアラブル端末に含まれている記憶装置、撮像装置、表示部 5 9 0 2 などの半導体装置などの消費電力を低減することができる。

【0 4 2 6】

[情報端末]

また、図 2 0 には、デスクトップ型情報端末 5 3 0 0 が図示されている。デスクトップ型情報端末 5 3 0 0 は、情報端末の本体 5 3 0 1 と、ディスプレイ 5 3 0 2 と、キーボード 5 3 0 3 と、を有する。

【0 4 2 7】

デスクトップ型情報端末 5 3 0 0 は、先述した情報端末 5 5 0 0 と同様に、上記実施の形態で説明した半導体装置を適用することによって、デスクトップ型情報端末 5 3 0 0 に備わる半導体装置の消費電力を低減することができる。

【0 4 2 8】

なお、上述では、電子機器としてスマートフォン、デスクトップ用情報端末、ウェアラブル端末を例として、それぞれ図 2 0 に図示したが、スマートフォン、デスクトップ用情報端末、ウェアラブル端末以外の情報端末を適用することができる。スマートフォン、デスクトップ用情報端末、ウェアラブル端末以外の情報端末としては、例えば、PDA (Personal Digital Assistant)、ノート型情報端末、ワークステ

10

20

30

40

50

ーションなどが挙げられる。

【0429】

〔電化製品〕

また、図20には、電化製品の一例として電気冷凍冷蔵庫5800が図示されている。電気冷凍冷蔵庫5800は、筐体5801、冷蔵室用扉5802、冷凍室用扉5803等を有する。

【0430】

電気冷凍冷蔵庫5800に上記実施の形態で説明した半導体装置を適用することによって、電気冷凍冷蔵庫5800の消費電力を低減することができる。

【0431】

本一例では、電化製品として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電気オーブン、炊飯器、湯沸かし器、IH（Induction Heating）調理器、ウォーターサーバ、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

【0432】

〔ゲーム機〕

また、図20には、ゲーム機の一例である携帯ゲーム機5200が図示されている。携帯ゲーム機5200は、筐体5201、表示部5202、ボタン5203等を有する。

【0433】

更に、図20には、ゲーム機の一例である据え置き型ゲーム機7500が図示されている。据え置き型ゲーム機7500は、本体7520と、コントローラ7522を有する。なお、本体7520には、無線または有線によってコントローラ7522を接続することができる。また、図20に示していないが、コントローラ7522は、ゲームの画像を表示する表示部、ボタン以外の入力インターフェースとなるタッチパネル、スティック、回転式つまみ、スライド式つまみなどを備えることができる。また、コントローラ7522は、図20に示す形状に限定されず、ゲームのジャンルに応じて、コントローラ7522の形状を様々に変更してもよい。例えば、FPS（First Person Shooter）などのシューティングゲームでは、トリガーをボタンとし、銃を模した形状のコントローラを用いることができる。また、例えば、音楽ゲームなどでは、楽器、音楽機器などを模した形状のコントローラを用いることができる。更に、据え置き型ゲーム機は、コントローラを使わず、代わりにカメラ、深度センサ、マイクロフォンなどを備えて、ゲームプレイヤーのジェスチャー、及び／又は音声によって操作する形式としてもよい。

【0434】

また、上述したゲーム機の映像は、テレビジョン装置、パーソナルコンピュータ用ディスプレイ、ゲーム用ディスプレイ、ヘッドマウントディスプレイなどの表示装置によって、出力することができる。

【0435】

携帯ゲーム機5200に上記実施の形態で説明した半導体装置を適用することによって、低消費電力の携帯ゲーム機5200を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

【0436】

図20では、ゲーム機の一例として携帯ゲーム機を図示しているが、本発明の一態様の電子機器はこれに限定されない。本発明の一態様の電子機器としては、例えば、家庭用の据え置き型ゲーム機、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

【0437】

〔移動体〕

上記実施の形態で説明した半導体装置は、移動体である自動車、及び自動車の運転席周辺に適用することができる。

10

20

30

40

50

【0438】

図20には移動体の一例である自動車5700が図示されている。

【0439】

自動車5700の運転席周辺には、スピードメーター、タコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することができるインストゥルメントパネルが備えられている。また、運転席周辺には、それらの情報を示す表示装置が備えられているもよい。

【0440】

特に当該表示装置には、自動車5700に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーなどで遮られた視界、運転席の死角などを補うことができ、安全性を高めることができる。すなわち、自動車5700の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。

【0441】

上記実施の形態で説明した半導体装置は、上述したインストゥルメントパネル、撮像装置などに適用することができる。このため、自動車5700に備えられるインストゥルメントパネル、撮像装置などの消費電力を低減することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

【0442】

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様の半導体装置を適用して、消費電力の低減を図ることができる。

【0443】

[カメラ]

上記実施の形態で説明した半導体装置は、カメラに適用することができる。

【0444】

図20には、撮像装置の一例であるデジタルカメラ6240が図示されている。デジタルカメラ6240は、筐体6241、表示部6242、操作ボタン6243、シャッターボタン6244等を有し、また、デジタルカメラ6240には、着脱可能なレンズ6246が取り付けられている。なお、ここではデジタルカメラ6240を、レンズ6246を筐体6241から取り外して交換することが可能な構成としたが、レンズ6246と筐体6241とが一体となってもよい。また、デジタルカメラ6240は、ストロボ装置、ビューファインダー等を別途装着することができる構成としてもよい。

【0445】

デジタルカメラ6240に含まれている撮像装置に上記実施の形態で説明した半導体装置を適用することによって、低消費電力のデジタルカメラ6240を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

【0446】

[ビデオカメラ]

上記実施の形態で説明した半導体装置は、ビデオカメラに適用することができる。

【0447】

図20には、撮像装置の一例であるビデオカメラ6300が図示されている。ビデオカメラ6300は、第1筐体6301、第2筐体6302、表示部6303、操作キー6304、レンズ6305、接続部6306等を有する。操作キー6304及びレンズ6305は第1筐体6301に設けられており、表示部6303は第2筐体6302に設けられている。そして、第1筐体6301と第2筐体6302とは、接続部6306により接続されており、第1筐体6301と第2筐体6302の間の角度は、接続部6306により変更が可能である。表示部6303における映像を、接続部6306における第1筐体6

10

20

30

40

50

301と第2筐体6302との間の角度に従って切り替える構成としてもよい。

【0448】

ビデオカメラ6300は、デジタルカメラ6240と同様に撮像装置を有する。そのため、ビデオカメラ6300に含まれている撮像装置に上記実施の形態で説明した半導体装置を適用することによって、低消費電力のビデオカメラ6300を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

【0449】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【符号の説明】

【0450】

AM：記憶部、Tr1：トランジスタ、Tr2：トランジスタ、Tr3：トランジスタ、Tr4：トランジスタ、Tc1：トランジスタ、TcL：トランジスタ、C1：容量、CL：容量、FN：ノード、INE：配線、BOTE：配線、VDHE：配線、VLSE：配線、PRCE：配線、EVE：配線、CLPE：配線、VAL：配線、SA：層、SB：層、SC：構造体、100：レベルシフト、100A：レベルシフト、100B：レベルシフト、100C：レベルシフト、200：トランジスタ、211：基板、212：基板、220：絶縁体、222：絶縁体、224：絶縁体、226：絶縁体、228：導電体、229：導電体、230：絶縁体、231：絶縁体、232：絶縁体、233：導電体、300：トランジスタ、311：基板、312：基板、313：半導体領域、314a：低抵抗領域、314b：低抵抗領域、315：絶縁体、316：導電体、320：絶縁体、322：絶縁体、324：絶縁体、326：絶縁体、328：導電体、330：導電体、341：絶縁体、342：導電体、350：絶縁体、352：絶縁体、354：絶縁体、356：導電体、360：絶縁体、362：絶縁体、364：絶縁体、366：導電体、370：絶縁体、372：絶縁体、374：絶縁体、376：導電体、380：絶縁体、382：絶縁体、384：絶縁体、386：導電体、402：絶縁体、404：絶縁体、500：トランジスタ、503：導電体、503a：導電体、503b：導電体、510：絶縁体、512：絶縁体、514：絶縁体、516：絶縁体、518：導電体、520：絶縁体、522：絶縁体、524：絶縁体、530：酸化物、530a：酸化物、530b：酸化物、530c：酸化物、530c1：酸化物、530c2：酸化物、540：導電体、540a：導電体、540b：導電体、542：導電体、542a：導電体、542b：導電体、543a：領域、543b：領域、544：絶縁体、546：導電体、548：導電体、550：絶縁体、552：絶縁体、560：導電体、560a：導電体、560b：導電体、574：絶縁体、580：絶縁体、581：絶縁体、582：絶縁体、586：絶縁体、600：容量素子、600A：容量素子、600B：容量素子、610：導電体、611：導電体、612：導電体、620：導電体、630：絶縁体、631：絶縁体、650：絶縁体、651：絶縁体、691：絶縁体、692：絶縁体、693：絶縁体、701：絶縁体、741：導電体、742：導電体、743：導電体、751：絶縁体、752：絶縁体、753：絶縁体、754：絶縁体、755：絶縁体、756：絶縁体、765a：層、765b：層、767a：層、767b：層、767c：層、767d：層、767e：層、771：遮光層、772：光学変換層、4510：パッケージ基板、4511：パッケージ基板、4520：カバーガラス、4521：レンズカバー、4530：接着剤、4535：レンズ、4540：バンプ、4541：ランド、4550：イメージセンサチップ、4551：イメージセンサチップ、4560：電極パッド、4561：電極パッド、4570：ワイヤ、4571：ワイヤ、4590：ICチップ、4700：電子部品、4702：プリント基板、4704：実装基板、4710：半導体装置、4711：モールド、4712：ランド、4713：電極パッド、4714：ワイヤ、4730：電子部品、4731：インターポーザ、4732：パッケージ基板、4733：電極、4735：半導体装置、4800：半導体ウェハ、4800a

10

20

30

40

50

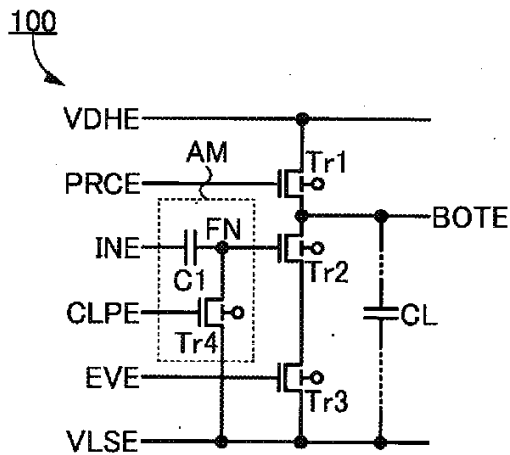
：チップ、4801：ウェハ、4801a：ウェハ、4802：回路部、4803：スペーシング、4803a：スペーシング、5200：携帯ゲーム機、5201：筐体、5202：表示部、5203：ボタン、5300：デスクトップ型情報端末、5301：本体、5302：ディスプレイ、5303：キーボード、5500：情報端末、5510：筐体、5511：表示部、5700：自動車、5800：電気冷凍冷蔵庫、5801：筐体、5802：冷蔵室用扉、5803：冷凍室用扉、5900：情報端末、5901：筐体、5902：表示部、5903：操作ボタン、5904：操作子、5905：バンド、6240：デジタルカメラ、6241：筐体、6242：表示部、6243：操作ボタン、6244：シャッターボタン、6246：レンズ、6300：ビデオカメラ、6301：筐体、6302：筐体、6303：表示部、6304：操作キー、6305：レンズ、6306：接続部、7500：据え置き型ゲーム機、7520：本体、7522：コントローラ

10

【図面】

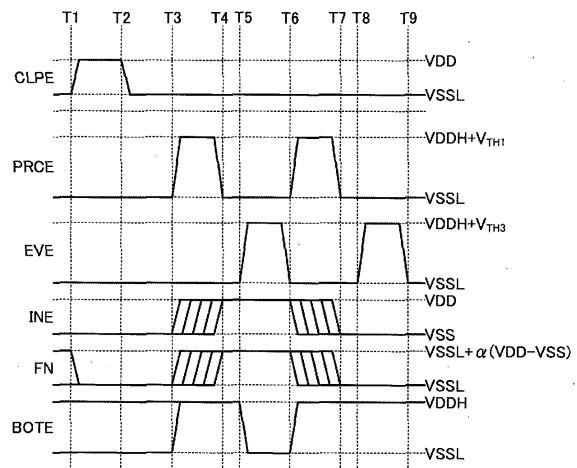
【図1】

図1



【図2】

図2



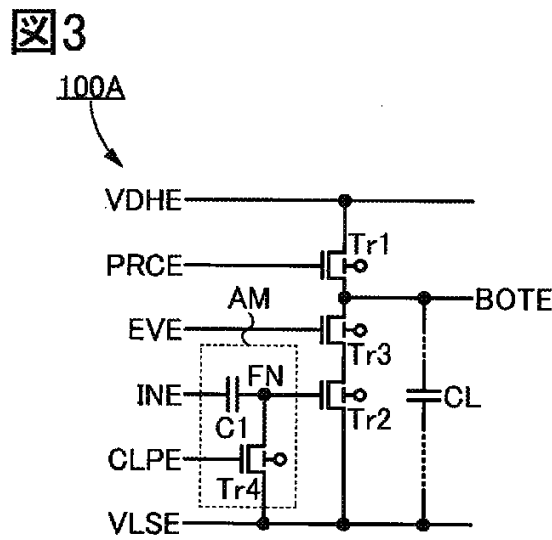
20

30

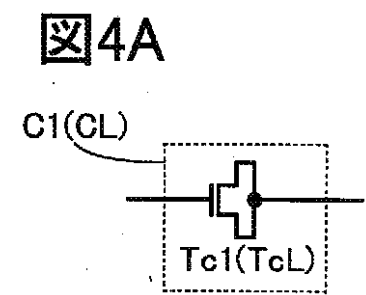
40

50

【図 3】

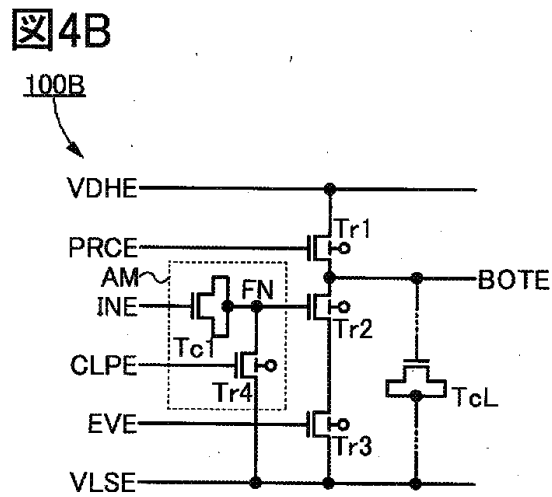


【図 4 A】

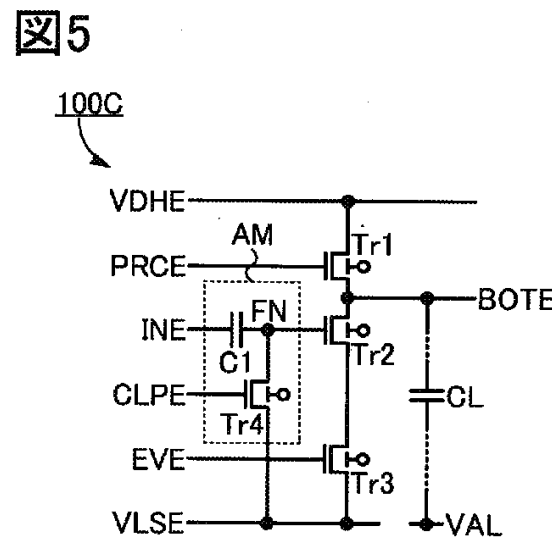


10

【図 4 B】



【図 5】



20

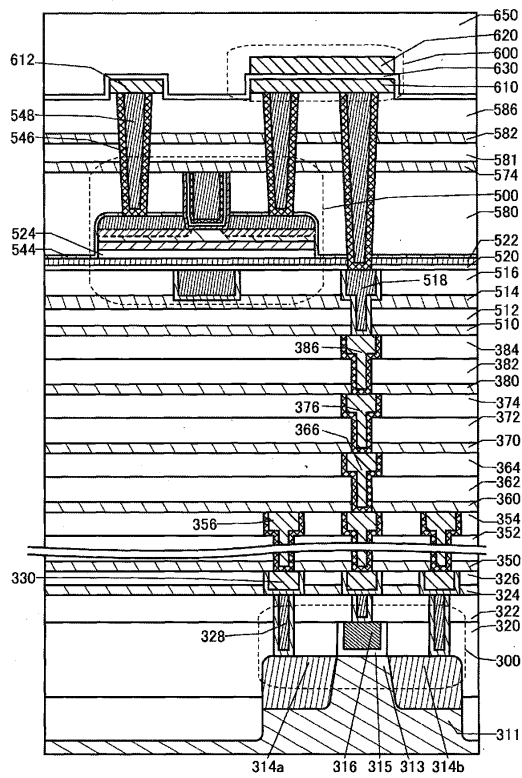
30

40

50

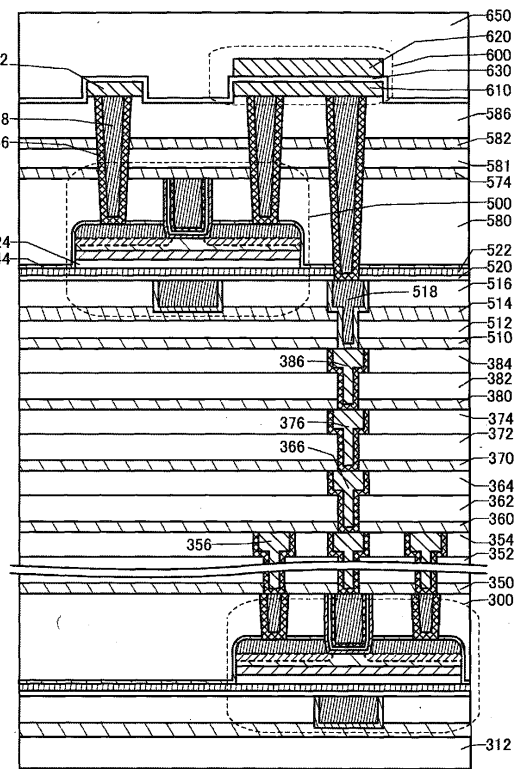
【図 6】

図6



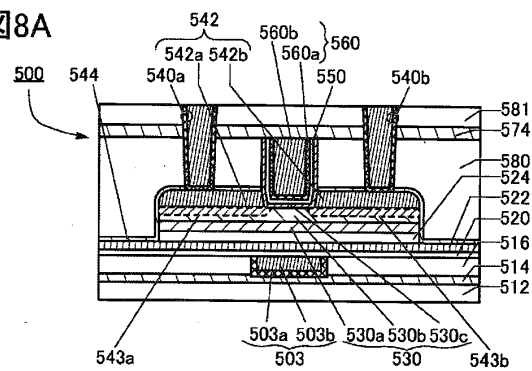
【図 7】

図7



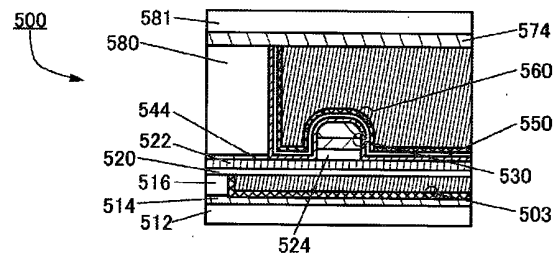
【図 8 A】

図8A



【図 8 B】

図8B



10

20

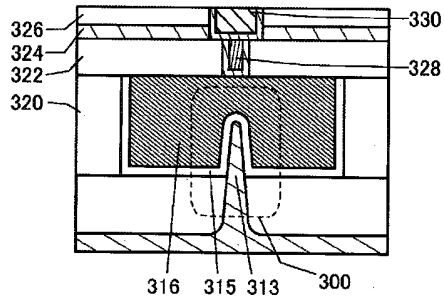
30

40

50

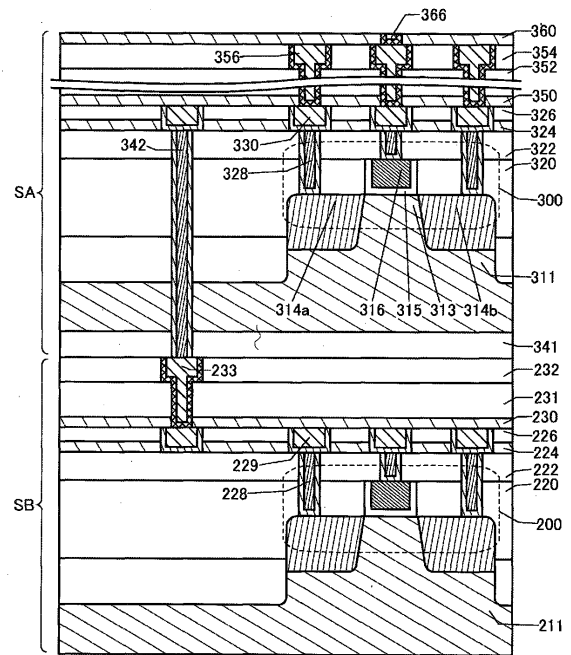
【図 8 C】

図8C



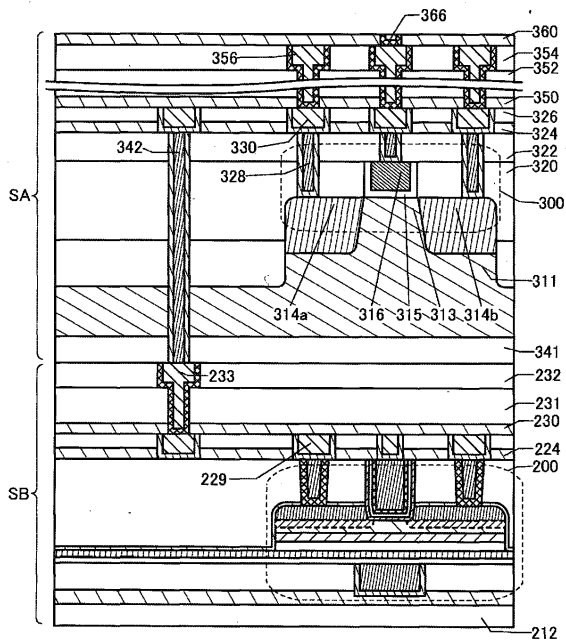
【図 9】

図9



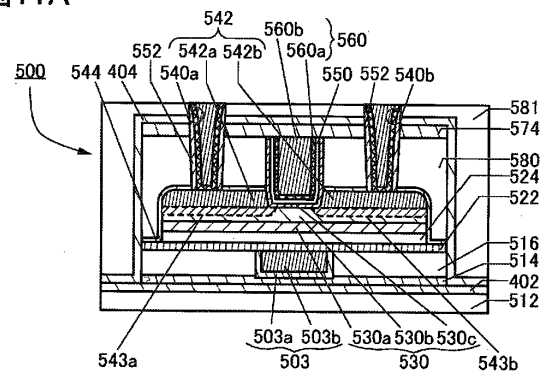
【図 1 0】

図10



【図 1 1 A】

図11A



10

20

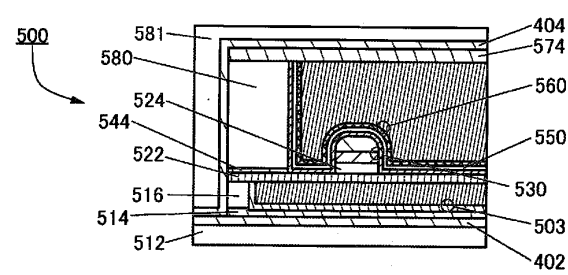
30

40

50

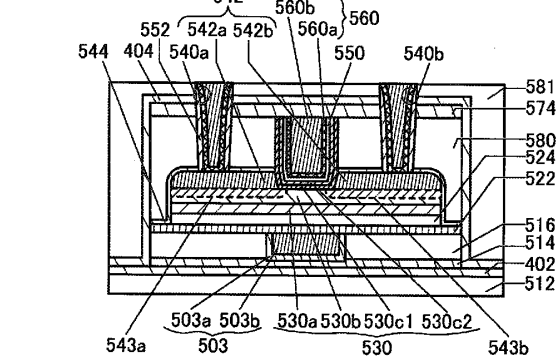
【図 1 1 B】

図11B



【図 1 2 A】

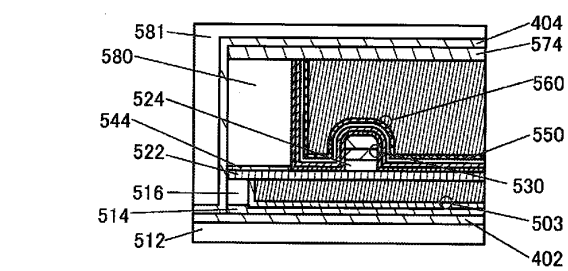
図12A



10

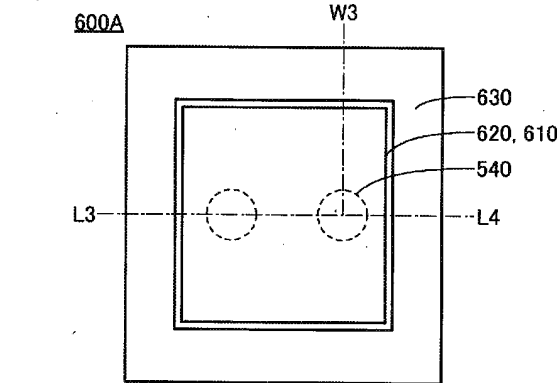
【図 1 2 B】

図12B



【図 1 3 A】

図13A



20

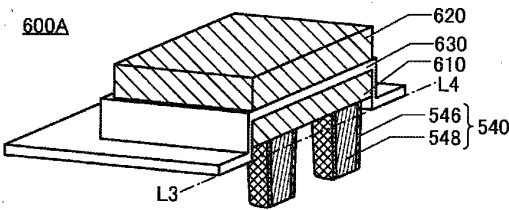
30

40

50

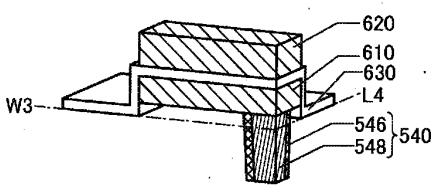
【図 1 3 B】

図13B



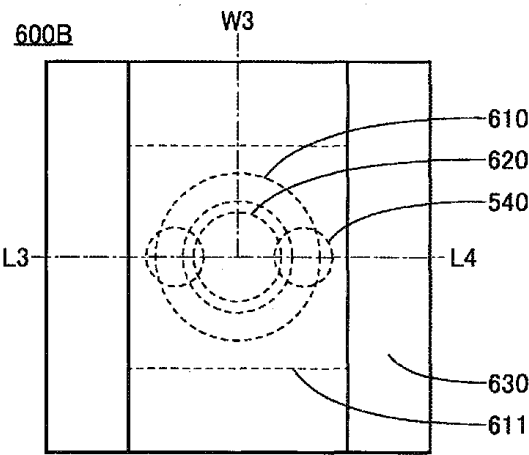
【図 1 3 C】

図13C



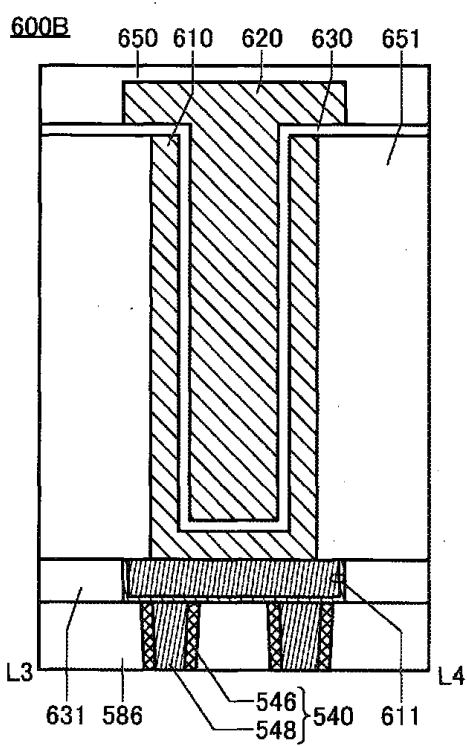
【図 1 4 A】

図14A



【図 1 4 B】

図14B



10

20

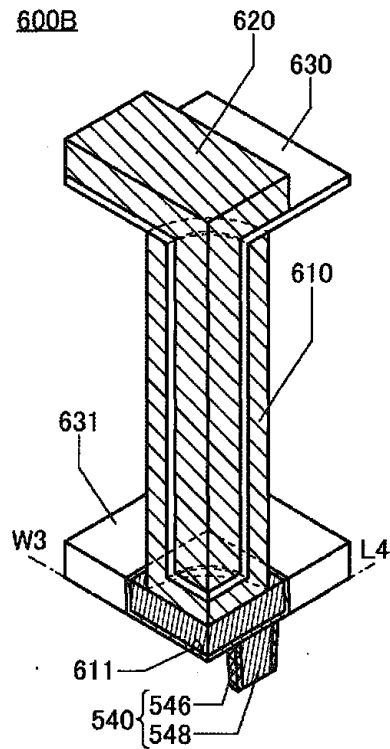
30

40

50

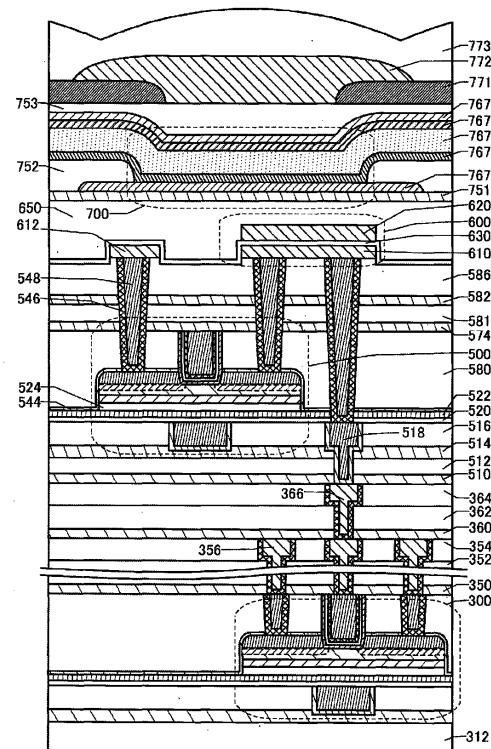
【図 1 4 C】

図14C



【図 1 5】

図15

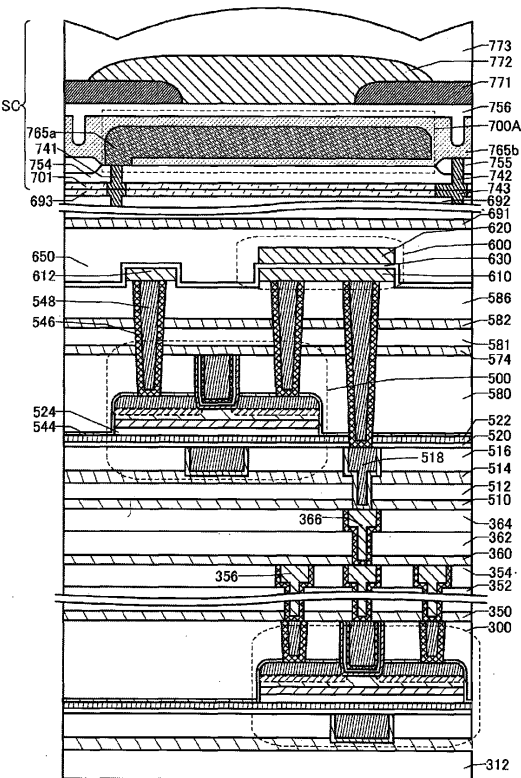


10

20

【図 1 6】

図16



【図 1 7 A】

図17A

中間状態 新しい境界領域		
Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
•completely amorphous	•CAAC •nc •CAC excluding single crystal and poly crystal	•single crystal •poly crystal

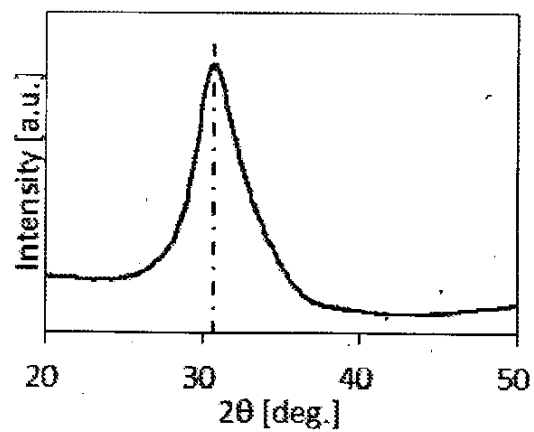
30

40

50

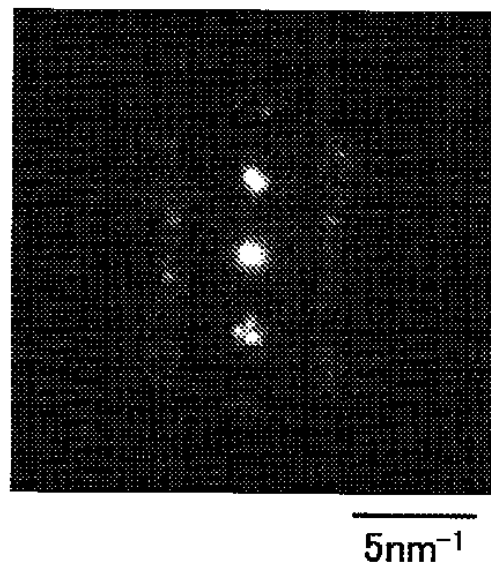
【図 17 B】

図17B



【図 17 C】

図17C

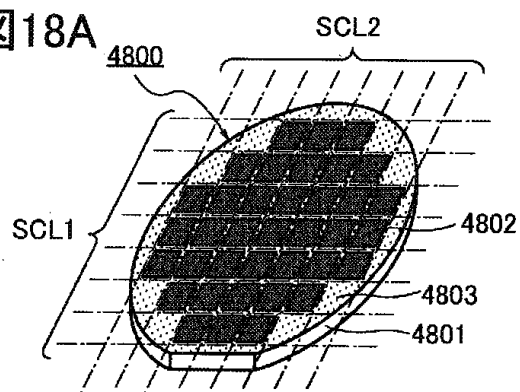


10

20

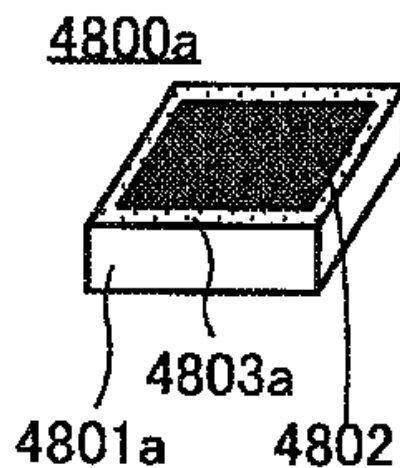
【図 18 A】

図18A



【図 18 B】

図18B



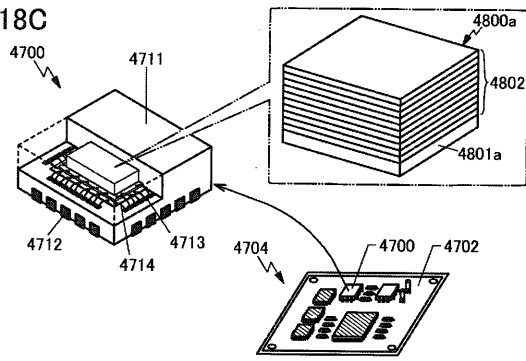
30

40

50

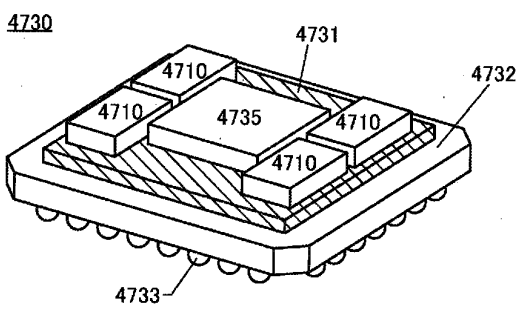
【図 18 C】

図18C



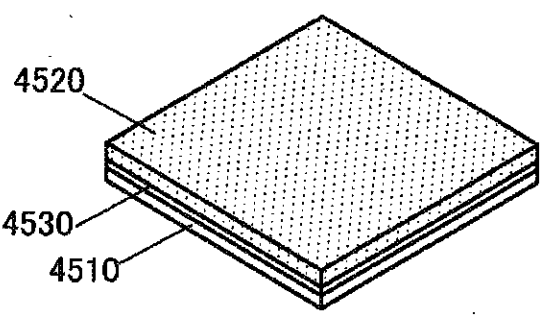
【図 18 D】

図18D



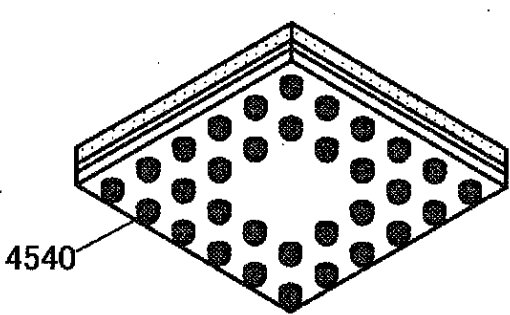
【図 19 A】

図19A



【図 19 B】

図19B



10

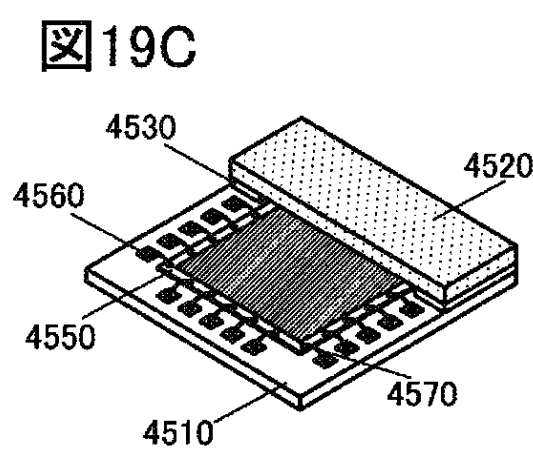
20

30

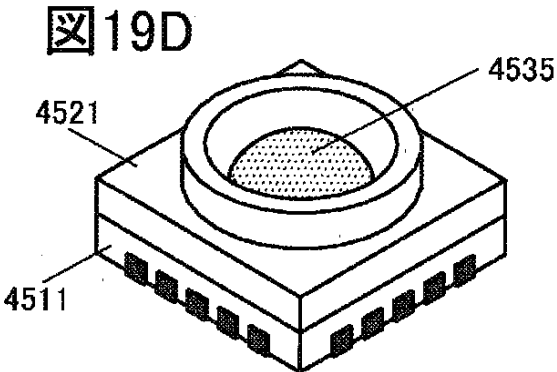
40

50

【図 19 C】

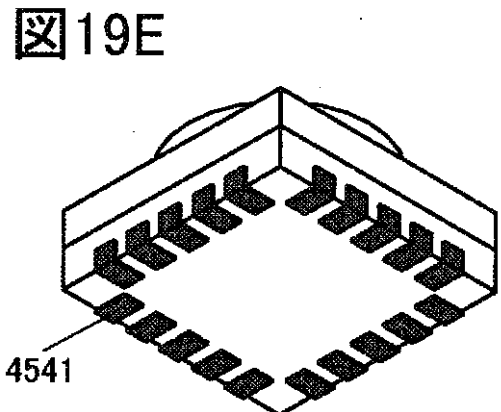


【図 19 D】

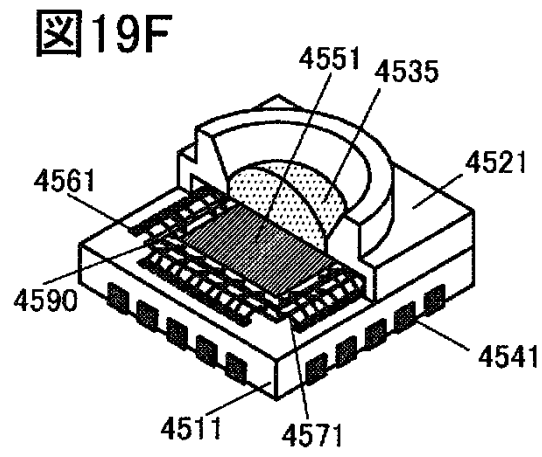


10

【図 19 E】



【図 19 F】



20

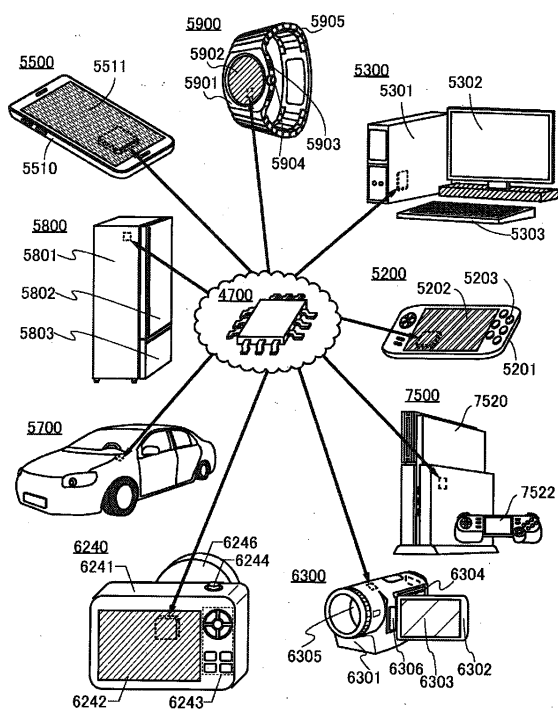
30

40

50

【図 20】

図20



10

20

30

40

50

フロントページの続き

(51)国際特許分類		F I		
H 1 0 D	84/83 (2025.01)	H 1 0 D	84/83	E
H 1 0 D	86/40 (2025.01)	H 1 0 D	84/83	1 0 1 E
H 1 0 D	89/00 (2025.01)	H 1 0 D	86/40	1 0 1 Z
H 1 0 F	39/18 (2025.01)	H 1 0 D	89/00	1 0 1 F
		H 1 0 F	39/18	A

- (56)参考文献 特開 2 0 1 6 - 2 0 8 5 1 5 (J P , A)
 特開 2 0 1 6 - 1 4 0 0 5 4 (J P , A)
 特開 2 0 1 3 - 0 0 9 3 1 1 (J P , A)

- (58)調査した分野 (Int.Cl., DB名)
- | | |
|---------|-----------|
| H 0 4 N | 2 5 / 7 0 |
| H 0 4 N | 2 5 / 7 6 |
| H 1 0 D | 1 / 6 8 |
| H 1 0 D | 3 0 / 6 7 |
| H 1 0 D | 8 4 / 8 0 |
| H 1 0 D | 8 4 / 8 3 |
| H 1 0 D | 8 6 / 4 0 |
| H 1 0 D | 8 9 / 0 0 |
| H 1 0 F | 3 9 / 1 8 |