



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0149879  
(43) 공개일자 2022년11월09일

(51) 국제특허분류(Int. Cl.)  
H01L 27/32 (2006.01) H01L 51/52 (2006.01)  
(52) CPC특허분류  
H01L 27/3276 (2022.01)  
H01L 27/3246 (2022.01)  
(21) 출원번호 10-2021-0056851  
(22) 출원일자 2021년04월30일  
심사청구일자 없음

(71) 출원인  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)  
(72) 발명자  
신현우  
경기도 수원시 권선구 덕영대로1190번길 100 수원  
아이파크시티7단지  
박범열  
경기도 수원시 영통구 봉영로 1410-17 e편한세상  
영통2차1단지  
(뒷면에 계속)  
(74) 대리인  
특허법인가산

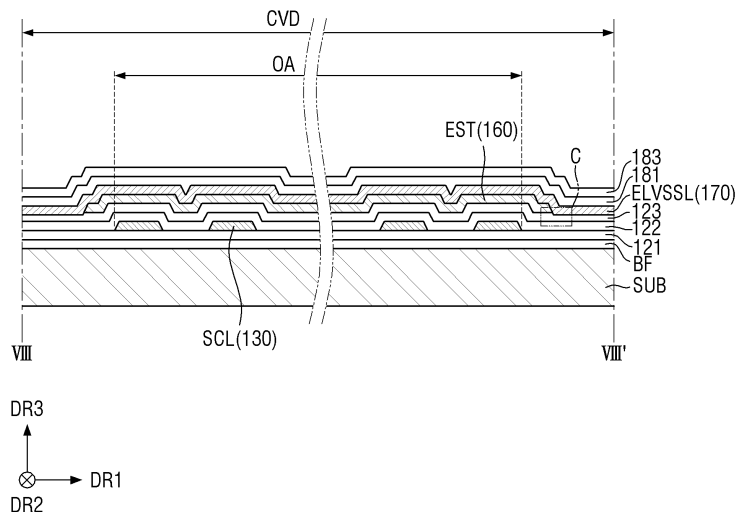
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 장치

(57) 요약

표시 장치가 제공된다. 표시 장치는 애노드 전극, 발광층 및 캐소드 전극을 각각 포함하는 복수의 발광 소자를 포함하는 표시 영역, 상기 복수의 발광 소자 상에 배치되며, 제1 무기 봉지막, 유기 봉지막 및 제2 무기 봉지막을 포함하는 봉지층, 상기 표시 영역을 둘러싸는 댐 구조물, 상기 댐 구조물의 외측에 배치되는 बैं크 구조물, 상기 캐소드 전극과 전기적으로 연결되는 전원 전압 라인, 상기 전원 전압 라인과 중첩하는 신호 전달 라인, 및 상기 전원 전압 라인과 상기 신호 전달 라인 사이에 배치되는 식각 방지 패턴을 포함하되, 상기 댐 구조물과 상기 बैं크 구조물 사이에 배치되고, 상기 제1 무기 봉지막과 상기 제2 무기 봉지막이 직접 접촉하는 무기 봉지 영역을 포함하고, 상기 식각 방지 패턴은 상기 무기 봉지 영역에 배치된다.

대표도 - 도8



(52) CPC특허분류

**H01L 51/5256** (2013.01)

(72) 발명자

**박지련**

충청남도 천안시 서북구 불당19로 95 천안불당린스  
트라우스1단지 104동 2404호

**이지선**

경기도 화성시 동탄대로 469-12 동탄역린스트라우  
스

**조승환**

경기도 용인시 수지구 죽전로 87 꽃메마을현대홈타  
운3단지아파트 432동 1601호

**최원석**

서울특별시 송파구 올림픽로4길 42 우성아파트 3동  
102호

**최윤선**

경기도 화성시 동탄기흥로353번길 77 동탄2신도시  
에일린의뜰 1603동 1103호

## 명세서

### 청구범위

#### 청구항 1

애노드 전극, 발광층 및 캐소드 전극을 각각 포함하는 복수의 발광 소자를 포함하는 표시 영역;  
상기 복수의 발광 소자 상에 배치되며, 제1 무기 봉지막, 유기 봉지막 및 제2 무기 봉지막을 포함하는 봉지층;  
상기 표시 영역을 둘러싸는 댐 구조물;  
상기 댐 구조물의 외측에 배치되는 बैं크 구조물;  
상기 캐소드 전극과 전기적으로 연결되는 전원 전압 라인;  
상기 전원 전압 라인과 중첩하는 신호 전달 라인; 및  
상기 전원 전압 라인과 상기 신호 전달 라인 사이에 배치되는 식각 방지 패턴을 포함하되,  
상기 댐 구조물과 상기 बैं크 구조물 사이에 배치되고, 상기 제1 무기 봉지막과 상기 제2 무기 봉지막이 직접 접촉하는 무기 봉지 영역을 포함하고,  
상기 식각 방지 패턴은 상기 무기 봉지 영역에 배치되는 표시 장치.

#### 청구항 2

제1 항에 있어서,  
상기 전원 전압 라인과 상기 신호 전달 라인이 중첩하는 중첩 영역의 적어도 일부가 상기 무기 봉지 영역과 중첩하는 표시 장치.

#### 청구항 3

제2 항에 있어서,  
상기 식각 방지 패턴의 적어도 일부가 상기 중첩 영역의 적어도 일부와 중첩하는 표시 장치.

#### 청구항 4

제1 항에 있어서,  
기관, 상기 기관 상에 배치되는 제1 도전층, 상기 제1 도전층 상에 배치되는 제1 유기 절연층, 상기 제1 유기 절연층 상에 배치되는 제2 도전층, 상기 제2 도전층 상에 배치되는 제2 유기 절연층 및 상기 제2 유기 절연층 상에 배치되는 제3 도전층을 더 포함하되,  
상기 전원 전압 라인은 상기 제3 도전층으로 이루어지는 표시 장치.

#### 청구항 5

제4 항에 있어서,  
상기 식각 방지 패턴은 상기 제1 도전층 및 상기 제2 도전층 중 어느 하나로 이루어지는 표시 장치.

#### 청구항 6

제5 항에 있어서,  
상기 전원 전압 라인과 상기 식각 방지 패턴은 직접 접촉하는 표시 장치.

#### 청구항 7

제4 항에 있어서,

상기 식각 방지 패턴은 상기 제1 도전층으로 이루어지는 제1 적층 패턴 및 상기 제2 도전층으로 이루어지는 제2 적층 패턴을 포함하는 표시 장치.

#### 청구항 8

제4 항에 있어서,  
상기 제3 도전층 상에 배치되는 제3 유기 절연층을 더 포함하되,  
상기 애노드 전극은 상기 제3 유기 절연층 상에 배치되는 표시 장치.

#### 청구항 9

제1 항에 있어서,  
상기 식각 방지 패턴과 상기 신호 전달 라인 사이에 배치되는 무기 절연막을 더 포함하되,  
상기 무기 절연막은 상기 식각 방지 패턴과 중첩하는 영역에서 제1 두께를 갖고, 상기 식각 방지 패턴과 비중첩하는 영역에서 상기 제1 두께보다 작은 제2 두께를 갖는 표시 장치.

#### 청구항 10

제1 항에 있어서,  
상기 무기 봉지 영역에서 상기 제1 무기 봉지막은 상기 전원 전압 라인과 직접 접촉하는 표시 장치.

#### 청구항 11

제1 항에 있어서,  
상기 신호 전달 라인의 일측 끝단에 연결된 스캔 구동부, 및 상기 신호 전달 라인의 타측 끝단에 연결된 구동칩을 더 포함하는 표시 장치.

#### 청구항 12

제1 항에 있어서,  
상기 표시 영역의 주변에 배치되는 비표시 영역을 더 포함하되,  
상기 전원 전압 라인과 상기 신호 전달 라인은 상기 비표시 영역에서 중첩하는 표시 장치.

#### 청구항 13

기관;  
상기 기관 상에 배치되는 신호 전달 라인;  
상기 신호 전달 라인 상에 배치되는 제1 무기 절연층;  
상기 제1 무기 절연층 상에 배치되는 제1 도전층;  
상기 제1 도전층 상에 배치되는 제1 유기 절연층;  
상기 제1 유기 절연층 상에 배치되는 제2 도전층;  
상기 제2 도전층 상에 배치되는 제2 유기 절연층;  
상기 제2 유기 절연층 상에 배치되며, 상기 신호 전달 라인과 중첩하는 전원 전압 라인을 포함하는 제3 도전층;  
상기 제3 도전층 상에 배치되는 제3 유기 절연층;  
상기 제3 유기 절연층 상에 배치되며, 애노드 전극, 발광층, 및 상기 전원 전압 라인과 전기적으로 연결되는 캐소드 전극을 포함하는 발광 소자;  
상기 캐소드 전극 상에 배치되며, 제1 무기 봉지막, 유기 봉지막 및 제2 무기 봉지막을 포함하는 봉지층; 및  
상기 신호 전달 라인과 상기 전원 전압 라인이 중첩하는 중첩 영역의 적어도 일부에 배치되는 식각 방지 패턴을

포함하는 표시 장치.

**청구항 14**

제13 항에 있어서,

상기 제1 무기 봉지막과 상기 제2 무기 봉지막이 직접 접촉하며, 상기 중첩 영역과 적어도 일부 중첩하는 무기 봉지 영역을 더 포함하고,

상기 식각 방지 패턴은 상기 제1 도전층 및 상기 제2 도전층 중 적어도 어느 하나를 포함하고, 상기 무기 봉지 영역과 중첩하는 상기 중첩 영역에 배치되는 표시 장치.

**청구항 15**

제14 항에 있어서,

상기 발광 소자를 둘러싸는 댐 구조물, 및 상기 댐 구조물의 외측에 배치되는 बैं크 구조물을 더 포함하되,

상기 무기 봉지 영역은 상기 댐 구조물과 상기 बैं크 구조물 사이에 배치되는 표시 장치.

**청구항 16**

제15 항에 있어서,

상기 무기 봉지 영역에서 상기 전원 전압 라인과 상기 제1 무기 봉지막은 직접 접촉하는 표시 장치.

**청구항 17**

제13 항에 있어서,

화면의 표시가 이루어지는 표시 영역 및 상기 표시 영역의 주변에 배치되는 비표시 영역을 더 포함하되,

상기 무기 봉지 영역은 상기 비표시 영역에 배치되는 표시 장치.

**청구항 18**

제13 항에 있어서,

상기 전원 전압 라인과 상기 식각 방지 패턴은 직접 접촉하는 표시 장치.

**청구항 19**

에노드 전극, 발광층 및 캐소드 전극을 각각 포함하는 복수의 발광 소자를 포함하는 표시 영역;

상기 복수의 발광 소자 상에 배치되며, 제1 무기 봉지막, 유기 봉지막 및 제2 무기 봉지막을 포함하는 봉지층;

상기 표시 영역을 둘러싸는 댐 구조물;

상기 댐 구조물의 외측에 배치되는 बैं크 구조물;

상기 캐소드 전극과 전기적으로 연결되는 전원 전압 라인;

상기 전원 전압 라인과 중첩하는 신호 전달 라인;

상기 전원 전압 라인과 상기 신호 전달 라인 사이에 배치되는 식각 방지 패턴; 및

상기 식각 방지 패턴과 상기 신호 전달 라인 사이에 배치되는 무기 절연막을 포함하되,

상기 무기 절연막은 상기 식각 방지 패턴과 중첩하는 영역에서 제1 두께를 갖고, 상기 식각 방지 패턴과 비중첩하는 영역에서 상기 제1 두께보다 작은 제2 두께를 갖는 표시 장치.

**청구항 20**

제19 항에 있어서,

상기 댐 구조물과 상기 बैं크 구조물 사이에 배치되고, 상기 제1 무기 봉지막과 상기 제2 무기 봉지막이 직접 접

촉하는 무기 봉지 영역을 더 포함하되,

상기 전원 전압 라인과 상기 신호 전달 라인이 중첩하는 중첩 영역은 적어도 일부가 상기 무기 봉지 영역에 배치되고,

상기 식각 방지 패턴은 상기 중첩 영역과 중첩하는 상기 무기 봉지 영역에 배치되는 표시 장치.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 표시 장치에 관한 것이다.

### 배경 기술

[0002] 정보화 사회가 발전함에 따라 영상을 표시하기 위한 표시 장치에 대한 요구가 다양한 형태로 증가하고 있다. 예를 들어, 표시 장치는 스마트폰, 디지털 카메라, 노트북 컴퓨터, 네비게이션, 및 스마트 텔레비전과 같이 다양한 전자기기에 적용되고 있다.

[0003] 표시 장치로서, 액정 표시 장치(Liquid Crystal Display, LCD), 유기 발광 표시 장치(Organic Light Emitting Display, OLED) 등과 같은 여러 종류의 표시 장치가 사용되고 있다. 그 중 유기 발광 표시 장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 소자를 이용하여 영상을 표시한다.

[0004] 유기 발광 표시 장치는 스캔 배선들과 데이터 배선들에 연결되는 화소들, 스캔 배선들에 스캔 신호들을 인가하는 스캔 구동부, 데이터 배선들에 데이터 전압들을 인가하는 데이터 구동부, 및 화소들에 전원 전압을 인가하는 전원 전압 배선을 포함한다. 스캔 구동부는 스캔 구동 배선들을 통해 입력되는 스캔 구동 신호들에 따라 스캔 신호들을 생성하여 스캔 배선들에 출력할 수 있다.

### 발명의 내용

#### 해결하려는 과제

[0005] 본 발명이 해결하고자 하는 과제는 전원 전압 배선과 스캔 구동 배선이 중첩하는 영역에서 전류 누설(leakage) 및 양 배선 간의 커플링(coupling)을 억제 또는 방지할 수 있는 표시 장치를 제공하는 것이다.

[0006] 본 발명의 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

#### 과제의 해결 수단

[0007] 상기 과제 해결을 위한 일 실시예에 따른 표시 장치는 애노드 전극, 발광층 및 캐소드 전극을 각각 포함하는 복수의 발광 소자를 포함하는 표시 영역, 상기 복수의 발광 소자 상에 배치되며, 제1 무기 봉지막, 유기 봉지막 및 제2 무기 봉지막을 포함하는 봉지층, 상기 표시 영역을 둘러싸는 댐 구조물, 상기 댐 구조물의 외측에 배치되는 뱅크 구조물, 상기 캐소드 전극과 전기적으로 연결되는 전원 전압 라인, 상기 전원 전압 라인과 중첩하는 신호 전달 라인, 및 상기 전원 전압 라인과 상기 신호 전달 라인 사이에 배치되는 식각 방지 패턴을 포함하되, 상기 댐 구조물과 상기 뱅크 구조물 사이에 배치되고, 상기 제1 무기 봉지막과 상기 제2 무기 봉지막이 직접 접촉하는 무기 봉지 영역을 포함하고, 상기 식각 방지 패턴은 상기 무기 봉지 영역에 배치된다.

[0008] 상기 전원 전압 라인과 상기 신호 전달 라인이 중첩하는 중첩 영역의 적어도 일부가 상기 무기 봉지 영역과 중첩할 수 있다.

[0009] 상기 식각 방지 패턴의 적어도 일부가 상기 중첩 영역의 적어도 일부와 중첩할 수 있다.

[0010] 기관, 상기 기관 상에 배치되는 제1 도전층, 상기 제1 도전층 상에 배치되는 제1 유기 절연층, 상기 제1 유기 절연층 상에 배치되는 제2 도전층, 상기 제2 도전층 상에 배치되는 제2 유기 절연층 및 상기 제2 유기 절연층 상에 배치되는 제3 도전층을 더 포함하되, 상기 전원 전압 라인은 상기 제3 도전층으로 이루어질 수 있다.

[0011] 상기 식각 방지 패턴은 상기 제1 도전층 및 상기 제2 도전층 중 어느 하나로 이루어질 수 있다.

[0012] 상기 전원 전압 라인과 상기 식각 방지 패턴은 직접 접촉할 수 있다.

- [0013] 상기 시각 방지 패턴은 상기 제1 도전층으로 이루어지는 제1 적층 패턴 및 상기 제2 도전층으로 이루어지는 제2 적층 패턴을 포함할 수 있다.
- [0014] 상기 제3 도전층 상에 배치되는 제3 유기 절연층을 더 포함하되, 상기 애노드 전극은 상기 제3 유기 절연층 상에 배치될 수 있다.
- [0015] 상기 시각 방지 패턴과 상기 신호 전달 라인 사이에 배치되는 무기 절연막을 더 포함하되, 상기 무기 절연막은 상기 시각 방지 패턴과 중첩하는 영역에서 제1 두께를 갖고, 상기 시각 방지 패턴과 비중첩하는 영역에서 상기 제1 두께보다 작은 제2 두께를 가질 수 있다.
- [0016] 상기 무기 봉지 영역에서 상기 제1 무기 봉지막은 상기 전원 전압 라인과 직접 접촉하는 표시 장치.
- [0017] 상기 신호 전달 라인의 일측 끝단에 연결된 스캔 구동부, 및 상기 신호 전달 라인의 타측 끝단에 연결된 구동칩을 더 포함할 수 있다.
- [0018] 상기 표시 영역의 주변에 배치되는 비표시 영역을 더 포함하되, 상기 전원 전압 라인과 상기 신호 전달 라인은 상기 비표시 영역에서 중첩할 수 있다.
- [0019] 상기 과제 해결을 위한 일 실시예에 따른 표시 장치는 기관, 상기 기관 상에 배치되는 신호 전달 라인, 상기 신호 전달 라인 상에 배치되는 제1 무기 절연층, 상기 제1 무기 절연층 상에 배치되는 제1 도전층, 상기 제1 도전층 상에 배치되는 제1 유기 절연층, 상기 제1 유기 절연층 상에 배치되는 제2 도전층, 상기 제2 도전층 상에 배치되는 제2 유기 절연층, 상기 제2 유기 절연층 상에 배치되며, 상기 신호 전달 라인과 중첩하는 전원 전압 라인을 포함하는 제3 도전층, 상기 제3 도전층 상에 배치되는 제3 유기 절연층, 상기 제3 유기 절연층 상에 배치되며, 애노드 전극, 발광층, 및 상기 전원 전압 라인과 전기적으로 연결되는 캐소드 전극을 포함하는 발광 소자, 상기 캐소드 전극 상에 배치되며, 제1 무기 봉지막, 유기 봉지막 및 제2 무기 봉지막을 포함하는 봉지층, 및 상기 신호 전달 라인과 상기 전원 전압 라인이 중첩하는 중첩 영역의 적어도 일부에 배치되는 시각 방지 패턴을 포함한다.
- [0020] 상기 제1 무기 봉지막과 상기 제2 무기 봉지막이 직접 접촉하며, 상기 중첩 영역과 적어도 일부 중첩하는 무기 봉지 영역을 더 포함하고, 상기 시각 방지 패턴은 상기 제1 도전층 및 상기 제2 도전층 중 적어도 어느 하나를 포함하고, 상기 무기 봉지 영역과 중첩하는 상기 중첩 영역에 배치될 수 있다.
- [0021] 상기 발광 소자를 둘러싸는 댐 구조물, 및 상기 댐 구조물의 외측에 배치되는 बैं크 구조물을 더 포함하되, 상기 무기 봉지 영역은 상기 댐 구조물과 상기 बैं크 구조물 사이에 배치될 수 있다.
- [0022] 상기 무기 봉지 영역에서 상기 전원 전압 라인과 상기 제1 무기 봉지막은 직접 접촉할 수 있다.
- [0023] 화면의 표시가 이루어지는 표시 영역 및 상기 표시 영역의 주변에 배치되는 비표시 영역을 더 포함하되, 상기 무기 봉지 영역은 상기 비표시 영역에 배치될 수 있다.
- [0024] 상기 전원 전압 라인과 상기 시각 방지 패턴은 직접 접촉할 수 있다.
- [0025] 상기 과제 해결을 위한 일 실시예에 따른 표시 장치는 애노드 전극, 발광층 및 캐소드 전극을 각각 포함하는 복수의 발광 소자를 포함하는 표시 영역, 상기 복수의 발광 소자 상에 배치되며, 제1 무기 봉지막, 유기 봉지막 및 제2 무기 봉지막을 포함하는 봉지층, 상기 표시 영역을 둘러싸는 댐 구조물, 상기 댐 구조물의 외측에 배치되는 बैं크 구조물, 상기 캐소드 전극과 전기적으로 연결되는 전원 전압 라인, 상기 전원 전압 라인과 중첩하는 신호 전달 라인, 상기 전원 전압 라인과 상기 신호 전달 라인 사이에 배치되는 시각 방지 패턴, 및 상기 시각 방지 패턴과 상기 신호 전달 라인 사이에 배치되는 무기 절연막을 포함하되, 상기 무기 절연막은 상기 시각 방지 패턴과 중첩하는 영역에서 제1 두께를 갖고, 상기 시각 방지 패턴과 비중첩하는 영역에서 상기 제1 두께보다 작은 제2 두께를 갖는다.
- [0026] 상기 댐 구조물과 상기 बैं크 구조물 사이에 배치되고, 상기 제1 무기 봉지막과 상기 제2 무기 봉지막이 직접 접촉하는 무기 봉지 영역을 더 포함하되, 상기 전원 전압 라인과 상기 신호 전달 라인이 중첩하는 중첩 영역은 적어도 일부가 상기 무기 봉지 영역에 배치되고, 상기 시각 방지 패턴은 상기 중첩 영역과 중첩하는 상기 무기 봉지 영역에 배치될 수 있다.
- [0027] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

**발명의 효과**

- [0028] 일 실시예에 따른 표시 장치에 의하면, 전원 전압 배선과 스캔 구동 배선 사이에 식각 방지 패턴을 형성함으로써, 전원 전압 배선과 스캔 구동 배선이 중첩하는 영역에서 전류 누설 및 양 배선 간의 커플링을 억제 또는 방지할 수 있다.
- [0029] 일 실시예에 따른 표시 장치에 의하면, 전원 전압 배선의 발열 이슈를 억제 또는 방지할 수 있다.
- [0030] 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

**도면의 간단한 설명**

- [0031] 도 1은 일 실시예에 따른 표시 장치의 평면도이다. 도 2는 도 1의 표시 장치의 측면도이다.
- 도 2는 표시 장치가 두께 방향으로 벤딩된 상태의 측면 형상을 도시한다.
- 도 3은 일 실시예에 따른 일 화소를 상세히 보여주는 회로도이다.
- 도 4는 일 실시예에 따른 표시 패널의 일 화소의 단면도이다.
- 도 5는 도 1의 A 영역을 확대한 확대도이다.
- 도 6은 도 5의 VI-VI' 선을 따라 자른 단면도이다.
- 도 7은 도 5의 B 영역을 확대한 확대도이다.
- 도 8은 도 7의 VIII-VIII' 선을 따라 자른 단면도이다.
- 도 9는 도 8의 C 영역을 확대한 확대도이다.
- 도 10은 다른 실시예에 따른 표시 패널의 평면도 일부이다.
- 도 11은 또 다른 실시예에 따른 표시 패널의 평면도 일부이다.
- 도 12는 또 다른 실시예에 따른 표시 패널의 단면도이다.
- 도 13은 또 다른 실시예에 따른 표시 패널의 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0032] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0033] 소자(elements) 또는 층이 다른 소자 또는 층의 "상(on)"으로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0034] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.
- [0035] 이하, 첨부된 도면을 참고로 하여 구체적인 실시예들에 대해 설명한다.
- [0036] 도 1은 일 실시예에 따른 표시 장치의 평면도이다. 도 2는 도 1의 표시 장치의 측면도이다. 도 2는 표시 장치가 두께 방향으로 벤딩된 상태의 측면 형상을 도시한다.
- [0037] 도면에서 제1 방향(DR1)은 평면도상 표시 장치(1)의 가로 방향을 나타내고, 제2 방향(DR2)은 평면도상 표시 장치(1)의 세로 방향을 나타낸다. 또한, 제3 방향(DR3)은 표시 장치(1)의 두께 방향을 나타낸다. 제1 방향(DR1)과 제2 방향(DR2)은 서로 수직으로 교차하며, 제3 방향(DR3)은 제1 방향(DR1) 및 제2 방향(DR2)이 놓이는 평면에 교차하는 방향으로 제1 방향(DR1) 및 제2 방향(DR2)에 모두 수직으로 교차한다. 다만, 실시예에서 언급하는 방

향은 상대적인 방향을 언급한 것으로 이해되어야 하며, 실시예는 언급한 방향에 한정되지 않는다.

- [0038] 다른 정의가 없는 한, 본 명세서에서 제1 방향(DR1) 일측은 평면도상 우측 방향을 제1 방향(DR1) 타측은 평면도상 좌측 방향을, 제2 방향(DR2) 일측은 평면도상 상측 방향을, 제2 방향(DR2) 타측은 평면도상 하측 방향을 각각 지칭하는 것으로 한다. 또한, 제3 방향(DR3)을 기준으로 표현된 “상부”, “상면” 은 표시 패널(10)을 기준으로 표시면 측을 의미하고, “하부”, “하면” 은 표시 패널(10)을 기준으로 표시면의 반대측을 의미하는 것으로 한다.
- [0039] 도 1 및 도 2를 참조하면, 표시 장치(1)는 동영상이나 정지영상을 표시하는 장치로서, 표시 장치(1)는 모바일 폰, 스마트 폰, 태블릿 PC(Personal Computer), 및 스마트 워치, 워치 폰, 이동 통신 단말기, 전자 수첩, 전자 책, PMP(Portable Multimedia Player), 내비게이션, UMPC(Ultra Mobile PC) 등과 같은 휴대용 전자 기기뿐만 아니라 텔레비전, 노트북, 모니터, 광고판, 사물 인터넷 등의 다양한 제품의 표시 화면으로 사용될 수 있다.
- [0040] 일 실시예에 따른 표시 장치(1)는 평면상 실질적인 직사각형 형상으로 이루어질 수 있다. 표시 장치(1)는 평면상 모서리가 수직인 직사각형일 수 있다. 다만, 이에 제한되는 것은 아니며, 표시 장치(1)는 평면상 모서리가 둥근 직사각형 형상일 수 있다.
- [0041] 표시 장치(1)가 평면상 직사각형 형상을 포함하는 경우, 제1 방향(DR1) 일측 및 타측에 배치된 두 변이 제2 방향(DR2)으로 연장된 길이는 제2 방향(DR2) 일측 및 타측에 배치된 두 변이 제1 방향(DR1)으로 연장된 길이보다 길 수 있다. 다시 말해서, 제1 방향(DR1) 일측 및 타측에 배치된 표시 장치(1)의 두 변은 장변이 되고, 제2 방향(DR2) 일측 및 타측에 배치된 표시 장치(1)의 두 변은 단변이 될 수 있다.
- [0042] 표시 장치(1)는 표시 패널(10)을 포함할 수 있다. 표시 패널(10)은 폴리이미드 등과 같은 가요성 고분자 물질을 포함하는 플렉서블 기판일 수 있다. 이에 따라, 표시 패널(10)은 휘어지거나, 절곡되거나, 접히거나, 말릴 수 있다.
- [0043] 표시 패널(10)은 유기 발광 표시 패널일 수 있다. 이하의 실시예에서는 표시 패널(10)로서 유기 발광 표시 패널이 적용된 경우를 예시하지만, 이에 제한되지 않고, 액정 디스플레이 패널, 쿼텟닷 유기 발광 표시 패널, 쿼텟닷 액정 디스플레이, 쿼텟 나노 발광 표시 패널, 마이크로 엘이디 등 다른 종류의 표시 패널이 적용될 수도 있다.
- [0044] 표시 패널(10)은 화면을 표시하는 표시 영역(DA) 및 표시가 이루어지지 않는 비표시 영역(NDA)을 포함할 수 있다. 표시 패널(10)은 평면도상 표시 영역(DA)과 비표시 영역(NDA)으로 구분될 수 있다. 비표시 영역(NDA)은 표시 영역(DA)을 둘러싸도록 배치될 수 있다. 비표시 영역(NDA)은 베젤을 구성할 수 있다.
- [0045] 표시 영역(DA)은 표시 장치(1)의 평면 형상에 상응할 수 있다. 표시 영역(DA)은 평면상 모서리가 수직인 직사각형 또는 모서리가 둥근 직사각형 형상일 수 있다. 다만, 표시 영역(DA)의 평면 형상은 직사각형에 제한되는 것은 아니고, 원형, 타원형이나 기타 다양한 형상을 가질 수 있다.
- [0046] 표시 영역(DA)은 복수의 화소를 포함할 수 있다. 각 화소는 매트릭스 형상으로 배열될 수 있다. 각 화소는 발광층과 발광층의 발광량을 제어하는 회로층을 포함할 수 있다. 회로층은 배선, 전극 및 적어도 하나의 트랜지스터를 포함할 수 있다. 발광층은 유기 발광 물질을 포함할 수 있다. 발광층은 봉지막에 의해 밀봉될 수 있다. 화소의 구체적인 구성에 대해서는 후술하기로 한다.
- [0047] 비표시 영역(NDA)은 표시 영역(DA)의 모든 변을 둘러싸고, 표시 영역(DA)의 테두리를 구성할 수 있다. 다만, 이에 제한되지 않는다.
- [0048] 표시 패널(10)은 메인 영역(MA)과 메인 영역(MA)의 제2 방향(DR2) 일측에 연결된 벤딩 영역(BA)을 포함할 수 있다. 표시 패널(10)은 제2 방향(DR2) 일측에서 벤딩 영역(BA)과 연결되고, 두께 방향으로 벤딩되어 메인 영역(MA)과 두께 방향으로 중첩된 서브 영역(SA)을 더 포함할 수 있다.
- [0049] 메인 영역(MA)에는 표시 영역(DA)이 위치할 수 있다. 메인 영역(MA)의 표시 영역(DA)의 주변 에지 부분에는 비표시 영역(NDA)이 위치할 수 있다.
- [0050] 메인 영역(MA)은 표시 장치(1)의 평면상 외형과 유사한 형상을 가질 수 있다. 메인 영역(MA)은 일 평면에 위치한 평탄 영역일 수 있다. 그러나, 이에 제한되는 것은 아니며, 메인 영역(MA)에서 벤딩 영역(BA)과 연결된 에지(변)를 제외한 나머지 에지들 중 적어도 하나의 에지가 휘어져 곡면을 이루거나 수직 방향으로 절곡될 수도 있다.

- [0051] 메인 영역(MA)에서 벤딩 영역(BA)과 연결된 에지(변)를 제외한 나머지 에지들 중 적어도 하나의 에지가 곡면을 이루거나 절곡되어 있는 경우, 해당 에지에도 표시 영역(DA)이 배치될 수도 있다. 그러나, 이에 제한되지 않고 곡면 또는 절곡된 에지는 화면을 표시하지 않는 비표시 영역(NDA)이 배치되거나, 표시 영역(DA)과 비표시 영역(NDA)이 함께 배치될 수도 있다.
- [0052] 메인 영역(MA)의 비표시 영역(NDA)은 표시 영역(DA)의 외측 경계로부터 표시 패널(10)의 에지까지의 영역에 놓일 수 있다. 메인 영역(MA)의 비표시 영역(NDA)에는 표시 영역(DA)에 신호를 인가하기 위한 신호 배선이나 구동 회로들이 배치될 수 있다.
- [0053] 벤딩 영역(BA)은 메인 영역(MA)의 일 단변을 통해 연결될 수 있다. 벤딩 영역(BA)의 폭(제1 방향(DR1)의 폭)은 메인 영역(MA)의 폭(단변의 폭)보다 작을 수 있다. 메인 영역(MA)과 벤딩 영역(BA)의 연결부는 베젤의 폭을 줄이기 위해 평면상 L자 커팅 형상을 가질 수 있다.
- [0054] 벤딩 영역(BA)에서 표시 패널(10)은 표시면의 반대 방향으로 곡률을 가지고 벤딩될 수 있다. 표시 패널(10)이 벤딩 영역(BA)에서 벤딩됨에 따라 표시 패널(10)의 면이 반전될 수 있다. 즉, 상부를 향하는 표시 패널(10)의 일면이 벤딩 영역(BA)을 통해 측면 외측을 향하였다가 다시 하부를 향하도록 변경될 수 있다.
- [0055] 서브 영역(SA)은 벤딩 영역(BA)으로부터 연장된다. 서브 영역(SA)은 벤딩이 완료된 이후부터 시작하여 메인 영역(MA)과 평행한 방향으로 연장될 수 있다. 서브 영역(SA)은 표시 패널(10)의 두께 방향으로 메인 영역(MA)과 중첩할 수 있다. 서브 영역(SA)은 메인 영역(MA) 에지의 비표시 영역(NDA)과 중첩하고, 나아가 메인 영역(MA)의 표시 영역(DA)과 중첩할 수 있다. 서브 영역(SA)의 폭은 벤딩 영역(BA)의 폭과 동일할 수 있지만 이에 제한되는 것은 아니다.
- [0056] 표시 패널(10)의 서브 영역(SA) 상에는 패드부(미도시)가 배치될 수 있다. 패드부(미도시)에는 외부 장치가 실장(또는 부착)될 수 있다. 외부 장치의 예로는 구동칩(20), 연성 인쇄회로기판이나 경성 인쇄회로기판 이루어진 구동 기관(30) 등을 들 수 있고, 그 밖에 배선 연결 필름, 커넥터 등도 외부 장치로서 패드부에 실장될 수 있다. 서브 영역(SA)에 실장되는 외부 장치는 하나일 수도 있지만, 복수 개일 수도 있다. 예를 들어, 도 1 및 도 2에 예시된 것처럼, 표시 패널(10)의 서브 영역(SA)에 구동칩(20)이 배치되고, 서브 영역(SA)의 단부에 구동 기관(30)이 부착될 수 있다. 이 경우, 표시 패널(10)은 구동칩(20)과 연결되는 패드부 및 구동 기관(30)과 연결되는 패드부를 모두 포함할 수 있다. 다른 실시예로, 구동칩이 필름 상에 실장되고, 상기 필름이 표시 패널(10)의 서브 영역(SA)에 부착될 수도 있다.
- [0057] 구동칩(20)은 표시면과 동일한 면인 표시 패널(10)의 일면 상에 실장되되, 상술한 것처럼 벤딩 영역(BA)이 벤딩되어 반전됨에 따라 두께 방향으로 하부를 향하는 표시 패널(10)의 면에 실장되어 구동칩(20)의 상면이 하부를 향할 수 있다.
- [0058] 구동칩(20)은 이방성 도전 필름을 통해 표시 패널(10) 상에 부착되거나, 초음파 접합 본딩을 통해 표시 패널(10) 상에 부착될 수 있다. 구동칩(20)은 표시 패널(10)을 구동하는 집적 회로를 포함할 수 있다.
- [0059] 도 3은 일 실시예에 따른 일 화소를 상세히 보여주는 회로도이다.
- [0060] 도 3을 참조하면, 화소(PX)의 회로는, 복수의 트랜지스터(T1 내지 T7), 커패시터(Cst) 및 발광 소자(Light Emitting Element, LE) 등을 포함한다. 일 화소(PX)의 회로에는 데이터 신호(DATA), 제1 주사(또는 스캔) 신호(GW), 제2 주사 신호(GI), 제3 주사 신호(GB), 발광 제어 신호(EM), 제1 전원 전압(ELVDD), 제2 전원 전압(ELVSS), 및 초기화 전압(VINT)이 인가된다.
- [0061] 발광 소자(LE)는 이에 제한되는 것은 아니지만, 예를 들어, 제1 전극(또는, 애노드 전극, 도 5의 'ANO' 참조), 발광층(도 5의 'EL' 참조), 및 제2 전극(또는, 캐소드 전극, 도 5의 'CAT' 참조)을 포함하는 유기 발광 다이오드(organic light emitting diode)일 수 있다.
- [0062] 복수의 트랜지스터는 제1 내지 제7 트랜지스터(T1 내지 T7)를 포함할 수 있다. 각 트랜지스터(T1 내지 T7)는 게이트 전극, 제1 전극(또는, 제1 소스/드레인 전극) 및 제2 전극(또는, 제2 소스/드레인 전극)을 포함한다. 각 트랜지스터(T1~T7)의 제1 전극과 제2 전극 중 어느 하나는 소스 전극이 되고 다른 하나는 드레인 전극이 된다.
- [0063] 제1 트랜지스터(T1)는 구동 트랜지스터의 역할을 하며, 제2 내지 제7 트랜지스터(T2 내지 T7)는 스위칭 트랜지스터의 역할을 할 수 있다. 각 트랜지스터(T1 내지 T7)는 게이트 전극, 제1 전극 및 제2 전극을 포함한다. 각 트랜지스터(T1 내지 T7)의 제1 전극과 제2 전극 중 어느 하나는 소스 전극이 되고 다른 하나는 드레인 전극이

된다.

- [0064] 각 트랜지스터(T1 내지 T7)는 박막 트랜지스터일 수 있다. 각 트랜지스터(T1 내지 T7)는 PMOS 트랜지스터와 NMOS 트랜지스터 중 어느 하나일 수 있다. 일 실시예에서, 구동 트랜지스터인 제1 트랜지스터(T1), 데이터 전달 트랜지스터인 제2 트랜지스터(T2), 보상 트랜지스터인 제3 트랜지스터(T3), 제1 초기화 트랜지스터인 제4 트랜지스터(T4), 제1 발광 제어 트랜지스터인 제5 트랜지스터(T5), 제2 발광 제어 트랜지스터인 제6 트랜지스터(T6) 및 제2 초기화 트랜지스터인 제7 트랜지스터(T7)는 모두 PMOS 트랜지스터이다.
- [0065] 다만, 이에 제한되는 것은 아니고, 예를 들어, 보상 트랜지스터인 제3 트랜지스터(T3) 및 제1 초기화 트랜지스터인 제4 트랜지스터(T4)는 NMOS 트랜지스터이며, 구동 트랜지스터인 제1 트랜지스터(T1), 데이터 전달 트랜지스터인 제2 트랜지스터(T2), 제1 발광 제어 트랜지스터인 제5 트랜지스터(T5), 제2 발광 제어 트랜지스터인 제6 트랜지스터(T6) 및 제2 초기화 트랜지스터인 제7 트랜지스터(T7)는 PMOS 트랜지스터일 수도 있다. 이 경우, 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)의 액티브층과, 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제5 트랜지스터(T5), 제6 트랜지스터(T6) 및 제7 트랜지스터(T7)의 액티브층은 서로 다른 물질을 포함할 수 있다. 이에 제한되는 것은 아니지만, 예를 들어, 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)의 액티브층은 산화물 반도체를 포함하고, 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제5 트랜지스터(T5), 제6 트랜지스터(T6) 및 제7 트랜지스터(T7)의 액티브층은 다결정 실리콘을 포함할 수 있다.
- [0066] 이하, 각 구성에 대해 상세히 설명한다.
- [0067] 제1 트랜지스터(T1)의 게이트 전극은 커패시터(Cst)의 제1 전극과 연결된다. 제1 트랜지스터(T1)의 제1 전극은 제5 트랜지스터(T5)를 경유하여 제1 전원 전압 라인(ELVDDL)과 연결된다. 제1 트랜지스터(T1)의 제2 전극은 제6 트랜지스터(T6)를 경유하여 발광 소자(LE)의 애노드 전극과 연결된다. 제1 트랜지스터(T1)는 제2 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(DATA)를 전달받아 발광 소자(LE)에 구동 전류를 공급한다.
- [0068] 제2 트랜지스터(T2)의 게이트 전극은 제1 주사 신호(GW) 라인과 연결된다. 제2 트랜지스터(T2)의 제1 전극은 데이터 신호(DATA) 라인과 연결된다. 제2 트랜지스터(T2)의 제2 전극은 제1 트랜지스터(T1)의 제1 전극과 연결된다. 제2 트랜지스터(T2)는 제1 주사 신호(GW)에 따라 턴온되어 데이터 신호(DATA)를 제1 트랜지스터(T1)의 제1 전극으로 전달하는 스위칭 동작을 수행한다.
- [0069] 제3 트랜지스터(T3)는 제1 서브 트랜지스터(T3\_1)와 제2 서브 트랜지스터(T3\_2)를 포함하는 듀얼 트랜지스터로 형성될 수 있다. 제1 서브 트랜지스터(T3\_1)의 게이트 전극은 제1 주사 신호(GW) 라인에 연결되고, 제1 전극은 제2 서브 트랜지스터(T3\_2)의 제2 전극에 연결되며, 제2 전극은 커패시터(Cst)의 제1 전극, 제3 서브 트랜지스터(T4\_1)의 제1 전극 및 제1 트랜지스터(T1)의 게이트 전극과 함께 연결되어 있다. 제2 서브 트랜지스터(T3\_2)의 게이트 전극은 제1 주사 신호(GW) 라인에 연결되고, 제1 전극은 제1 트랜지스터(T1)의 제2 전극에 연결되며, 제2 전극은 제1 서브 트랜지스터(T3\_1)의 제1 전극에 연결될 수 있다.
- [0070] 제1 서브 트랜지스터(T3\_1)와 제2 서브 트랜지스터(T3\_2)는 제1 주사 신호(GW)에 의해 턴-온되어 제1 트랜지스터(T1)의 게이트 전극과 제2 전극을 연결하여 제1 트랜지스터(T1)를 다이오드 연결시킨다. 그에 따라 제1 트랜지스터(T1)의 제1 전극과 게이트 전극 사이에 제1 트랜지스터(T1)의 문턱 전압만큼 전압차가 발생하고, 제1 트랜지스터(T1)의 게이트 전극에 문턱 전압이 보상된 데이터 신호(DATA)를 공급함으로써 제1 트랜지스터(T1)의 문턱 전압 편차를 보상할 수 있다.
- [0071] 제4 트랜지스터(T4)는 제3 서브 트랜지스터(T4\_1)와 제4 서브 트랜지스터(T4\_2)를 포함하는 듀얼 트랜지스터로 형성될 수 있다. 제3 서브 트랜지스터(T4\_1)의 게이트 전극은 제2 주사 신호(GI) 라인에 연결되고, 제1 전극은 커패시터(Cst)의 제1 전극, 제1 서브 트랜지스터(T3\_1)의 제2 전극 및 제1 트랜지스터(T1)의 게이트 전극과 함께 연결되며, 제2 전극은 제4 서브 트랜지스터(T4\_2)의 제1 전극에 연결될 수 있다. 제4 서브 트랜지스터(T4\_2)의 게이트 전극은 제2 주사 신호(GI) 라인에 연결되고, 제1 전극은 제3 서브 트랜지스터(T4\_1)의 제2 전극에 연결되며, 제2 전극은 초기화 전압(VINT)에 연결될 수 있다. 제3 서브 트랜지스터(T4\_1)와 제4 서브 트랜지스터(T4\_2)는 제2 주사 신호(GI)에 의해 턴-온되어 초기화 전압(VINT)을 제1 트랜지스터(T1)의 게이트 전극에 전달하여 제1 트랜지스터(T1)의 게이트 전극의 전압을 초기화시키는 동작을 수행한다.
- [0072] 제5 트랜지스터(T5)의 게이트 전극은 발광 제어 신호(EM) 라인에 연결되고, 제1 전극은 제1 전원 전압 라인(ELVDDL)에 연결되며, 제2 전극은 제1 트랜지스터(T1)의 제1 전극에 연결된다. 제5 트랜지스터(T5)는 발광 제어 신호(EM)에 의해 턴-온되어 제1 트랜지스터(T1)의 제1 전극과 제1 전원 전압 라인(ELVDDL)을 연결시킨다.
- [0073] 제6 트랜지스터(T6)는 제1 트랜지스터(T1)의 제2 전극과 발광 소자(LE)의 제1 전극 사이에 연결된다. 제6 트랜

지스터(T6)의 게이트 전극은 발광 제어 신호(EM) 라인에 연결되고, 제1 전극은 제1 트랜지스터(T1)의 제2 전극 및 제2 서브 트랜지스터(T3\_2)의 제1 전극과 연결되며, 제2 전극은 발광 소자(LE)의 제1 전극에 연결된다.

- [0074] 제5 트랜지스터(T5)와 제6 트랜지스터(T6)는 발광 제어 신호(EM)에 따라 동시에 턴온되고, 그에 따라 발광 소자(LE)에 구동 전류가 흐르게 된다.
- [0075] 제7 트랜지스터(T7)의 게이트 전극은 제3 주사 신호(GB) 라인과 연결된다. 제7 트랜지스터(T7)의 제1 전극은 발광 소자(LE)의 애노드 전극과 연결된다. 제7 트랜지스터(T7)의 제2 전극은 초기화 전압(VINT) 라인과 연결된다. 제7 트랜지스터(T7)는 제3 주사 신호(GB)에 따라 턴온되어 유기 발광 소자(OLED)의 애노드 전극을 초기화시킨다.
- [0076] 본 실시예에서는 제7 트랜지스터(T7)의 게이트 전극이 제3 주사 신호(GB)를 인가받는 경우를 예시하였지만, 다른 실시예로 제7 트랜지스터(T7)의 게이트 전극이 발광 제어 신호(EM)를 인가받거나, 제2 주사 신호(GI)를 인가받도록 화소(PX)의 회로를 구성할 수도 있다.
- [0077] 커패시터(Cst)는 제1 트랜지스터(T1)의 게이트 전극과 제1 전원 전압 라인(ELVDDL) 사이에 형성되며, 제1 전극 및 제2 전극을 포함한다. 커패시터(Cst)의 제1 전극은 제1 트랜지스터(T1)의 게이트 전극, 제3 트랜지스터(T3)의 제2 전극 및 제4 트랜지스터(T4)의 제1 전극에 함께 연결되고, 커패시터(Cst)의 제2 전극은 제1 전원 전압 라인(ELVDDL)에 연결될 수 있다. 커패시터(Cst)는 제1 트랜지스터(T1)의 게이트 전극에 인가된 데이터 전압을 일정하게 유지하는 역할을 할 수 있다.
- [0078] 발광 소자(LE)의 캐소드 전극은 제2 전원 전압 라인(ELVSSL)과 연결되고, 제2 전원 전압 라인(ELVSSL)으로부터 제2 전원 전압(ELVSS)을 인가받는다. 발광 소자(LE)는 제1 트랜지스터(T1)로부터 구동 전류를 전달받아 발광함으로써 화상을 표시한다.
- [0079] 이하, 상술한 화소(PX)의 단면 구조에 대해 상세히 설명한다.
- [0080] 도 4는 일 실시예에 따른 표시 패널의 일 화소의 단면도이다.
- [0081] 도 4를 참조하면, 표시 패널(10)은 기판(SUB), 버퍼층(BF), 반도체층(110), 제1 절연층(121, 제1 무기 절연층), 제1 도전층(130), 제2 절연층(122, 제2 무기 절연층), 제2 도전층(140), 제3 절연층(123, 제3 무기 절연층), 제3 도전층(150), 제4 절연층(124, 제1 유기 절연층), 제4 도전층(160), 제5 절연층(125, 제2 유기 절연층), 제5 도전층(170), 제6 절연층(126, 제3 유기 절연층), 애노드 전극(ANO), 화소 정의막(PDL), 발광층(EML), 캐소드 전극(CAT) 및 봉지층(180)을 포함할 수 있다. 각 층들은 상술한 순서대로 순차적으로 적층될 수 있다. 아울러, 각 층들은 단일막으로 이루어질 수 있지만, 복수의 막을 포함하는 적층막으로 이루어질 수도 있다. 각 층들 사이에는 다른 층이 더 배치될 수도 있다.
- [0082] 기판(SUB)은 그 위에 배치되는 각 층들을 지지한다. 유기발광 표시장치가 배면 또는 양면 발광형인 경우 투명한 기판이 사용될 수 있다. 유기발광 표시장치가 전면 발광형인 경우 투명한 기판 뿐만 아니라, 반투명이나 불투명 기판이 적용될 수도 있다.
- [0083] 기판(SUB)은 리지드(rigid) 기판이거나 벤딩(bending), 폴딩(folding), 롤링(rolling) 등이 가능한 플렉시블(flexible) 기판일 수 있다. 플렉시블 기판을 이루는 물질의 예로 폴리이미드(PI)를 들 수 있지만, 이에 제한되는 것은 아니다.
- [0084] 버퍼층(BF)은 기판(SUB) 상에 배치될 수 있다. 버퍼층(BF)은 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면 평탄화 기능을 수행할 수 있다. 버퍼층(BF)은 실리콘 질화물을 포함할 수 있으나, 이에 제한되는 것은 아니고, 실리콘 산화물 또는 실리콘 산질화물 등을 포함할 수도 있다. 버퍼층(BF)은 기판(SUB)의 종류나 공정 조건 등에 따라 생략될 수도 있다.
- [0085] 반도체층(110)은 버퍼층(BF) 상에 배치된다. 반도체층(110)은 화소의 박막 트랜지스터의 채널을 이룬다. 반도체층(110)은 다결정 실리콘을 포함할 수 있다. 그러나, 이에 제한되는 것은 아니고, 반도체층(110)은 단결정 실리콘, 저온 다결정 실리콘, 비정질 실리콘이나, 산화물 반도체를 포함할 수도 있다. 상기 산화물 반도체는 예를 들어 인듐, 아연, 갈륨, 주석, 티타늄, 알루미늄, hafnium(Hf), 지르코늄(Zr), 마그네슘(Mg) 등을 함유하는 이성분계 화합물(ABx), 삼성분계 화합물(ABxCy), 사성분계 화합물(ABxCyDz)을 포함할 수 있다.
- [0086] 제1 절연층(121)은 반도체층(110) 상에 배치된다. 제1 절연층(121)은 게이트 절연 기능을 갖는 제1 게이트 절연막일 수 있다. 제1 절연층(121)은 무기 절연 물질을 포함할 수 있다. 제1 절연층(121)은 실리콘 화합물, 금속

산화물 등을 포함할 수 있다. 예를 들면, 제1 절연층(121)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 탄탈륨 산화물, hafnium 산화물, 지르코늄 산화물, 티타늄 산화물 등을 포함할 수 있다.

- [0087] 제1 도전층(130)은 제1 절연층(121) 상에 배치된다. 제1 도전층(130)은 화소의 박막 트랜지스터의 게이트 전극(GAT)과 그에 연결된 스캔 라인, 및 유지 커패시터(Cst)의 제1 전극(CE1)을 포함할 수 있다.
- [0088] 제1 도전층(130)은 몰리브덴(Mo), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 칼슘(Ca), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다.
- [0089] 제2 절연층(122)은 제1 도전층(130) 상에 배치될 수 있다. 제2 절연층(122)은 층간 절연막 또는 제2 게이트 절연막일 수 있다. 제2 절연층(122)은 무기 절연 물질을 포함할 수 있다. 제2 절연층(122)은 제1 절연층(121)과 동일한 물질을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0090] 제2 도전층(140)은 제2 절연층(122) 상에 배치된다. 제2 도전층(140)은 유지 커패시터(Cst)의 제2 전극(CE2)을 포함할 수 있다. 제2 도전층(140)은 제1 도전층(130)과 동일한 물질로 이루어질 수 있으나, 이에 제한되는 것은 아니다.
- [0091] 제3 절연층(123)은 제2 도전층(140) 상에 배치된다. 제3 절연층(123)은 층간 절연막일 수 있다. 제3 절연층(123)은 무기 절연 물질을 포함할 수 있다. 제3 절연층(123)은 제1 절연층(121)과 동일한 물질을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0092] 제3 도전층(150)은 제3 절연층(123) 상에 배치된다. 제3 도전층(150)은 화소의 박막 트랜지스터의 제1 전극(SD1)과 제2 전극(SD2)을 포함할 수 있다. 박막 트랜지스터의 제1 전극(SD1)과 제2 전극(SD2)은 제3 절연층(123), 제2 절연층(122) 및 제1 절연층(121)을 관통하는 컨택홀을 통해 반도체층(110)의 소스 영역 및 드레인 영역과 전기적으로 연결될 수 있다. 화소의 제1 전원 전압 라인(ELVDDL)도 제3 도전층(150)으로 이루어질 수 있다. 제1 전원 전압 라인(ELVDDL)은 제3 절연층(123)을 관통하는 컨택홀을 통해 유지 커패시터(Cst)의 제2 전극(CE2)과 전기적으로 연결될 수 있다.
- [0093] 제3 도전층(150)은 알루미늄(Al), 몰리브덴(Mo), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 칼슘(Ca), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다. 제3 도전층(150)은 복수의 적층 구조를 포함할 수 있다. 예를 들어, 제3 도전층(150)은 Ti/Al/Ti, Mo/Al/Mo, Mo/AlGe/Mo, Ti/Cu 등의 적층 구조로 형성될 수 있다.
- [0094] 제4 절연층(124)은 제3 도전층(150) 상에 배치된다. 제4 절연층(124)은 제3 도전층(150)을 덮는다. 제4 절연층(124)은 비아층일 수 있다. 제4 절연층(124)은 유기 절연 물질을 포함할 수 있다. 예를 들어, 제4 절연층(124)은 아크릴계 수지(polyacrylates resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides resin), 불포화 폴리에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌계 수지(poly phenylenethers resin), 폴리페닐렌설파이드계 수지(polyphenylenesulfides resin) 또는 벤조사이클로부텐(benzocyclobutene, BCB) 등을 포함할 수 있다.
- [0095] 제4 도전층(160)은 제4 절연층(124) 상에 배치된다. 제4 도전층(160)은 제1 애노드 연결 전극(CNE1)을 포함할 수 있다. 제1 애노드 연결 전극(CNE1)은 제4 절연층(124)을 관통하는 컨택홀을 통해 박막 트랜지스터의 제2 전극(SD2)과 전기적으로 연결될 수 있다. 제1 애노드 연결 전극(CNE1)과 제2 애노드 연결 전극(CNE2)을 통해, 애노드 전극(ANO)과 박막 트랜지스터의 제2 전극(SD2)이 전기적으로 연결될 수 있다. 제4 도전층(160)은 제3 도전층(150)과 동일한 물질을 포함하거나, 동일한 적층 구조를 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0096] 제5 절연층(125)은 제4 도전층(160) 상에 배치된다. 제5 절연층(125)은 제4 도전층(160)을 덮는다. 제5 절연층(125)은 비아층일 수 있다. 제5 절연층(125)은 유기 절연 물질을 포함할 수 있다. 제5 절연층(125)은 제4 절연층(124)과 동일한 물질을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0097] 제5 도전층(170)은 제5 절연층(125) 상에 배치된다. 제5 도전층(170)은 제2 애노드 연결 전극(CNE2)을 포함할 수 있다. 제5 도전층(170)은 제2 전원 전압 라인(ELVSSL, 도 3 참조)을 더 포함할 수 있다. 제2 애노드 연결 전극(CNE2)은 제5 절연층(125)을 관통하는 컨택홀을 통해 제1 애노드 연결 전극(CNE1)과 전기적으로 연결될 수 있다. 제5 도전층(170)은 제3 도전층(150)과 동일한 물질을 포함하거나, 동일한 적층 구조를 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0098] 제6 절연층(126)은 제5 도전층(170) 상에 배치된다. 제6 절연층(126)은 제5 도전층(170)을 덮는다. 제6 절연층

(126)은 비아층일 수 있다. 제6 절연층(126)은 유기 절연 물질을 포함할 수 있다. 제6 절연층(126)은 제4 절연층(124)과 동일한 물질을 포함할 수 있으나, 이에 제한되는 것은 아니다.

- [0099] 애노드 전극(ANO)은 제6 절연층(126) 상에 배치된다. 애노드 전극(ANO)은 화소마다 마련된 화소 전극일 수 있다. 애노드 전극(ANO)은 제6 절연층(126)을 관통하는 콘택홀을 통해 제2 애노드 연결 전극(CNE2)과 연결될 수 있다. 애노드 전극(ANO)은 화소의 발광 영역(EMA)과 적어도 부분적으로 중첩될 수 있다.
- [0100] 애노드 전극(ANO)은 이에 제한되는 것은 아니지만 인듐-주석-산화물(Indium-Tin-Oxide: ITO), 인듐-아연-산화물(Indium-Zinc-Oxide: IZO), 산화아연(Zinc Oxide: ZnO), 산화인듐(Indium Oxide: In<sub>2</sub>O<sub>3</sub>)의 일함수가 높은 물질층과 은(Ag), 마그네슘(Mg), 알루미늄(Al), 백금(Pt), 납(Pb), 팔라듐(Pd), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca) 또는 이들의 혼합물 등과 같은 반사성 물질층이 적층된 적층막 구조를 가질 수 있다. 일함수가 높은층이 반사성 물질층보다 위층에 배치되어 발광층(EML)에 가깝게 배치될 수 있다. 애노드 전극(ANO)은 ITO/Mg, ITO/MgF, ITO/Ag, ITO/Ag/ITO의 복수층 구조를 가질 수 있으나, 이에 한정되는 것은 아니다.
- [0101] 화소 정의막(PDL)은 애노드 전극(ANO) 상에 배치될 수 있다. 화소 정의막(PDL)은 애노드 전극(ANO)을 노출하는 개구부를 포함할 수 있다. 화소 정의막(PDL) 및 그 개구부에 의해 발광 영역(EMA)과 비발광 영역(NEM)이 구분될 수 있다. 화소 정의막(PDL)은 아크릴계 수지(polyacrylates resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides resin), 불포화 폴리 에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌계 수지(poly phenylenethers resin), 폴리페닐렌 설파이드계 수지(polyphenylenesulfides resin) 또는 벤조사이클로부텐(benzocyclobutene, BCB) 등의 유기 절연 물질을 포함할 수 있다. 화소 정의막(PDL)은 무기 물질을 포함할 수도 있다.
- [0102] 발광층(EML)은 화소 정의막(PDL)이 노출하는 애노드 전극(ANO) 상에 배치된다. 발광층(EML)은 유기 물질층을 포함할 수 있다. 발광층의 유기 물질층은 유기 발광층을 포함하며, 정공 주입/수송층 및/또는, 전자 주입/수송층을 더 포함할 수 있다.
- [0103] 캐소드 전극(CAT)은 발광층(EML) 상에 배치될 수 있다. 캐소드 전극(CAT)은 화소의 구별없이 전면적으로 배치된 공통 전극일 수 있다. 애노드 전극(ANO), 발광층(EML) 및 캐소드 전극(CAT)은 각각 유기 발광 소자를 구성할 수 있다.
- [0104] 캐소드 전극(CAT)은 발광층(EML)과 접할 뿐만 아니라, 화소 정의막(PDL)의 상면에도 접할 수 있다. 캐소드 전극(CAT)은 하부 구조물의 단차를 반영하도록 하부 구조물에 대해 컨포말하게 형성될 수 있다.
- [0105] 캐소드 전극(CAT)은 Li, Ca, LiF/Ca, LiF/Al, Al, Mg, Ag, Pt, Pd, Ni, Au, Nd, Ir, Cr, BaF, Ba 또는 이들의 화합물이나 혼합물(예를 들어, Ag와 Mg의 혼합물 등)과 같은 일함수가 작은 물질층을 포함할 수 있다. 캐소드 전극(CAT)은 상기 일함수가 작은 물질층 상에 배치된 투명 금속 산화물층을 더 포함할 수 있다.
- [0106] 봉지층(180)은 캐소드 전극(CAT) 상에 배치될 수 있다. 봉지층(180)은 제1 무기 봉지막(181), 유기 봉지막(182) 및 제2 무기 봉지막(183)을 포함할 수 있다. 봉지층(180)의 단부에서 제1 무기 봉지막(181)과 제2 무기 봉지막(183)은 서로 접할 수 있다. 유기 봉지막(182)은 제1 무기 봉지막(181)과 제2 무기 봉지막(183)에 의해 밀봉될 수 있다.
- [0107] 제1 무기 봉지막(181) 및 제2 무기 봉지막(183)은 각각 실리콘 질화물, 실리콘 산화물, 또는 실리콘 산질화물 등의 무기 절연 물질을 포함할 수 있다. 유기 봉지막(182)은 유기 절연 물질을 포함할 수 있다.
- [0108] 도 5는 도 1의 A 영역을 확대한 확대도이다.
- [0109] 도 5를 참조하면, 표시 패널(10)은 댐 구조물(DAM), 뱅크 구조물(BNK), 스캔 구동부(SDU), 및 스캔 제어 라인(SCL)을 더 포함할 수 있다.
- [0110] 댐 구조물(DAM)은 비표시 영역(NDA)에 배치되며, 표시 영역(DA)을 둘러쌀 수 있다. 표시 영역(DA)은 댐 구조물(DAM)에 의해 둘러싸인 영역 내에 배치될 수 있다. 댐 구조물(DAM)은 댐 구조물(DAM) 내부의 유기 물질이 댐 구조물(DAM)의 외측으로 흘러 넘치는 것을 억제 또는 방지하는 역할을 수행할 수 있다.
- [0111] 뱅크 구조물(BNK)은 비표시 영역(NDA)에 배치되며, 댐 구조물(DAM)을 둘러쌀 수 있다. 댐 구조물(DAM)은 뱅크 구조물(BNK)에 의해 둘러싸인 영역 내에 배치될 수 있다. 뱅크 구조물(BNK)은 표시 패널(10)의 제조에 사용되는 마스크(예를 들어, FMM(fine metal mask) 마스크)를 지지하는 역할을 수행할 수 있다.

- [0112] 표시 패널(10)은 무기 봉지 영역(CVD)을 더 포함할 수 있다. 무기 봉지 영역(CVD)은 댐 구조물(DAM)과 बैं크 구조물(BNK) 사이에 배치될 수 있다. 무기 봉지 영역(CVD)에서 봉지층(180, 도 4 참조)의 유기 봉지막(182, 도 4 참조)이 배치되지 않을 수 있고, 이에 따라, 봉지층(180, 도 4 참조)의 제1 무기막(181, 도 4 참조)과 제2 무기막(183, 도 4 참조)이 서로 직접 접촉할 수 있다. 무기 봉지 영역(CVD)에는 무기막(무기 절연층 및 무기 봉지막)만이 배치되고, 유기막(유기 절연층 및 유기 봉지막)이 배치되지 않을 수 있다. 무기 봉지 영역(CVD)에 대한 자세한 설명은 후술한다.
- [0113] 스캔 구동부(SDU)는 비표시 영역(NDA)에 배치될 수 있다. 스캔 구동부(SDU)는 표시 영역(DA)의 제1 방향(DR1) 일측 및 타측 중 적어도 어느 하나에 배치될 수 있다. 스캔 구동부(SDU)는 스캔 제어 라인(SCL)을 통해 구동칩(20, 도 1 참조)과 전기적으로 연결될 수 있다. 스캔 구동부(SDU)는 구동 칩(20, 도 1 참조)으로부터 스캔 타이밍 신호를 입력 받을 수 있다. 스캔 구동부(SDU)는 스캔 타이밍 신호에 따라 스캔 신호들을 생성할 수 있다. 스캔 구동부(SDU)는 스캔 신호를 스캔 라인을 통해 화소의 박막 트랜지스터의 게이트 전극(GAT)에 출력할 수 있다.
- [0114] 스캔 제어 라인(SCL)은 비표시 영역(NDA)에 배치될 수 있다. 스캔 제어 라인(SCL)은 표시 영역(DA)의 제2 방향(DR2) 타측에 배치될 수 있다. 스캔 제어 라인(SCL)은 스캔 구동부(SDU)의 하측으로부터 구동칩(20, 도 1 참조)까지 연장될 수 있다. 스캔 제어 라인(SCL)은 댐 구조물(DAM)과 중첩할 수 있다. 다시 말해서, 스캔 구동부(SDU)로부터 연장된 스캔 제어 라인(SCL)은 댐 구조물(DAM)의 내측에서 제1 방향(DR1)으로 연장되다가, 댐 구조물(DAM)을 가로질러 제2 방향(DR2) 타측으로 연장되어, 구동칩(20, 도 1 참조)과 연결될 수 있다. 스캔 제어 라인(SCL)이 댐 구조물(DAM)과 교차하는 부분에서 스캔 제어 라인(SCL)은 댐 구조물(DAM)과 중첩할 수 있다.
- [0115] 제1 전원 전압 라인(ELVDDL)은 제2 전원 전압 라인(ELVSSL)과 분리, 이격되어 배치될 수 있다. 제1 전원 전압 라인(ELVDDL)은 표시 영역(DA)의 제2 방향(DR2) 타측에 배치될 수 있다.
- [0116] 제2 전원 전압 라인(ELVSSL)은 비표시 영역(NDA)에 배치될 수 있다. 제2 전원 전압 라인(ELVSSL)은 구동칩(20, 도 1 참조)으로부터 연장되어, 표시 영역(DA)을 우회하여 다시 구동칩(20, 도 1 참조)까지 연장될 수 있다. 다시 말해서, 제2 전원 전압 라인(ELVSSL)의 일측 끝단과 타측 끝단은 구동칩(20, 도 1 참조)과 연결되며, 제2 전원 전압 라인(ELVSSL)은 표시 영역(DA)의 세 측(제1 방향(DR1) 일측 및 타측과 제2 방향(DR2) 일측)을 우회하여 연장될 수 있다. 제2 전원 전압 라인(ELVSSL)은 스캔 구동부(SDU)의 외측에 배치될 수 있다. 다만, 이에 제한되는 것은 아니고, 제2 전원 전압 라인(ELVSSL)은 스캔 구동부(SDU)와 중첩할 수도 있다.
- [0117] 제2 전원 전압 라인(ELVSSL)은 댐 구조물(DAM) 및 बैं크 구조물(BNK)과 중첩할 수 있다. 제2 전원 전압 라인(ELVSSL)은 대체로 बैं크 구조물(BNK) 내측에 배치될 수 있다. 제2 전원 전압 라인(ELVSSL)은 बैं크 구조물(BNK) 내측에서 댐 구조물(DAM)과 중첩하며 댐 구조물(DAM)을 따라 연장되다가, 제2 방향(DR2) 타측으로 연장되어 구동칩(20, 도 1 참조)과 연결될 수 있다. 제2 전원 전압 라인(ELVSSL)은 표시 영역(DA)의 하측에서 제1 방향(DR1) 일측으로 연장되다가 제2 방향(DR2) 타측으로 연장되고, बैं크 구조물(BNK)과 교차할 수 있다. 제2 전원 전압 라인(ELVSSL)은 बैं크 구조물(BNK)과 교차하는 영역에서, 제2 전원 전압 라인(ELVSSL)은 बैं크 구조물(BNK)과 중첩할 수 있다.
- [0118] 도 6을 참조하여, 제2 전원 전압 라인(ELVSSL), 댐 구조물(DAM) 및 बैं크 구조물(BNK)의 단면 구조에 대해 설명한다.
- [0119] 도 6은 도 5의 VI-VI' 선을 따라 자른 단면도이다.
- [0120] 도 5 및 도 6을 참조하면, 댐 구조물(DAM)은 순차 적층된 제1 서브 댐 구조물(DAM1), 제2 서브 댐 구조물(DAM2), 제3 서브 댐 구조물(DAM3), 제4 서브 댐 구조물(DAM4) 및 댐 스페이서(DAM5)를 포함할 수 있다. बैं크 구조물(BNK)은 순차 적층된 제1 서브 बैं크 구조물(BNK1), 제2 서브 बैं크 구조물(BNK2), 제3 서브 बैं크 구조물(BNK3), 제4 서브 बैं크 구조물(BNK4) 및 बैं크 스페이서(BNK5)를 포함할 수 있다.
- [0121] 제1 서브 댐 구조물(DAM1)과 제1 서브 बैं크 구조물(BNK1)은 제4 절연층(124)으로 이루어질 수 있다. 다시 말해서, 제1 서브 댐 구조물(DAM1)과 제1 서브 बैं크 구조물(BNK1)은 제4 절연층(124)과 동일한 공정으로 형성되므로, 제1 서브 댐 구조물(DAM1)과 제1 서브 बैं크 구조물(BNK1)은 제4 절연층(124)과 실질적으로 동일한 물질을 포함할 수 있다. 또한, 제1 서브 댐 구조물(DAM1), 제1 서브 बैं크 구조물(BNK1), 및 제4 절연층(124)은 실질적으로 동일한 층일 수 있다. 제1 서브 댐 구조물(DAM1)과 제1 서브 बैं크 구조물(BNK1)은 제3 절연층(123)상에 배치될 수 있다.

- [0122] 제2 서브 댐 구조물(DAM2)과 제2 서브 댐 구조물(BNK2)은 제5 절연층(125)으로 이루어질 수 있다. 다시 말해서, 제2 서브 댐 구조물(DAM2)과 제2 서브 댐 구조물(BNK2)은 제5 절연층(125)과 동일한 공정으로 형성되므로, 제2 서브 댐 구조물(DAM2)과 제2 서브 댐 구조물(BNK2)은 제5 절연층(125)과 실질적으로 동일한 물질을 포함할 수 있다. 또한, 제2 서브 댐 구조물(DAM2)과 제2 서브 댐 구조물(BNK2)은 제5 절연층(125)과 동일한 층 상에 배치될 수 있다. 제2 서브 댐 구조물(DAM2)과 제2 서브 댐 구조물(BNK2)은 각각 제1 서브 댐 구조물(DAM1)과 제1 서브 댐 구조물(BNK1) 상에 배치될 수 있다. 제2 서브 댐 구조물(DAM2)과 제2 서브 댐 구조물(BNK2) 상에는 제2 전원 전압 라인(ELVSSL)이 배치될 수 있다. 제2 전원 전압 라인(ELVSSL)은 제5 도전층(170)으로 이루어질 수 있다.
- [0123] 제3 서브 댐 구조물(DAM3)과 제3 서브 댐 구조물(BNK3)은 제6 절연층(126)으로 이루어질 수 있다. 다시 말해서, 제3 서브 댐 구조물(DAM3)과 제3 서브 댐 구조물(BNK3)은 제6 절연층(126)과 동일한 공정으로 형성되므로, 제3 서브 댐 구조물(DAM3)과 제3 서브 댐 구조물(BNK3)은 제6 절연층(126)과 실질적으로 동일한 물질을 포함할 수 있다. 제3 서브 댐 구조물(DAM3)과 제3 서브 댐 구조물(BNK3) 각각은 제2 전원 전압 라인(ELVSSL)을 사이에 두고 제2 서브 댐 구조물(DAM2)과 제2 서브 댐 구조물(BNK2) 상에 배치될 수 있다.
- [0124] 제4 서브 댐 구조물(DAM4)과 제4 서브 댐 구조물(BNK4)은 화소 정의막(PDL)으로 이루어질 수 있다. 다시 말해서, 제4 서브 댐 구조물(DAM4)과 제4 서브 댐 구조물(BNK4)은 화소 정의막(PDL)과 동일한 공정으로 형성되므로, 제4 서브 댐 구조물(DAM4)과 제4 서브 댐 구조물(BNK4)은 화소 정의막(PDL)과 실질적으로 동일한 물질을 포함할 수 있다. 또한, 제4 서브 댐 구조물(DAM4)과 제4 서브 댐 구조물(BNK4)은 화소 정의막(PDL)과 동일한 층 상에 배치될 수 있다. 제4 서브 댐 구조물(DAM4)과 제4 서브 댐 구조물(BNK4)은 각각 제3 서브 댐 구조물(DAM3)과 제3 서브 댐 구조물(BNK3) 상에 배치될 수 있다.
- [0125] 댐 스페이서(DAM5)는 제4 서브 댐 구조물(DAM4)로부터 두께 방향(제3 방향(DR3))을 기준으로 상부를 향해 돌출될 수 있다. 댐 스페이서(BNK5)는 제4 서브 댐 구조물(BNK4)로부터 두께 방향(제3 방향(DR3))을 기준으로 상부를 향해 돌출될 수 있다. 댐 스페이서(DAM5)와 댐 스페이서(BNK5)는 마스크(예를 들어, FMM(fine metal mask) 마스크)를 지지하는 역할을 수행할 수 있다.
- [0126] 무기 봉지 영역(CVD)에서 제2 전원 전압 라인(ELVSSL)은 제6 절연층(126) 및 화소 정의막(PDL)에 의해 노출될 수 있다. 다시 말해서, 제2 전원 전압 라인(ELVSSL)은 제6 절연층(126)으로 이루어지는 제3 서브 댐 구조물(DAM3)과 제3 서브 댐 구조물(BNK3), 및 화소 정의막(PDL)으로 이루어지는 제4 서브 댐 구조물(DAM4)과 제4 서브 댐 구조물(BNK4)에 의해 노출될 수 있다.
- [0127] 무기 봉지 영역(CVD)에서 제2 전원 전압 라인(ELVSSL)은 제1 무기 봉지막(181)과 직접 접촉할 수 있다. 무기 봉지 영역(CVD)에서 제1 무기 봉지막(181)은 제2 무기 봉지막(183)과 직접 접촉할 수 있다. 무기 봉지 영역(CVD)은 유기막 예를 들어, 제4 절연층(124), 제5 절연층(125), 제6 절연층(126), 화소 정의막(PDL) 및 유기 봉지막(182) 등이 배치되지 않을 수 있다. 즉, 봉지층(180)은 무기 봉지 영역(CVD)에서 유기 봉지막(182)을 밀봉할 수 있다. 무기 봉지 영역(CVD)에 의해, 유기막을 타고 표시 패널(10)의 내부로 침투할 수 있는 외기 및 습기 등이 차단할 수 있다.
- [0128] 제2 전원 전압 라인(ELVSSL)은 무기 봉지 영역(CVD)에서 신호 전달 라인과 중첩할 수 있다. 예를 들어, 제2 전원 전압 라인(ELVSSL)은 스캔 제어 라인(SCL)과 중첩할 수 있다. 제2 전원 전압 라인(ELVSSL)과 스캔 제어 라인(SCL)이 중첩하는 영역의 적어도 일부는 무기 봉지 영역(CVD)에 배치될 수 있다. 다시 말해서, 제2 전원 전압 라인(ELVSSL)은 무기 봉지 영역(CVD)에서 스캔 제어 라인(SCL)과 중첩할 수 있다. 이 경우, 무기 봉지 영역(CVD)에서 제2 전원 전압 라인(ELVSSL)과 스캔 제어 라인(SCL) 사이에는 식각 방지 패턴(EST, 도 7 참조)이 더 배치될 수 있고, 제2 전원 전압 라인(ELVSSL)과 스캔 제어 라인(SCL) 사이의 전류 누설 등의 불량을 억제 또는 방지할 수 있다.
- [0129] 다만, 신호 전달 라인이 스캔 제어 라인(SCL)에 제한되는 것은 아니다. 제2 전원 전압 라인(ELVSSL)은 데이터 신호를 전달하는 데이터 신호 배선과 중첩할 수도 있다.
- [0130] 도 7은 도 5의 B 영역을 확대한 확대도이다. 도 8은 도 7의 VIII-VIII' 선을 따라 자른 단면도이다. 도 9는 도 8의 C 영역을 확대한 확대도이다.
- [0131] 도 7 내지 도 9를 참조하면, 표시 패널(10)은 식각 방지 패턴(EST)을 더 포함할 수 있다. 식각 방지 패턴(EST)은 제2 전원 전압 라인(ELVSSL)의 적어도 일부와 중첩할 수 있다. 식각 방지 패턴(EST)의 적어도 일부는 무기 봉지 영역(CVD)에서 두께 방향(제3 방향(DR3))을 기준으로, 제2 전원 전압 라인(ELVSSL)과 스캔 제어 라인(SCL)

사이에 배치될 수 있다.

- [0132] 다시 말하면, 표시 패널(10)은 제2 전원 전압 라인(ELVSSL)과 스캔 제어 라인(SCL)이 두께 방향(제3 방향(DR 3))으로 중첩하는 중첩 영역(OA)을 더 포함할 수 있다. 중첩 영역(OA)의 적어도 일부는 무기 봉지 영역(CVD) 내에 위치할 수 있다. 식각 방지 패턴(EST)은 적어도 일부가 중첩 영역(OA) 내에 배치될 수 있다. 식각 방지 패턴(EST)은 적어도 일부가 무기 봉지 영역(CVD)에 배치될 수 있다.
- [0133] 무기 봉지 영역(CVD)에서 식각 방지 패턴(EST)은 제2 전원 전압 라인(ELVSSL)과 직접 컨택할 수 있다. 식각 방지 패턴(EST)은 제4 도전층(160)으로 이루어질 수 있다. 다만, 이에 제한되는 것은 아니고, 식각 방지 패턴(EST)은 제3 도전층(150, 도 4 참조)으로 이루어질 수도 있다.
- [0134] 식각 방지 패턴(EST)은 제2 전원 전압 라인(ELVSSL) 하부의 무기막의 두께가 식각에 의해 감소하는 것을 억제 또는 방지할 수 있다. 예를 들어, 식각 방지 패턴(EST)이 제4 도전층(160)으로 이루어지는 경우, 제4 도전층(160)을 패터닝하는 과정에서 제4 도전층(160)과 중첩하지 않는 부분의 제3 절연층(123)은 상부 일부가 함께 식각되어 두께가 줄어들 수 있다. 제3 절연층(123)의 두께가 감소하는 경우, 제2 전원 전압 라인(ELVSSL)과 스캔 제어 라인(SCL) 사이의 거리(또는, 제2 전원 전압 라인(ELVSSL)과 스캔 제어 라인(SCL) 사이의 무기막의 두께)가 감소할 수 있다.
- [0135] 특히, 제2 전원 전압 라인(ELVSSL)과 스캔 제어 라인(SCL) 사이에 무기막만이 배치되는 무기 봉지 영역(CVD)에서 제3 절연층(123)의 두께가 감소하는 경우, 제2 전원 전압 라인(ELVSSL)과 스캔 제어 라인(SCL) 사이에서, 스캔 제어 라인(SCL)의 측면에서 발생할 수 있는 공극에 의한 제2 전원 전압 라인(ELVSSL)과 스캔 제어 라인(SCL) 사이의 쇼트(short) 및 쇼트(short)에 의한 전류 누설(leakage)과, 제2 전원 전압 라인(ELVSSL)과 스캔 제어 라인(SCL) 사이에 형성되는 기생 커패시턴스에 의한 커플링(coupling) 등의 불량 발생될 수 있다.
- [0136] 다만, 제2 전원 전압 라인(ELVSSL)과 스캔 제어 라인(SCL)이 중첩하는 중첩 영역(OA)에서, 제2 전원 전압 라인(ELVSSL)과 스캔 제어 라인(SCL) 사이에 식각 방지 패턴(EST)이 배치되는 경우, 제4 도전층(160)을 패터닝하더라도, 식각 방지 패턴(EST)과 중첩하는 제3 절연층(123)의 두께는 감소하지 않을 수 있다.
- [0137] 다시 말해서, 제3 절연층(123)은 식각 방지 패턴(EST)과 두께 방향(제3 방향(DR3))으로 중첩하는 제1 영역(AR 1)과 식각 방지 패턴(EST)과 비중첩하는 제2 영역(AR2)을 포함할 수 있다. 제3 절연층(123)은 제1 영역(AR1)에서 제1 두께(TH1)를 가질 수 있고, 제2 영역(AR2)에서 제2 두께(TH2)를 가질 수 있다. 제1 두께(TH1)의 크기는 제2 두께(TH2)의 크기보다 클 수 있다. 여기서, 제2 영역(AR2)은 식각 방지 패턴(EST) 뿐만 아니라, 제4 도전층(160)의 전 영역과 비중첩하는 영역을 지칭할 수 있다.
- [0138] 따라서, 식각 방지 패턴(EST)에 의해, 무기 봉지 영역(CVD)에서 제2 전원 전압 라인(ELVSSL)과 스캔 제어 라인(SCL) 사이에 배치된 무기 절연막의 두께가 감소되는 것을 억제 또는 방지될 수 있고, 제2 전원 전압 라인(ELVSSL)과 스캔 제어 라인(SCL) 사이의 전류 누설 및 커플링 등의 불량을 억제 또는 방지할 수 있다.
- [0139] 이상에서, 제2 전원 전압 라인(ELVSSL)과 신호 전달 라인이 중첩하는 경우에 대해 서술하였으나, 이에 제한되는 것은 아니고, 제2 전원 전압 라인(ELVSSL)에 대한 설명은 제1 전원 전압 라인(ELVDDL)에도 동일하게 적용될 수 있다.
- [0140] 이하, 다른 실시예들에 대해 설명한다. 이하의 실시예에서, 이미 설명한 실시예와 동일한 구성에 대해서는 그 설명을 생략하거나 간략화하며, 차이점을 위주로 설명하기로 한다.
- [0141] 도 10은 다른 실시예에 따른 표시 패널의 평면도 일부이다.
- [0142] 도 10을 참조하면, 본 실시예에 따른 표시 패널(10\_1)의 식각 방지 패턴(EST\_1)은 무기 봉지 영역(CVD) 내에만 배치된다는 점에서 도 7의 실시예와 차이가 있다. 식각 방지 패턴(EST\_1)은 무기 봉지 영역(CVD) 내에만 배치되고, 스캔 제어 라인(SCL)과 제2 전원 전압 라인(ELVSSL)이 중첩하는 중첩 영역(OA) 내에 배치될 수 있다.
- [0143] 이 경우에도, 식각 방지 패턴(EST\_1)에 의해, 제2 전원 전압 라인(ELVSSL)과 스캔 제어 라인(SCL) 사이의 전류 누설 등의 불량을 억제 또는 방지할 수 있다. 아울러, 필요에 따라, 식각 방지 패턴(EST\_1)의 다양한 설계가 가능하다.
- [0144] 도 11은 또 다른 실시예에 따른 표시 패널의 평면도 일부이다.
- [0145] 도 11을 참조하면, 본 실시예에 따른 표시 패널(10\_2)의 식각 방지 패턴(EST\_2)은 제2 전원 전압 라인(ELVSSL)의 전 영역과 중첩한다는 점에서 도 7의 실시예와 차이가 있다. 식각 방지 패턴(EST\_2)은 평면상 제2 전원 전압

라인(ELVSSL)과 동일한 패턴 형상을 포함하고, 제2 전원 전압 라인(ELVSSL)의 전 영역과 중첩할 수 있다. 또는, 식각 방지 패턴(EST\_2)은 평면상 제2 전원 전압 라인(ELVSSL)보다 더 큰 면적을 가질 수 있다. 다시 말해서, 식각 방지 패턴(EST\_2)은 제2 전원 전압 라인(ELVSSL)의 전 영역과 중첩하고, 제2 전원 전압 라인(ELVSSL)은 식각 방지 패턴(EST\_2)의 일부 영역과 중첩할 수 있다.

[0146] 이 경우에도, 식각 방지 패턴(EST\_2)에 의해, 제2 전원 전압 라인(ELVSSL)과 스캔 제어 라인(SCL) 사이의 전류 누설 등의 불량을 억제 또는 방지할 수 있다. 아울러, 무기 봉지 영역(CVD)에서 제2 전원 전압 라인(ELVSSL)은 식각 방지 패턴(EST\_2)과 직접 접촉하여, 마치 제2 전원 전압 라인(ELVSSL)의 두께가 증가된 것과 같은 효과가 있을 수 있고, 제2 전원 전압(ELVSS)에 의한 전류가 흐르는 배선의 저항이 감소된 것과 같은 효과가 있을 수 있다.

[0147] 도 5를 더 참조하면, 제2 전원 전압 라인(ELVSSL)은 표시 영역(DA)의 제1 방향(DR1) 일측 및 타측에 배치된 부분보다 표시 영역(DA)의 제2 방향(DR2) 타측에 배치된 부분의 두께가 작을 수 있다. 이 경우, 식각 방지 패턴(EST\_2)을 배치함에 따라, 표시 영역(DA)의 제2 방향(DR2) 타측에 배치된 부분에서 두께가 감소하더라도, 제2 전원 전압 라인(ELVSSL)의 발열 등의 불량이 억제 또는 방지될 수 있다.

[0148] 도 12는 또 다른 실시예에 따른 표시 패널의 단면도이다.

[0149] 도 12를 참조하면, 본 실시예에 따른 표시 패널(10\_3)의 식각 방지 패턴(EST\_3)은 제3 도전층(150)으로 이루어질 수 있다는 점에서 도 8의 실시예와 차이가 있다. 이 경우에도, 식각 방지 패턴(EST\_3)에 의해, 제2 전원 전압 라인(ELVSSL)과 스캔 제어 라인(SCL) 사이의 전류 누설 등의 불량을 억제 또는 방지할 수 있다. 아울러, 식각 방지 패턴(EST\_3)이 제3 도전층(150)으로 이루어짐에 따라, 제3 절연층(123)은 제4 도전층(160)의 패턴닝에 의한 식각 뿐만 아니라, 제3 도전층(150)의 패턴닝에 의한 식각도 진행되지 않을 수 있다. 따라서, 식각 방지 패턴(EST\_3)과 제2 전원 전압 라인(ELVSSL) 사이의 제3 절연층(123)의 두께는 보다 원활히 유지될 수 있다.

[0150] 도 13은 또 다른 실시예에 따른 표시 패널의 단면도이다.

[0151] 도 13을 참조하면, 본 실시예에 따른 표시 패널(10\_4)의 식각 방지 패턴(EST\_4)은 복수의 적층 구조를 포함할 수 있다는 점에서 도 8의 실시예와 차이가 있다. 식각 방지 패턴(EST\_4)은 순차 적층된 제1 적층 패턴(ST1) 및 제2 적층 패턴(ST2)을 포함할 수 있다. 제1 적층 패턴(ST1)은 제3 도전층(150)으로 이루어지며, 제2 적층 패턴(ST2)은 제4 도전층(160)으로 이루어질 수 있다.

[0152] 이 경우에도, 식각 방지 패턴(EST\_4)에 의해, 제2 전원 전압 라인(ELVSSL)과 스캔 제어 라인(SCL) 사이의 전류 누설 등의 불량을 억제 또는 방지할 수 있다. 아울러, 식각 방지 패턴(EST\_4)이 제3 도전층(150)으로 이루어짐에 따라, 제3 절연층(123)은 제4 도전층(160)의 패턴닝에 의한 식각 뿐만 아니라, 제3 도전층(150)의 패턴닝에 의한 식각도 진행되지 않을 수 있다. 따라서, 식각 방지 패턴(EST\_4)과 제2 전원 전압 라인(ELVSSL) 사이의 제3 절연층(123)의 두께는 보다 원활히 유지될 수 있다.

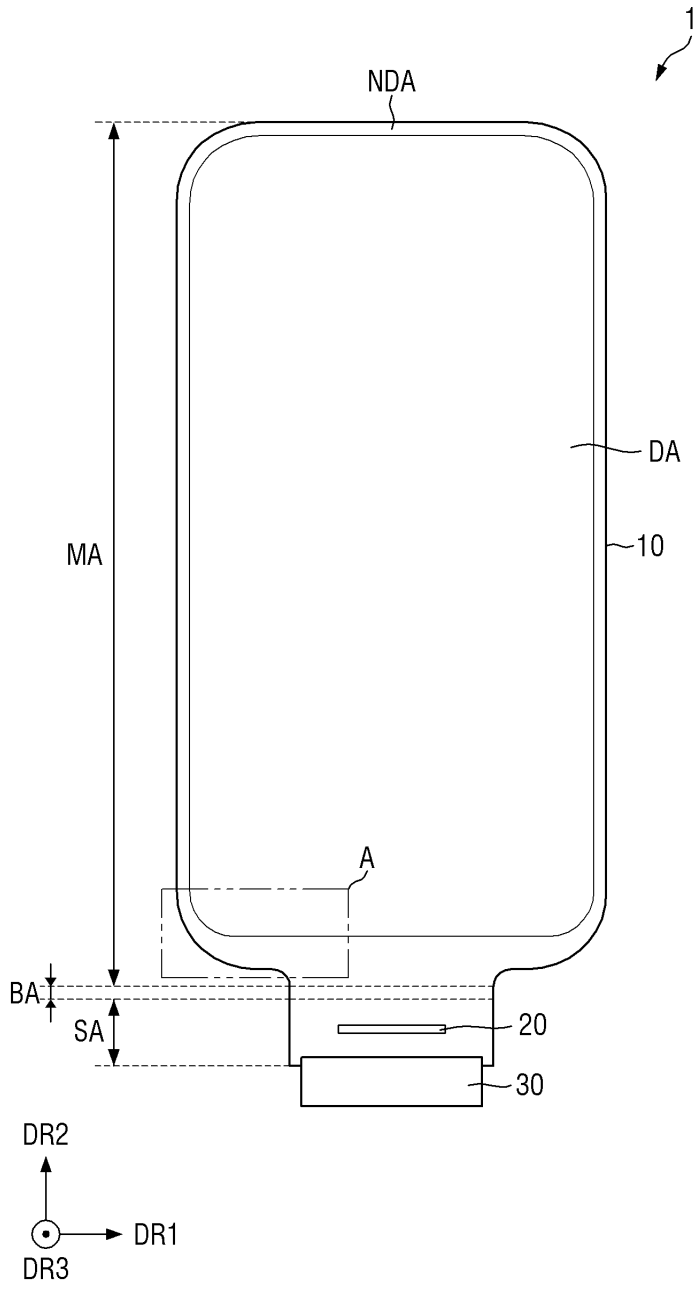
[0153] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

**부호의 설명**

- [0154] 1: 표시 장치 10: 표시 패널
- DA: 표시 영역 NDA: 비표시 영역
- 130: 제1 도전층 140: 제2 도전층
- 150: 제3 도전층 160: 제4 도전층
- 170: 제6 도전층 ELVSSL: 제2 전원 전압 라인
- DAM: 댐 구조물 BNK: बैं크 구조물
- CVD: 무기 봉지 영역 EST: 식각 방지 패턴

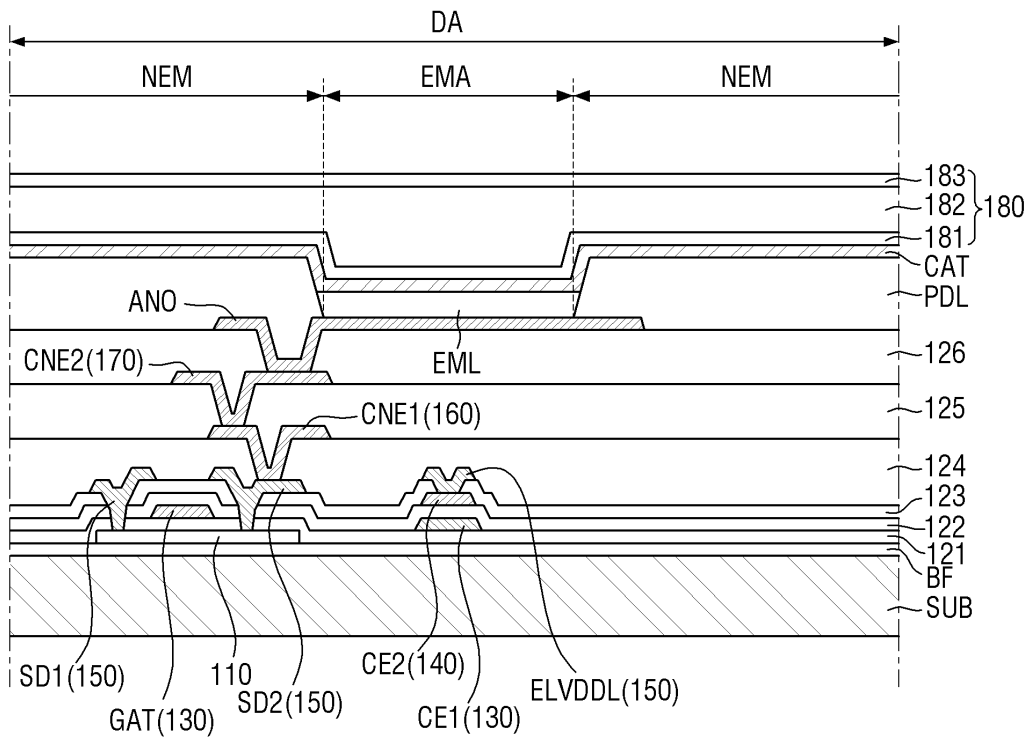
도면

도면1

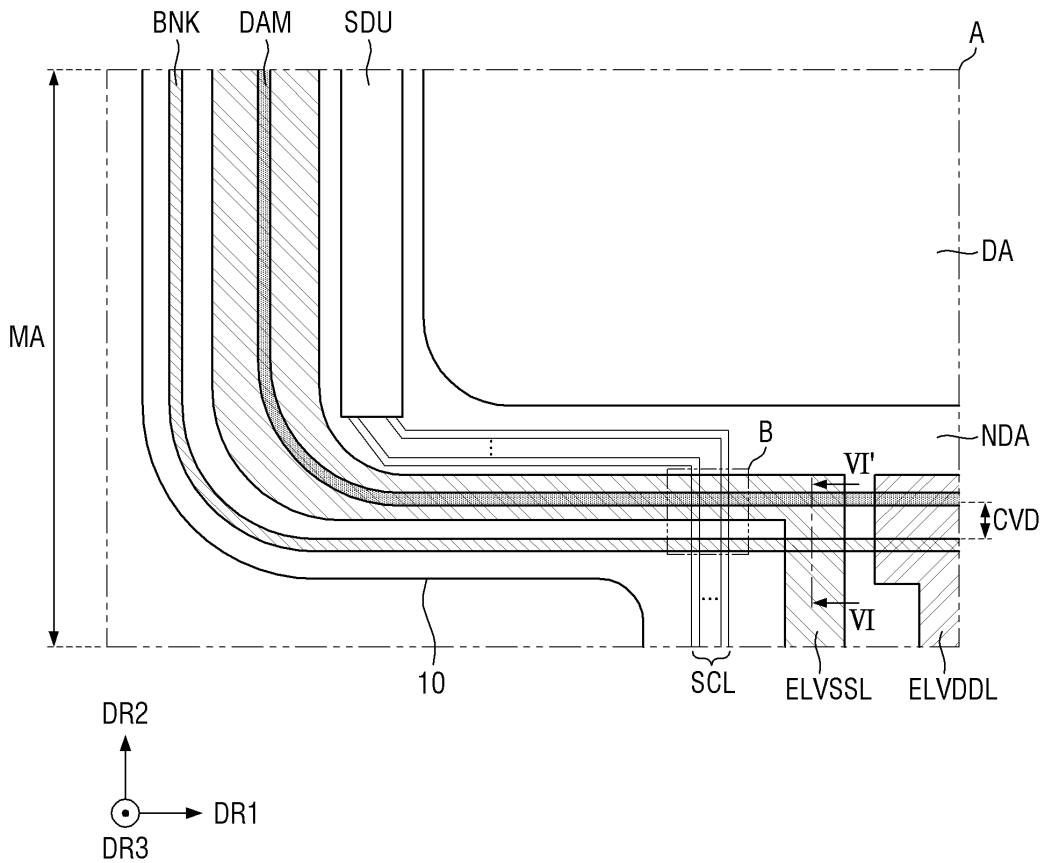




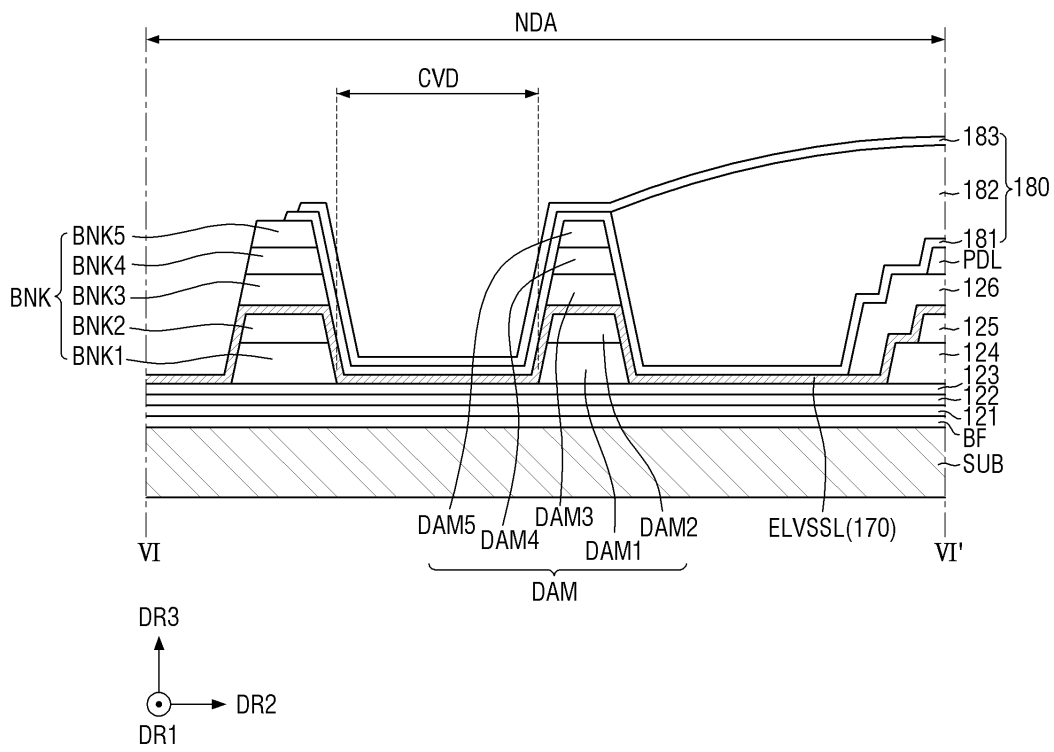
도면4



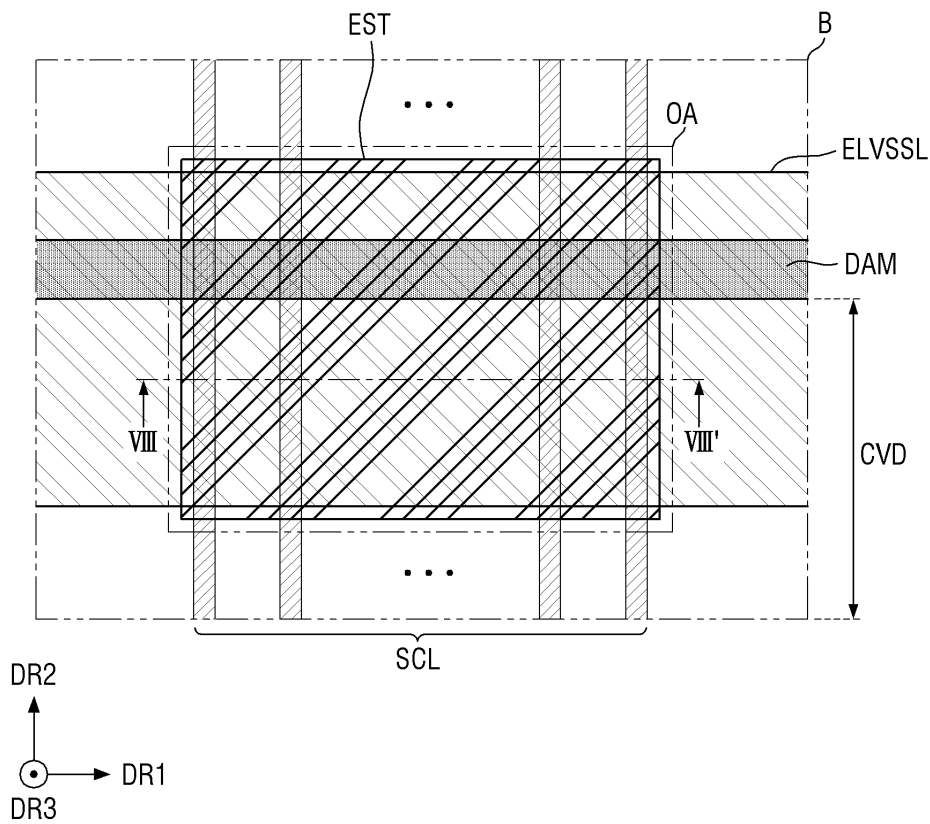
도면5



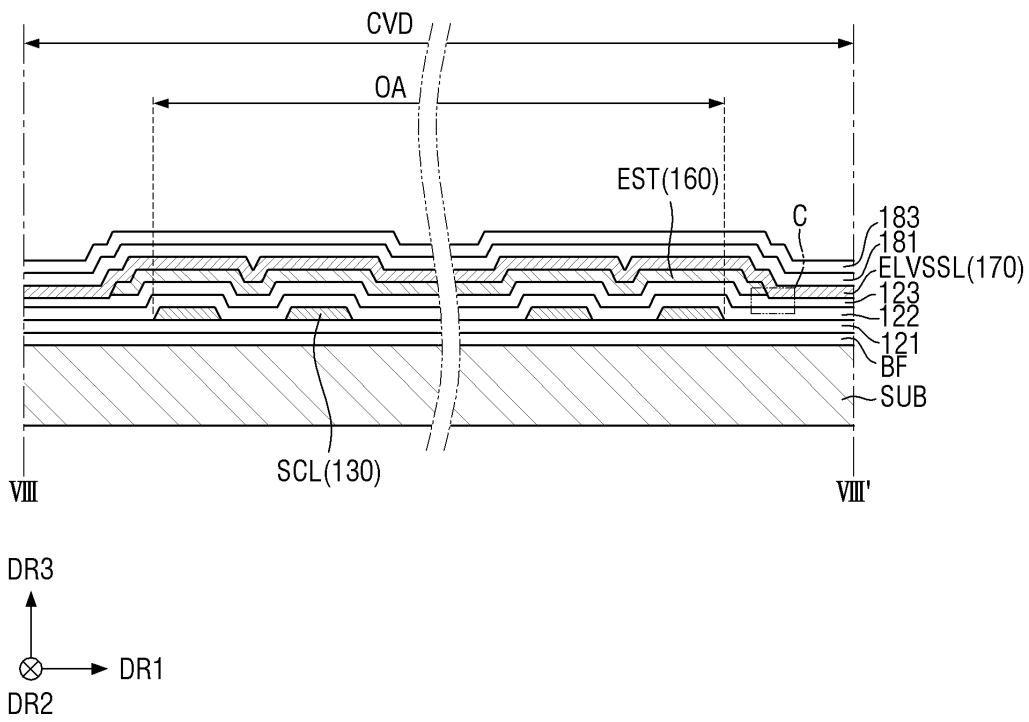
도면6



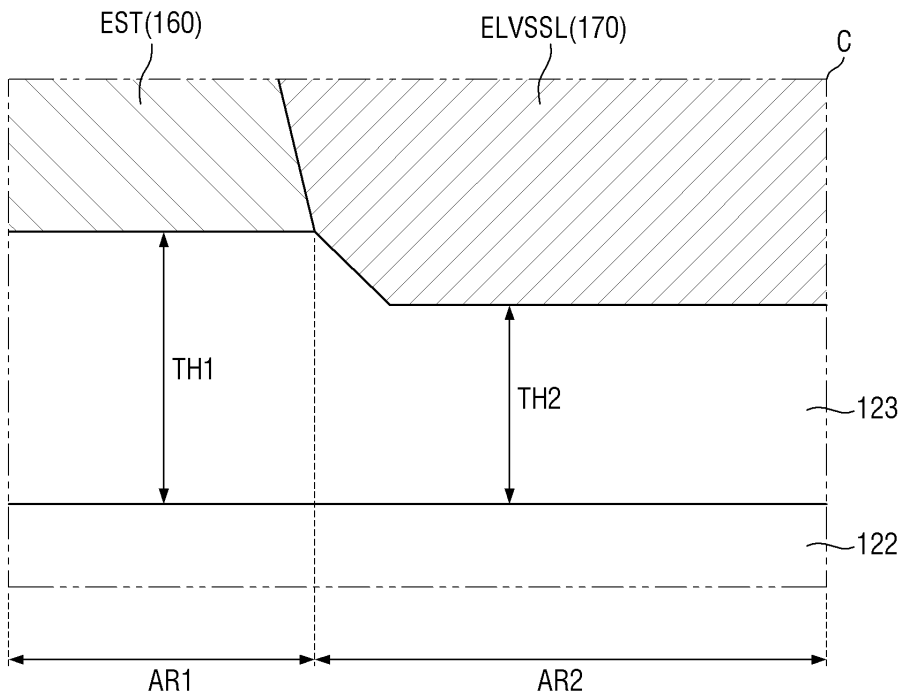
도면7



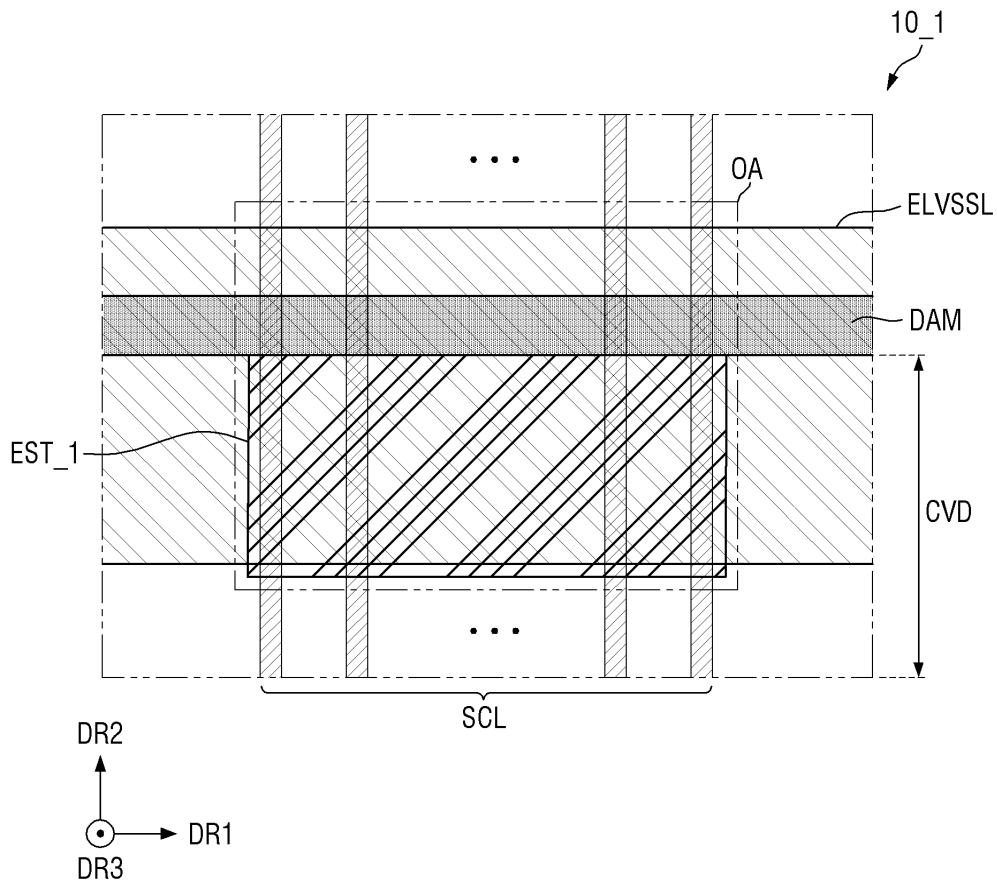
도면8



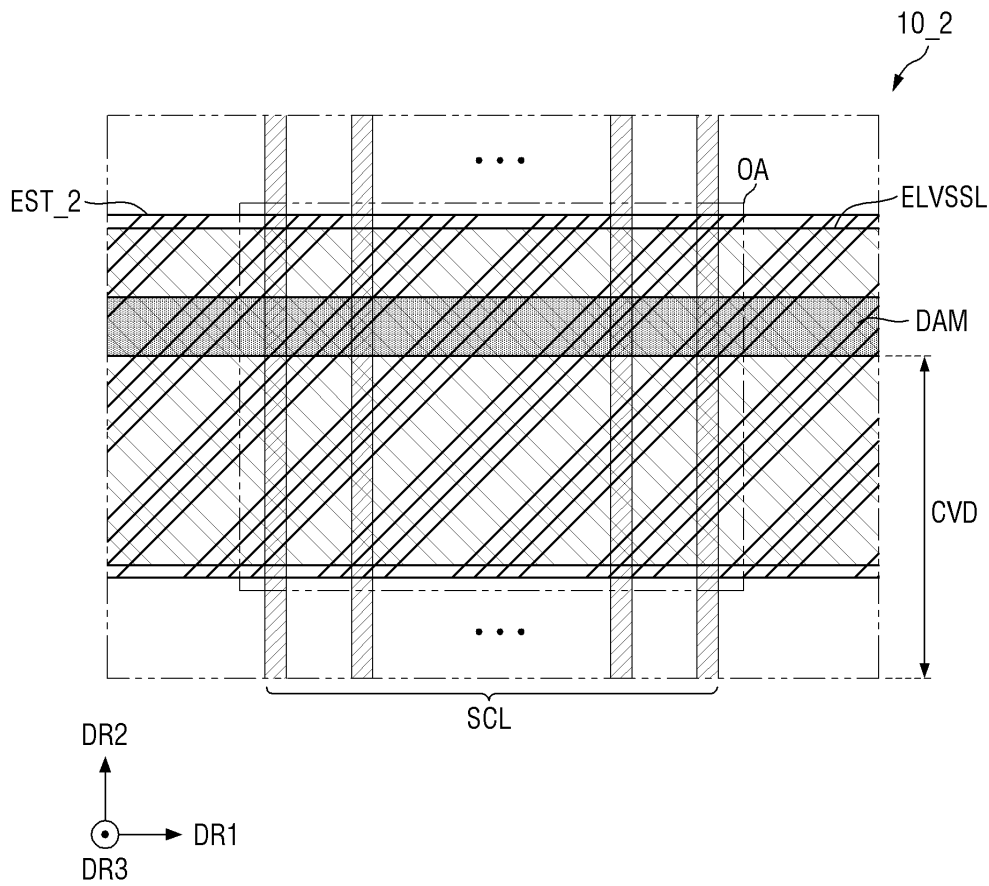
도면9



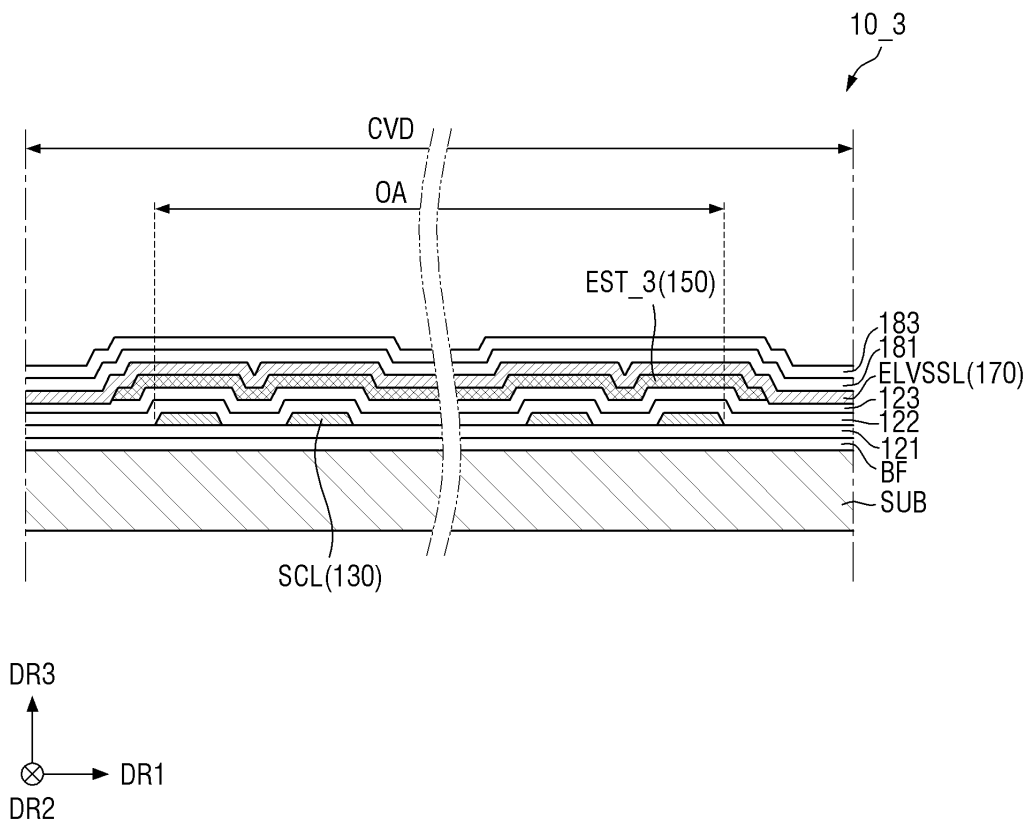
도면10



도면11



도면12



도면13

