

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-510206
(P2006-510206A)

(43) 公表日 平成18年3月23日(2006.3.23)

(51) Int.CI.

HO1L 29/78 (2006.01)
HO1L 21/265 (2006.01)

F1

HO1L 29/78 301D
HO1L 21/265 F

テーマコード(参考)

5F14O

審査請求 未請求 予備審査請求 未請求 (全 12 頁)

(21) 出願番号 特願2004-559410 (P2004-559410)
 (86) (22) 出願日 平成15年12月9日 (2003.12.9)
 (85) 翻訳文提出日 平成17年6月15日 (2005.6.15)
 (86) 國際出願番号 PCT/US2003/038931
 (87) 國際公開番号 WO2004/053939
 (87) 國際公開日 平成16年6月24日 (2004.6.24)
 (31) 優先権主張番号 10/315,517
 (32) 優先日 平成14年12月10日 (2002.12.10)
 (33) 優先権主張国 米国(US)

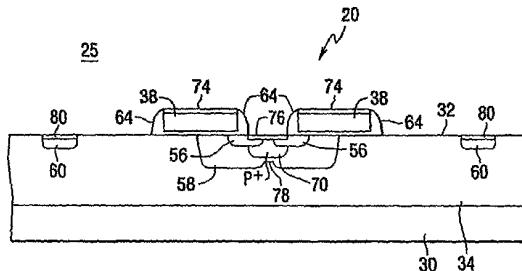
(71) 出願人 599011355
 フェアチャイルド・セミコンダクター・コーポレーション
 アメリカ合衆国メイン州04106, サウス・ポートランド, ラニング・ヒル・ロード 82
 (74) 代理人 100079119
 弁理士 藤村 元彦
 (72) 発明者 カイ ジュン
 アメリカ合衆国 04103 メイン州
 ポートランド ディー3-5 フォレスト
 アベニュー 1375

最終頁に続く

(54) 【発明の名称】集積回路構造体

(57) 【要約】

LDMOSデバイス構造を含む半導体集積回路は、半導体層を含み、この半導体層の表面に一対の離間された電界効果ゲート構造を有する。第1の導電型の第1及び第2の離間されたソース領域は、それらの間に形成された第2の導電型の第1の領域とともに、一対のゲート構造体の間の半導体層の一部に形成される。第2の導電型の軽ドープボディ領域は半導体層に形成されソース領域の下からゲート構造体の下まで延在し、且つ、半導体層内の任意の深さまで延在する。ボディ領域は、第1の領域の下に延在するボディ領域の一部の深さのインフレクションで特徴づけられる。



【特許請求の範囲】**【請求項 1】**

半導体層と、

前記半導体層の表面に離間して配置されて一方のゲート構造体が他方のゲート構造体に対向した第1の端部領域を有する一対の電界効果ゲート構造体と、

前記一対のゲート構造体の間の前記半導体層の一部に形成された第1の導電型の第1及び第2の離間されたソース領域と、

前記ソース領域の下から前記ゲート構造体の下まで延在する前記半導体層内の第2の導電型の軽ドープボディ領域と、

前記第1の端部領域の間の前記表面の一部において延在する第2の導電型の重ドープ領域と、を含む半導体デバイスであって、

前記ソース領域の各々は前記第1の端部領域のうちの1に関して自己配列せしめられており、前記第1の端部領域の間の前記表面の一部は第1の面積を有するとともに前記重ドープ領域は前記第1の面積未満の前記表面に沿った面積を有することを特徴とする半導体デバイス。

【請求項 2】

前記第1ソース領域及び前記第2ソース領域は異なるゲート構造体端部の下にまで延在していることを特徴とする請求項1記載のデバイス。

【請求項 3】

前記ソース領域は一対の前記ソース領域の間の前記表面の一部を覆って形成されたマスク層エレメントによって互いに離間されていることを特徴とする請求項1記載のデバイス。

【請求項 4】

異なるソース領域を覆って且つ異なる第1の端部に対向して各々配置された第1及び第2の側壁スペーサを更に含むことを特徴とする請求項1記載のデバイス。

【請求項 5】

前記第2の導電型の前記軽ドープボディ領域は前記第1の側壁スペーサ及び前記第2の側壁スペーサに対して自己配列されていることを特徴とする請求項4記載のデバイス。

【請求項 6】

前記第1側壁スペーサ及び前記第2側壁スペーサの間の前記半導体層を覆う前記表面の一部はシリサイドを含むことを特徴とする請求項4記載のデバイス。

【請求項 7】

前記第2の導電型の前記軽ドープボディ領域はボディ・タイとして機能するように配置されていることを特徴とする請求項1記載のデバイス。

【請求項 8】

前記第2の導電型の前記軽ドープボディ領域はボディ・タイとして機能するように配置されていることを特徴とする請求項5記載のデバイス。

【請求項 9】

第1面積を有する前記表面の前記一部の少なくともいくつかはシリサイドを含むことを特徴とする請求項1記載のデバイス。

【請求項 10】

前記ソース領域はN型導電体内にあることを特徴とする請求項1記載のデバイス。

【請求項 11】

前記第1及び第2のソース領域は単一のドーパントインプラネーションで形成されていることを特徴とする請求項1記載のデバイス。

【請求項 12】

各ソース領域は前記第2の導電型の前記重ドープ領域、及び、隣接ゲート構造体の下の前記半導体層の前記一部との間に相対的に一定の横方向ドーパント分布によって特徴づけられることを特徴とする請求項1記載のデバイス。

【請求項 13】

10

20

30

40

50

前記第1及び前記第2の離間されたソース領域、及び、前記軽ドープボディ領域は同じフォトマスクを使用してヘテロドーピングインプラントで形成されることを特徴とする請求項1記載のデバイス。

【請求項14】

前記軽ドープボディ領域は前記ソース領域よりも高いエネルギーでインプラントされることを特徴とする請求項8記載のデバイス。

【請求項15】

前記ゲート構造体の間の距離は1ミクロン以下であることを特徴とする請求項1記載のデバイス。

【請求項16】

前記ソース領域が形成された側面と対向する各ゲート構造体の側面上には前記ソース領域としての同じ導電型のドレイン領域を含むことを特徴とする請求項1記載のデバイス。

【請求項17】

半導体材料の層を与えるステップと、

他のゲート構造体に対向した第1の端部領域を含み半導体層の表面上において離間された一対の電界効果ゲート構造体を第1マスク・レベルで形成するステップと、

前記層内であって且つ一対の前記構造体の間に第1の導電型の第1及び第2の離間されたソース領域を第2マスクレベルで形成して前記第1及び第2の離間されたソース領域間の前記表面の得られた領域に第1の面積を与えるステップと、

前記第2のマスク・レベルで前記層内であって且つ前記ソース領域の下に延在する第2の導電型の軽ドープボディ領域を形成するステップと、

前記第1の面積の表面を有する前記半導体層の一部であって、前記第1の面積よりも小さな面積の表面を有する前記一部に前記第2の導電型の重ドープ領域を形成するステップと、を含むことを特徴とする半導体デバイスの製造方法。

【請求項18】

前記ソース領域が前記第1の導電型の単一のインプランテーションステップで形成されることを特徴とする請求項17記載の方法。

【請求項19】

各々の前記ソース領域は異なるゲート構造体端部と自己配列するように形成されていることを特徴とする請求項17記載の方法。

【請求項20】

前記ソース領域は、一対の前記ソース領域の間の前記半導体層の前記表面の前記一部を覆ってマスク層エレメントを配置して互いに離間されて形成されていることを特徴とする請求項19記載の方法。

【請求項21】

前記ソース領域はゲート構造体端部の下までそれぞれ延在していることを特徴とする請求項17記載の方法。

【請求項22】

前記重ドープ領域を形成するステップに先立って、前記第1の端部領域に対向し且つ前記ソース領域を覆って側壁スペーサを形成して、前記重ドープ領域が前記第1の端部領域に関して自己配列して形成されるステップを更に含むことを特徴とする請求項17記載の方法。

【請求項23】

前記重ドープ領域を形成するステップに先立って、各々の前記ソース領域を覆って且つ前記第1端部領域の1つに対向して側壁スペーサを形成するステップを更に含むことを特徴とする請求項17記載の方法。

【請求項24】

LDMOSデバイス構造体を含む半導体ICであって、

半導体層と、

前記半導体層の上部表面を覆う一対の離間された電界効果ゲート構造体と、

10

20

30

40

50

第2の導電型の第1の領域を有する一対の前記ゲート構造体の間の前記層の一部の第1の導電型の第1及び第2の離間されたソース領域と、

前記ソース領域の下から前記ゲート構造体の下まで延在し、前記半導体層内の可変深さにまで延在し、前記第1の領域の下に延在する前記ボディ領域の一部の前記ボディ領域の深さのインフレクションによって特徴づけられる前記半導体層の第2の導電型の軽ドープボディ領域と、を含むことを特徴とする半導体IC。

【請求項25】

前記半導体層内の前記ボディ領域の深さは前記第1領域の下の深さと比較して前記ゲート構造体の下の深さの方が相対的に深いことを特徴とする請求項24記載の集積回路。

【請求項26】

前記ゲート構造体間の前記半導体層の前記一部にまで延在する前記第2の導電型の重ドープ領域を更に具備することを特徴とする請求項24記載のデバイス。

【請求項27】

半導体層と、

他のゲート構造体に対向する絶縁側壁端部領域を含む前記半導体層の表面上において離間された一対の電界効果ゲート構造体と、

前記一対のゲート構造体の間の前記層の一部の第1の導電型の第1及び第2の離間された重ドープソース領域と、

前記ソース領域の下から前記ゲート構造体の下まで延在する前記半導体層内の第2の導電型の軽ドープボディ領域と、

前記第1の端部領域間の前記表面の前記一部に延在する前記第2の導電型の重ドープボディ・タイ領域と、

前記重ドープソース領域及び前記ボディ・タイ領域の共通シリサイドコンタクトと、を含む半導体デバイスであって、

前記表面の一部は第1の面積を有する絶縁側壁端部の間にあって、各ソース領域は前記絶縁側壁端部領域のうちの1に関して自己配列せしめられて、前記重ドープボディ・タイ領域は前記第1面積未満の前記表面に沿った面積を有することを特徴とする半導体デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

[関連出願についてのクロスリファレンス]

本願は2002年12月10日に出願された米国特許出願No.10/315,517号の優先日の利益を請求する。

【技術分野】

本発明は、半導体回路に関し、より詳細には、デジタル回路及び電源機能を集積化した回路に関する。また、このようなデバイスの製造方法に関する。

【背景技術】

【0002】

デバイスの集積レベルが上昇するとともに集積回路の電源デバイスの性能についての必要条件も上昇してきている。デジタル回路部品をよりコンパクトにするとともに電源デバイスの全体的な大きさを減じることも望まれる。しかしながら、大きさを減じることは電圧の動作範囲及びバイアス状態を反転させるのに要する許容範囲の維持を困難とする。

【0003】

これらの問題は特に消費者向け携帯型電子市場に関連している。もっとも一般的な性能要求はディスプレイドライバ、RFインターフェース及びバッテリ動作を含む周辺機能であって大となり得るアレイについてである。高まる消費者の要求に応ずるために携帯型設計はエネルギー・マネージメント及び高効率のパワー・変換機能を達成しなければならない。

【0004】

携帯型電源に使用されるようなパワー・集積回路は一般的には高効率電池を使用してエネ

10

20

30

40

50

ルギー変換を管理するための低電圧回路や高電圧トランジスタなどを含む。例えば、高スイッチング速度、低「オン」抵抗、及び、スイッチング動作の間の低い消費電力といったパワーデバイスの性能の必要条件故に電源デバイスとして Lateral Double Diffused MOS transistor (LDMOS) が多くのパワー集積回路に選択されている。LDMOSはバイポーラトランジスタデバイスと比較して相対的に低いオン抵抗及び高いブレークダウン電圧を与える。しかしながら更にデバイスの大きさを減じて動作効率を改善するためのドライブについて、これらのデバイス特性を維持若しくは改良するための限定的な手段が存在する。

【0005】

オン抵抗の更なる減少は、例えばドリフト領域の如き LDMOS 導電経路上のドーパント・レベルを増加させることで、若しくは、ドリフト領域の長さを減じることで達成され得る。しかしながら、この種のアプローチは、デバイス性能の他の特性に影響を与えるトレードオフの関係にある。例えば、より高いドーパント集中によって達成されるより低い抵抗はデバイスのブレークダウン電圧特性を低下させ得るのである。ドリフト領域の長さの減少は、ゲート近傍により高い集中を生じさせると、更により低いブレークダウン電圧となるのである。

【0006】

近年、消費市場は上昇するデバイス密度とより低い消費電力とを組み合わせて、例えば、バッテリ寿命を延ばしつつ全体のコストを減じるような集積回路を要求する。故に、より繊細な線結合構造に対する進歩において、デバイス固有の限界近傍でオン抵抗及びブレークダウン電圧を設計する技術を開発するよう試みられている。一般的には、消費電力を減じるとともに、この種のデバイスの安全動作領域を改善するための技術が望まれている。

【発明の開示】

【0007】

本発明によれば、半導体デバイスは半導体層の表面上に一対の離間された電界効果ゲート構造体を有する半導体層を含む。各々のゲート構造体は、他のゲート構造体に面した第1の端部を含む。第1の導電型の第1及び第2の離間されたソース領域は、一対のゲート構造体の間の半導体層の一部に形成される。第1の端部の間の表面の一部は、第1の面積によって特徴づけられる。各々のソース領域は、第1の端部のうちの一方に関して自己配列されている。第2の導電型の軽ドープボディ領域が半導体層に形成されており、ソース領域の下からゲート構造体の下まで延在している。第2の導電型の重ドープ領域は、第1の端部の間の表面の一部にまで延在し、第1の面積未満の表面に沿った面積を有する領域である。

【0008】

また、半導体層の上部表面を覆って離間された一対の電界効果ゲート構造体を有する半導体層を含む LDMOS デバイス構造体を含む半導体 IC が提供される。第1の導電型の第1及び第2の離間されたソース領域は、その間に第2の導電型の第1の領域を有する一対のゲート構造体の間の半導体層の一部分に形成される。第2の導電型の軽ドープボディ領域が半導体層に形成され、これはソース領域の下からゲート構造体の下まで延在し且つ半導体層に可変の深さを延長している。このボディ領域は、第1の領域の下に延在するボディ領域の一部の深さにおけるインフレクションによって特徴づけられる。

【0009】

本発明による半導体デバイスを形成する方法は、第1のマスク・レベルとともに、一対の離間された電界効果ゲート構造体を半導体層の表面上に形成するステップを含む。各ゲート構造体は他のゲート構造体に面して第1の端部を含んでいる。第2のマスク・レベルとともに、第1の導電型の第1及び第2の離間されたソース領域が半導体層内に形成されており、第1の領域大きさを有する第1及び第2の離間されたソース領域の間の表面の得られる領域とともに、一対のゲート構造体の間に形成される。第2のマスク・レベルとともに定義される第2の導電型の軽ドープボディ領域は、半導体層内に形成されて、ソース

10

20

30

40

50

領域の下に延在している。第2の導電型の重ドープ領域は、第1の領域大きさを有する表面を有する半導体層の一部に形成される。更に重ドープされた重ドープ領域に対応する部分は、第1の領域大きさよりも小さい領域大きさを有する表面を有する。

【0010】

一般的な慣行によれば、図面の中に図示されたさまざまな特徴はスケール通りではなく、本発明に関連する特定の特徴を強調するように図示されている。更に、特徴部分の大きさ及び各層の厚みは実質的にこれらが示すスケールから逸脱している場合がある。参照符は、図及びテキストの全体に亘って同様の要素を示している。

【発明を実施するための形態】

【0011】

以下の説明において与えられる大きさは、対応する投影図に沿った距離に関連している。断面図において、幅又は横方向の大きさは、図の水平方向に沿った距離を意味しており、同様に、高さ若しくは深さは、図の垂直方向に沿った距離を意味している。公知の設計例と本発明の実施例とを比較する目的のために図示された全てのデバイスは同じフォトリソグラフィック性能で形成されていると仮定され得る。ここに開示の実施例では、0.35ミクロンの線幅結合構造を特徴的なサイズとする。

【0012】

形態又は関連構造について自己配列されるようになされたドーパント・インプランテーション若しくはそこから生じる拡散とは、熱活性化拡散の前後で、例えばインプラントされたドーパントの如きマスク素子としての構造体が構造体若しくは関連形態に関して特性分布を呈することを利用して得られるインプランテーション若しくは拡散のことである。本明細書においては詳細には記載しないが、本発明に関連したインプラントされたドーパントは、あらかじめ決められた拡散分布特性を与えるように製作工程の間ににおいて各種の熱活性拡散を経ることを理解されるであろう。1つの層が他の層の上又はこれを覆って配置されると記載され若しくは図示されているとき、本発明と同様若しくは代替可能な実施例に関して他の介在層（図示せず）があってもよいことも認識されるであろう。

【0013】

図1に示されるような、従来の横長デバイス設計が半導体材料のN-上部層に形成される。この図は、熱酸化層4を覆って、N-層の表面上に各々形成された一対の離間配置されたゲート電極2を図示している。ゲート電極の間隔は3ミクロンよりも大である。P-型ボディ6は、N-層の表面を通ってゲート電極の間にインプラネーションによって形成される。絶縁側壁スペーサ素子は各ゲート電極2の各側面に形成される。一対のドレイン側壁スペーサ7が図示される。高ドーパント集中ソース領域8がゲート電極2についてオフセット関係にインプラントされるように図示しない一対のソース・スペーサが異なるゲート電極2の対向する側面に形成される。

【0014】

ソース領域8を形成するインプラントと同時に、N+ドレイン10がゲート電極2に対して離間されて、パターン化されたフォトレジスト開口部に形成される。ソース抵抗をより下げるためには、一般的にはソース・スペーサが図示されるように除去されて、低濃度N-型インプラントがゲート電極2と自己配列して軽ドープソース延長領域14を画定する。同時に、残りのドレイン側面スペーサ7について、N-型インプラントが各ドリフト領域の一部、すなわち、各ゲート電極2及び関連ドレイン10の間のN-上部層の体積における固有抵抗を低下させる。材料の固有抵抗の変更は、ドリフト領域を横切る電場（すなわちゲートからドレインまでの電流パス）におけるより大なる均一性の確立に寄与する。

【0015】

図1のデバイス内にインプラントされた領域は、図1Aに示すように3つの分離したコンタクトによって後に接触（コンタクト）せしめられる。N+ソース領域は側壁スペーサの範囲外にある点に注意されたい。2つのN+ソース領域とP+ボディ・タイとをコンタクトするためには、従来のデバイスは3つの分離したコンタクトを使用していた。各コン

タクトの面積は工程パラメータによって制限される最小大きさを有する。各コンタクトのコンタクト面積は、1つのコンタクトを他のコンタクトから分離する、例えば二酸化シリコンの如き絶縁体を提供するのに十分広くなければならない。このように、従来のデバイスは、そのゲートの対向する側壁スペーサ間に少なくとも3つの最小コンタクト面積を有するのである。相対的に大なるソースコンタクト面積は、リークや、デバイスのN+ソース領域の下のp-ボディ抵抗を増加させる。

【0016】

本発明は、3つから1つへソース及びボディ・タイのコンタクト領域の数を減じることで従来技術の不利益を克服する。これは、ゲート構造体の間の間隔を減じて、ソース領域の大きさを減じ、これによりリーク及びp-ボディ抵抗を減じるのである。その結果、本発明によるデバイスは、より大なる安全動作領域を有するのである。10

【0017】

本発明の1つの実施例によるLDMOSペア20の製造方法が図2A乃至2Fに示される集積回路構造体25の部分断面図に示される。0.35ミクロン線幅結合構造に基づくN-チャネルLDMOSにおける関連したステップを順番に示す。上部表面に形成された複数のN-ウェル34を有する上面32を有するP-型半導体層30から始まる。本図は、表面32に沿って形成されたN-チャネル及びP-チャネルLDMOSデバイスを有するCMOS集積回路を表しているが、図示の目的で一対のN-チャネルデバイス20の製造方法について詳述する。すなわち、N-チャネル・デバイス20がN-ウェル内に形成されるとともに、相補的なP-チャネルデバイスが層30のP-型領域において形成されることを理解されるであろう。層30は、図示しない下地基板上にエピタキシャルに成長せしめられる。20

【0018】

N-型ウェル34に形成された典型的なLDMOSペア20とともに、関連したN-ウェルの重要な部分だけが図示される。図2A及び図2Bに関して、一対の離間されたゲート電極38が表層32の上に従来、形成されていた。各電極38は、他の電極38に対抗する端部40aを含み、各電極は、他の電極38とは反対を向いた端部40bを更に含む。図2Bを参照されたい。端部40aの間の好適な幅は、約1ミクロンである。

【0019】

フォトトレジスト44のインプラント・マスク・レベルが堆積されて層30の表面32を覆ってパターン化される。図示した電極38の端部40aの間で間隔を置いて素子48を配置して、2つの離間した開口部52を形成する。その幅はソース・インプラントを受容するのに適しており、典型的には約0.3ミクロンである。レジスト素子48は、インプランテーションの影響から開口部52の間の表面32の充分な領域50を絶縁して、横方向拡散の後のドープ領域の分離を確保することを目的として設けられている。これは、好ましくは0.4ミクロンオーダーの幅を有する。適当なフォトトレジスト44を与えて、ボディ領域を形成するために表面32に沿って浅いN-型ソース・ドーパント及びN-ウェル内により深いP-型ドーパントを与えるようにヘテロドーピングインプラントが行われる。その後、フォトトレジスト44が除去される。拡散後のソース56及びボディ領域58の形成を示す図2Bを参照されたい。好ましくは、ボディ領域インプラントは60KeVで $5 \times 10^{13} \text{ cm}^{-2}$ から $1 \times 10^{14} \text{ cm}^{-2}$ (ボロン)のオーダーである。一方、ソース・インプラントは30KeVで $3 \times 10^{15} \text{ cm}^{-2}$ (ヒ素)のオーダーである。分離したフォトマスク及びインプランツステップで形成された従来のN型ドレイン60も図示する。ドレイン60は、表面32の他の部分に沿って、他のCMOSデバイスの形成とともに形成され得る。3040

【0020】

ソース及びボディ領域インプラントを決定するヘテロドーピングステップの後、図2Cに図示したように側壁スペーサ素子64がゲート端部40aの上に形成される。またゲート端部40bの上にも形成され得る。スペーサ素子64は、異方性エッチングに続いて、例えば酸化シリコンまたは窒化シリコンの如き、絶縁物の堆積によって形成され得る。50

【0021】

各ゲート端部 40a に対向して配置されたスペーサ素子 64 とともに、ドレイン 60 を越えてゲート電極端部 40b から更に伸びる表面を覆う領域がパターン化されたフォトレジスト 66 でマスキングされる。図 2D を参照されたい。ここで、表面 32 の露出部分は、ボディ・タイ 70 を形成するために、80 KeV で $1 \times 10^{15} \text{ cm}^{-2}$ から $3 \times 10^{15} \text{ cm}^{-2}$ のオーダー（ボロンまたは BF2）の P+ インプラント 68 を受ける。ボディ・タイは、ソース領域を通って延在し隣接したスペーサ素子 64 に自己配列する。すなわち、ボディ・タイは、ソースによって占められた表面 32 の下の領域に繰り込まれる。得られるソース 56 がボディ・タイ 70 に関してオフセットされるようなボディ・タイ・インプラントに関して、本発明によればソース・インプラントの横方向オフセットを許容する。拡散後に最終的に得られる構造体において、ボディ・タイが各隣接スペーサ素子 64 と自己配列する間に各ソースは隣接したゲート端部 40a と自己配列される。好ましくは、インプラント 68 は集積回路構造体 25 上のデジタル・回路のための CMOS P+ ソース / ドレイン拡散を形成するために使用される。

【0022】

図 2D に示すように、完全に形成されたボディ・タイ 70 はソース領域 56 の下で半導体層 30 に達する。すなわち、ウェル 34 及びボディ 58 に達する。この構造の特徴は、繰り込まれたボディ・タイが低い抵抗及び小なる横方向の大きさである一方、スペーサ素子 64 の下に配置される各ソース 56 のほとんどの部分は相対的に多量のネットドーパント濃度を保持するのである。フォトレジスト・マスク 66 の除去の後、金属、例えばタンゲステン、チタンまたはコバルトが堆積されて、反応によりゲート・シリサイド 74 及びソース / ボディ・タイ・シリサイド 76 を形成する。図 2E はシリサイド化工程の後の構造体 25 を図示している。

【0023】

改良された LDMOS デバイスが記載される。得られたデバイスは、改善されたオン抵抗及び動作の安全動作領域を有する。本発明の特徴は、ソース領域 56 及びボディ領域 58 を 1 つのマスク・レベルで与える図 2A 及び図 2B のヘテロドーピングインプラントである。すなわち、動作特性を改善した LDMOS を形成するために必要なマスクの数を減じたのである。特に、離間された領域 50 の周囲のソース領域 56 及び領域 50 の下のボディ領域の一部分の深さのインフレクション 76 の組合せにおいてヘテロドーピング形態となる。つまり、これらの特徴のいずれもがヘテロドーピング工程の間のマスク素子 48 の存在に起因するものである。すなわち、半導体層のボディ領域の深さは、第 1 の領域の下の深さと比較してゲート電極の下で相対的により深いのである。

【0024】

本発明の他の特徴は、第 2 の導電型の重ドープ領域と、例えば電極 38 の如き、隣接ゲート構造の下にある半導体層の一部分との間の相対的に一定な横方向ドーパント分布によって特徴づけられるソース領域を供給することである。すなわち、ソース領域はネット導電型の単一のドーパント・インプラントで形成されていてもよい。一方、従来例では、ソース構造はデバイスオン抵抗を下げるために重ドープ領域（例えば図 1 の領域 8）及び軽ドープ領域（例えば図 1 の延長領域 14）の組合せを必要とした。本発明により形成される装置の特に低いオン抵抗は、例えば、図示された自己配列化形成によって達成され得てデバイスユニットの大きさを結果として減じる。動作における改良された安全動作領域は、減じられたボディ抵抗、小なるソース・スペース面積、浅いソース結合及び例えば領域 58 の如き、ボディ領域の逆行的な添加分布によって生じる。

【0025】

改善された動作特性を与える小なる大きさの効果として、例えばゲート電極端部 40a 及び 40b に隣接したスペーサ 64 の如き、スペーサ素子に微細線結合構造マスクを与えて、小なるソース領域の達成が可能となる。加えて、自己配列化ケイ素化（サリサイド）工程が、例えばボディ・タイ領域及びソース領域の如き、臨界コンタクト領域において多量ドーパント補償を有さない故に、接触抵抗を低くすることが可能なのである。ボディ・

タイ 7 0 及び関連シリサイド層 7 6 は、ソース領域 5 6 に関して整列配置される。本発明は、N + ソース・インプラントは同じサイズ及びドレイン・インプラントである必要はないと認識される。

【 0 0 2 6 】

本発明は、ゲート上に側壁酸化物スペーサを使用することで、P + タイ・インプラントからN + ソース・インプラントをマスキングする。本発明では、N + ソース・インプラントは、側壁スペーサよりも前に形成される。本発明の方法は、1回のマスキング・ステップでN + ソース及びP - ボディをインプラントする。本発明は、従来技術によって必要とされた分離したPボディマスク工程を必要としない。本発明は、2つのN + ソース、P + ボディ・タイ及びN + ソースとP + ボディ・タイとのオーバーラップに自己配列した1つのシリサイドコンタクトを与える。コンタクトの数は、従来の3から1まで減じられる。ゲート間に1つのコンタクトを設けることで、より密度の高いデバイスを提供する。そして、このデバイスは小さなソースによって、より少ないリードとなることから、より広い安全動作領域を有するのである。従来のデバイスのより大なるソースよりも下にp - ボディ抵抗を有する。

【 0 0 2 7 】

改良された半導体デバイスについて構造及び工程を記載してきた。典型的な実施例を開示してきたが、異なる半導体、絶縁性材料及び導電性材料からなる構造を含む本発明の他の実施例も明らかであろう。更に、本発明は導電型の1つの組を図示したが、本発明の応用例は反対の導電型デバイスについても同様に考慮される。本発明はさまざまな方法によつて実行され得るが、本発明の範囲は、特許請求の範囲によってのみ限定される。

【 図面の簡単な説明 】

【 0 0 2 8 】

【図1】従来の半導体デバイスの部分拡大図である。

【図1A】従来のデバイスのコンタクトの図である。

【図2A】本発明による製造方法の各段階における半導体デバイスの断面の部分拡大図である。

【図2B】本発明による製造方法の各段階における半導体デバイスの断面の部分拡大図である。

【図2C】本発明による製造方法の各段階における半導体デバイスの断面の部分拡大図である。

【図2D】本発明による製造方法の各段階における半導体デバイスの断面の部分拡大図である。

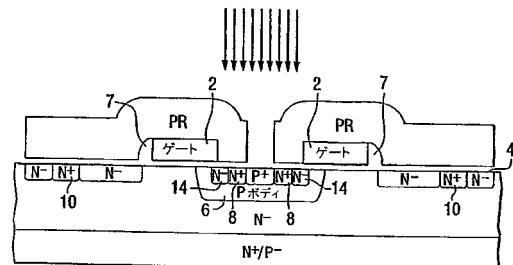
【図2E】本発明による製造方法の各段階における半導体デバイスの断面の部分拡大図である。

10

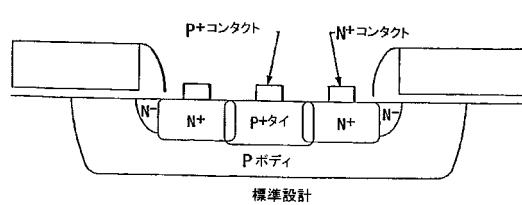
20

30

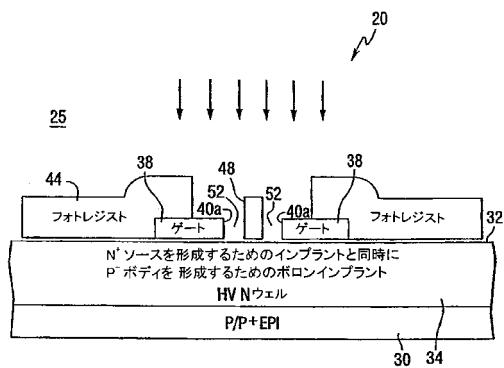
【図1】



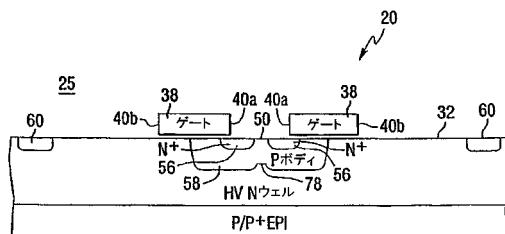
【図1A】



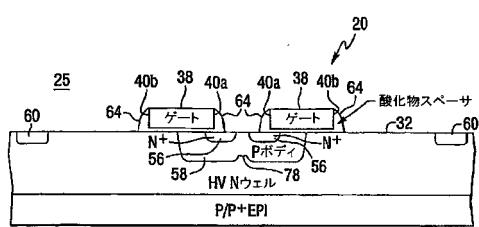
【図2A】



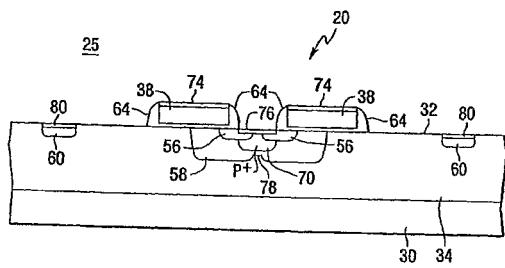
【図2B】



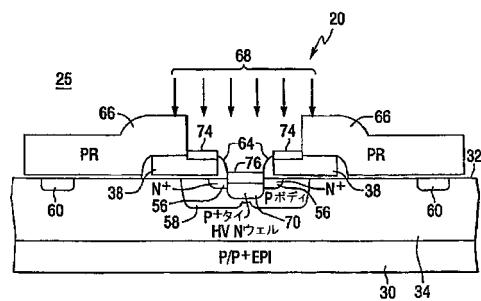
【図2C】



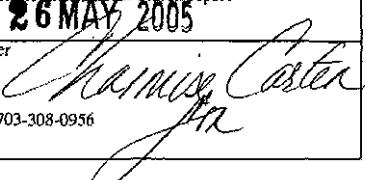
【図2E】



【図2D】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US03/38931
A. CLASSIFICATION OF SUBJECT MATTER		
IPC(7) : H01L 29/76, 31/062, 31/113, 31/119 US CL : 257/335, 336, 337, 339, 341, 342 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) U.S. : 257/335, 336, 337, 339, 341, 342		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EAST		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6,049,104 (HSHIEH et al) 11 April 2000 (11.04.2000), columns 7-8, lines 30-67 and 1-30, respectively.	4, 17, 21, 23-26
Y	EP 0747966 A2 (PEARCE) 11 December 1996 (11.12.1996), column 5, lines 8-36.	1-2, 6-7, 9-13, 16, 18, 27, 29
Y	US 5,930,630 (HSHIEH et al) 27 July 1999 (27.07.1999), columns 5-7, lines 49-67, 1-67 and 1-65, respectively.	3, 14, 19-20
Y	US 6,277,695 B1 (WILLIAMS et al) 21 August 2001 (21.08.2001), columns 6-7, lines 25-67 and 1-10, respectively.	5, 8, 22, 27
Y	US 5,792,687 (JENG et al) 11 August 1998 (11.08.1998), column 4, lines 64-67.	15
Y	US 6,661,042 B2 (HSU) 09 December 2003 (09.12.2003), column 6, lines 59-64.	28
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 01 June 2004 (01.06.2004)	Date of mailing of the international search report 26 MAY 2005	
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (703) 305-3230	Authorized officer Amir Zarabian  Telephone No. 703-308-0956	

Form PCT/ISA/210 (second sheet) (July 1998)

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IT,LU,MC,NL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,OM,PH,PL,PT,RO,RU,SD,SE,SG,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,UZ,VN,YU,ZA,ZM,ZW

F ターム(参考) 5F140 AA25 AB03 AC21 BA16 BC06 BF11 BF18 BG08 BG12 BG14
BG34 BH30 BH43 BH47 BJ01 BJ08 BJ25 BK13 BK34 CF04