(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4047531号
(P4047531)

(45)発行日　平成20年2月13日(2008.2.13)　(24)登録日　平成19年11月30日(2007.11.30)

(51)Int.Cl.　F I
G11C 11/22 (2006.01)　G11C 11/22 501F
G11C 11/22 501A

請求項の数 8　(全 21 頁)

(21)出願番号　特願2000-316749(P2000-316749)
(22)出願日　平成12年10月17日(2000.10.17)
(65)公開番号　特開2002-124081(P2002-124081A)
(43)公開日　平成14年4月26日(2002.4.26)
審査請求日　平成16年8月13日(2004.8.13)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100092196
弁理士　橋本　良郎
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100070437
弁理士　河井　将次

最終頁に続く

(54)【発明の名称】強誘電体メモリ装置

(57)【特許請求の範囲】

【請求項１】

ワード線と、

このワード線に交差する第１，第２のビット線と、

前記ワード線にゲートが接続され、前記第１のビット線にドレインが接続された第１のトランジスタ、前記ワード線にゲートが接続され、前記第２のビット線にドレインが接続された第２のトランジスタ、および、前記第１，第２のトランジスタのソースにそれぞれ接続された強誘電体セルキャパシタからなるメモリセルと、

前記第１，第２のビット線に、それぞれスイッチング用トランジスタを介して、一端が接続された第１，第２のキャパシタと

を具備し、

前記メモリセルの前記強誘電体セルキャパシタを前記第１，第２のビット線に接続した状態で、前記第１，第２のキャパシタの他端を制御することにより、前記第１，第２のキャパシタの容量結合動作を利用して、前記第１，第２のビット線に、前記第１，第２のキャパシタの他端を制御する信号よりも大きな、互いに相補の関係にある第１，第２の電圧がそれぞれ印加されるようにし、その後、前記第１，第２のキャパシタの他端を元の状態に戻してからセンスを行うことを特徴とする強誘電体メモリ装置。

【請求項２】

前記メモリセルをマトリクス状に配置してなることを特徴とする請求項１に記載の強誘電体メモリ装置。

【請求項３】
ワード線と、
前記ワード線に交差する第１，第２のビット線と、
前記ワード線にゲートが接続され、前記第１のビット線にソースまたはドレインの一方が接続された第１のトランジスタ、前記ワード線にゲートが接続され、前記第２のビット線にソースまたはドレインの一方が接続された第２のトランジスタ、および、前記第１，第２のトランジスタのソースまたはドレインの他方にそれぞれ接続された強誘電体セルキャパシタからなるメモリセルと、
前記第１，第２のビット線に、それぞれスイッチング用トランジスタを介して、一端が接続された第１，第２のキャパシタと
を具備し、
前記メモリセルの前記強誘電体セルキャパシタを前記第１，第２のビット線に接続した状態で、前記第１，第２のキャパシタの他端を制御することにより、前記第１，第２のキャパシタの容量結合動作を利用して、前記第１，第２のビット線に、前記第１，第２のキャパシタの他端を制御する信号よりも大きな、互いに相補の関係にある第１，第２の電圧がそれぞれ印加されるようにし、その後、前記第１，第２のキャパシタの他端を元の状態に戻してからセンスを行うことを特徴とする強誘電体メモリ装置。
【請求項４】
複数のワード線と、
前記複数のワード線に交差する第１，第２のビット線と、
前記複数のワード線のそれぞれにゲートが接続された複数のトランジスタ、および、前記複数のトランジスタのソース・ドレイン端子間にそれぞれ接続された強誘電体セルキャパシタからなる複数のメモリセルを直列に接続するとともに、そのメモリセル列の一端が前記第１のビット線に接続され、他端が前記第２のビット線に接続されたセルブロックと、
前記第１，第２のビット線に、それぞれスイッチング用トランジスタを介して、一端が接続された第１，第２のキャパシタと
を具備し、
前記メモリセルの前記強誘電体セルキャパシタを前記第１，第２のビット線に接続した状態で、前記第１，第２のキャパシタの他端を制御することにより、前記第１，第２のキャパシタの容量結合動作を利用して、前記第１，第２のビット線に、前記第１，第２のキャパシタの他端を制御する信号よりも大きな、互いに相補の関係にある第１，第２の電圧がそれぞれ印加されるようにし、その後、前記第１，第２のキャパシタの他端を元の状態に戻してからセンスを行うことを特徴とする強誘電体メモリ装置。
【請求項５】
前記セルブロックは、前記メモリセル列と前記第１，第２のビット線との間に、それぞれセレクトトランジスタが設けられてなることを特徴とする請求項４に記載の強誘電体メモリ装置。
【請求項６】
前記セルブロックをアレイ状に配置してなることを特徴とする請求項４に記載の強誘電体メモリ装置。
【請求項７】
前記第１，第２のビット線は、一対のビット線により構成されてなることを特徴とする請求項１，３または４に記載の強誘電体メモリ装置。
【請求項８】
前記第１，第２のキャパシタは、強誘電体キャパシタであることを特徴とする請求項１，３または４に記載の強誘電体メモリ装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】

この発明は、強誘電体メモリ装置に関するもので、特に、メモリセルのキャパシタに強誘電体材料を用いて保持データの不揮発性を実現した強誘電体メモリ装置に関する。

【０００２】

【従来の技術】

従来、メモリセルのキャパシタに強誘電体材料を用いた強誘電体メモリ装置が開発されている。この強誘電体メモリ装置は不揮発性メモリでありながら、同じ不揮発性メモリであるフラッシュメモリに比べ、書き込み動作に要する時間が短く、また、低電圧／低消費電力動作が可能であるという利点がある。

【０００３】

しかしながら、従来より提案されている強誘電体メモリ装置には、以下のような問題点があった。

【０００４】

図１７は、従来の２Ｔ２Ｃ型セル構造を有する強誘電体メモリ装置の構成例を示すものである。

【０００５】

この強誘電体メモリ装置の場合、メモリセル（１ビットあたり）が、２個のＭＯＳトランジスタ（Ｍ）と２個の強誘電体キャパシタ（Ｃ）とで構成されている。そのため、セル面積が大きくなるという問題があった。

【０００６】

図１８は、従来の１Ｔ１Ｃ型セル構造を有する強誘電体メモリ装置の構成例を示すものである。

【０００７】

この強誘電体メモリ装置は、メモリセル（１ビットあたり）が、１個のＭＯＳトランジスタ（Ｍ）と１個の強誘電体キャパシタ（Ｃ）とで構成されている。この場合、セル面積は小さいが、リファレンス電位（ＲＰＬ）が必要で、その設計が難しいという問題があった。

【０００８】

また、従来の強誘電体メモリ装置には、セルプレート駆動線（ＰＬ）が設けられている。セルプレート駆動線は容量が重いため、これを駆動するための大きな駆動回路が必要であった。この駆動回路は、場合によってはチップサイズの約１５％程度の面積を占めることもあった。

【０００９】

近年においては、セルトランジスタ（Ｔ）のソース・ドレイン間にキャパシタ（Ｃ）の両端をそれぞれ接続し、これをユニットセルとし、このユニットセルを複数直列に接続した強誘電体メモリ（以下、ＴＣ並列ユニット直列接続型強誘電体メモリ装置と称する）が提案されている。

【００１０】

図１９は、従来のＴＣ並列ユニット直列接続型強誘電体メモリ装置の構成例を示すものである（たとえば、特開平１０－２５５４８３号公報参照）。

【００１１】

これは、強誘電体キャパシタＣの各電極を、ＮＭＯＳトランジスタＭのソースおよびドレインにそれぞれ接続してメモリセルＭＣを構成するとともに、その複数個のメモリセルＭＣを直列に接続してなる構成とされている。

【００１２】

しかしながら、このＴＣ並列ユニット直列接続型強誘電体メモリ装置の場合、セルプレート駆動線ＰＬ，／ＰＬにつながる、端部のメモリセルＭＣ（たとえば、ＭＣ７，ＭＣ７’）における、強誘電体キャパシタＣの両端の電極のそれぞれのアンテナ比が異なっている。

【００１３】

すなわち、メモリセルＭＣ７，ＭＣ７’は、隣接するメモリセルＭＣ６，ＭＣ６’との間

の配線長はわずか数μｍ程度である。これに対し、セルプレート駆動線は、その配線長が数ｍｍ程度にもなる。

【００１４】

そのため、たとえば電源オフ時にチップの外部に高圧の静電気が印加されると、メモリセルＭＣ７，ＭＣ７’の強誘電体キャパシタＣの両電極間に誘起される電位に差異が生じる。その結果、メモリセルＭＣ７，ＭＣ７’の強誘電体キャパシタＣに一時的に高電圧が加わり、データ破壊や信号量劣化の可能性があるという問題があった。

【００１５】

【発明が解決しようとする課題】

上記したように、従来においては、１Ｔ１Ｃ型セルの場合、２Ｔ２Ｃ型セルよりもセル面積を小さくできるものの、リファレンス電位の設計が難しく、また、セルプレート駆動線やそれを駆動するための大きな駆動回路が必要であった。

【００１６】

そこで、この発明は、２Ｔ２Ｃ型セルよりもセル面積を小さくできるとともに、設計の難しいリファレンス電位やセルプレート駆動線とその駆動回路を不要とすることが可能な強誘電体メモリ装置を提供することを目的としている。

【００１９】

【課題を解決するための手段】

本願発明の一態様によれば、ワード線と、このワード線に交差する第１，第２のビット線と、前記ワード線にゲートが接続され、前記第１のビット線にドレインが接続された第１のトランジスタ、前記ワード線にゲートが接続され、前記第２のビット線にドレインが接続された第２のトランジスタ、および、前記第１，第２のトランジスタのソースにそれぞれ接続された強誘電体セルキャパシタからなるメモリセルと、前記第１，第２のビット線に、それぞれスイッチング用トランジスタを介して、一端が接続された第１，第２のキャパシタとを具備し、前記メモリセルの前記強誘電体セルキャパシタを前記第１，第２のビット線に接続した状態で、前記第１，第２のキャパシタの他端を制御することにより、前記第１，第２のキャパシタの容量結合動作を利用して、前記第１，第２のビット線に、前記第１，第２のキャパシタの他端を制御する信号よりも大きな、互いに相補の関係にある第１，第２の電圧がそれぞれ印加されるようにし、その後、前記第１，第２のキャパシタの他端を元の状態に戻してからセンスを行うことを特徴とする強誘電体メモリ装置が提供される。

また、本願発明の一態様によれば、ワード線と、前記ワード線に交差する第１，第２のビット線と、前記ワード線にゲートが接続され、前記第１のビット線にソースまたはドレインの一方が接続された第１のトランジスタ、前記ワード線にゲートが接続され、前記第２のビット線にソースまたはドレインの一方が接続された第２のトランジスタ、および、前記第１，第２のトランジスタのソースまたはドレインの他方にそれぞれ接続された強誘電体セルキャパシタからなるメモリセルと、前記第１，第２のビット線に、それぞれスイッチング用トランジスタを介して、一端が接続された第１，第２のキャパシタとを具備し、前記メモリセルの前記強誘電体セルキャパシタを前記第１，第２のビット線に接続した状態で、前記第１，第２のキャパシタの他端を制御することにより、前記第１，第２のキャパシタの容量結合動作を利用して、前記第１，第２のビット線に、前記第１，第２のキャパシタの他端を制御する信号よりも大きな、互いに相補の関係にある第１，第２の電圧がそれぞれ印加されるようにし、その後、前記第１，第２のキャパシタの他端を元の状態に戻してからセンスを行うことを特徴とする強誘電体メモリ装置が提供される。

【００２０】

また、本願発明の一態様によれば、複数のワード線と、前記複数のワード線に交差する第１，第２のビット線と、前記複数のワード線のそれぞれにゲートが接続された複数のトランジスタ、および、前記複数のトランジスタのソース・ドレイン端子間にそれぞれ接続された強誘電体セルキャパシタからなる複数のメモリセルを直列に接続するとともに、そのメモリセル列の一端が前記第１のビット線に接続され、他端が前記第２のビット線に接

続されたセルブロックと、前記第１，第２のビット線に、それぞれスイッチング用トランジスタを介して、一端が接続された第１，第２のキャパシタとを具備し、前記メモリセルの前記強誘電体セルキャパシタを前記第１，第２のビット線に接続した状態で、前記第１，第２のキャパシタの他端を制御することにより、前記第１，第２のキャパシタの容量結合動作を利用して、前記第１，第２のビット線に、前記第１，第２のキャパシタの他端を制御する信号よりも大きな、互いに相補の関係にある第１，第２の電圧がそれぞれ印加されるようにし、その後、前記第１，第２のキャパシタの他端を元の状態に戻してからセンスを行うことを特徴とする強誘電体メモリ装置が提供される。

【００２１】

上記した構成によれば、キャパシタの容量結合動作を利用できるようになる。これにより、ビット線への電圧の印加によってデータを読み書きすることが可能となるものである。

【００２９】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

【００３０】

（第１の実施形態）

図１は、本発明の第１の実施形態にかかる、強誘電体メモリ装置の構成例を示すものである。

【００３１】

この強誘電体メモリ装置の場合、メモリセルＭＣは、１ビットあたり、２個のエンハンスメント型のＮＭＯＳトランジスタＭａ，Ｍｂと１個の強誘電体キャパシタ（セルキャパシタ）Ｃとからなる、２Ｔ１Ｃ型セル構造とされている。

【００３２】

たとえば、メモリセルＭＣ０は、エンハンスメント型のＮＭＯＳトランジスタＭａ０，Ｍｂ０の各ゲートがワード線ＷＬ０に接続されている。ＮＭＯＳトランジスタＭａ０は、電極の一方（ドレイン）が第１のビット線であるビット線ＢＬに、他方（ソース）が強誘電体キャパシタＣ０の一方の電極に接続されている。ＮＭＯＳトランジスタＭｂ０は、電極の一方（ドレイン）が第２のビット線であるビット線／ＢＬに、他方（ソース）が強誘電体キャパシタＣ０の他方の電極に接続されている。

【００３３】

同様に、たとえば、メモリセルＭＣ１は、エンハンスメント型のＮＭＯＳトランジスタＭａ１，Ｍｂ１の各ゲートがワード線ＷＬ１に接続されている。ＮＭＯＳトランジスタＭａ１は、電極の一方（ドレイン）が第１のビット線であるビット線ＢＬに、他方（ソース）が強誘電体キャパシタＣ１の一方の電極に接続されている。ＮＭＯＳトランジスタＭｂ１は、電極の一方（ドレイン）が第２のビット線であるビット線／ＢＬに、他方（ソース）が強誘電体キャパシタＣ１の他方の電極に接続されている。

【００３４】

ビット線ＢＬには、エンハンスメント型のＮＭＯＳスイッチ（スイッチング用トランジスタ）Ｔ０を介して、強誘電体キャパシタ（第１のキャパシタ）Ｃａが接続されている。そして、このキャパシタＣａを介して、クロック信号φａが供給されるようになっている。

【００３５】

ビット線／ＢＬには、エンハンスメント型のＮＭＯＳスイッチ（スイッチング用トランジスタ）Ｔ１を介して、強誘電体キャパシタ（第２のキャパシタ）Ｃｂが接続されている。そして、このキャパシタＣｂを介して、クロック信号φｂが供給されるようになっている。

【００３６】

上記ＮＭＯＳスイッチＴ０，Ｔ１は、各ゲートに供給されるクロック信号φｃによって制御されるようになっている。

【００３７】

なお、上記ビット線対ＢＬ，／ＢＬ間には、従来の強誘電体メモリ装置（図１７，図１８参照）と同様に、ビット線対ＢＬ，／ＢＬをイコライズするためのイコライズ回路ＥＱ、および、センスアンプＳＡなどが設けられている。

【００３８】

ここで、図２に示したヒステリシス曲線を参照して、強誘電体キャパシタＣについて簡単に説明する。

【００３９】

たとえば、キャパシタ膜である強誘電体膜として用いられるＰＺＴ（チタン酸ジルコン酸鉛（Ｐｂ（Ｚｒ，Ｔｉ）O_3））膜は、電圧が印加されていない状態では、図中に“０”および“１”で示した、上向きあるいは下向きの２方向のいずれかの残留分極が存在し、不揮発性となっている。

【００４０】

この状態において、電圧が印加されたとする。すると、分極が“１”である場合には、その分極は反転しない。一方、“０”であった場合は分極が反転する。

【００４１】

これら２つの場合に同じ電圧を印加するのに必要な電荷量、言い換えると、強誘電体キャパシタＣの一端（一方の電極）に同じ電圧を印加したときに、他端（他方の電極）に発生する電荷量が、“０”の場合と“１”の場合とで差がでる。この差を検知することによって、データの読み出しが行われる。

【００４２】

次に、図３を参照して、図１に示した構成の動作について説明する。

【００４３】

まず、待機状態では、ビット線対ＢＬ，／ＢＬの電位を１／２・Ｖｃｃとし、クロック信号φａ，φｂをともに“Ｌ”にする。その後、クロック信号φｂは“Ｈ”にする。

【００４４】

動作状態では、ワード線ＷＬ０を昇圧電位にし、メモリセルＭＣ０の各ＮＭＯＳトランジスタＭａ０，Ｍｂ０を、それぞれ、ビット線対ＢＬ，／ＢＬに電気的に接続する。

【００４５】

その際、クロック信号φｃを“Ｈ”にし、ＭＯＳスイッチＴ０，Ｔ１をオンさせる。さらに、強誘電体キャパシタＣａ，Ｃｂを介して、クロック信号φａ，φｂを、以下のように駆動する。

【００４６】

第１に、クロック信号φａを“Ｌ”から“Ｈ”に、クロック信号φｂを“Ｈ”から“Ｌ”にする。これにより、キャパシタＣａを介して、ビット線ＢＬが待機レベルから“Ｈ”に持ち上げられると同時に、キャパシタＣｂを介して、ビット線／ＢＬが“Ｌ”に引き下げられる。その結果、強誘電体キャパシタＣ０には下向きの電界が印加されて、“０”データを読み出すことが可能となる。

【００４７】

第２に、クロック信号φａを“Ｈ”から“Ｌ”に、クロック信号φｂを“Ｌ”から“Ｈ”にする。これにより、キャパシタＣａを介して、ビット線ＢＬが“Ｈ”から“Ｌ”に引き下げられると同時に、キャパシタＣｂを介して、ビット線／ＢＬが“Ｌ”から“Ｈ”に持ち上げられる。その結果、強誘電体キャパシタＣ０には上向きの電界が印加されて、“１”データを読み出すことが可能となる。

【００４８】

第３に、クロック信号φｂを“Ｈ”から“Ｌ”にすることにより、“Ｈ”のビット線／ＢＬと“Ｌ”のビット線ＢＬとを、１／２・Ｖｃｃレベル付近まで引き戻す。

第４に、ＭＯＳスイッチＴ０，Ｔ１をオフし、ビット線対ＢＬ，／ＢＬからキャパシタＣａ，Ｃｂを電気的に切り離す。

【００４９】

第５に、センスアンプＳＡを活性化させ、ビット線対ＢＬ，／ＢＬの電位差をセンスし

て、データを読み出す。また、同時に、データの再書き込みを行う。
【００５０】
その後、ワード線ＷＬ０を立ち下げて、ビット線対ＢＬ，／ＢＬとメモリセルＭＣ０とを電気的に切り離す。
【００５１】
このように、ビット線対ＢＬ，／ＢＬにＮＭＯＳトランジスタＭａ，Ｍｂをそれぞれに介して強誘電体キャパシタＣを接続し、それを相補的に容量結合動作させることで、ビット線対ＢＬ，／ＢＬへの電圧の印加によってデータを読み書きすることを可能にしている。
【００５２】
これにより、従来のように、データの読み書きを行う場合にも、セルプレート駆動線をパルス動作させる必要がなくなる。したがって、セルプレート駆動線やそれを駆動するための大きな駆動回路が不要になる分、チップ面積を削減することが可能となる。
【００５３】
また、２Ｔ１Ｃ型セル構造により、従来の２Ｔ２Ｃ型セル構造のメモリセルに比べてセル面積を小さくできる。１Ｔ１Ｃ型セル構造のメモリセルと比べるとトランジスタが１つ多いものの、設計の難しいリファレンス電位は必要なくなる。
【００５４】
しかも、１Ｔ１Ｃ型セル構造のメモリセルは、データの読み出し電荷量が、２Ｔ２Ｃ型セル構造のメモリセルの約１／２となるが、２Ｔ１Ｃ型セル構造とすることにより、２Ｔ２Ｃ型セル構造のメモリセルと同等の読み出し電荷量が確保できる。
【００５５】
（第２の実施形態）
図４は、本発明の第２の実施形態にかかる、ＴＣ並列ユニット直列接続型強誘電体メモリ装置の構成例を示すものである。
【００５６】
たとえば、このＴＣ並列ユニット直列接続型強誘電体メモリ装置の場合、強誘電体キャパシタ（セルキャパシタ）Ｃ０～Ｃ７の両端の各電極が、それぞれＮＭＯＳトランジスタＭ０～Ｍ７のソースおよびドレインに接続されて、メモリセルＭＣ０～ＭＣ７が構成されている。
【００５７】
また、その複数個のメモリセルＭＣ０～ＭＣ７が直列に接続されて、ＴＣ並列ユニット直列接続型セル（メモリセル列）が構成されている。
【００５８】
さらに、ＴＣ並列ユニット直列接続型セルの、一端側のセルＭＣ０が、エンハンスメント型のＭＯＳスイッチ（ブロックセレクトトランジスタ）ＭＳ０を介して、一方のビット線（第１のビット線）ＢＬに、また、他端側のセルＭＣ７が、エンハンスメント型のＭＯＳスイッチ（ブロックセレクトトランジスタ）ＭＳ１を介して、他方のビット線（第２のビット線）／ＢＬに接続されている。
【００５９】
このような構成のＴＣ並列ユニット直列接続型強誘電体メモリ装置によっても、上記した第１の実施形態の場合と略同様の動作が可能となる。
【００６０】
先に説明した、特開平１０－２５５４８３号公報に開示された、従来の強誘電体メモリ装置（公知例）の場合、ビット線対ＢＬＬ，ＢＬＨのうち、ビット線ＢＬＨの電位を高くし、ビット線ＢＬＬの電位を低くする。こうして、電位差を付けることによってビット線をフローティング状態とし、この状態で、ブロックセレクト線の電位を上げて導通させることにより、データの読み出しを行うようになっている。
【００６１】
しかるに、この読み出し方式においては、仮に、分極がビット線ＢＬＨからビット線ＢＬＬの方向に向いていた場合（この場合を、公知例の強誘電体メモリ装置では“０”として

いる）には分極の反転が起こらないので、ビット線対ＢＬＬ，ＢＬＨより等量の少ない電荷が読み出されることになる。

【００６２】

逆に、分極がビット線ＢＬＬからビット線ＢＬＨの方向に向いていた場合（この場合を、公知例の強誘電体メモリ装置では“１”としている）には分極の反転が起こり、大量の電荷が読み出されることになる。

【００６３】

従来のＴＣ並列ユニット直列接続型強誘電体メモリ装置においては、これらの電荷の差を何らかの参照電位と比較することによって、データを読み出すようになっている（たとえば、公知例の図８４および図８６参照）。

【００６４】

これに対し、本実施形態にかかるＴＣ並列ユニット直列接続型強誘電体メモリ装置においては、フローティングの状態とされたビット線に接続された強誘電体キャパシタＣ０～Ｃ７に、容量結合により正・逆両方の電位を印加する。これにより、必ず分極の反転を起こさせ、その後に、ビット線対ＢＬ，／ＢＬの電位差をセンスするようにしている。

【００６５】

このように、分極の反転を必ず起こさせることにより、信号量を増大できるとともに、ダイレクトにビット線対ＢＬ，／ＢＬどうしの電位差を読み出してセンスすることが可能となるものである。

【００６６】

この場合、図３からも明らかなように、データの読み出しマージンを広げられることがわかる。

【００６７】

なお、上述の第１，第２の実施形態においては、いずれの場合にも、キャパシタＣａ，Ｃｂを、強誘電体キャパシタを用いて構成するようにした場合について説明した。これに限らず、キャパシタＣａ，Ｃｂは、たとえば常誘電体キャパシタを用いて構成することも可能である。

【００６８】

ただし、強誘電体キャパシタの方が、常誘電体キャパシタよりも、同じサイズで、容量が大きい。

【００６９】

また、キャパシタＣａ，Ｃｂに強誘電体キャパシタを用いる場合には、強誘電体膜の膜厚を、セルの強誘電体キャパシタのそれよりも厚くなるように形成する。この場合、強誘電体キャパシタが完全には分極反転しないため、キャパシタ印加電圧範囲で動作させることで、キャパシタＣａ，Ｃｂを常誘電体キャパシタ的に使用することが可能となる。これにより、キャパシタＣａ，Ｃｂの分極反転疲労を軽減でき、チップの信頼性を向上させ得る。

【００７０】

（第３の実施形態）

図５は、本発明の第３の実施形態にかかる、ＴＣ並列ユニット直列接続型強誘電体メモリ装置の構成例を示すものである。なお、ここでは、ワード線とビット線との交点にそれぞれ設けられた、１トランジスタおよび１キャパシタからなる強誘電体メモリセルが直列に接続されてなる、ＴＣ並列ユニット直列接続型強誘電体メモリ装置（たとえば、ｒｅｆ．ＩＳＳＣＣ Ｔｅｃｈ．Ｄｉｇ．Ｐａｐｅｒｓ，ｐｐ．１０２－１０３，Ｆｅｂ．１９９９．“Ａ Ｓｕｂ－４０ｎｓ Ｒａｎｄｏｍ－Ａｃｃｅｓｓ Ｃｈａｉｎ ＦＲＡＭ Ａｒｃｈｉｔｅｃｔｕｒｅｗｉｔｈ ７ｎｓ Ｃｅｌｌ－Ｐｌａｔｅ－Ｌｉｎｅ Ｄｒｉｖｅ，”）に適用した場合を例に説明する。

【００７１】

たとえば、このＴＣ並列ユニット直列接続型強誘電体メモリ装置の場合、強誘電体キャパシタ（セルキャパシタ）Ｃ０～Ｃ７の両端の各電極が、それぞれＤ型（デプレッション型

）のＮＭＯＳトランジスタＭ’０～Ｍ’７のソースおよびドレインに接続されて、メモリセルＭＣ’０～ＭＣ’７が構成されている。

【００７２】

また、その複数個のメモリセルＭＣ’０～ＭＣ’７が直列に接続されて、ＴＣ並列ユニット直列接続型セルがそれぞれ構成されている。

【００７３】

さらに、ＴＣ並列ユニット直列接続型セルの、それぞれの一端側のセルＭＣ’０が、ＭＯＳスイッチＭＳ０，ＭＳ１を介して、ビット線ＢＬ，／ＢＬに、また、それぞれの他端側のセルＭＣ’７が、セルプレート駆動線ＰＬ，／ＰＬに接続されている。

【００７４】

このような構成とした場合には、電源オフ時に、セルトランジスタ（Ｄ型のＮＭＯＳトランジスタＭ’０～Ｍ’７）を常にオン状態に保つことが可能となる。よって、たとえ電源オフ時に外部から静電気などが印加されたとしても、セルキャパシタ（強誘電体キャパシタＣ０～Ｃ７）に高電圧がかかるのを阻止することが可能となる。

【００７５】

ここで、デプレッション型のトランジスタにおいては、セルのアクセス時に、ワード線を“Ｌｗｏｒｄ”レベルとした際に、ワード線“Ｌｗｏｒｄ”レベルとビット線“Ｌｂｉｔ”レベルとの差が、

ＶＬｗｏｒｄ－ＶＬｂｉｔ＜Ｖｔｃｅｌｌ

であるような閾値を設定することが望ましい。したがって、本実施形態の強誘電体メモリ装置においては、“ＶＬｗｏｒｄ”が“ＶＬｂｉｔ”よりも低いことが望ましい。

【００７６】

（第４の実施形態）

図６は、本発明の第４の実施形態にかかる、ＴＣ並列ユニット直列接続型強誘電体メモリ装置の構成例を示すものである。

【００７７】

たとえば、このＴＣ並列ユニット直列接続型強誘電体メモリ装置の場合、強誘電体キャパシタ（セルキャパシタ）Ｃ０～Ｃ７の両端の各電極が、それぞれＰＭＯＳトランジスタＭ''０～Ｍ''７のソースおよびドレインに接続されて、メモリセルＭＣ''０～ＭＣ''７が構成されている。

【００７８】

また、その複数個のメモリセルＭＣ''０～ＭＣ''７が直列に接続されて、ＴＣ並列ユニット直列接続型セルがそれぞれ構成されている。

【００７９】

さらに、ＴＣ並列ユニット直列接続型セルの、それぞれの一端側のセルＭＣ''０が、ＰＭＯＳトランジスタからなるＭＯＳスイッチＭＳ''０，ＭＳ''１を介して、ビット線ＢＬ，／ＢＬに、また、それぞれの他端側のセルＭＣ''７が、セルプレート駆動線ＰＬ，／ＰＬに接続されている。

【００８０】

このような構成とした場合には、電源オフ時に、セルトランジスタ（ＰＭＯＳトランジスタＭ''０～Ｍ''７）をオン状態にすることが可能となる。よって、たとえ電源オフ時に外部から静電気などが印加されたとしても、セルキャパシタ（強誘電体キャパシタＣ０～Ｃ７）に高電圧がかかるのを阻止することが可能となる。

【００８１】

（第５の実施形態）

図７は、本発明の第５の実施形態にかかる、ＴＣ並列ユニット直列接続型強誘電体メモリ装置の構成例を示すものである。

【００８２】

たとえば、このＴＣ並列ユニット直列接続型強誘電体メモリ装置の場合、強誘電体キャパシタ（セルキャパシタ）Ｃ０～Ｃ７の両端の各電極が、それぞれＮＭＯＳトランジスタＭ

０～Ｍ７のソースおよびドレインに接続されて、メモリセルＭＣ０～ＭＣ７が構成されている。

【００８３】

また、その複数個のメモリセルＭＣ０～ＭＣ７が直列に接続されて、ＴＣ並列ユニット直列接続型セルがそれぞれ構成されている。

【００８４】

さらに、ＴＣ並列ユニット直列接続型セルの、それぞれの一端側のセルＭＣ０が、ＭＯＳスイッチＭＳ０，ＭＳ１を介して、ビット線ＢＬ，／ＢＬに、また、それぞれの他端側のセルＭＣ７が、ＮＭＯＳトランジスタ（保護トランジスタ）Ｑ０，Ｑ１を介して、セルプレート駆動線ＰＬ，／ＰＬに接続されている。

【００８５】

上記トランジスタＱ０，Ｑ１は、それぞれ、コントロール信号線ＱＣ，／ＱＣによって、電源オフ時にはオフ状態に制御されるようになっている。

【００８６】

このような構成とした場合には、急激な静電気などの印加が発生した際にも、トランジスタＭ０～Ｍ７のオン抵抗により、過渡的にセルキャパシタ（強誘電体キャパシタＣ０～Ｃ７）に高電圧が加えられるといった不具合を回避できる。

【００８７】

すなわち、ＴＣ並列ユニット直列接続型セルの、それぞれの他端側のセルＭＣ７とセルプレート駆動線ＰＬ，／ＰＬとの間に、ＮＭＯＳトランジスタＱ０，Ｑ１を設けることによって、セルキャパシタＣ７の両端の電極のそれぞれのアンテナ比を略等しくすることが可能となる。

【００８８】

これにより、電源オフ時に、たとえセルプレート駆動線ＰＬ，／ＰＬが静電誘導されたとしても、セルキャパシタＣ７の両端の電極に略等しい電位が誘起されるようにすることが可能となる。

【００８９】

このように、セルキャパシタＣ７の両端の電極に略等しい電位が誘起されるようにするために、セルＭＣ７の両端のアンテナ比が略等しくなるようにした場合、面積の大きいセルプレート駆動線ＰＬ，／ＰＬが静電誘導されたとしても、少なくともセルキャパシタＣ７に高電圧がかかるのを阻止できる。

【００９０】

したがって、従来の、電源オフ時に外部からの静電気などの印加による、データ破壊や信号量劣化を防止することが可能となるものである。

【００９１】

なお、この実施形態においては、トランジスタＱ０，Ｑ１のコントロール信号線ＱＣ，／ＱＣを共通の信号としているが、トランジスタＱ０にはセレクト信号線ＢＳ０と同様な信号を、また、トランジスタＱ１にはセレクト信号線ＢＳ１と同様な信号を供給するようにしてもよい。特に、この場合は、セルプレート駆動線ＰＬ，／ＰＬを一つの信号線として、トランジスタＱ０，Ｑ１に共通に接続してもよい。

【００９２】

また、このような構成においては、ＭＯＳスイッチＭＳ０，ＭＳ１およびＮＭＯＳトランジスタＱ０，Ｑ１の閾値を、他のトランジスタよりも高くして、オン状態になりにくくするようにしても良い。

【００９３】

さらには、セルトランジスタＭ０～Ｍ７の閾値を低くして、オン状態になりやすくする。その場合、ビット線ＢＬ，／ＢＬやセルプレート駆動線ＰＬ，／ＰＬにより高い電位が誘起されたとしても、セルキャパシタＣ０～Ｃ７に電圧が加えられる可能性をより低く抑えることが可能となる。

【００９４】

（第６の実施形態）
図８は、本発明の第６の実施形態にかかる、強誘電体メモリ装置の構成例を示すものである。なお、ここでは、上述した第５の実施形態にかかる発明を、ワード線とビット線との交点に１Ｔ１Ｃ型セル構造のメモリセルが設けられてなる、強誘電体メモリ装置に適用した場合について説明する。また、同図（ａ）は、ビット線ＢＬとセルプレート駆動線ＰＬとを平行に配設するようにした場合の例であり、同図（ｂ）は、ビット線ＢＬとセルプレート駆動線ＰＬとを垂直に配設するようにした場合の例である。
【００９５】
たとえば、この強誘電体メモリ装置の場合、１つのＮＭＯＳトランジスタ（セルトランジスタ）Ｍと１つの強誘電体キャパシタ（セルキャパシタ）Ｃとによって、１Ｔ１Ｃ型セル構造のメモリセルＭＣが構成されている。
【００９６】
メモリセルＭＣは、セルトランジスタＭのゲートがワード線ＷＬに接続されている。セルトランジスタＭは、電極の一方がビット線ＢＬに、他方がセルキャパシタＣの一方の電極に接続されている。
【００９７】
また、セルキャパシタＣの他方の電極は、ＮＭＯＳトランジスタ（保護トランジスタ）Ｑを介して、セルプレート駆動線ＰＬに接続されている。
【００９８】
このような構成とした場合、１Ｔ１Ｃ型セル構造のメモリセルＭＣにおいても、上述した第５の実施形態にかかるＴＣ並列ユニット直列接続型強誘電体メモリ装置の場合と同様に、セルキャパシタＣの両端の電極のそれぞれのアンテナ比を略等しくすることが可能となる。その結果、たとえ面積の大きいセルプレート駆動線ＰＬが静電誘導されたとしても、セルキャパシタＣに高電圧がかかるのを阻止できる。
【００９９】
なお、上記ＮＭＯＳトランジスタＱを切り替え制御するためのコントロール信号線ＱＣは、ワード線ＷＬと共有することもできる。こうすることにより、信号線の本数を削減でき、セルのより微細化が可能となる。
【０１００】
特に、図８（ａ）に示すように、ビット線ＢＬとセルプレート駆動線ＰＬとが平行になるようにレイアウトした場合には、外部からの電磁波の影響を、ビット線ＢＬとセルプレート駆動線ＰＬとが同じように受ける。そのため、セルＭＣの両端に等しい電位が誘起されることにより、セルキャパシタＣに電圧が加えられるのを防ぐことができる。
【０１０１】
しかも、ビット線ＢＬとセルプレート駆動線ＰＬとを平行にレイアウトする場合においては、ビット線ＢＬとセルプレート駆動線ＰＬとで異なるメタル層を用いるようにすることで、チップの面積を増大させずに実現できる。
【０１０２】
また、図８（ｂ）に示すように、ビット線ＢＬとセルプレート駆動線ＰＬとが垂直になる（直交する）ようにレイアウトした場合には、ピッチが狭まり、チップの面積をより小さくできる。
【０１０３】
（第７の実施形態）
図９は、本発明の第７の実施形態にかかる、ＴＣ並列ユニット直列接続型強誘電体メモリ装置の構成例を示すものである。なお、ここでは、上述した第３の実施形態にかかる発明と第５の実施形態にかかる発明とを組み合わせた場合について説明する。
【０１０４】
たとえば、このＴＣ並列ユニット直列接続型強誘電体メモリ装置の場合、強誘電体キャパシタ（セルキャパシタ）Ｃ０～Ｃ７の両端の各電極が、それぞれＤ型のＮＭＯＳトランジスタＭ’０～Ｍ’７のソースおよびドレインに接続されて、メモリセルＭＣ’０～ＭＣ’

７が構成されている。
【０１０５】
また、その複数個のメモリセルＭＣ’０～ＭＣ’７が直列に接続されて、ＴＣ並列ユニット直列接続型セルがそれぞれ構成されている。
【０１０６】
さらに、ＴＣ並列ユニット直列接続型セルの、それぞれの一端側のセルＭＣ’０が、ＭＯＳスイッチＭＳ０，ＭＳ１を介して、ビット線ＢＬ，／ＢＬに、また、それぞれの他端側のセルＭＣ’７が、ＮＭＯＳトランジスタ（保護トランジスタ）Ｑ０，Ｑ１を介して、セルプレート駆動線ＰＬ，／ＰＬに接続されている。
【０１０７】
このような構成とした場合、第３の実施形態にかかる発明の効果と第５の実施形態にかかる発明の効果とを合わせた効果が期待できる。よって、たとえ電源オフ時に外部から静電気などが印加されたとしても、セルキャパシタ（強誘電体キャパシタＣ０～Ｃ７）に高電圧がかかるのを、より一層効果的に阻止することが可能となる。
【０１０８】
なお、このような構成においては、ＭＯＳスイッチＭＳ０，ＭＳ１およびＮＭＯＳトランジスタＱ０，Ｑ１の閾値を、他のトランジスタよりも高くして、オン状態になりにくくするようにしても良い。
【０１０９】
その場合、ビット線ＢＬ，／ＢＬやセルプレート駆動線ＰＬ，／ＰＬにより高い電位が誘起されたとしても、セルキャパシタＣ０～Ｃ７に電圧が加えられる可能性をより低く抑えることが可能となる。
【０１１０】
（第８の実施形態）
図１０は、本発明の第８の実施形態にかかる、ＴＣ並列ユニット直列接続型強誘電体メモリ装置の構成例を示すものである。なお、ここでは、上述した第４の実施形態にかかる発明と第５の実施形態にかかる発明とを組み合わせた場合について説明する。
【０１１１】
たとえば、このＴＣ並列ユニット直列接続型強誘電体メモリ装置の場合、強誘電体キャパシタ（セルキャパシタ）Ｃ０～Ｃ７の両端の各電極が、それぞれＰＭＯＳトランジスタＭ''０～Ｍ''７のソースおよびドレインに接続されて、メモリセルＭＣ''０～ＭＣ''７が構成されている。
【０１１２】
また、その複数個のメモリセルＭＣ''０～ＭＣ''７が直列に接続されて、ＴＣ並列ユニット直列接続型セルがそれぞれ構成されている。
【０１１３】
さらに、ＴＣ並列ユニット直列接続型セルの、それぞれの一端側のセルＭＣ''０が、ＰＭＯＳトランジスタからなるＭＯＳスイッチＭＳ''０，ＭＳ''１を介して、ビット線ＢＬ，／ＢＬに、また、それぞれの他端側のセルＭＣ''７が、ＮＭＯＳトランジスタ（保護トランジスタ）Ｑ０，Ｑ１を介して、セルプレート駆動線ＰＬ，／ＰＬに接続されている。
【０１１４】
このような構成とした場合、第４の実施形態にかかる発明の効果と第５の実施形態にかかる発明の効果とを合わせた効果が期待できる。よって、たとえ電源オフ時に外部から静電気などが印加されたとしても、セルキャパシタ（強誘電体キャパシタＣ０～Ｃ７）に高電圧がかかるのを、より一層効果的に阻止することが可能となる。
【０１１５】
なお、このような構成においては、ＭＯＳスイッチＭＳ''０，ＭＳ''１およびＮＭＯＳトランジスタＱ０，Ｑ１の閾値を、他のトランジスタよりも高くして、オン状態になりにくくするようにしても良い。
【０１１６】

その場合、ビット線ＢＬ，／ＢＬやセルプレート駆動線ＰＬ，／ＰＬにより高い電位が誘起されたとしても、セルキャパシタＣ０～Ｃ７に電圧が加えられる可能性をより低く抑えることが可能となる。

【０１１７】

（第９の実施形態）

図１１は、本発明の第９の実施形態にかかる、ＴＣ並列ユニット直列接続型強誘電体メモリ装置の概略構成を示すものである。なお、ここでは、ＴＣ並列ユニット直列接続型強誘電体メモリ装置の断面構造を示している。

【０１１８】

たとえば、このＴＣ並列ユニット直列接続型強誘電体メモリ装置の場合、メモリセルＭＣは、強誘電体膜を用いてなるセルキャパシタＣの下方部に、ＮＭＯＳトランジスタからなるセルトランジスタＭが配設されてなる構成とされている。

【０１１９】

セルトランジスタＭのソースまたはドレインの拡散層（n^+）は、セルプレート駆動線ＰＬ（／ＢＬ）に接続されている。セルプレート駆動線ＰＬ（／ＢＬ）は、セルキャパシタＣの上部電極または下部電極にコンタクトされている。

【０１２０】

ビット線ＢＬは、これらメモリセルＭＣの間に、ワード線方向に半ピッチずれて配設されている。

【０１２１】

このような構成において、セルキャパシタＣよりも上層の、たとえば、チップの最上層には、さらに、メタル層（静電バリア層）ＭＬ１がブランケット状に設けられている。これにより、電源オフ時に、たとえチップの外部より静電気などが印加されたとしても、セルプレート駆動線ＰＬ，／ＰＬが静電誘導されるのを阻止できるようになる。

【０１２２】

しかも、このメタル層ＭＬ１を、チップの外周で半導体基板または図示していないウェル（Ｗｅｌｌ）とコンタクトするようにした場合には、その効果をさらに高めることが可能となる。

【０１２３】

（第１０の実施形態）

図１２は、本発明の第１０の実施形態にかかる、ＴＣ並列ユニット直列接続型強誘電体メモリ装置の概略構成を示すものである。

【０１２４】

このＴＣ並列ユニット直列接続型強誘電体メモリ装置は、たとえば、上述の図１１に示したＴＣ並列ユニット直列接続型強誘電体メモリ装置において、上記メタル層ＭＬ１のさらにその上層に、絶縁膜を介して、メタル層（静電バリア層）ＭＬ２がブランケット状に設けられてなる構成とされている。

【０１２５】

このような構成においては、たとえば図１３に示すように、各メタル層ＭＬ１，ＭＬ２をともに半導体基板またはウェルとコンタクトさせることによって、電位の安定化が図れ、より効果的である。

【０１２６】

また、図１４に示すように、メタル層ＭＬ１，ＭＬ２のいずれか一方（たとえば、メタル層ＭＬ１）をＮ－Ｗｅｌｌと接続し、いずれか他方（たとえば、メタル層ＭＬ２）をＰ－Ｗｅｌｌと接続させる。この場合、メタル層ＭＬ１，ＭＬ２を電源線として機能させることが可能となる。よって、チップ上での電源線幅を節約でき、チップの小面積化を図る上で有効である。

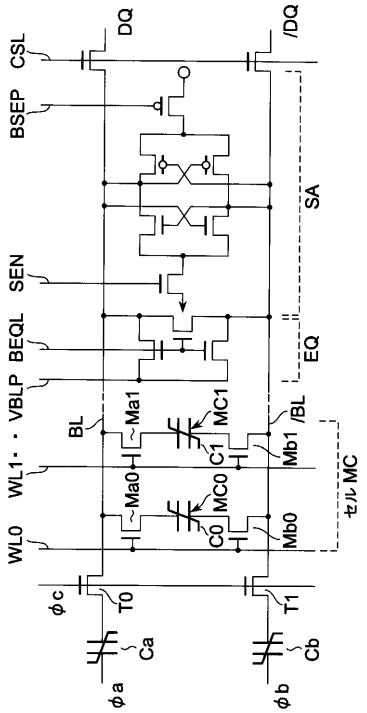
【０１２７】

好ましくは、メタル層ＭＬ１，ＭＬ２における４隅と各辺の中点との全８点をそれぞれＮ－ＷｅｌｌまたはＰ－Ｗｅｌｌと接続する。これにより、ウェルとメタル層ＭＬ１，ＭＬ

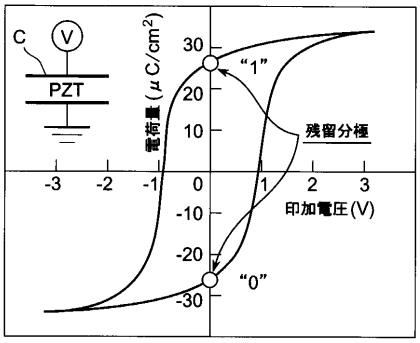
２との抵抗を低減できて、電位が安定する。
【０１２８】
図１５および図１６は、上記したＴＣ並列ユニット直列接続型強誘電体メモリ装置に用いられる、メタル層の構成例をそれぞれ示すものである。ここでは、メタル層の応力を、開口部を形成することによって吸収するようにした場合について説明する。
【０１２９】
図１５において、メタル層ＭＬ１ａ，ＭＬ２ａには、複数のスリット状の開口部ＯＰ１がそれぞれ設けられている。特に、メタル層が２層の場合には、下層のメタル層ＭＬ１ａ上の開口部ＯＰ１と上層のメタル層ＭＬ２ａ上の開口部ＯＰ１とが、上下で重なり合わないように、互いの位置をずらして設けられる。
【０１３０】
図１６において、メタル層ＭＬ１ｂ，ＭＬ２ｂには、複数の角型（または、丸型）の開口部ＯＰ２がそれぞれ設けられている。この場合も、メタル層が２層の場合には、下層のメタル層ＭＬ１ｂ上の開口部ＯＰ２と上層のメタル層ＭＬ２ｂ上の開口部ＯＰ２とが、上下で重なり合わないように、互いの位置をずらして設けられる。
【０１３１】
このような構成によれば、いずれの構成においても、応力を低減しつつ、静電誘導をもたらす電気力線を効果的に遮断できる。
【０１３２】
その他、本願発明は、上記（各）実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。さらに、上記（各）実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。たとえば、（各）実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題（の少なくとも１つ）が解決でき、発明の効果の欄で述べられている効果（の少なくとも１つ）が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。
【０１３３】
【発明の効果】
以上、詳述したようにこの発明によれば、２Ｔ２Ｃ型セルよりもセル面積を小さくできるとともに、設計の難しいリファレンス電位やセルプレート駆動線とその駆動回路を不要とすることが可能な強誘電体メモリ装置を提供できる。
【図面の簡単な説明】
【図１】本発明の第１の実施形態にかかる、強誘電体メモリ装置の概略構成を示す回路図。
【図２】同じく、強誘電体セルキャパシタのヒステリシス曲線を示す特性図。
【図３】同じく、強誘電体メモリ装置の動作の概略を説明するために示すタイミングチャート。
【図４】本発明の第２の実施形態にかかる、ＴＣ並列ユニット直列接続型強誘電体メモリ装置のセル構造を概略的に示す回路構成図。
【図５】本発明の第３の実施形態にかかる、ＴＣ並列ユニット直列接続型強誘電体メモリ装置のセル構造を概略的に示す回路構成図。
【図６】本発明の第４の実施形態にかかる、ＴＣ並列ユニット直列接続型強誘電体メモリ装置のセル構造を概略的に示す回路構成図。
【図７】本発明の第５の実施形態にかかる、ＴＣ並列ユニット直列接続型強誘電体メモリ装置のセル構造を概略的に示す回路構成図。
【図８】本発明の第６の実施形態にかかる、強誘電体メモリ装置の概略構成を示す回路図。
【図９】本発明の第７の実施形態にかかる、ＴＣ並列ユニット直列接続型強誘電体メモリ装置のセル構造を概略的に示す回路構成図。
【図１０】本発明の第８の実施形態にかかる、ＴＣ並列ユニット直列接続型強誘電体メモ

リ装置のセル構造を概略的に示す回路構成図。
【図１１】本発明の第９の実施形態にかかる、ＴＣ並列ユニット直列接続型強誘電体メモリ装置の構成を示す概略断面図。
【図１２】本発明の第１０の実施形態にかかる、ＴＣ並列ユニット直列接続型強誘電体メモリ装置の構成を示す概略断面図。
【図１３】同じく、ＴＣ並列ユニット直列接続型強誘電体メモリ装置に用いられるメタル層の接続の一例を示す概略図。
【図１４】同じく、ＴＣ並列ユニット直列接続型強誘電体メモリ装置に用いられるメタル層の接続の他の例を示す概略図。
【図１５】同じく、ＴＣ並列ユニット直列接続型強誘電体メモリ装置に用いられるメタル層の一例を示す概略構成図。
【図１６】同じく、ＴＣ並列ユニット直列接続型強誘電体メモリ装置に用いられるメタル層の他の例を示す概略構成図。
【図１７】従来技術とその問題点を説明するために示す、２Ｔ２Ｃ型セル構造を有する強誘電体メモリ装置の概略構成を示す回路図。
【図１８】同じく、従来の１Ｔ１Ｃ型セル構造を有する強誘電体メモリ装置の概略構成を示す回路図。
【図１９】同じく、従来のＴＣ並列ユニット直列接続型強誘電体メモリ装置のセル構造を示す回路構成図。
【符号の説明】
ＭＣ（ＭＣ０～ＭＣ７），ＭＣ’０～ＭＣ’７，ＭＣ''０～ＭＣ''７…メモリセル
Ｍａ，Ｍｂ（Ｍａ０，Ｍｂ０，Ｍａ１，Ｍｂ１）…ＮＭＯＳトランジスタ（セルトランジスタ）
Ｍ（Ｍ０～Ｍ７）…ＮＭＯＳトランジスタ（セルトランジスタ）
Ｍ’０～Ｍ’７…Ｄ型（デプレッション型）のＮＭＯＳトランジスタ（セルトランジスタ）
Ｍ''０～Ｍ''７…ＰＭＯＳトランジスタ（セルトランジスタ）
Ｃ（Ｃ０～Ｃ７）…強誘電体キャパシタ（セルキャパシタ）
ＷＬ（ＷＬ０，ＷＬ１）…ワード線
ＢＬ，／ＢＬ…ビット線（対）
ＰＬ，／ＰＬ…セルプレート駆動線
Ｔ０，Ｔ１…ＮＭＯＳスイッチ
Ｃａ，Ｃｂ…強誘電体キャパシタ
φａ，φｂ，φｃ…クロック信号
ＥＱ…イコライズ回路
ＳＡ…センスアンプ
ＭＳ０，ＭＳ１…ＭＯＳスイッチ
ＭＳ''０，ＭＳ''１…ＭＯＳスイッチ（ＰＭＯＳトランジスタ）
Ｑ（Ｑ０，Ｑ１）…ＮＭＯＳトランジスタ
ＱＣ，／ＱＣ…コントロール信号線
ＭＬ，ＭＬ１，ＭＬ１ａ，ＭＬ１ｂ，ＭＬ２，ＭＬ２ａ，ＭＬ２ｂ…メタル層
ＯＰ１，ＯＰ２…開口部

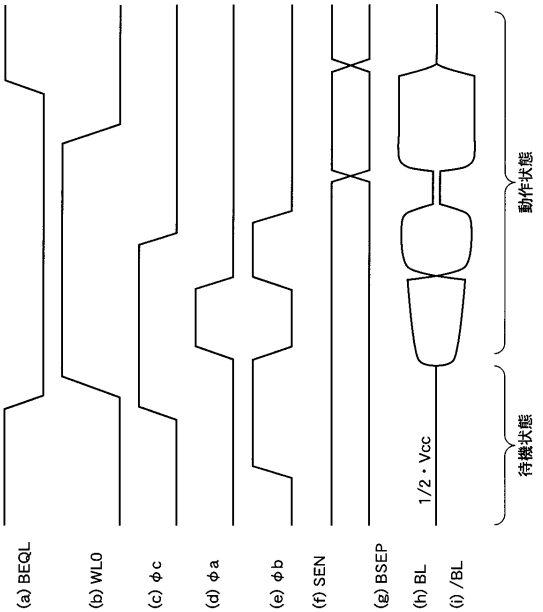
【図１】


CSL
DQ
/DQ
BSEP
SA
SEN
BEQL
EQ
VBLP
BL
/BL
WL1
WL0
Ma1
Ma0
MC1
MC0
C1
C0
Mb1
Mb0
セル MC
φc
T0
T1
Ca
Cb
φa
φb

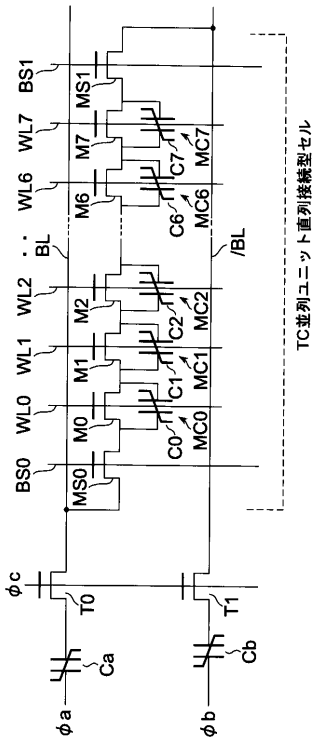
【図２】


C
V
PZT
電荷量 (μC/cm²)
30
20
10
-10
-20
-30
-3
-2
-1
0
1
2
3
印加電圧(V)
“1”
“0”
残留分極

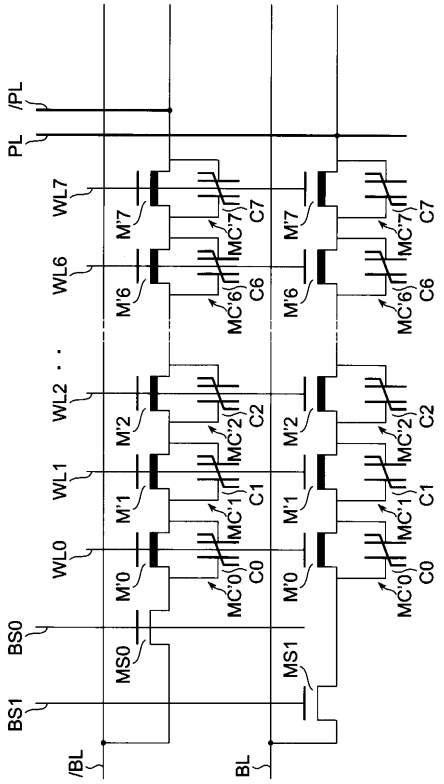
【図３】


(a) BEQL
(b) WL0
(c) φc
(d) φa
(e) φb
(f) SEN
(g) BSEP
(h) BL
(i) /BL
1/2・Vcc
動作状態
待機状態

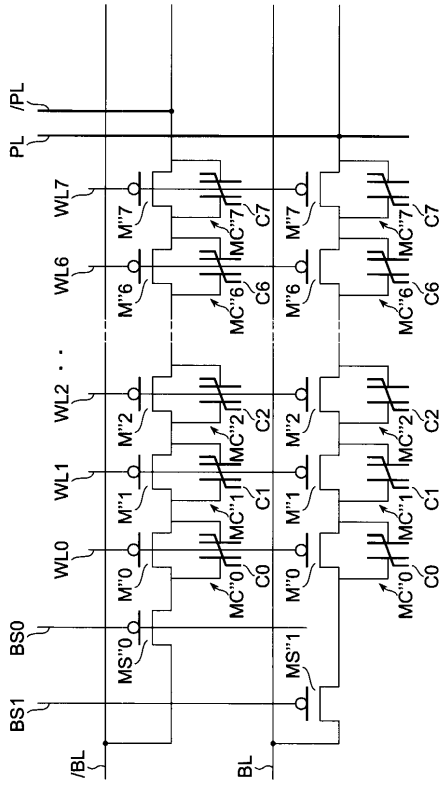
【図４】


BS1
MS1
WL7
M7
C7
MC7
WL6
M6
C6
MC6
BL
/BL
WL2
M2
C2
MC2
WL1
M1
C1
MC1
WL0
M0
C0
MC0
BS0
MS0
TC並列ユニット直列接続型セル
φc
T0
T1
Ca
Cb
φa
φb

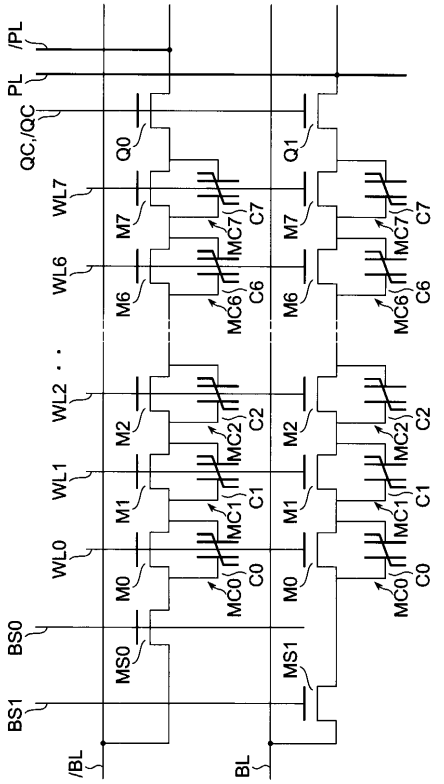
【図５】


/PL
PL
WL7
WL6
WL2
WL1
WL0
M'7
M'6
M'2
M'1
M'0
MC'7
MC'6
MC'2
MC'1
MC'0
C7
C6
C2
C1
C0
BS0
BS1
MS0
MS1
/BL
BL

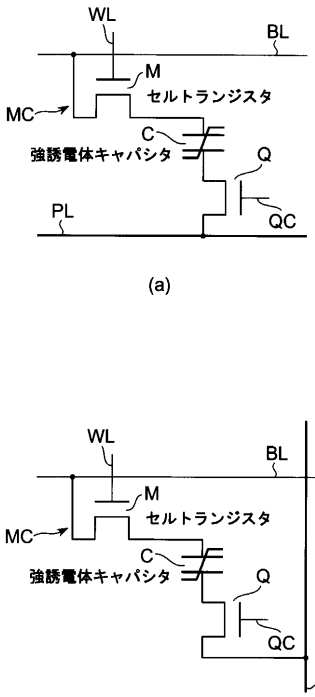
【図６】


/PL
PL
WL7
WL6
WL2
WL1
WL0
M"7
M"6
M"2
M"1
M"0
MC"7
MC"6
MC"2
MC"1
MC"0
C7
C6
C2
C1
C0
BS0
BS1
MS"0
MS"1
/BL
BL

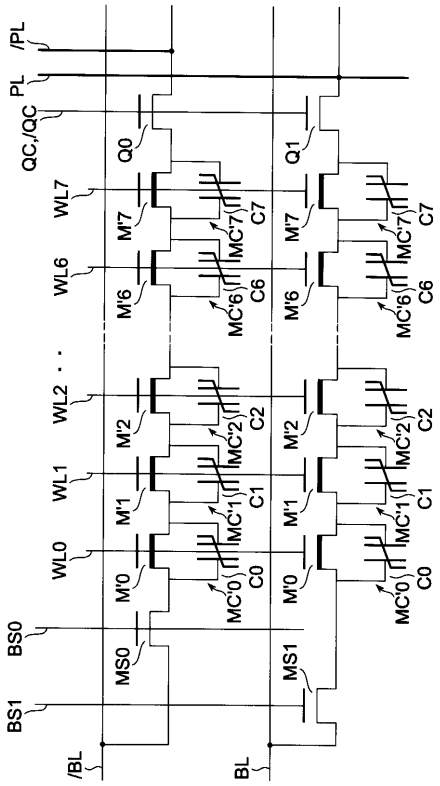
【図７】


/PL
PL
QC,/QC
Q0
Q1
WL7
WL6
WL2
WL1
WL0
M7
M6
M2
M1
M0
MC7
MC6
MC2
MC1
MC0
C7
C6
C2
C1
C0
BS0
BS1
MS0
MS1
/BL
BL

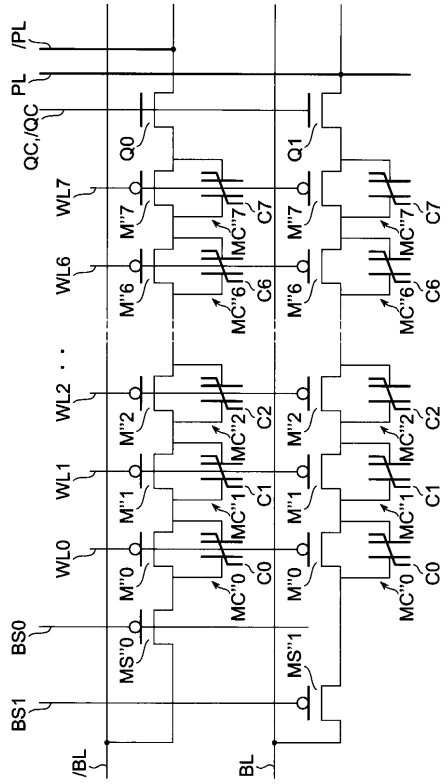
【図８】


WL
BL
M
セルトランジスタ
MC
C
強誘電体キャパシタ
Q
PL
QC
(a)
WL
BL
M
セルトランジスタ
MC
C
強誘電体キャパシタ
Q
QC
PL
(b)

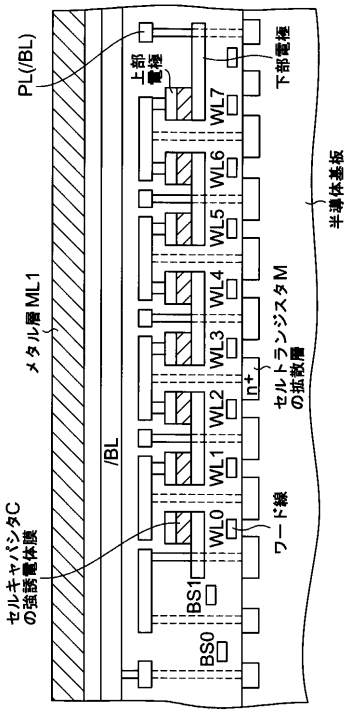
【図９】



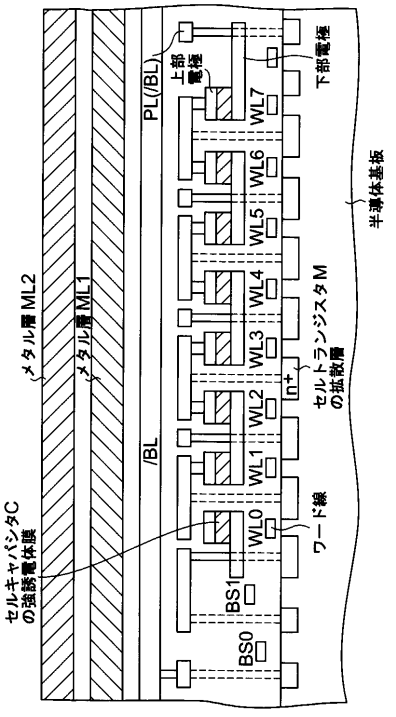
【図１０】



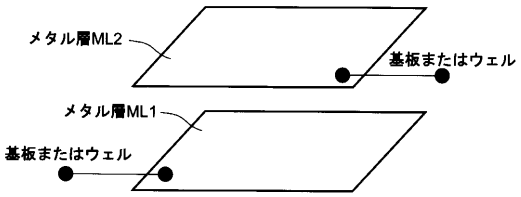
【図１１】



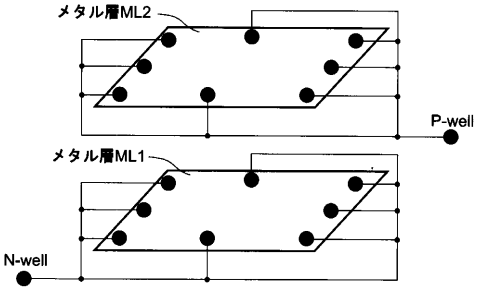
【図１２】



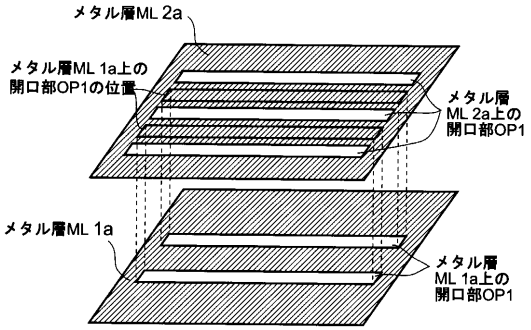
【図１３】



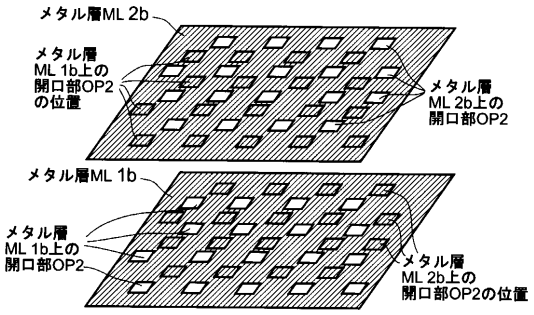
【図１４】



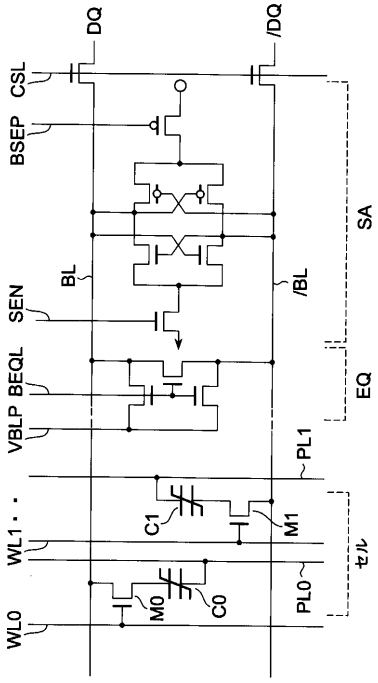
【図１５】



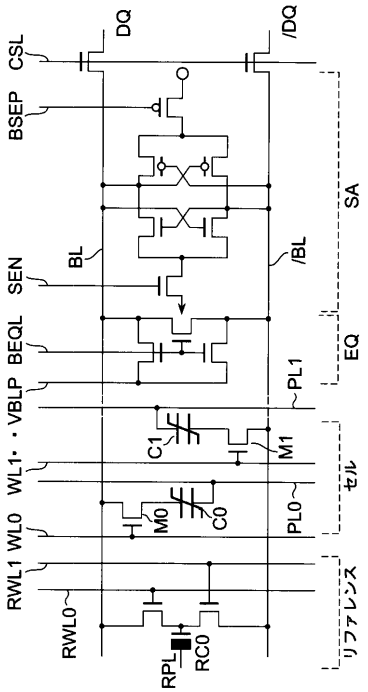
【図１６】



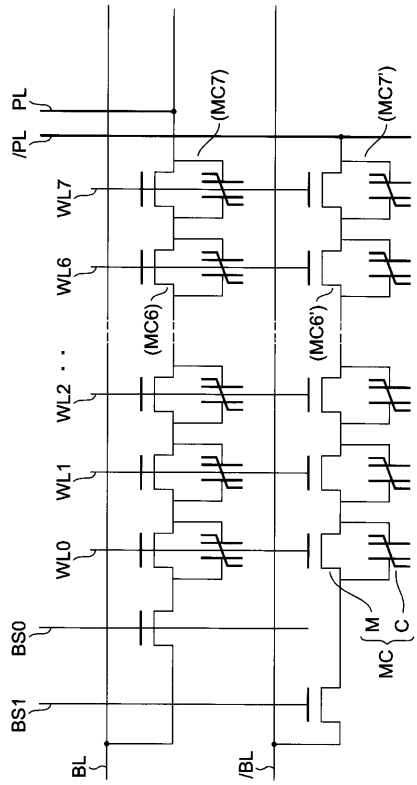
【図１７】



【図１８】



【図１９】



フロントページの続き

(72)発明者　竹内　義昭
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝マイクロエレクトロニクスセンター内
(72)発明者　堂前　須弥子
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝マイクロエレクトロニクスセンター内
(72)発明者　大脇　幸人
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝マイクロエレクトロニクスセンター内

審査官　高野　芳徳

(56)参考文献　特開平０５－０４１５０２（ＪＰ，Ａ）
特開平０３－０１６０９４（ＪＰ，Ａ）
特開平１０－２５５４８３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 11/22