



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I691173 B

(45)公告日：中華民國 109 (2020) 年 04 月 11 日

(21)申請案號：107108638 (22)申請日：中華民國 107 (2018) 年 03 月 14 日

(51)Int. Cl. : **H03M13/47 (2006.01)** **G11C29/42 (2006.01)**

(30)優先權：2017/03/24 美國 62/475,953
2018/03/09 美國 15/917,260

(71)申請人：聯發科技股份有限公司 (中華民國) MEDIATEK INC. (TW)
新竹市新竹科學工業園區篤行一路 1 號

(72)發明人：李重佑 LEE, CHONG YOU (TW)；費雪 傑費斯 提摩西 培林 FISHER-JEFFES, TIMOTHY PERRIN (GB)；邱茂清 CHIU, MAOCHING (TW)；陳威任 CHEN, WEI JEN (TW)；徐誠羿 HSU, CHENG YI (TW)；陳儒雅 CHEN, JU YA (TW)；張晏碩 CHANG, YEN SHUO (TW)

(74)代理人：洪澄文；顏錦順

(56)參考文獻：

US	8990661B1	US	2009/0031185A1
US	2016/0094245A1	WO	2008/124966A1

審查人員：蕭明椿

申請專利範圍項數：19 項 圖式數：6 共 50 頁

(54)名稱

通訊用錯誤更正編碼方法和裝置

(57)摘要

本發明各方面提供了一種用於基於矩陣進行錯誤更正之裝置和方法。該裝置包括記憶體和處理電路。所述記憶體被配置成存儲與奇偶校驗位元之集合關聯之矩陣。具有多行多列之所述矩陣包括具有與第一狀態或第二狀態對應之值之元素。所述矩陣還包括具有值與所述第一狀態對應之兩個元素之列。所述兩個元素中之一個是對應於與所述列關聯之奇偶校驗位元之奇偶校驗元素。另外，與所述奇偶校驗元素在同一行中之其它元素具有與所述第二狀態對應之值。所述處理電路被配置成基於所述矩陣來實現錯誤更正。在另一個實施方式中，所述處理電路被配置成透過基於所述矩陣用資料單元生成所述奇偶校驗位元之集合對資料單元進行編碼，並且形成包括所述資料單元和所述奇偶校驗位元之集合之碼字。所述處理電路還被配置成基於所述矩陣對具有接收到之資料單元之接收到之碼字進行解碼，並且獲得解碼後之資料單元。

Aspects of the disclosure provide an apparatus and a method for error correction based on a matrix. The apparatus includes memory and processing circuitry. The memory is configured to store the matrix associated with a set of parity bits. The matrix having rows and columns includes elements having values corresponding to either a first state or a second state. The matrix also includes a row having two elements with values corresponding to the first state. One of the two elements is a parity element corresponding to a parity bit associated with the row. Further, other elements in a same column as the parity element have values corresponding to the second state. The processing circuitry is configured to implement error correction based on the matrix. In another embodiment, the processing circuitry is configured to encode a data unit by generating the set of parity bits from the data unit based on the matrix and to form a codeword that includes

the data unit and the set of parity bits. The processing circuitry is also configured to decode a received codeword having a received data unit based on the matrix and to obtain a decoded data unit.

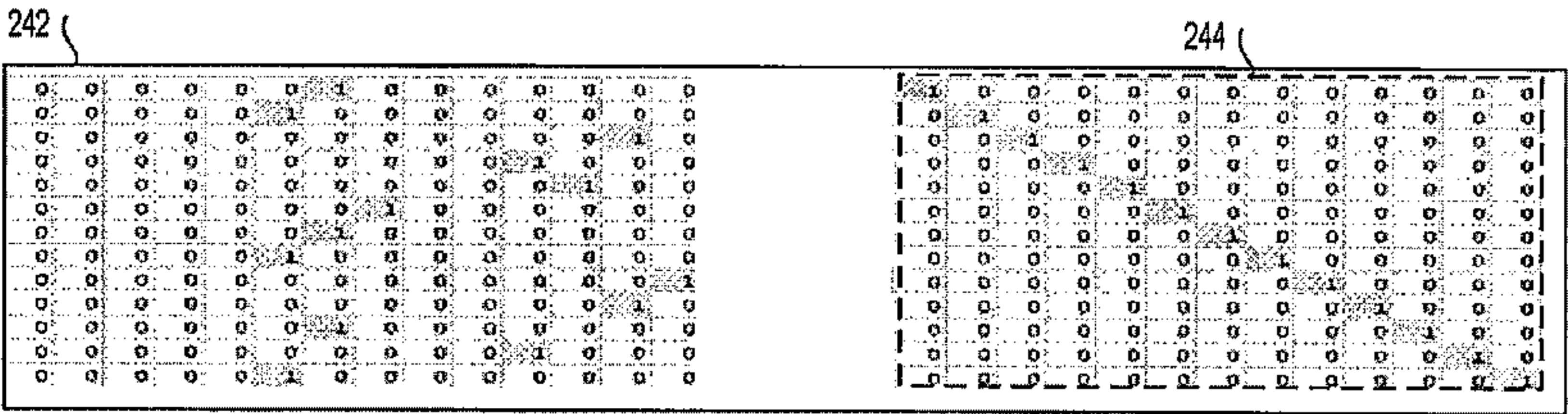
指定代表圖：

符號簡單說明：

242 . . . 擴展基矩陣

244 . . . 標識矩陣

第2E圖



I691173

發明摘要

【發明名稱】通訊用錯誤更正編碼方法和裝置

METHOD AND APPARATUS FOR ERROR
CORRECTION CODING IN COMMUNICATION

【中文】

本發明各方面提供了一種用於基於矩陣進行錯誤更正之裝置和方法。該裝置包括記憶體和處理電路。所述記憶體被配置成存儲與奇偶校驗位元之集合關聯之矩陣。具有多行多列之所述矩陣包括具有與第一狀態或第二狀態對應之值之元素。所述矩陣還包括具有值與所述第一狀態對應之兩個元素之列。所述兩個元素中之一個是對應於與所述列關聯之奇偶校驗位元之奇偶校驗元素。另外，與所述奇偶校驗元素在同一行中之其它元素具有與所述第二狀態對應之值。所述處理電路被配置成基於所述矩陣來實現錯誤更正。在另一個實施方式中，所述處理電路被配置成透過基於所述矩陣用資料單元生成所述奇偶校驗位元之集合對資料單元進行編碼，並且形成包括所述資料單元和所述奇偶校驗位元之集合之碼字。所述處理電路還被配置成基於所述矩陣對具有接收到之資料單元之接收到之碼字進行解碼，並且獲得解碼後之資料單元。

【英文】

Aspects of the disclosure provide an apparatus and a method for error correction based on a matrix. The apparatus

includes memory and processing circuitry. The memory is configured to store the matrix associated with a set of parity bits. The matrix having rows and columns includes elements having values corresponding to either a first state or a second state. The matrix also includes a row having two elements with values corresponding to the first state. One of the two elements is a parity element corresponding to a parity bit associated with the row. Further, other elements in a same column as the parity element have values corresponding to the second state. The processing circuitry is configured to implement error correction based on the matrix. In another embodiment, the processing circuitry is configured to encode a data unit by generating the set of parity bits from the data unit based on the matrix and to form a codeword that includes the data unit and the set of parity bits. The processing circuitry is also configured to decode a received codeword having a received data unit based on the matrix and to obtain a decoded data unit.

【代表圖】

【本案指定代表圖】：第（2E）圖。

【本代表圖之符號簡單說明】：

242~擴展基矩陣；244~標識矩陣。

【本案若有化學式時，請揭示最能顯示發明特徵之化學式】：

無

發明專利說明書

【發明名稱】 通訊用錯誤更正編碼方法和裝置

METHOD AND APPARATUS FOR ERROR
CORRECTION CODING IN COMMUNICATION

【交叉引用】

【0001】 本發明要求如下優先權：2017 年 3 月 24 日提交之編號為 62/475953 之“Weight-2 Row Extension Design for NR LDPC Code”之美國臨時專利申請。上述美國臨時專利申請在此一併作為參考。

【技術領域】

【0002】 本發明係有關於一種無線通訊技術。更具體地，本發明涉及無線通訊技術中之改錯碼（error correcting code）。

【先前技術】

【0003】 本文所提供之背景描述是為了總體上呈現本發明之背景。目前提到之發明人之工作（就本背景部分中描述之工作而言），以及描述中在提交時可能不符合先前技術方面之內容既不明確地也不隱含地被承認為針對本發明之先前技術。

【0004】 在無線通訊中，電磁訊號被用於傳送數位資料。數位資料因各種原因而可能被錯誤地遞送。在一示例中，例如因雜訊、訊號失真、干擾等，數位資料中的一些位元可能被破壞。在無線通訊技術中可以使用改錯碼來控制透過不可靠或有雜訊之通訊通道之資料傳送中之錯誤。

【發明內容】

【0005】本發明之各方面提供了一種包括記憶體和處理電路之裝置。所述記憶體被配置成存儲用於錯誤更正並且與奇偶校驗位元之集合關聯之矩陣。具有多行多列之所述矩陣包括具有與第一狀態或第二狀態對應之值之元素以及具有值與第一狀態對應之兩個元素之列。所述兩個元素中之一個是對應於與所述列關聯之奇偶校驗位元之奇偶校驗元素。與所述奇偶校驗元素在所述矩陣中之同一行中之其它元素具有與所述第二狀態對應之值。所述處理電路可被配置成基於所述矩陣來實現錯誤更正。

【0006】在一個實施方式中，所述處理電路還可被配置成透過基於所述矩陣用資料單元生成所述奇偶校驗位元之集合來實現錯誤更正，並且將所述資料單元編碼成包括所述資料單元和所述奇偶校驗位元之集合之碼字。在另一個實施方式中，所述處理電路還被配置成接收包括資料單元和所述奇偶校驗位元之集合之碼字，並且透過基於所述矩陣對所述碼字進行解碼來實現錯誤更正並且生成解碼後之資料單元。

【0007】在一個實施方式中，所述矩陣用於准循環低密度奇偶校驗（quasi-cyclic low density parity check，QC-LDPC）碼以形成奇偶校驗矩陣（parity check matrix，PCM），並且所述矩陣是稀疏的，所述矩陣包括比具有與所述第二狀態對應之值之元素少的具有與所述第一狀態對應之值之元素。

【0008】在一些示例中，所述處理電路還被配置成生成移位係數表，並且利用該矩陣形成具有元素 0 和 1 之奇偶校驗矩陣，其中，形成該奇偶校驗矩陣之步驟透過下列步驟實施：用

依據來自基於提升因數之大小之標識矩陣之移位係數表進行行移位之准循環（QC）矩陣取代具有與該第一狀態對應之值之每個元素，以及用與該標識矩陣具有相同大小之零矩陣取代具有與該第二狀態對應之值之每個元素。另外，所述處理電路被配置成基於所述 PCM 使用 LDPC 碼進行編碼或解碼。

【0009】在一個實施方式中，所述矩陣還包括第二列，並且所述矩陣包括具有所述第二列之子矩陣和具有所述列之擴展矩陣。

【0010】在一個示例中，所述記憶體是非揮發性記憶體。

【0011】在一個實施方式中，所述矩陣是 LDPC 碼中使用之奇偶校驗矩陣，並且具有與所述第一狀態對應之值之元素是 1 而具有與所述第二狀態對應之值之元素是 0。

【0012】本發明各方面提供了一種包括處理電路和記憶體之裝置。所述處理電路可被配置成生成並發送包括資料單元和用於錯誤更正之奇偶校驗位元之第一集合之數位信號。所述處理電路還可被配置成基於錯誤更正指令，用所述資料單元和/或所述奇偶校驗位元之第一集合來生成並發送與位元子集之重新傳輸對應之奇偶校驗位元之第二集合。所述記憶體被配置成存儲所述錯誤更正指令。

【0013】在一個實施方式中，所述錯誤更正指令包括將所述數位信號中之所述位元子集重新傳輸之特性。在另一個實施方式中，所述錯誤更正指令還可以包括具有值與第一狀態或第二狀態對應之元素和具有值與所述第一狀態對應之兩個元素之列之矩陣。所述處理電路還被配置成依據所述矩陣生成所述

奇偶校驗位元之第二集合。

【0014】本發明各方面提供了一種方法，該方法包括存儲用於錯誤更正並且與奇偶校驗位元之集合關聯之矩陣並且基於所述矩陣對數位信號進行編碼/解碼。具有多行多列之所述矩陣包括具有與第一狀態或第二狀態對應之值之元素以及具有值與第一狀態對應之兩個元素之列。所述兩個元素中之一個是對應於與所述列關聯之奇偶校驗位元之奇偶校驗元素。另外，與所述奇偶校驗元素在同一行中之其它元素具有與所述第二狀態對應之值。

【0015】在一個實施方式中，所述數位信號是具有資訊位元之集合之資料單元，並且透過基於所述矩陣用所述資料單元生成所述奇偶校驗位元之集合來實現對所述數位信號之編碼，以形成包括所述資料單元和所述奇偶校驗位元之集合之碼字。

【0016】在一個實施方式中，所述方法還包括接收包括資料單元和所述奇偶校驗位元之集合之數位信號，並且透過基於所述矩陣進行解碼來實現對所述數位信號進行解碼，以生成解碼後之資料單元。

【0017】在一個實施方式中，所述矩陣用於 LDPC 碼以生成奇偶校驗矩陣，並且所述矩陣是稀疏的，所述矩陣包括比具有與所述第二狀態對應之值之元素少的具有與所述第一狀態對應之值之元素。

【0018】本發明各方面提供了一種方法，該方法包括生成並發送包括資料單元和用於錯誤更正之奇偶校驗位元之第一

集合之數位信號。所述方法還包括基於錯誤更正指令，用所述資料單元和/或所述奇偶校驗位元之第一集合來生成並發送與位元子集之重新傳輸對應之奇偶校驗位元之第二集合。另外，所述方法包括存儲所述錯誤更正指令。

【圖式簡單說明】

【0019】

下面參照下列圖，對提出作為示例之本發明各種實施例進行詳細描述，其中，相同數字表示相同部件，並且其中：

第 1 圖示出了依據本發明實施方式之示例性通信系統 100 之框圖；

第 2A 圖示出了依據本發明實施方式之示例性第一碼字 201；

第 2B 圖示出了依據本發明實施方式之示例性第二碼字 215；

第 2C 圖示出了依據本發明實施方式之示例性基矩陣 220 和示例性移位係數表 230；

第 2D 圖示出了依據本發明之方面之示例性第二基矩陣 240；

第 2E 圖示出了依據本發明之方面之示例性擴展基矩陣 242；

第 2F 圖示出了依據本發明之方面之示例性列 250；

第 3 圖示出了依據本發明實施方式之示例性基帶處理電路 320 之框圖；

第 4 圖示出了依據本發明實施方式之示例性基帶處理電路

470 之框圖；

第 5 圖示出了依據本發明實施方式之示例性進程 500 之流程圖；以及

第 6 圖示出了依據本發明實施方式之示例性進程 600 之流程圖。

【實施方式】

【0020】改錯碼可以用於無線通訊，以提供可靠之通信。准循環低密度奇偶校驗（quasi-cyclic low density parity check，QC-LDPC）碼是用於進一步提高性能之改錯碼之一。QC-LDPC 碼可以以稀疏之基矩陣為基礎。具有資訊位元集合之資料單元可以透過基於基矩陣用資料單元生成奇偶校驗位元之第一集合進行編碼，從而形成包括資料單元和奇偶校驗位元之第一集合之第一碼字。第一碼字可以具有與基矩陣對應之碼率（code rate，CR）。CR 可以表徵改錯碼之冗餘。在一個示例中，較低之 CR 對應於較高之冗餘度並且提供更可靠之錯誤更正。可以透過擴展基矩陣以包括更多之行和列並由此生成具有較低 CR 之第二碼字來獲得較低之 CR。然而，擴展基矩陣以包括更多行和列也會增加解碼之複雜度和延遲，而附加之編碼增益是有限的。依據本發明各方面，可以使用權重 2 列擴展（weight-2 row extension）方法來擴展基矩陣並且減小 CR，而不增加解碼複雜度和延遲。基於權重 2 列擴展方法生成之第二碼字可以包括第一碼字和奇偶校驗位元之第二集合。在一個示例中，權重 2 列擴展可以用於第五代移動網路技術（5G）超可靠和低延遲通信（ultra-reliable and low latency

communication, URLLC) 中之 QC-LDPC。依據本發明各方面，也可以透過傳輸第一碼字和第一碼字之子集來生成具有較低 CR 之第二碼字，因此第二碼字可以包括第一碼字以及與第一碼字之子集對應之奇偶校驗位元之第二集合。

【0021】第 1 圖示出了依據本發明實施方式之示例性通信系統 100 之框圖。通信系統 100 包括進行無線通訊之第一電子裝置 110 和第二電子裝置 160。第一電子裝置 110 和第二電子裝置 160 被配置成發送承載具有資訊位元集合之數位資料之無線信號。在一個實施方式中，基於具有權重 2 列擴展之基矩陣，使用 QC-LDPC 碼對數位資料進行編碼。在另一個實施方式中，基於具有權重 2 列擴展之奇偶校驗矩陣(PCM)，使用 LDPC 碼對數位資料進行編碼。在一個實施方式中，可以基於編碼方法用數位資料來生成奇偶校驗位元之第一集合。另外，可以重新傳輸數位資料之子集和奇偶校驗位元之第一集合。因此，碼字可以包括數位資料、奇偶校驗位元之第一集合以及與被重新傳輸之數位資料之子集和奇偶校驗位元之第一集合對應之奇偶校驗位元之第二集合。

【0022】通信系統 100 可以是使用諸如第二代 (second generation, 2G) 移動網路技術、第三代 (third generation, 3G) 移動網路技術、第四代 (fourth generation, 4G) 移動網路技術、5G、全球移動通信系統 (global system for mobile communication, GSM)、長期演進 (long-term evolution, LTE)、新無線電 (New Radio, NR) 接入技術、無線局域網 (wireless local area network, WLAN) 等之合適無線通訊技術之任何合

適之無線通訊系統。

【0023】在一個示例中，第一電子裝置 110 和第二電子裝置 160 中之一個是電信服務供應商中之介面節點，並且另一個電子裝置是終端裝置。例如，第一電子裝置 110 是介面節點，並且第二電子裝置 160 是終端裝置，或者第一電子裝置 110 是終端裝置，並且第二電子裝置 160 是介面節點。在另一個示例中，第一電子裝置 110 可以是終端裝置，並且第二電子裝置 160 也可以是終端裝置，諸如兩輛車之間之裝置對裝置通信。

【0024】在一個示例中，諸如基地收發台、節點 B、演進節點 B (evolved Node B, eNB)、下一代節點 B (next generation Node B, gNB) 等之介面節點包括硬體元件和軟體元件，這些硬體元件和軟體元件被配置成使得介面節點和已經訂購了電信服務供應商之服務之電子裝置之間能夠進行無線通訊。介面節點適當地與諸如電信服務供應商之核心節點、其它介面節點等之其它節點耦接。

【0025】在一個示例中，終端裝置是諸如蜂窩電話、智慧型電話、平板電腦、膝上型電腦、可穿戴裝置等之供終端使用者用於移動電信之使用者裝置。在另一個示例中，終端裝置是諸如臺式電腦之固定裝置。在另一個示例中，終端裝置是諸如無線感測器、物聯網 (Internet of things, IoT) 裝置等之機器型通信 (machine type communication, MTC) 裝置。例如，終端裝置是在大規模 MTC (massive MTC, mMTC) 中使用之 MTC 裝置。在另一個示例中，終端裝置是用於遠端手術、智慧交通、工業自動化等之 URLLC 裝置。 在一些示例中，第一電子裝置

110 需要向第二電子裝置 160 傳輸資料單元，例如具有資訊位元集合之碼塊。第一電子裝置 110 對資料單元進行編碼，以生成包括資料單元和奇偶校驗位元集合之碼字。奇偶校驗位元集合承載用於錯誤更正之冗餘資訊。依據本發明各方面，可基於具有多權重 2 列之基矩陣來生成碼字。在一個實施方式中，具有多行多列之基矩陣可以包括具有與第一狀態或第二狀態對應之值之元素以及具有值與第一狀態對應之兩個元素之權重 2 列。兩個元素中之一個可以是對應於與權重 2 列關聯之奇偶校驗位元之奇偶校驗元素，並且與奇偶校驗元素在同一行中之其它元素具有與第二狀態對應之值。在一個實施方式中，與第一狀態對應之值可以是 1，並且與第二狀態對應之值可以是 0。例如，基矩陣具有元素 0 和 1，其中，元素 1 是稀疏的。在包括奇偶校驗元素之每個權重 2 列中存在兩個非零元素。在一個示例中，碼字中之奇偶校驗位元集合可包括奇偶校驗位元之第一集合和奇偶校驗位元之第二集合。可基於基矩陣之權重 2 列來生成奇偶校驗位元之第二集合。

【0026】第 2A 圖示出了依據本發明實施方式之示例性第一碼字 201。具有資訊位元集合之資料單元 202 被編碼，以透過添加冗餘（奇偶校驗位元之第一集合 203）來生成第一碼字 201。具有 n_1 位元之第一碼字 201 包括位元長度 k 之資料單元 202 和位元長度 $(n_1 - k)$ 之奇偶校驗位元之第一集合 203，其中， n_1 和 k 是正整數，並且 n_1 大於 k 。第一碼字 201 之位元是 v_i ，其中， $i = 1, 2, \dots, n_1$ 。在一個實施方式中，當 $i = 1, 2, \dots, k$ 時，位元 v_i 是資訊位元，並且當 $i = k+1, 2, \dots, n_1$ 時，位元 v_i

是奇偶校驗位元。在一個示例中，CR 是資訊位元集合之位元長度與碼字之位長度之比率，因此第一碼字 201 之第一 CR 是位元長度 k 與位元長度 n_1 之比率。

【0027】在一個實施方式中，可用被稱為校驗節點方程之 (n_1-k) 方程來生成具有 (n_1-k) 位元長度之奇偶校驗位元之第一集合 203。每個校驗節點方程指定奇偶校驗位元之第一集合 203 中之子集和資料單元 202 之子集之間之關係。在一個實施方式中，基於具有 (n_1-k) 列 n_1 行之元素 0 和 1 之低密度奇偶校驗 (low-density parity check, LDPC) 碼，透過稀疏之稀疏 PCM 來描述 (n_1-k) 方程。行 i 對應於位元 v_i ，行 i 或位元 v_i 被稱為可變節點 v_i ，其中， $i = 1, 2, \dots, n_1$ 。列 m 被稱為與校驗節點方程 m 關聯之校驗節點 c_m ，其中， $m = 1, 2, \dots, (n_1-k)$ 。在一個示例中，列 m 之校驗節點方程指定列 m 中之可變節點 v_i (其中， $i = 1, 2, \dots, n_1$) 之總和是模數 2、0，如下式所描述：

$$\sum_{i=1}^{n_1} v_i = v_1 + v_2 + \dots + v_{n_1} = 0 \quad \text{方程式 (1)}$$

【0028】一般來說，當 PCM 之元素 (x,y) 是 1 時，校驗節點 c_x 和可變節點 v_y 彼此相關。當 PCM 之元素 (x,y) 是 0 時，校驗節點 c_x 和可變節點 v_y 彼此不相關。一般來說，校驗節點可與多個可變節點相關。可變節點可與一個或多個校驗節點相關。因此，PCM 可指定校驗節點和可變節點之關係，因此，PCM 可用於 LDPC 碼中之編碼和解碼。

【0029】在一個實施方式中，具有 n_1 行之 PCM 可生成具有位元長度 n_1 之碼字。在一些示例中，使用具有多個位元長度之碼字。例如，在 5G 移動和無線通訊中，碼字可具有從 40

至 4000 之位元長度，因此需要生成大量之不同 PCM。因此，使用用範本構建之特定類別之 LDPC 碼，該範本被稱為原型圖 (protograph)，並且特定類別之 LDPC 碼被稱為原型圖 LDPC 碼。原型圖用作構建不同尺寸 PCM 之藍圖。可基於提升因數 (Z) 來生成原型圖 LDPC 碼，並且提升因數可用於指示原型圖之尺寸。

【0030】在一個實施方式中，可使用 QC-LDPC 碼、原型圖 LDPC 碼之子類別。可由基矩陣 (範本) 以及一個或多個移位係數表 (shift-coefficient table) 來構建 QC-LDPC 碼。第 2C 圖示出依據本發明實施方式之示例性基矩陣 220 和示例性移位係數表 230。在一個示例中，基矩陣 220 是二進位值之相對小矩陣。基矩陣 220 中之每個元素被稱為邊。邊之二進位“1”指示可在邊處構建准循環 (quasi-cyclic, QC) 矩陣，以形成 PCM，並且邊之二進位“0”指示可在邊處構建零值矩陣，以形成 PCM。QC-LDPC 碼以 PCM 為基礎。

【0031】移位係數表 230 包括基矩陣 220 中之邊之行移位值，以用例如標識矩陣來構建 QC 矩陣。例如，當移位係數表包括針對基矩陣 220 中之邊之諸如標示 232 所示之“0”時，則可透過標識矩陣中之循環移位行乘“0”行來構建用於該邊之 QC 矩陣。類似地，當移位係數表包括針對基矩陣 220 中之邊之諸如標示 231 所示之“7”時，則可透過標識矩陣中之循環移位行乘“7”行來構建用於該邊之 QC 矩陣。

【0032】QC 矩陣之尺寸是提升因數。例如，提升因數可以是 8、16、24、32、48、64、96、128、192、256、384 等。在

第 2C 圖中，提升因數是 8，並且標識矩陣和每個 QC 矩陣之大小是 8 乘 8。可基於碼字之位元長度來調節提升因數。

【0033】可基於基矩陣 220 和移位係數表 230 來生成 PCM。參照第 2C 圖，基矩陣 220 和移位係數表 230 可被配置以生成具有 32 列 64 行之元素 0 和 1 之 PCM。注意，基矩陣 220 和 PCM 具有同一 CR。第一電子裝置 110 和第二電子裝置 160 可使用基矩陣 220 基於多個提升因數和相應之移位係數表來生成多個 PCM，因此，可使用一個基矩陣來生成各種位元長度之碼字。

【0034】在進行無線通訊期間，第一碼字 201 會由於例如通信通道之雜訊而失真，因此接收到之碼字可與第一碼字 201 不同。可採用解碼方法來恢復第一碼字 201，例如基於生成第一碼字 201 之 PCM。在一個實施方式中，可使用諸如消息傳遞型演算法之反覆運算方法對第一碼字 201 進行解碼。例如，反覆運算方法可包括和積（Sum-Product）演算法、偏移最小和（Offset Min-Sum）演算法等。在一個實施方式中，可從沒有被解碼之接收碼字獲得與可變節點 v_i 關聯之初始統計估計。在一個示例中，初始統計估計是基於例如接收信號、通信通道雜訊特性等與可變節點 v_i 關聯之對數似然比（log likelihood ratio，LLR）。例如，LLR 之初始統計估計也被稱為與可變節點 v_i 關聯之先驗 LLR。隨後，可基於例如初始統計估計和兩種類型之反覆運算操作，透過諸如消息傳遞型演算法之反覆運算方法來反覆運算地生成統計估計之一系列更新，直到解碼後之碼字滿足校驗節點方程，或者反覆運算方法耗盡。

【0035】這兩種類型之反覆運算操作是校驗節點（`check node`，`CN`）操作和可變節點（`variable node`，`VN`）操作。一般來說，基於具有 (n_1-k) 列 n_1 行之PCM，針對 (n_1-k) 個校驗節點和 n_1 個可變節點來反覆運算地執行CN操作和VN操作。在一個實施方式中，隨著校驗節點之數目（即，PCM之列數）和PCM中之非零元素數目增大，解碼複雜度增大。

【0036】在諸如URLLC之某些應用中，即使在通信通道有雜訊時，也需要較低之CR來提供超可靠之通信。例如，對於某些增強型移動寬頻（`enhanced mobile broadband`，`eMBB`）應用， $1/3$ 至 $1/5$ 之CR可以是足夠的，然而對於某些URLLC應用，會需要低得多之CR（例如，低於 $1/10$ 之CR）。為了減小CR，透過增加奇偶校驗位元之數目來增加冗餘度，從而增加PCM中之列數。因此，透過增加通信之解碼複雜度和延遲來實現更可靠之通信。另外，將PCM直接擴展到非常低之CR可減小編碼增益。依據本發明各方面，可透過向QC-LDPC碼中使用之基矩陣添加多個權重2列來擴展基矩陣，從而在不增加解碼複雜度和延遲之情況下減小CR，因此實現可靠和低延遲之通信。另外，當基矩陣被擴展時，基於基矩陣生成之相應PCM也被擴展。

【0037】第2D圖示出了依據本發明一個方面之示例性第二基矩陣240。第二基矩陣240包括第一基矩陣241和擴展基矩陣242。擴展基矩陣242之每行可以是權重2列。第二基矩陣240還包括具有元素0之附加矩陣243。在一個實施方式中，第一基矩陣241是具有第一CR之QC-LDPC中使用之基矩陣。

為了獲得比第一 CR 小之第二 CR，可向第一基矩陣 241 添加擴展基矩陣 242，以獲得第二基矩陣 240。在一個示例中，第一基矩陣 241 可以是 5G NR LDPC 碼中使用之基圖 2 (base graph 2, BG2)。例如，BG2 可包括 42 列 52 行。在另一個示例中，第一基矩陣 241 可以是 5G NR LDPC 碼中使用之基圖 1 (base graph 1, BG1)。例如，BG1 可包括 46 列 68 行。

【0038】在一個實施方式中，可使用第一基矩陣 241、移位係數表和提升因數 Z 來生成具有 (n_1-k) 列 n_1 行之第一 PCM。第一 PCM 可具有第一 CR k/n_1 。在一個示例中，使用第一 PCM 和資料單元 202 來生成奇偶校驗位元之第一集合 203 中之 (n_1-k) 個奇偶校驗位元，從而形成具有資料單元 202 和奇偶校驗位元之第一集合 203 之第一碼字 201。類似地，可使用第二基矩陣 240、移位係數表和提升因數 Z 來生成具有 (n_2-k) 列 n_2 行之第二 PCM，其中， n_2 大於 n_1 。第二 PCM 可具有第二 CR k/n_2 。注意，第二 PCM 包括第一 PCM 和用擴展矩陣 242 生成之擴展 PCM。在一個示例中，使用第二 PCM 來生成第二碼字 215，其中，第二碼字 215 包括資料單元 202 中之 k 個資訊位元、奇偶校驗位元之第三集合 213 中之 (n_1-k) 個奇偶校驗位元和奇偶校驗位元之第二集合 214 中之 (n_2-n_1) 個奇偶校驗位元。奇偶校驗位元之第二集合 214 對應於擴展 PCM。

【0039】如上所述，可用第一基矩陣 241 或第一 PCM 來獲得第一 CR k/n_1 。類似地，可用第二基矩陣 240 或第二 PCM 來獲得第二 CR k/n_2 。注意，可用基矩陣或 PCM 之各種子矩陣來獲得多個 CR。例如，當第一基矩陣 241 是包括 46 列 68 行之

BG1 時，可用 BG1 之子矩陣來獲得多個 CR，例如，導致 CR 為 $8/9$ 、 $2/3$ 、 $1/2$ 和 $1/3$ 。注意，可用 BG1 來獲得最低 CR $1/3$ 。在一個實施方式中，擴展基矩陣或 PCM 可減小基於基矩陣或 PCM 而獲得之最低 CR。

【0040】第 2E 圖示出了依據本發明之方面之示例性擴展基矩陣 242。存在兩個與擴展基矩陣 242 關聯之特徵。首先，在擴展基矩陣 242 之每列中有兩個非零之邊。在一個實施方式中，一個非零邊對應於奇偶校驗位元之第二集合 214，並且被稱為奇偶校驗邊。在一個示例中，另一個非零邊對應於資訊位元。其次，每個奇偶校驗邊位於擴展基矩陣 242 中之不同行中。在一個示例中，奇偶校驗邊形成如第 2E 圖中示出之標識矩陣 244 之對角線。

【0041】還存在兩個與擴展 PCM 關聯之特徵。首先，在擴展 PCM 之每列中有兩個包括奇偶校驗元素之非零元素。在一個實施方式中，另一個非零元素對應於資訊位元。奇偶校驗元素對應於奇偶校驗位元之第二集合 214 中之奇偶校驗位元。其次，每個奇偶校驗元素位於擴展 PCM 中之不同行中。在一個示例中，奇偶校驗元素形成標識矩陣之對角線。

【0042】第 2F 圖示出了依據本發明之方面之示例性列 250。在一個示例中，列 250 可以是擴展 PCM 中之列 m ，並且兩個非零元素 (m,i) 和 (m,j) 分別對應於可變節點 v_i 和可變節點 v_j 。在一個實施方式中，可變節點 v_i 對應於資訊位元 v_i ，可變節點 v_j 對應於奇偶校驗位元之第二集合 214 中之奇偶校驗位元 v_j 。在一個示例中，列 m 之校驗節點方程指定可變節點 v_i 和

v_j 之總和是模數 2、0，如下式所描述：

$$\sum_{k=1}^{n2} v_k = v_i + v_j = 0 \quad \text{方程式 (2)}$$

因此，奇偶校驗位元 v_j 等於可變節點 v_i ，即， $v_i = v_j$ 。因此，可使用擴展 PCM、資料單元 202 和奇偶校驗位元之第三集合 213 來生成奇偶校驗位元之第二集合 214。另外，因為與第二 PCM 關聯之兩個特徵，所以奇偶校驗位元之第三集合 213 與奇偶校驗位元之第一集合 203 相同。

【0043】一般來說，諸如方程式 (2) 之用於權重 2 列之校驗節點方程包括兩個可變節點，而諸如方程式 (1) 之用於具有多於兩個非零元素之列之另一個校驗節點方程包括多於兩個可變節點。如下所述，可向基矩陣添加權重 2 列，以在增加解碼複雜度和延遲之情況下使 CR 減小，從而實現可靠和低延遲之通信。

【0044】依據本發明之各方面，可實施兩個編碼步驟來生成第二碼字 215。首先，可使用第一 PCM、第二 PCM 之子矩陣和資料單元 202 來生成奇偶校驗位元之第一集合 203（或奇偶校驗位元之第三集合 213）。其次，可使用擴展 PCM、具有權重 2 列之第二 PCM 之子矩陣和第一碼字 201 來生成奇偶校驗位元之第二集合 214。在一個實施方式中，可使用擴展 PCM 和資料單元 202 來生成奇偶校驗位元之第二集合 214。

【0045】參照第 2B 圖，第二碼字 215 包括第一碼字 201 和奇偶校驗位元之第二集合 214。另選地，第二碼字 215 包括資料單元 202、奇偶校驗位元之第一集合 203 和奇偶校驗位元之第二集合 214。依據本發明各方面，為了減小第一碼字 201 之

第一 CR，可實現第一碼字 201 之位元子集之重新傳輸。可依據存儲在例如記憶體 112 中之錯誤更正指令來確定正被重新傳輸之第一碼字 201 中之位元子集。在一個實施方式中，正被重新傳輸之第一碼字 201 中之位元子集可以是奇偶校驗位元之第二集合 214。在一個示例中，第一碼字 201 中之位元子集可包括資料單元 202 和奇偶校驗位元之第一集合 203 中之位元。在另一個示例中，第一碼字 201 中之位元子集可包括資料單元 202 中之位元。在一個示例中，發送第一碼字 201，然後發送第一碼字 201 中之位元子集。在另一個示例中，可發送第一碼字 201 中之位元子集，然後發送第一碼字 201。注意，可依據應用來適當調節正在發送之第二碼字 215 中之位元序列。

【0046】參照第 2E 圖-第 2F 圖，可變節點 v_j 與可變節點 v_i 和列 m 相關。可變節點 v_j 與其它可變節點和列不相關，因為第二 PCM 中之行 j 中之其它元素是零。因此，基於第二 PCM 對接收到之第二碼字 215 進行解碼可以類似於基於第一 PCM 對接收到之第一碼字 201 進行解碼。在一個實施方式中，與列 m 相關之 CN 操作是基於與可變節點 v_j 關聯之初始統計估計的，並且因為與擴展 PCM 關聯之兩個特徵而不進行反覆運算。因此，與第二 PCM 中之擴展 PCM 或列 n_1+1 至 n_2 （以及奇偶校驗位元之第二集合 214 中之奇偶校驗位元）相關之 CN 操作不進行反覆運算。另外，與第二 PCM 之列 1 至 n_1 相關之 CN 操作之複雜度不受擴展 PCM 之影響。因此，基於第二 PCM 之 CN 操作具有與基於第一 PCM 之 CN 操作之複雜度相似之解碼複雜度。

【0047】由於可變節點 v_j 與其它列和可變節點不相關，因此不存在基於列 m 和可變節點 v_j 之 VN 操作。因此，不存在針對與奇偶校驗位元之第二集合 214 關聯之可變節點之 VN 操作。可透過將與可變節點 v_j 關聯之初始統計估計包括在可變節點 v_i 之初始統計估計中來將列 m 對與可變節點 v_i 關聯之 VN 操作之影響考慮在內。在一個示例中，可例如使用第 4 圖中之 LDPC 解碼器 484 中之硬體元件來獲得可變節點 v_i 和 v_j 之初始統計估計之總和。另外，該總和可取代相應 VN 操作中之可變節點 v_i 之初始統計估計。因此，基於列 1 至 n_1 之 VN 操作具有與基於第一 PCM 之 VN 操作相似之解碼複雜度。因此，基於第二 PCM 之列 1 至 n_1 之 CN 和 VN 操作具有與基於第一 PCM 之 CN 和 VN 操作相似之解碼複雜度。另外，與第二 PCM 之列 n_1+1 至 n_2 相關之 CN 操作不反覆運算，並且不存在與第二 PCM 之列 n_1+1 至 n_2 相關之 VN 操作。因此，與第二 PCM 或第二基矩陣 240 相關之解碼複雜度保持與基於第一 PCM 或第一基矩陣 241 之解碼複雜度相似。

【0048】在一個實施方式中，與可變節點 v_j 關聯之初始統計估計和與列 m 相關之 CN 操作相同。因此，當實現了與對應於奇偶校驗位元之第二集合 215 之可變節點關聯之初始統計估計時，可省略與擴展 PCM 或第二 PCM 中之列 n_1+1 至 n_2 相關之 CN 操作。

【0049】再來參照第 1 圖之示例，傳輸 151 傳輸承載第二碼字 215 之無線信號。第二電子裝置 160 接收與第二碼字 215 對應之無線信號。由於例如雜訊、信號失真、干擾等，導致接

收到之無線信號會遭到破壞。第二電子裝置 160 對接收到之信號進行解碼，並且基於第二基矩陣 240 或第二 PCM 來執行錯誤更正。

【0050】在第 1 圖之示例中，第一電子裝置 110 發送第二碼字 215，第二電子裝置 160 接收第二碼字 215。注意，在該示例中，用相同或相似之方式，可將第二電子裝置 160 配置成發送碼字並且可將第一電子裝置 110 配置成接收碼字。

【0051】具體地，在第 1 圖之示例中，第一電子裝置 110 包括耦接在一起之第一收發器 113 和第一基帶處理電路 120。第一電子裝置 110 包括諸如處理器 111、記憶體 112 等其它合適之元件。記憶體 112 可存儲具有多個權重 2 列之基矩陣 118。在一個示例中，基矩陣 118 是包括第一基矩陣 241 和擴展基矩陣 242 之第二基矩陣 240。在另一個實施方式中，記憶體 112 可被配置成存儲諸如具有多個權重 2 列之編碼基矩陣、具有多個權重 2 列之解碼基矩陣等之多個基矩陣。在另一個實施方式中，記憶體 112 可被配置成存儲用於編碼和解碼之具有多個權重 2 列之基矩陣。在另一個示例中，用於不同應用之具有多個權重 2 列之多個基矩陣可被存儲在記憶體 112 中。在一個實施方式中，記憶體 112 可存儲用於確定正被重新傳輸之第一碼字 201 之位元子集之錯誤更正指令。在第 1 圖之示例中，這些元件透過匯流排架構耦接在一起。注意，可使用其它合適之互連技術。

【0052】第二電子裝置 160 包括耦接在一起之第二收發器 163 和第二基帶處理電路 170。第二電子裝置 160 包括諸如處

理器 161、記憶體 162 等其它合適之元件。記憶體 162 可存儲具有多個權重 2 列之基矩陣 168。在一個示例中，基矩陣 168 是包括第一基矩陣 241 和擴展基矩陣 242 之第二基矩陣 240。在另一個實施方式中，記憶體 162 可被配置成存儲諸如具有多個權重 2 列之編碼基矩陣、具有多個權重 2 列之解碼基矩陣等之多個基矩陣。在另一個實施方式中，記憶體 162 可被配置成存儲用於編碼和解碼之具有多個權重 2 列之基矩陣。在另一個示例中，用於不同應用之具有多個權重 2 列之多個基矩陣可被存儲在記憶體 162 中。在一個實施方式中，記憶體 162 可存儲用於確定正被重新傳輸之第一碼字 201 之位元子集之錯誤更正指令。在第 1 圖之示例中，這些元件透過匯流排架構耦接在一起。注意，可使用其它合適之互連技術。

【0053】記憶體 112 和記憶體 162 可以用於存儲資料之任何合適之裝置。在一個實施方式中，記憶體 112 和記憶體 162 可以是諸如唯讀記憶體、快閃記憶體、磁性電腦存儲裝置、硬碟驅動器、固態硬碟、軟碟和磁帶、光碟等非揮發性記憶體。在一個實施方式中，記憶體 112 和記憶體 162 可以是隨機存取記憶體 (random access memory, RAM)。在一個實施方式中，記憶體 112 和記憶體 162 可包括非揮發性記憶體和揮發性記憶體。

【0054】另外，在該示例中，第一基帶處理電路 120 包括耦接在一起之發送處理電路 130、接收處理電路 145 和控制電路 140。發送處理電路 130 包括基於具有權重 2 列之基矩陣 118 之 LDPC 編碼器 133。在一個實施方式中，LDPC 編碼器 133

可被配置成使用用基矩陣 118、提升因數和移位係數表生成之 PCM 進行編碼。例如，PCM 是包括具有兩個非零元素之列之擴展 PCM 之第二 PCM。

【0055】第二基帶處理電路 170 包括耦接在一起之接收處理電路 180、發送處理電路 195 和控制電路 190。接收處理電路 180 包括 LDPC 解碼器 184。在一個實施方式中，LDPC 解碼器 184 是基於具有權重 2 列之基矩陣 168。在一個實施方式中，LDPC 解碼器 184 可被配置成使用用基矩陣 168 生成之 PCM 進行解碼。例如，PCM 是包括具有兩個非零元素之列之擴展 PCM 之第二 PCM。在一個實施方式中，LDPC 解碼器 184 是基於錯誤更正指令的。

【0056】第一收發器 113 被配置成接收和發送無線信號。在一個示例中，第一收發器 113 包括接收電路 RX 116 和發送電路 TX 115。接收電路 RX 116 被配置成響應於天線 114 所捕獲之電磁波而生成電信號，並且對電信號進行處理，以從電信號中提取數位樣本。例如，接收電路 RX 116 可對電信號進行濾波、放大、下變頻和數位化，以生成數位樣本。接收電路 RX 116 可將數位樣本提供給第一基帶處理電路 120，以進行進一步處理。

【0057】在一個示例中，發送電路 TX 115 被配置成從第一基帶處理電路 120 接收數位流（例如，輸出樣本），對數位流進行處理以生成射頻（RF）信號，並且使天線 114 在空中發射電磁波，以承載數字流。在一個示例中，發送電路 TX 115 可將數位流轉換為類比信號，並且對類比信號進行放大、濾波和

上變頻，以生成 RF 信號。

【0058】 在一些實施方式中，發送處理電路 130 被配置成接收傳輸塊（例如，封包），並且生成與傳輸塊對應之數位流。在一個示例中，處理器 111 執行軟體指令，以形成協定堆疊之上層（例如，資料連結層、網路層、傳輸層、應用層等），並且處理器 111 生成遵循協定堆疊之傳輸塊。在一個示例中，協定堆疊之上層之底部是資料連結層，資料連結層輸出傳輸塊，並且處理器 111 將傳輸塊提供給第一基帶處理電路 120。在一個示例中，第一基帶處理電路 120 形成用於協定堆疊之實體層。發送處理電路 130 接收傳輸塊並且對傳輸塊進行處理，以生成數位流，並且將數位流提供給發送電路 TX115，以進行傳送。

【0059】 接收處理電路 145 被配置成從接收電路 116 接收數位樣本，並且對接收到之數位樣本進行處理。

【0060】 在一個示例中，發送處理電路 130 將傳輸塊分割成多個碼塊。然後，發送處理電路 130 依據合適之編碼和調製方案對碼塊進行處理。例如，可使用諸如錯誤檢測編碼技術、速率匹配編碼技術、LDPC 編碼技術、極化編碼技術等合適之通道編碼技術對碼塊進行編碼。在一個示例中，發送處理電路 130 包括基於基矩陣 118 之 LDPC 編碼器 133。在一個示例中，基矩陣 118 是第二基矩陣 240，並且可用第二基矩陣 240 來生成包括權重 2 列之第二 PCM。經處理之碼塊被適當地調製和多工，以生成數位流。例如，可使用諸如正交相移鍵控（quadrature phase shift keying，QPSK）、正交幅度調製（quadrature

amplitude modulation, QAM)、16QAM、64QAM、256QAM 等合適之調製技術來調製碼塊，並且可使用諸如分頻多工 (frequency-division multiplexing, FDM)、分時多工 (time-division multiplexing, TDM)、FDM 和 TDM 之組合等合適之多工技術對碼塊進行多工。

【0061】在一個示例中，由控制電路 140 基於碼字之位元長度來生成提升因數 Z 。隨後，由控制電路 140 基於提升因數 Z 和諸如第二基矩陣 240 之基矩陣 118 來生成移位係數表。

【0062】類似地，第二收發器 133 被配置成接收和發送無線信號。在一個示例中，第二收發器 133 包括接收電路 RX 166 和發送電路 TX 165。接收電路 RX 166 被配置成響應於天線 164 所捕獲之電磁波而生成電信號，並且對電信號進行處理，以從電信號中提取數位樣本。例如，接收電路 RX 166 可對電信號進行濾波、放大、下變頻和數位化，以生成數位樣本。接收電路 RX 166 可將數位樣本提供給第二基帶處理電路 170，以進行進一步處理。

【0063】在一個示例中，發送電路 TX 165 被配置成從第二基帶處理電路 170 接收數位流（例如，輸出樣本），對數位流進行處理以生成射頻（RF）信號，並且使天線 164 在空中發射電磁波，以承載數字流。在一個示例中，發送電路 TX 165 可將數位流轉換為類比信號，並且對類比信號進行放大、濾波和上變頻，以生成 RF 信號。

【0064】在第 1 圖之示例中，第二基帶處理電路 170 被配置成接收並處理從接收電路 RX 166 接收之數位樣本，並且將

數位流提供給發送電路 TX 165。在一個實施方式中，在第二基帶處理電路 170 中，接收處理電路 180 被配置成接收數位樣本，對數位樣本進行處理以生成解碼資料單元，並且將解碼資料單元提供給處理器 161，以進行進一步處理。在一個示例中，處理器 161 執行軟體指令，以形成協定堆疊之上層，並且處理器 161 可遵循協定堆疊對解碼後之資料單元進行處理。在一個示例中，第二基帶處理電路 170 形成協定堆疊之實體層，由處理器 161 形成之上層之底部是資料連結層。實體層可按傳輸塊之形式輸出資料單元，並且將傳輸塊提供給資料連結層，以進行進一步處理。

【0065】在一個實施方式中，接收處理電路 180 接收傳輸之數位樣本，對數位樣本進行解多工和解調以生成接收到之碼塊，並且對接收到之碼塊進行解碼。在一個實施方式中，基於基矩陣 168 之 LDPC 解碼器 184 被配置成對接收到之碼塊進行解碼。在一個示例中，LDPC 解碼器 184 可被配置成使用用諸如第二基矩陣 240 之基矩陣 168 生成之 PCM。因此，PCM 是包括具有兩個非零元素之列之擴展 PCM 之第二 PCM。在一個示例中，存儲在記憶體 162 中之基矩陣 168 與存儲在記憶體 112 中之基矩陣 118 相同。在一個實施方式中，LDPC 解碼器 184 是基於錯誤更正指令的。

【0066】注意，可使用各種技術來分別實現第一基帶處理電路 120 和第二基帶處理電路 170。在一個示例中，基帶處理電路被實現為積體電路。在另一個示例中，基帶處理電路被實現為執行軟體指令之一個或多個處理器。

【0067】還需注意，雖然在第 1 圖之示例中每個裝置使用單個天線，但是通信系統 100 可被適當地修改，以使用多輸入多輸出（MIMO）天線技術。

【0068】第 3 圖示出了依據本發明實施方式之示例性基帶處理電路 320 之框圖。在一個示例中，基帶處理電路 320 被用在第一電子裝置 110 中，以取代第一基帶處理電路 120。

【0069】如第 3 圖中所示，基帶處理電路 320 包括耦接在一起之發送處理電路 330 和控制電路 340。發送處理電路 330 包括耦接在一起之傳輸塊解多工器（de-multiplexer, DEMUX）331、碼塊編碼器 332、LDPC 編碼器 333、映射器 335 和調製器 336。控制電路 340 包括用於配置和控制基帶處理電路 320 之操作之各種控制模組。在第 3 圖之示例中，控制電路 340 包括矩陣控制器 341。

【0070】傳輸塊 DEMUX 331 被配置成接收封包之傳輸塊，對傳輸塊進行編碼以便進行傳輸塊級錯誤檢測，並且對編碼後之傳輸塊進行分割，以輸出多個碼塊。在一個示例中，傳輸塊 DEMUX 331 被配置成基於傳輸塊來計算循環冗餘校驗（CRC）位元，並且將 CRC 位元添加到傳輸塊中，以生成編碼後之傳輸塊。另外，傳輸塊 DEMUX 331 被配置成將編碼後之傳輸塊分割成多個碼塊。在一個示例中，由碼塊編碼器 332、LDPC 編碼器 333 和映射器 335 對多個碼塊分別進行處理。

【0071】注意，在另一個示例中，碼塊編碼器 332、LDPC 編碼器 333 和映射器 335 形成碼塊處理路徑。基帶處理電路 320 可包括被配置成對多個碼塊進行並行處理之多個碼塊處理路

徑。然後，調製器 336 可對來自多個碼塊處理路徑之輸出進行多工。

【0072】在一個示例中，碼塊編碼器 332 被配置成接收碼塊，對碼塊進行編碼以便進行碼塊級錯誤檢測，以生成 CRC 碼塊。在一個示例中，碼塊編碼器 332 被配置成基於碼塊來計算循環冗餘校驗（CRC）位元，並且將 CRC 位元添加到碼塊中，以生成 CRC 碼塊。在一個示例中，CRC 碼塊中之位元被稱為資訊位元。

【0073】在一個實施方式中，LDPC 編碼器 333 可被配置成使用具有權重 2 列之 PCM 對 CRC 碼塊進行操作，以進行錯誤更正。在一個示例中，可由矩陣控制器 341 基於基矩陣 118、相應之移位係數表和提升因數來生成 PCM。在一個示例中，基矩陣 118 是包括第一基矩陣 241 和擴展基矩陣 242 之第二基矩陣 240，並且 PCM 是用包括第一 PCM 和每列具有兩個非零元素之擴展 PCM 之第二基矩陣 240 生成之第二 PCM。PCM 也可被存儲在記憶體 112 中。

【0074】LDPC 編碼器 333 接收資訊位元（編碼後之碼塊），並且基於 PCM 對資訊位元進行編碼，以生成碼字（編碼後之資訊位元）。在一個示例中，編碼後之碼塊是位元長度為 k 之資料單元 202，並且碼字是具有基於第二 PCM 生成之位元長度為 n_2 之第二碼字 215。在一個實施方式中，LDPC 編碼器 333 還可包括第一編碼器 337 和擴展編碼器 338。第一編碼器 337 可使用第一 PCM 和資料單元 202 來生成奇偶校驗位元之第一集合 203。擴展編碼器 338 可使用擴展 PCM 和第一碼字 201

來生成奇偶校驗位元之第二集合 214。另選地，奇偶校驗位元之第二集合 214 對應於第一碼字 201 中之正被重新傳輸之位元子集。注意，可用第一基矩陣 241 來生成第一 PCM。可用擴展基矩陣 242 來生成擴展 PCM。

【0075】映射器 335 依據合適之調製方案將編碼後之碼塊之所選擇部分映射到資料符號。調製器 336 然後對資料符號執行調製並且生成輸出樣本。

【0076】矩陣控制器 341 可被配置成基於基矩陣 118、移位係數表和提升因數來生成供 LDPC 編碼器 333 使用之 PCM。

【0077】在一個實施方式中，可在 LDPC 編碼器 333 和映射器 335 之間採用循環緩衝器模組。循環緩衝器模組被配置成在循環緩衝器中緩衝第二碼字 215，並且基於冗餘版本來輸出緩衝之碼字之所選擇部分。在一個示例中，循環緩衝器形成在諸如記憶體 112 之記憶體中。在一個示例中，記憶體 112 中之存儲空間被分配用於形成循環緩衝器。在一些示例中，循環緩衝器被稱為虛擬循環緩衝器。

【0078】在一些實施方式中，第二碼字 215 被打孔 (punctured)，並且在循環緩衝器中緩衝打孔後之碼字。在一個示例中，擁有資訊位元之兩行在緩衝之前被打孔。資訊位元之打孔可提供性能優勢。

【0079】注意，可使用各種技術來實現基帶處理電路 320。在一個示例中，基帶處理電路 320 被實現為積體電路。在另一個示例中，基帶處理電路 320 被實現為執行軟體指令之一個或多個處理器。

【0080】第 4 圖示出了依據本發明實施方式之示例性基帶處理電路 470 之框圖。在一個示例中，基帶處理電路 470 被用在第二電子裝置 160 中，以取代第二基帶處理電路 170。

【0081】如第 4 圖中所示，基帶處理電路 470 包括耦接在一起之接收處理電路 480 和控制電路 490。如第 4 圖中所示，接收處理電路 480 還包括耦接在一起之解調器 481、解映射器 482、LDPC 解碼器 484。控制電路 490 包括矩陣控制器 491。

【0082】在一個實施方式中，基帶處理電路 470 接收數位樣本，並且對數位樣本進行處理，以生成解碼後之碼塊。例如，解調器 481 被配置成接收數位樣本，對數位樣本執行解調，以在每個符號週期期間生成資料符號。解映射器 482 將每個符號週期期間之用於子載波之資料符號分開，並且分別確定用於碼塊之資料符號，並且將與碼塊對應之資料符號提供給 LDPC 解碼器 484。

【0083】LDPC 解碼器 484 對用於碼塊之資料符號進行處理，以對碼塊進行解碼。在一個實施方式中，LDPC 解碼器 484 可被配置成使用具有權重 2 列之 PCM 對用於代碼塊之資料符號進行操作。可由矩陣控制器 491 基於基矩陣 168、相應之移位係數表和提升因數來生成 PCM。在一個示例中，基矩陣 168 是包括第一基矩陣 241 和每行具有兩個非零邊之擴展矩陣 242 之第二基矩陣 240，並且 PCM 是用第二基矩陣 240 生成之第二 PCM。第二 PCM 包括第一 PCM 和擴展 PCM。PCM 也可被存儲在記憶體 162 中。在一個示例中，基矩陣 168 和基矩陣 118 是相同的。

【0084】在一個實施方式中，LDPC 解碼器 484 可採用包括第一 PCM 和擴展 PCM 之第二 PCM 對接收到之第二碼字 215 進行解碼。注意，第二碼字 215 包括第一碼字 201 和奇偶校驗位元之第二集合 214，因此，接收到之第二碼字包括接收到之第一碼字和接收到之奇偶校驗位元之第二集合。如上所述，第二 PCM 包括 (n_2-k) 列 n_2 行。列 n_1 至 n_2 對應於擴展 PCM 和奇偶校驗位元之第二集合 214，並且每列具有兩個非零元素。

【0085】在一個示例中，LDPC 解碼器 484 可包括第一解碼器 485、擴展解碼器 486。參照第 2F 圖，與列 m 相關之 CN 操作是基於與奇偶校驗位元 v_j 關聯之初始統計估計的，並且不反覆運算。因此，擴展解碼器 486 可被配置成實現與第二 PCM 之列 n_1+1 至 n_2 相關之非反覆運算 CN 操作。第一解碼器 485 可被配置成實現與第二 PCM 之列 1 至 n_1 相關之反覆運算 CN 操作和 VN 操作。參照第 2E 圖，可透過將與可變節點 v_j 關聯之初始統計估計包括在可變節點 v_i 之初始統計估計中來將列 m 對與可變節點 v_i 關聯之 VN 操作之影響考慮在內。在一個示例中，可例如使用擴展解碼器 486 中之硬體元件來獲得可變節點 v_i 和 v_j 之初始統計估計之總和，並且取代與第一解碼器 485 中之列 1 至 n_1 相關之反覆運算 VN 操作中之可變節點 v_i 之初始統計估計。

【0086】在一個實施方式中，與可變節點 v_j 關聯之初始統計估計和與列 m 相關之 CN 操作相同。因此，當實現了與對應於奇偶校驗位元之第二集合 215 之可變節點關聯之初始統計估計時，可省略與擴展 PCM 或第二 PCM 中之列 n_1+1 至 n_2 相關

之 CN 操作。因此，可省略擴展解碼器 486。

【0087】在一個實施方式中，LDPC 解碼器 484 可被配置成使用奇偶校驗矩陣和用於重新傳輸第一碼字 201 之子集之錯誤更正指令對用於碼塊之資料符號進行操作。

【0088】注意，可使用各種技術來實現基帶處理電路 470。在一個示例中，基帶處理電路 470 被實現為積體電路。在另一個示例中，基帶處理電路 470 被實現為執行軟體指令之一個或多個處理器。

【0089】第 5 圖示出了依據本發明實施方式之示例性進程 500 之流程圖。在一個示例中，進程 500 由諸如第 1 圖之示例中之第一電子裝置 110 之電子裝置來執行。例如，進程 500 可用於基於基矩陣 118 來實現 QC-LDPC 編碼，以生成第二碼字 215。進程在步驟 S501 開始，前進至步驟 S510。

【0090】在步驟 S510，對碼塊進行編碼，以生成碼字之第一部分。在第 1 圖之示例中，對傳輸塊進行編碼，以添加 CRC 位元。編碼後之傳輸塊被分割成多個碼塊。對於每個碼塊，第一電子裝置 110 在碼塊中添加 CRC 位元，以生成 CRC 碼塊。CRC 碼塊中之位元被稱為資訊位元。基於 QC-LDPC 碼對 CRC 碼塊進行編碼，以生成碼字之第一部分。碼字之第一部分包括資訊位元和奇偶校驗位元。

【0091】在一個實施方式中，QC-LDPC 碼以存儲在記憶體 112 中之基矩陣 118 為基礎。依據本發明各方面，基矩陣 118 可以是包括第一基矩陣 241 和每列具有兩個非零邊之擴展基矩陣 242 之第二基矩陣 240。在一個示例中，CRC 碼塊是位元長

度為 k 之資料單元 202。

【0092】為了對 CRC 碼塊進行編碼，例如透過矩陣控制器 341 用第一基矩陣 241 來生成第一 PCM。透過例如第一編碼器 337 使用第一 PCM 將資料單元 202 或 CRC 碼塊編碼成碼字之第一部分。碼字之第一部分是第一碼字 201。

【0093】在步驟 S520，基於具有權重 2 列之矩陣來生成碼字之第二部分。在一個實施方式中，例如透過矩陣控制器 341 用第二基矩陣 240 來生成第二 PCM。透過例如擴展編碼器 338 使用第二 PCM 之擴展 PCM 來生成碼字之第二部分。碼字之第二部分是奇偶校驗位元之第二集合 214。在一個示例中，碼字是包括資料單元 202（CRC 碼塊）、奇偶校驗位元之第一集合 203 和奇偶校驗位元之第二集合 214（碼字之第二部分）之第二碼字 215。

【0094】在步驟 S530，發送碼字。在一個示例中，發送第二碼字 215。進程前進至步驟 S599 並且終止。

【0095】另選地，在步驟 S510 中生成諸如第一碼字 201 之碼字之第一部分之後，可發送碼字之第一部分。另外，可重新傳輸基於錯誤更正指令確定之碼字之第一部分中之位元子集。正在重新傳輸之碼字之第一部分中之位元子集可以是碼字之第二部分。進程前進至步驟 S599 並且終止。

【0096】第 6 圖示出了依據本發明實施方式之示例性進程 600 之流程圖。在一個示例中，進程 600 由諸如第 1 圖之示例中之第二電子裝置 160 之電子裝置來執行。例如，進程 600 可用於基於基矩陣 118 來實現 QC-LDPC 解碼。該進程在步驟 S601

開始，前進至步驟 S610。

【0097】在步驟 S610，接收承載碼字之無線信號。

【0098】在一個實施方式中，進程 600 可用于基於具有權重 2 列之矩陣來實現 QC-LDPC 解碼。例如，可由矩陣控制器 491 基於基矩陣 168、相應之移位係數表和提升因數來生成 PCM。在一個示例中，基矩陣 168 是包括第一基矩陣 241 和每行具有兩個非零邊之擴展矩陣 242 之第二基矩陣 240，並且 PCM 是用第二基矩陣 240 生成之第二 PCM。第二 PCM 包括第一 PCM 和擴展 PCM。如上所述，第二 PCM 包括 (n_2-k) 列 n_2 行。列 n_1 至 n_2 對應於擴展 PCM 和奇偶校驗位元之第二集合 214。

【0099】在一個示例中，接收到之碼字是基於基矩陣 118 生成之第二碼字 215。接收到之第二碼字 215 包括接收到之第一碼字 203 和接收到之奇偶校驗位元之第二集合 214。在一個示例中，可使用諸如置信傳播法之統計方法。

【0100】在步驟 S620，可例如基於接收到之信號、信噪比等來獲得可變節點之初始統計估計。例如，初始統計估計可以是先驗對數似然比（prior log-likelihood ratio, LLR）。在一個示例中，接收到之第二碼字 215 包括接收到之第一碼字 203 和接收到之奇偶校驗位元之第二集合 214。如上所述，可透過與奇偶校驗位元之第二集合 214 對應之相應可變節點之初始統計估計來修改一個或多個可變節點之初始統計估計。

【0101】在步驟 S630，實施與權重 2 列擴展矩陣相關之非反覆運算 CN 操作。在一個示例中，權重 2 列擴展矩陣是與擴展 PCM 對應之擴展矩陣，因此，實施與對應於擴展 PCM 之列

n_1+1 至 n_2 和奇偶校驗位元之第二集合 214 相關之非反覆運算 CN 操作。在一個實施方式中，與對應於奇偶校驗位元之第二集合 215 之可變節點關聯之初始統計估計可取代與擴展矩陣相關之 CN 操作，因此可省略步驟 S630。

【0102】在步驟 S640，實施與第一基矩陣相關之 CN 操作。在一個示例中，第一基矩陣 241 對應於第一 PCM，因此，實施與對應於第一 PCM 之列 1 至 n_1 和第一碼字 203 相關之 CN 操作。

【0103】在步驟 S650，實施與第一基矩陣相關之 VN 操作。在一個示例中，第一基矩陣 241 對應於第一 PCM，因此，實施與對應於第一 PCM 之列 1 至 n_1 和第一碼字 203 相關之 VN 操作。

【0104】在步驟 S660，檢查校驗節點方程以查看可變節點是否滿足校驗節點方程。可基於相應之統計估計（例如，可變節點 v_1 是 0，可變節點 v_2 是 1 等）針對每個可變節點進行決策。如果可變節點滿足校驗節點方程，則進程 600 前進至步驟 S670。如果可變節點不滿足校驗節點方程，則進程 600 前進至步驟 S640，並且反覆運算地重複步驟 S640 和 S650。

【0105】在步驟 S670，可獲得碼字之資訊位元。在一個示例中，資訊位元對應於第二碼字 215 之資料單元 202。進程前進至步驟 S699 並且終止。

【0106】雖然已經結合本發明之作為示例提出之具體實施方式對本發明之各個方面進行了描述，但可以實施針對這些實施例之另選例、修改例和改變例。因此，本文所闡述之實施方

式旨在例示而非限制。在不脫離下面闡述之申請專利範圍之範圍情況下，存在各種執行之改變。

【符號說明】**【0107】**

100~通信系統；110~第一電子裝置；160~第二電子裝置；
120~第一基帶處理電路；170~第二基帶處理電路；130~發送處理電路；180~接收處理電路；140~控制電路；190~控制電路；
133~ LDPC 編碼器；184~LDPC 解碼器；145~接收處理電路；
195~發送處理電路；111~處理器；112~記憶體；118~基矩陣；
161~處理器；162~記憶體；168~基矩陣；113~第一收發器；114~天線；115~發送電路 TX；116~接收電路 RX；163~第二收發器；
164~天線；165~發送電路 TX；166~接收電路 RX；151~傳輸；
201~第一碼字；202~資料單元；203~奇偶校驗位元之第一集合；213~奇偶校驗位元之第三集合；214~奇偶校驗位元之第二集合；215~第二碼字；220~基矩陣；230~移位係數表；231~標示；232~標示；240~第二基矩陣；241~第一基矩陣；242~擴展基矩陣；243~附加矩陣；244~標識矩陣；250~列；320~基帶處理電路；330~發送處理電路；340~控制電路；331~傳輸塊解多工器；332~碼塊編碼器；333~ LDPC 編碼器；335~映射器；336~調製器；337~第一編碼器；338~擴展編碼器；341~矩陣控制器；470~基帶處理電路；480~接收處理電路；490~控制電路；481~解調器；482~解映射器；484~ LDPC 解碼器；485~第一解碼器；486~擴展解碼器；491~矩陣控制器；500、600~進程；S501、S510、S520、S530、S599、S601、S610、

S620、S630、S640、S650、S660、S670、S699~步驟。

申請專利範圍

1. 一種用於通訊用錯誤更正編碼之裝置，包括：
記憶體，配置該記憶體以存儲用於錯誤更正並且與奇偶校驗位元之集合關聯之矩陣，具有多行多列之該矩陣包括：
多列，該多列包括第一複數列，該第一複數列之每一列具有複數個元素，該複數個元素中之兩個元素具有與該第一狀態對應之值，以及該複數個元素中之其他元素具有與該第二狀態對應之值，並且該兩個元素中之一個元素是對應於與該第一複數列相關聯之奇偶校驗位元之奇偶校驗元素，以及該兩個元素中之另一個元素是對應於與該第一複數列相關聯之資訊位元；以及
處理電路，配置該處理電路以基於該矩陣實施錯誤更正。
2. 如申請專利範圍第 1 項所述之裝置，其中，與該奇偶校驗元素在該矩陣之同一行中之其它元素具有與該第二狀態對應之值。
3. 如申請專利範圍第 2 項所述之裝置，其中，該處理電路還被配置成透過基於該矩陣用資料單元生成該奇偶校驗位元之集合，以實施錯誤更正，並且將該資料單元編碼成包括該資料單元和該奇偶校驗位元之集合之碼字。
4. 如申請專利範圍第 2 項所述之裝置，其中，該處理電路還被配置成接收包括資料單元和該奇偶校驗位元之集合之碼字，並且透過基於該矩陣對該碼字進行解碼，以實施錯誤更正並且生成解碼後之資料單元。

5. 如申請專利範圍第 2 項所述之裝置，其中，該矩陣用於准循環低密度奇偶校驗（QC-LDPC）碼以形成奇偶校驗矩陣（PCM），並且該矩陣是稀疏的，該矩陣包括比具有與該第二狀態對應之值之元素少的具有與該第一狀態對應之值之元素。
6. 如申請專利範圍第 5 項所述之裝置，其中，該處理電路還被配置成生成移位係數表，並且利用該矩陣形成具有元素 0 和 1 之奇偶校驗矩陣，其中，形成該奇偶校驗矩陣之步驟透過下列步驟實施：用根據來自基於提升因數之大小之標識矩陣之移位係數表進行行移位之准循環（QC）矩陣取代具有與該第一狀態對應之值之每個元素，以及用與該標識矩陣具有相同大小之零矩陣取代具有與該第二狀態對應之值之每個元素。
7. 如申請專利範圍第 6 項所述之裝置，其中，該處理電路被配置成基於該奇偶校驗矩陣使用低密度奇偶校驗碼進行編碼/解碼。
8. 如申請專利範圍第 2 項所述之裝置，其中，該矩陣還包括第二列，並且該矩陣包括具有該第二列之子矩陣和具有該第一複數列之擴展矩陣。
9. 如申請專利範圍第 1 項所述之裝置，其中，該記憶體是非揮發性記憶體。
10. 如申請專利範圍第 2 項所述之裝置，其中，該矩陣是低密度奇偶校驗碼中使用之奇偶校驗矩陣，並且具有與該第一狀態對應之值之元素是 1，以及具有與該第二狀態對應之值

之元素是 0。

11.一種用於通訊用錯誤更正編碼之裝置，包括：

處理電路，該處理電路被配置成：

生成包括資料單元和用於錯誤更正之奇偶校驗位元之第一集合之數位信號；

發送該數位信號；

基於錯誤更正指令，用該資料單元和/或該奇偶校驗位元之第一集合來生成與位元子集之重新傳輸對應之奇偶校驗位元之第二集合；以及

發送該奇偶校驗位元之第二集合；以及

記憶體，該記憶體被配置成存儲該錯誤更正指令，

其中，該錯誤更正指令包括之具有多行多列之矩陣包括：

多列，該多列包括第一複數列，該第一複數列之每一列具有兩複數個元素，該複數個元素中之兩個元素具有與該第一狀態對應之值，以及該複數個元素中之其他元素具有與該第二狀態對應之值，並且該兩個元素中之一個元素是對應於與該第一複數列相關聯之奇偶校驗位元之奇偶校驗元素，以及該兩個元素中之另一個元素是對應於與該第一複數列相關聯之資訊位元。

12.如申請專利範圍第 11 項所述之裝置，其中，該錯誤更正指令包括將該數位信號中之該位元子集重新傳輸之特性。

13.如申請專利範圍第 11 項所述之裝置，其中，該處理電路還被配置成根據該矩陣在該數位信號中生成該位元子集。

14.一種通訊用錯誤更正編碼方法，包括：

存儲矩陣，其中，該矩陣用於錯誤更正並且與奇偶校驗位元之集合關聯，並且具有多行多列之該矩陣包括：

元素，該元素具有與第一狀態或第二狀態對應之值；以及

多列，該多列包括第一複數列，該第一複數列之每一列具有複數個元素，該複數個元素中之兩個元素具有與該第一狀態對應之值，以及該複數個元素中之其他元素具有與該第二狀態對應之值，該兩個元素中之一個元素是對應於與該第一複數列關聯之奇偶校驗位元之奇偶校驗元素，以及該兩個元素中之另一個元素是對應於與該第一複數列相關聯之資訊位元；以及

基於該矩陣對數位信號進行編碼/解碼。

15. 如申請專利範圍第 14 項所述之通訊用錯誤更正編碼方法，其中，與該奇偶校驗元素在同一行中之其它元素具有與該第二狀態對應之值。
16. 如申請專利範圍第 15 項所述之通訊用錯誤更正編碼方法，其中，該數位信號是具有資訊位元之集合之資料單元，並且透過基於該矩陣用該資料單元生成該奇偶校驗位元之集合來實現對該數位信號進行編碼，以形成包括該資料單元和該奇偶校驗位元之集合之碼字。
17. 如申請專利範圍第 15 項所述之通訊用錯誤更正編碼方法，其中，該方法還包括接收包括資料單元和該奇偶校驗位元之集合之數位信號，並且透過基於該矩陣進行解碼來實現對該數位信號進行解碼，以生成解碼後之資料單元。
18. 如申請專利範圍第 15 項所述之通訊用錯誤更正編碼方法，

其中，該矩陣用於低密度奇偶校驗碼以生成奇偶校驗矩陣，並且該矩陣是稀疏的，該矩陣包括比具有與該第二狀態對應之值之元素少的具有與該第一狀態對應之值之元素。

19. 一種通訊用錯誤更正編碼方法，包括：

生成包括資料單元和用於錯誤更正之奇偶校驗位元之第一集合之數位信號；

發送該數位信號；

基於錯誤更正指令，用該資料單元和/或該奇偶校驗位元之第一集合來生成與位元子集之重新傳輸對應之奇偶校驗位元之第二集合；

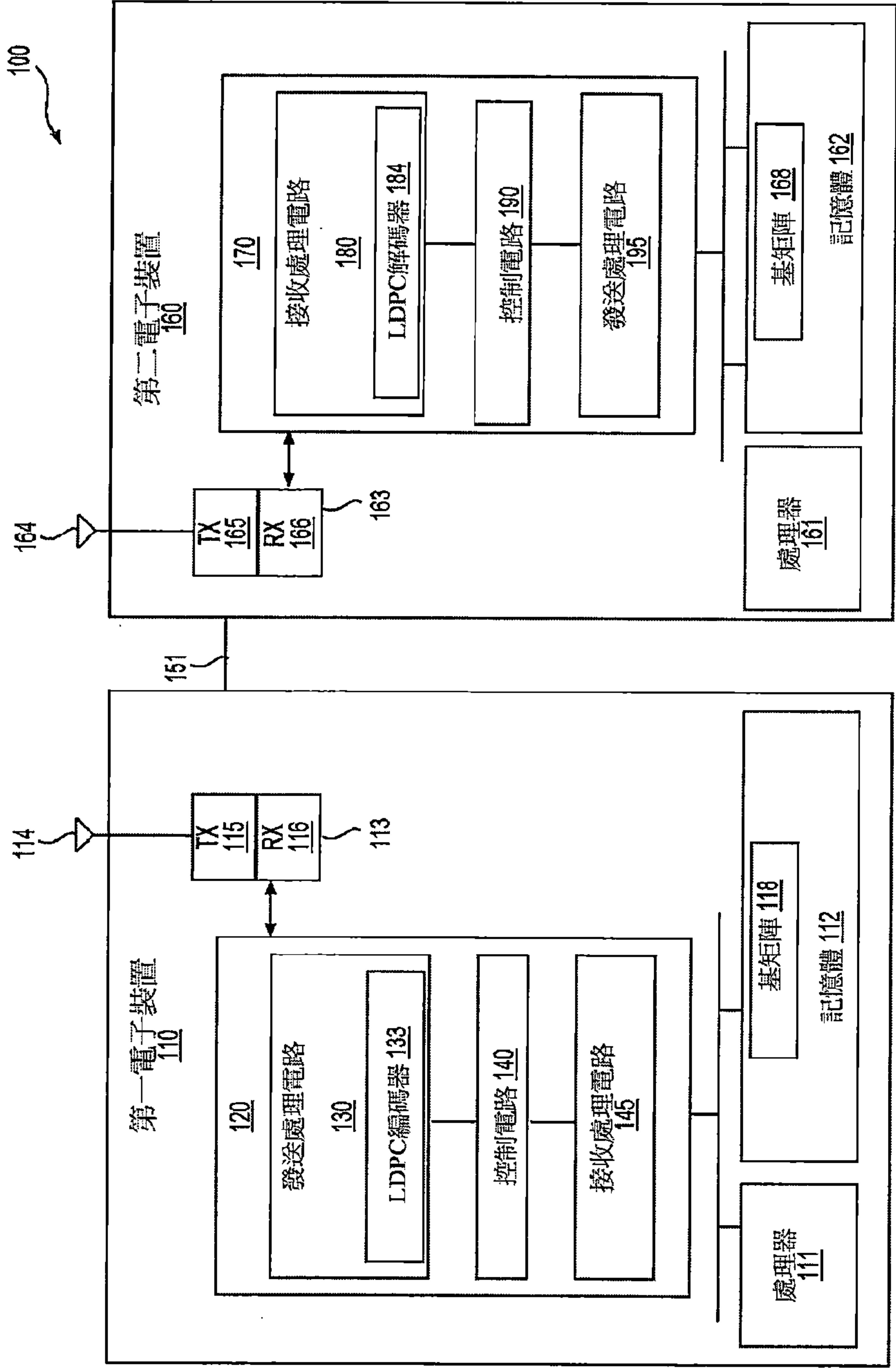
發送該奇偶校驗位元之第二集合；以及

存儲該錯誤更正指令，

其中，該錯誤更正指令包括之具有多行多列之矩陣包括：

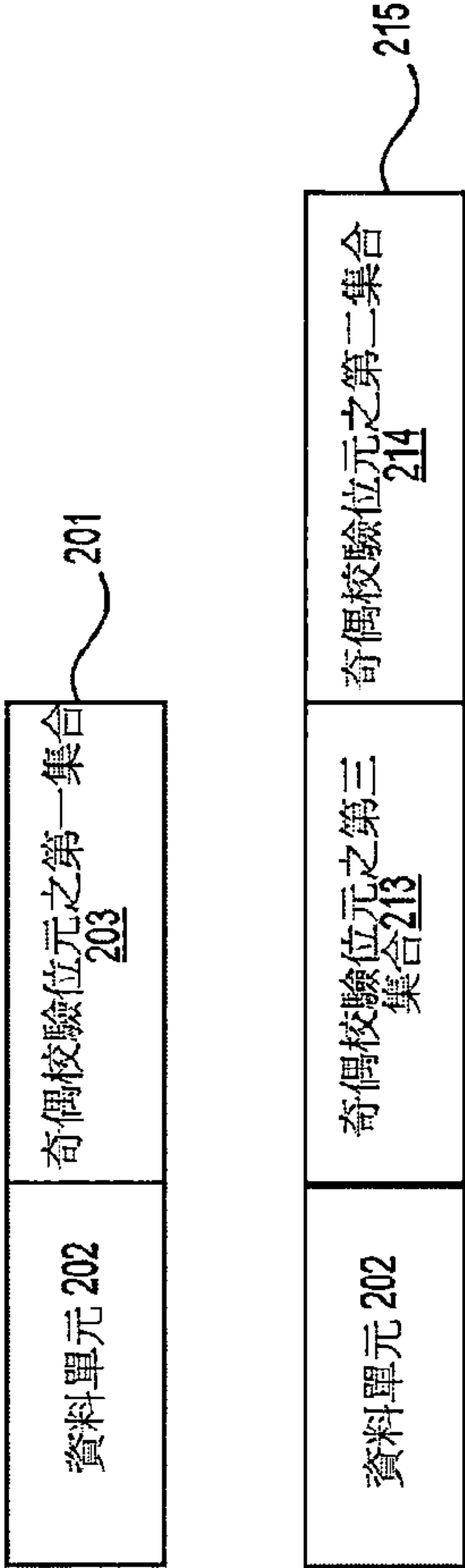
多列，該多列包括第一複數列，該第一複數列之每一列具有兩複數個元素，該複數個元素中之兩個元素具有與該第一狀態對應之值，以及該複數個元素中之其他元素具有與該第二狀態對應之值，並且該兩個元素中之一個元素是對應於與該第一複數列相關聯之奇偶校驗位元之奇偶校驗元素，以及該兩個元素中之另一個元素是對應於與該第一複數列相關聯之資訊位元。

圖式



第1圖

第2A圖

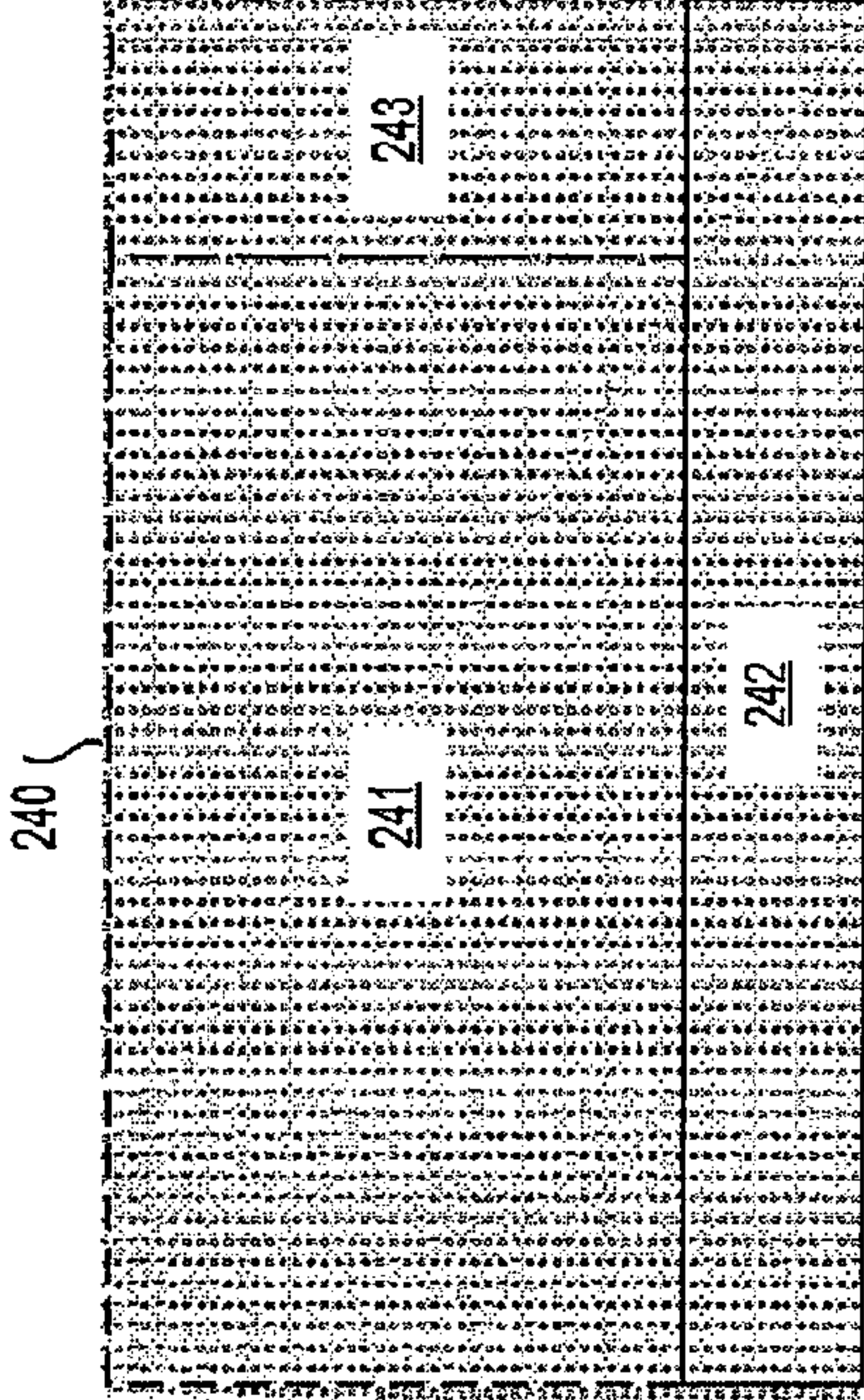


第2B圖

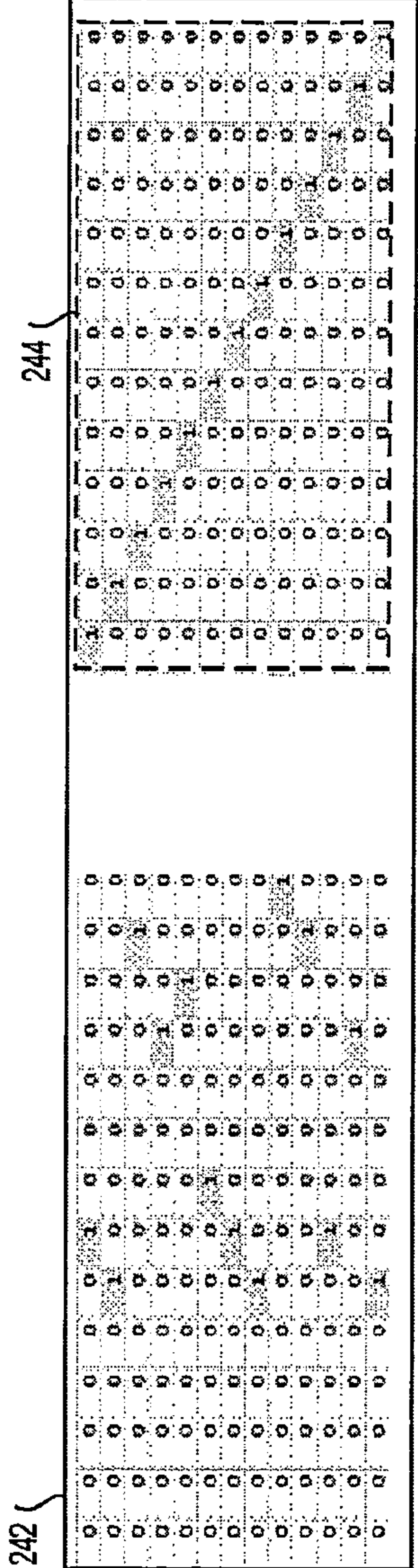
1	1	1	1	1	0	0	0
1	1	1	1	1	1	0	0
1	0	1	1	0	1	1	0
0	0	1	1	0	0	1	1

第2C圖

7	3	1	3	0	-1	-1	-1
0	7	0	1	0	0	-1	-1
1	-1	4	2	-1	0	0	-1
-1	-1	2	6	-1	-1	0	0



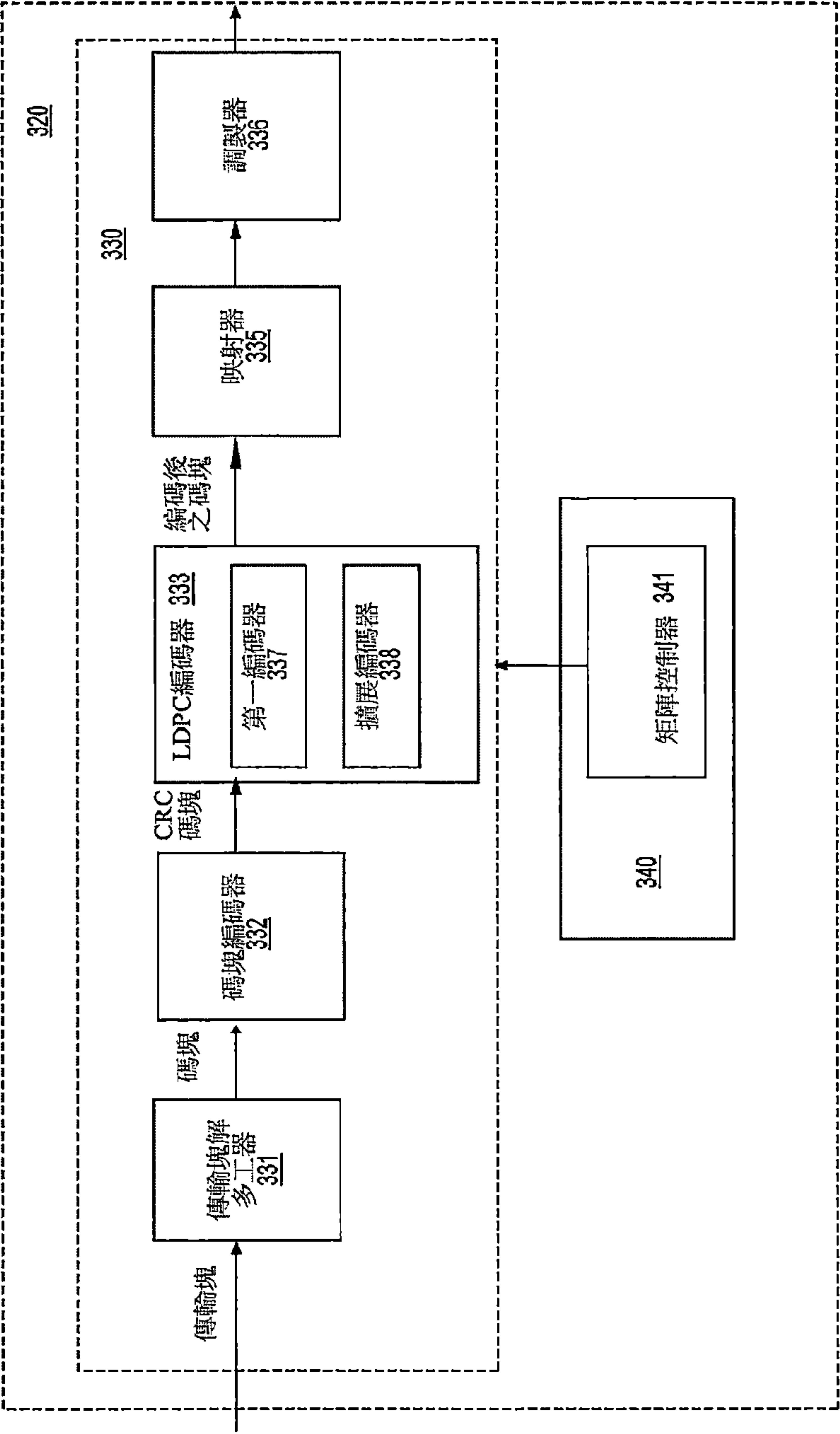
第2D圖



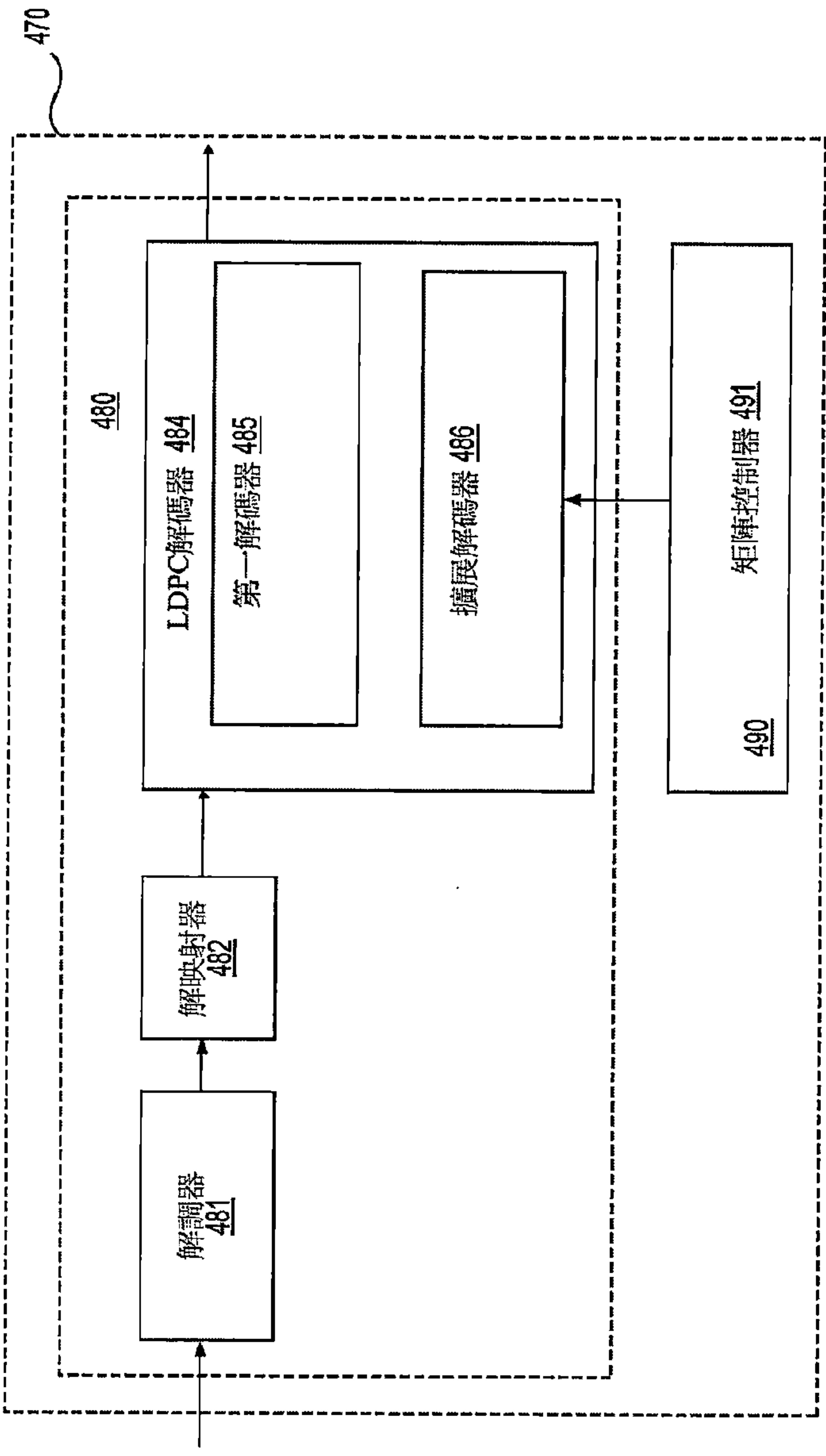
第2E圖



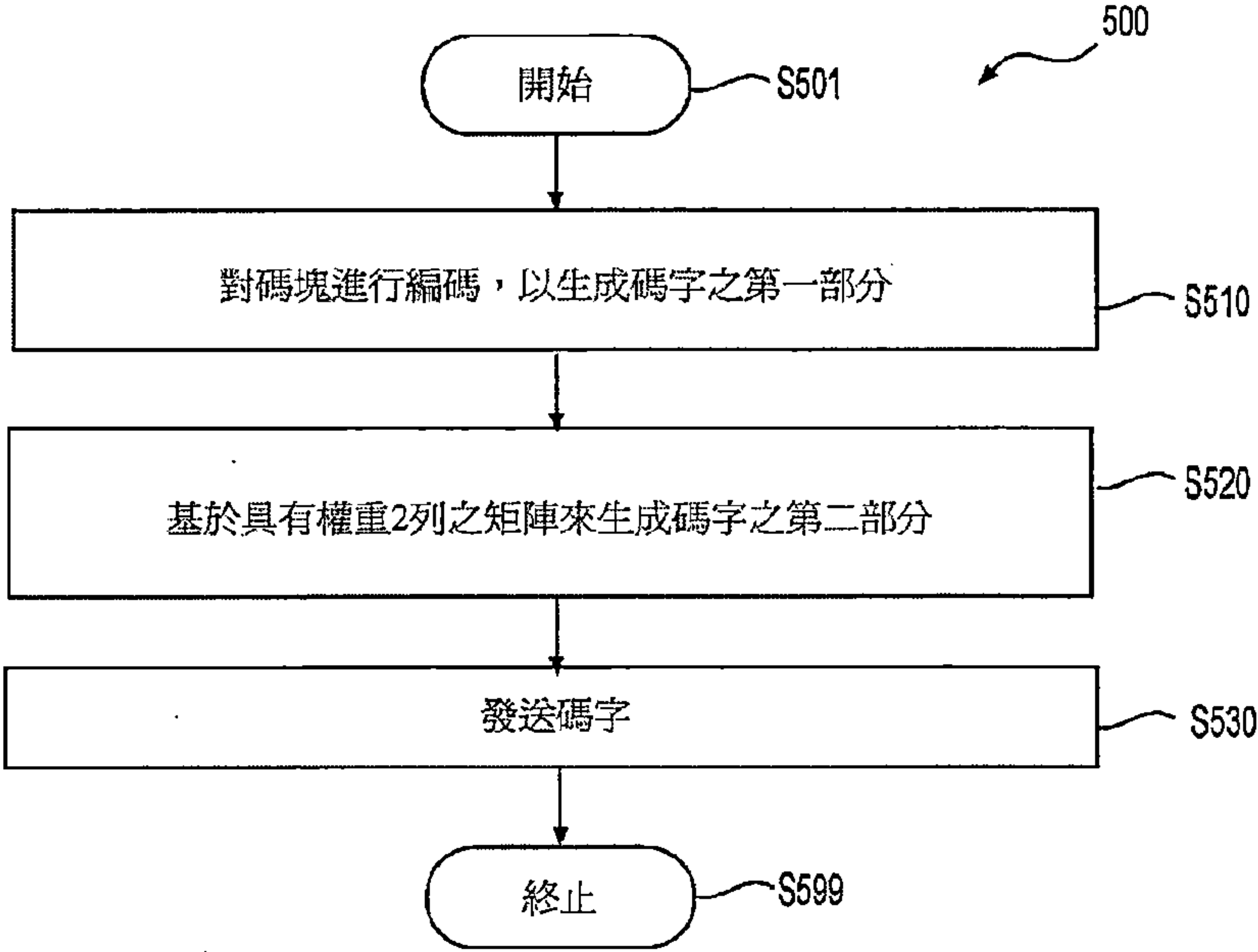
第2F圖



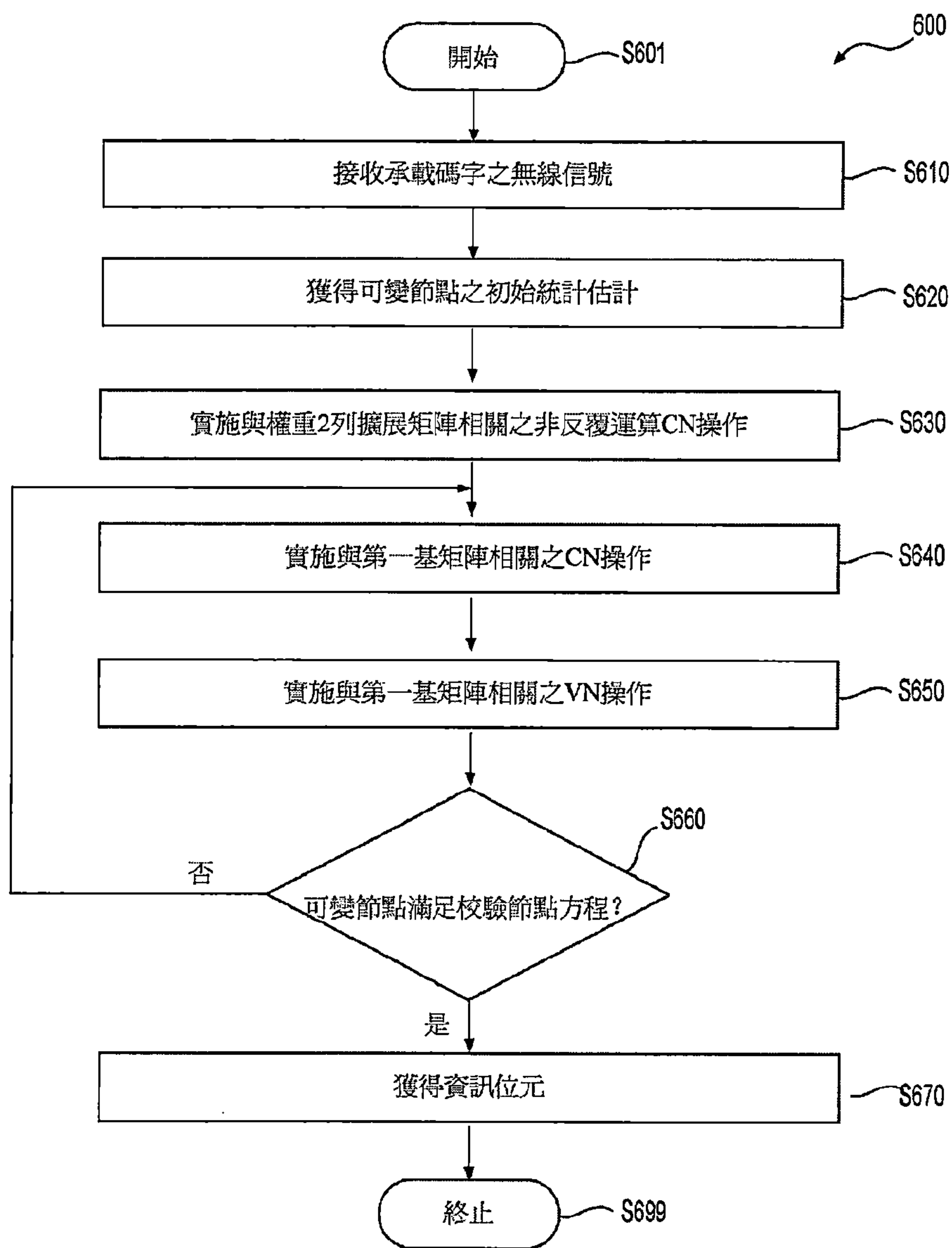
第3圖



第4圖



第5圖



第6圖