

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6183075号  
(P6183075)

(45) 発行日 平成29年8月23日 (2017. 8. 23)

(24) 登録日 平成29年8月4日 (2017. 8. 4)

|                          |                      |
|--------------------------|----------------------|
| (51) Int. Cl.            | F I                  |
| HO 1 L 29/06 (2006. 01)  | HO 1 L 29/06 3 O 1 F |
| HO 1 L 21/336 (2006. 01) | HO 1 L 29/78 3 O 1 X |
| HO 1 L 29/78 (2006. 01)  |                      |

請求項の数 5 (全 10 頁)

|           |                              |           |                         |
|-----------|------------------------------|-----------|-------------------------|
| (21) 出願番号 | 特願2013-182453 (P2013-182453) | (73) 特許権者 | 000004260               |
| (22) 出願日  | 平成25年9月3日 (2013. 9. 3)       |           | 株式会社デンソー                |
| (65) 公開番号 | 特開2015-50386 (P2015-50386A)  |           | 愛知県刈谷市昭和町 1 丁目 1 番地     |
| (43) 公開日  | 平成27年3月16日 (2015. 3. 16)     | (74) 代理人  | 100106149               |
| 審査請求日     | 平成27年12月15日 (2015. 12. 15)   |           | 弁理士 矢作 和行               |
|           |                              | (74) 代理人  | 100121991               |
|           |                              |           | 弁理士 野々部 泰平              |
|           |                              | (74) 代理人  | 100145595               |
|           |                              |           | 弁理士 久保 貴則               |
|           |                              | (72) 発明者  | 千田 厚慈                   |
|           |                              |           | 愛知県刈谷市昭和町 1 丁目 1 番地 株式会 |
|           |                              |           | 社デンソー内                  |
|           |                              | (72) 発明者  | 山田 明                    |
|           |                              |           | 愛知県刈谷市昭和町 1 丁目 1 番地 株式会 |
|           |                              |           | 社デンソー内                  |

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

一面 (10a) を有する半導体基板 (10) と、

前記一面の表層において互いに離間して形成され、所定電圧が印加されることにより互いの間を電流が流れる第1拡散層 (20) および第2拡散層 (30) と、

前記一面上において、前記第1拡散層と前記第2拡散層の間に形成された素子分離膜 (40) と、

前記半導体基板の内部における前記第1拡散層と前記第2拡散層との間の電界を均一化するために、前記素子分離膜上において渦巻状に形成され、一端が前記第1拡散層に電気的に接続され、他端が前記第2拡散層に電気的に接続された抵抗性のフィールドプレート (50) と、

前記フィールドプレートを酸化から保護するために、前記フィールドプレート上に形成された保護膜 (70) と、を備えることを特徴とする半導体装置。

【請求項 2】

前記フィールドプレートは多結晶シリコンからなり、

前記保護膜は窒化シリコンからなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記フィールドプレートと前記保護膜との間に、熱酸化によって形成された酸化シリコンからなる熱酸化層 (90) を備えることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

10

20

前記保護膜は、前記素子分離膜に接触しないように、前記フィールドプレート上にのみ形成されることを特徴とする請求項 1～3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

前記半導体基板に、前記第 1 拡散層としてのコレクタ部と、前記第 2 拡散層としてのエミッタ部が形成されて、横型の絶縁ゲートバイポーラトランジスタが構成されることを特徴とする請求項 1～4 のいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フィールドプレートを備えた半導体装置に関する。

10

【背景技術】

【0002】

半導体基板における一面の表層に形成された、導電型の異なる 2 つの半導体領域の間を、一面に沿う方向に電流が流れる半導体装置が知られている。特許文献 1 には、半導体基板上に設けられた絶縁膜と、該絶縁膜中に配置され、2 つの半導体領域に接続されたフィールドプレート（特許文献 1 では半導体抵抗層と記載）と、を有する半導体装置が提案されている。

【先行技術文献】

【特許文献】

【0003】

20

【特許文献 1】特開平 6-77470 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 におけるフィールドプレートは多結晶シリコン（Poly-Si）から成る。また、特許文献 1 には、絶縁膜の構成材料は示唆されていないが、例えば、酸化シリコン（SiO<sub>2</sub>）が採用可能である。

【0005】

絶縁膜として SiO<sub>2</sub> を採用し、フィールドプレートの形成後に酸化の工程を経る場合、フィールドプレートの膜減りが生じる虞がある。この膜減りは均一ではないため、フィールドプレートの抵抗値が位置によってばらつく。このため、居所的に電界が集中する虞があり、半導体装置の耐圧を低下させる原因となり得る。

30

【0006】

本発明は、上記問題点を鑑みてなされたものであり、耐圧をより向上させた半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

ここに開示される発明は、上記目的を達成するために以下の技術的手段を採用する。なお、特許請求の範囲及びこの項に記載した括弧内の符号は、ひとつの態様として後述する実施形態に記載の具体的手段との対応関係を示すものであって、発明の技術的範囲を限定するものではない。

40

【0008】

上記目的を達成するために、本発明は、一面（10a）を有する半導体基板（10）と、一面の表層において互いに離間して形成され、所定電圧が印加されることにより互いの間を電流が流れる第 1 拡散層（20）および第 2 拡散層（30）と、一面上において、第 1 拡散層と第 2 拡散層の間に形成された素子分離膜（40）と、半導体基板の内部における第 1 拡散層と第 2 拡散層との間の電界を均一化するために、素子分離膜上において渦巻状に形成され、一端が第 1 拡散層に電氣的に接続され、他端が前記第 2 拡散層に電氣的に接続されたフィールドプレート（50）と、フィールドプレートを酸化から保護するために、フィールドプレート上に形成された保護膜（70）と、を備えることを特徴としてい

50

る。

#### 【0009】

このように、保護膜が形成されていることにより、保護膜を形成する工程より後の工程において実施される酸化工程によって、フィールドプレートが酸化されてしまうことを抑制することができる。このため、酸化によるフィールドプレートの膜厚変化を抑制でき、フィールドプレートの抵抗値のばらつきを抑制することができる。したがって、第1拡散層と第2拡散層の間の電界をより均一にすることができ、半導体装置の耐圧を向上させることができる。

#### 【図面の簡単な説明】

#### 【0010】

10

【図1】第1実施形態に係る半導体装置の概略構成を示す上面図である。

【図2】図1におけるI-I線に沿う断面を示す断面図である。

【図3】図2におけるIII領域の拡大図である。

【図4】フィールドプレートとなるシリコン膜を形成する工程を示す断面図である。

【図5】窒化シリコン膜を形成する工程を示す断面図である。

【図6】シリコン膜および窒化シリコン膜の一部を除去する工程を示す断面図である。

【図7】ゲート酸化膜を形成する工程を示す断面図である。

【図8】ゲート電極となるシリコン膜を形成する工程を示す断面図である。

【図9】抵抗値の測定結果を示すグラフである。

【図10】耐圧の測定結果を示すグラフである。

20

【図11】第2実施形態に係る半導体装置のIII領域に相当する部分の断面図である。

#### 【発明を実施するための形態】

#### 【0011】

以下、本発明の実施の形態を図面に基づいて説明する。なお、以下の各図相互において、互いに同一もしくは均等である部分に、同一符号を付与する。また、方向の記載について、x方向と、x方向に直交するy方向と、x方向とy方向により規定されるxy平面に直交するz方向を定義し、後述する半導体基板の厚さ方向をz方向とする。

#### 【0012】

##### （第1実施形態）

最初に、図1～図3を参照して、本実施形態に係る半導体装置について、概略構成を説明する。なお、図1は上面図であるが、説明の簡便性のためハッチングを掛けている。

30

#### 【0013】

本実施形態に係る半導体装置は、半導体基板の一面側にエミッタ端子とコレクタ端子が配置された、横型の絶縁ゲートバイポーラトランジスタ（以下、IGBTと示す）である。

#### 【0014】

図1に示すように、この半導体装置100は、半導体基板10と、半導体基板10の一面10aの表層に形成された第1拡散層としてのコレクタ部20と、同じく一面10aの表層に形成された第2拡散層としてのエミッタ部30と、を備えている。また、半導体装置100は、図2に示すように、コレクタ部20とエミッタ部30の間の一面10aにおいて、素子分離膜40を備えている。そして、素子分離膜40上にフィールドプレート50を備えている。さらに、半導体装置100は、隣接する素子との電氣的絶縁のためのトレンチ60を備えている。

40

#### 【0015】

半導体基板10は、図2に示すように、SOI（Silicon on Insulator）基板200におけるドリフト層に相当する。以降、半導体基板10をドリフト層10と示す。このSOI基板200は、ドリフト層10に加えて、埋め込み拡散層11、埋め込み酸化膜12、および、基部13を有する。具体的には、SOI基板200は、支持体としての基部13上に埋め込み酸化膜12が形成され、さらに、埋め込み拡散層11とドリフト層10とが、この順でz方向に積層されて成る。

50

## 【0016】

ドリフト層10はシリコンに不純物がドーピングされてなるN導電型の半導体である。ドリフト層10にはコレクタ部20とエミッタ部30とが形成されている。これらの間に所定の電圧が印加されることによって、コレクタ部20とエミッタ部30との間に電流が流れる。換言すれば、この電流は、ドリフト層10において、SOI基板200のz方向に直交する方向（図2においてはx方向）に流れる。電流量は後述のゲート電極35に印加される電圧に依存する。すなわち、この半導体装置100は、ドリフト層10にコレクタ部20およびエミッタ部30が形成されて、横型のIGBTが構成されたものである。

## 【0017】

埋め込み拡散層11はドリフト層10に較べてドーピングされた不純物の濃度が高くされたN導電型の半導体である。コレクタ部20とエミッタ部30との間に電流が流れる際に、埋め込み拡散層11も主要な電流経路となる。埋め込み拡散層11は、後に詳述するフィールドプレート50とともに、ドリフト層10内部の電界を均一化する効果を奏する。

## 【0018】

埋め込み酸化膜12は酸化シリコンから成り、後述するトレンチ60とともに、隣接する素子との間の電氣的絶縁に貢献する。

## 【0019】

コレクタ部20は、ドリフト層10における埋め込み拡散層11との接触面と反対の一面10a側表層に形成されている。コレクタ部20は、図2に示すように、P導電型のコレクタ領域21とN導電型のバッファ領域22とを有している。コレクタ領域21は一面10aに露出して形成されている。バッファ領域22は、コレクタ領域21を内包するようにコレクタ領域21を取り囲んで形成されている。コレクタ部20におけるコレクタ領域21は、露出した一面10aにおいて、コレクタ電極23と電氣的に接続されている。コレクタ電極23に電圧が印加されると、コレクタ部20は、印加された電圧に応じた所定の電位となる。なお、本実施形態におけるコレクタ部20は、図1に示すように、x方向に延びて形成されている。

## 【0020】

エミッタ部30は、コレクタ部20と同様に、一面10a側表層に形成されている。エミッタ部30は、図1示すように、コレクタ部20と離間しつつ、コレクタ部20を取り囲むように、x方向に長い環状に形成されている。エミッタ部30は、図2に示すように、N導電型のエミッタ領域31とP導電型のチャネル領域32とを有している。エミッタ領域31は一面10aに露出して形成されている。コレクタ部30は、エミッタ領域31を2箇所有しており、これらは互いに接触しないように環状に形成されている。チャネル領域32は、エミッタ領域31を内包するようにエミッタ領域31を取り囲んで形成され、一部が一面10aに露出している。エミッタ領域31およびチャネル領域32は、露出した一面10aにおいて、部分的にエミッタ電極33と電氣的に接続されている。エミッタ電極33に電圧が印加されると、エミッタ部30は、印加された電圧に応じた所定の電位となる。

## 【0021】

なお、エミッタ部30が形成された一面10aのうち、エミッタ電極33が接触していない部分にはゲート酸化膜34が形成されている。そして、このゲート酸化膜34上には、部分的にゲート電極35が形成されている。コレクタ部20とエミッタ部30との間に電圧が印加された状態で、このゲート電極35に電圧が印加されると、チャネル領域32に反転層を生じ、コレクタ部20とエミッタ部30との間に電流が流れる。

## 【0022】

素子分離膜40は、ドリフト層10の一面10aのうち、コレクタ領域21およびエミッタ領域31の露出しない部分に形成されている。素子分離膜40は、エミッタ部30に囲まれた領域（換言すれば、エミッタ部30の内側の領域）に形成されるとともに、エミッタ部30の外側の領域にも形成されている。なお、本実施形態における素子分離膜40は酸化シリコンから成る。

10

20

30

40

50

## 【0023】

フィールドプレート50は、図2に示すように、ドリフト層10の一面10a上に、素子分離膜40を介して形成されている。すなわち、フィールドプレート50は、図3に示すように、素子分離膜40の一面40a上に形成されている。また、フィールドプレート50は、図1に示すように、エミッタ部30に囲まれた領域内において、コレクタ部20を取り囲むように、渦巻状に配置されている。なお、本実施形態におけるフィールドプレート50は多結晶シリコン(Poly-Si)からなる抵抗性フィールドプレートであり、フィールドプレート50の一端がコレクタ部20に電氣的に接続され、他端がエミッタ部30に電氣的に接続されている。本実施形態における半導体装置100の構成においては、通常、コレクタ部20の電位に対してエミッタ部30を低電位とする。このとき、フィールドプレート50は、x方向において、コレクタ部20に近い側からエミッタ部30に近い側に向かって電位が小さくなる。ドリフト層10の内部に形成される電界は、フィールドプレート50によって均一化される。すなわち、フィールドプレート50は、コレクタ部20からエミッタ部30にかけて、等電位線の間隔がほぼ等間隔となるように作用する。

10

## 【0024】

さらに、半導体装置100は、図3に示すように、フィールドプレート50上に保護膜70を有している。つまり、保護膜70はフィールドプレート50上にz方向に積層されている。本実施形態における保護膜70は窒化シリコンから成る。保護膜70は、保護膜70形成後に行われる熱酸化に関する工程において、フィールドプレート50が酸化され、その膜厚が変化してしまうことを抑制する効果を奏する。また、フィールドプレート50および保護膜70を覆うように、酸化シリコンからなる絶縁膜80が形成されている。

20

## 【0025】

トレンチ60は、図1に示すように、エミッタ部30の外側に、エミッタ部30を取り囲むように環状に形成されている。また、トレンチ60は、図2に示すように、ドリフト層10をz方向に貫通するように形成されている。具体的には、トレンチ60は、ドリフト層10の一面10aから埋め込み酸化膜12に到達するまで形成され、その内部に絶縁体61(例えば、酸化シリコン)が満たされている。トレンチ60の一面10a側一端には素子分離膜40が形成される。このため、本実施形態では、素子分離膜40、トレンチ60に充填される絶縁体61、および、埋め込み酸化膜12が一連の絶縁体を形成し、トレンチ60に囲まれた領域と、その外側の領域とを電氣的に絶縁分離している。

30

## 【0026】

次に、図4～図8を参照して、本実施形態に係る半導体装置100の製造方法について説明する。

## 【0027】

なお、保護膜70の形成工程を除く製造の工程は、従来知られたIGBTの製造工程に準じるものであるため詳しい説明を割愛する。以下では、ドリフト層10にコレクタ部20およびエミッタ部30およびトレンチ60がすでに形成された後、フィールドプレート50を形成する工程以降について詳しく説明する。

## 【0028】

まず、素子分離膜40を、従来の方法を用いてLOCOS酸化により形成後、図4に示すように、ドリフト層10の一面10a上の全面に亘ってPoly-Siからなるシリコン膜300を成膜する。このシリコン膜300は、素子分離膜40の一面40aも含めて覆って形成する。なお、シリコン膜300はCVDを用いて形成することができる。

40

## 【0029】

次いで、図5に示すように、窒化シリコン膜400を、シリコン膜300上の全面に亘って形成する。シリコン膜300もCVDを用いて形成することができる。

## 【0030】

次いで、図6に示すように、フィールドプレート50および保護膜70となるべき部分にマスキングし、シリコン膜300および窒化シリコン膜400をエッチングする。シリ

50

コン膜 300 のうち、マスクされていない部分が除去され、フィールドプレート 50 となる。また、窒化シリコン膜 400 のうちマスク、されていない部分が除去され、保護膜 70 となる。これにより、フィールドプレート 50 および保護膜 70 を形成することができる。

#### 【0031】

次いで、ゲート酸化膜 34 を形成する。図 7 に示すように、酸素雰囲気中において加熱することによってドリフト層 10 の一面 10a にゲート酸化膜 34 を形成することができる。コレクタ電極 23 およびエミッタ電極 33 は、後の工程において、このゲート酸化膜 34 の一部を除去して、それぞれコレクタ部 20 およびエミッタ部 30 と電氣的に接続される。なお、このゲート酸化膜 34 を形成する工程において、フィールドプレート 50 および保護膜 70 の yz 平面に沿う面と、保護膜 70 の xy 平面に沿う面にも薄い絶縁膜 80 が形成される。フィールドプレート 50 は Poly-Si からなるため、その表面が酸化して絶縁膜 80 となる。また、保護膜 70 は窒化シリコンからなるため、表面近傍の一部のシリコン原子が酸素と結合して表面に析出して絶縁膜 80 となる。

10

#### 【0032】

次いで、ゲート電極 35 を形成する。図 8 に示すように、ゲート酸化膜 34 および素子分離膜 40 上に、絶縁膜 80 を覆うようにして Poly-Si からなるシリコン膜 500 を形成する。その後、ゲート電極 35 に相当する部分を残してシリコン膜 500 を除去する。さらに、ゲート酸化膜 34 のうち、コレクタ電極 23 およびエミッタ電極 33 が形成される部分を除去し、コレクタ電極 23 およびエミッタ電極 33 を形成する。これにより、本実施形態に係る半導体装置 100 を形成することができる。

20

#### 【0033】

次に、図 9 および図 10 を参照して、フィールドプレート 50 上に保護膜 70 が存在することによる作用効果について説明する。

#### 【0034】

従来の構成では、フィールドプレート 50 としての Poly-Si が保護膜 70 によって保護されていない。このため、図 7 に示すゲート酸化膜 34 を形成する工程において、フィールドプレート 50 が酸化による侵食を受けやすい構成となっていた。フィールドプレート 50 が酸化すると、xz 平面に沿う断面の断面積が減少して抵抗値が上昇してしまう。また、酸化による侵食量が一定ではないため、フィールドプレート 50 の抵抗値にばらつきが発生してしまう。本実施形態では、フィールドプレート 50 の xy 平面に沿う面が保護膜 70 によって保護されている。このため、上記問題を生じにくくすることができる。

30

#### 【0035】

発明者は、上記した方法で形成された半導体装置 100 におけるフィールドプレート 50 の抵抗値を測定した。図 9 は、保護膜 70 を有する半導体装置 100 が形成されたウェハ、および、保護膜 70 を有さない従来の半導体装置が形成されたウェハについて、フィールドプレート 50 の抵抗値を測定した結果である。なお、保護膜 70 を有するウェハと有さないウェハをそれぞれ 3 枚測定した。また、各ウェハにおいて、ウェハ内の位置の異なる 5 つのショットに形成された半導体装置 100 について、それぞれフィールドプレート 50 の抵抗値を測定した。保護膜 70 を有する場合のプロットを白抜き四角で示す。一方、保護膜 70 を有さない場合のプロットを白抜き丸で示す。

40

#### 【0036】

図 9 に示す測定結果によれば、保護膜 70 を有する半導体装置 100 は、保護膜 70 を有さない半導体装置に較べて、フィールドプレート 50 の抵抗値が小さくなっている。これは、上記したように、保護膜 70 を有する場合、フィールドプレート 50 が酸化されてその断面積が減少することを抑制することができることを示している。すなわち、抵抗値の上昇を抑制できることを示している。また、保護膜 70 を有する半導体装置 100 は、保護膜 70 を有さない半導体装置に較べて、抵抗値のショット間ばらつきが小さい。これは、保護膜 70 を有する場合、酸化による侵食量のばらつきを抑制できることを示してい

50

る。すなわち、フィールドプレート50の抵抗値のばらつきを抑制できることを示している。

#### 【0037】

また、発明者は、上記した方法で形成された半導体装置100におけるIGBTの耐圧を測定した。図10は、コレクタ電圧に対するコレクタ電流量を示すグラフである。コレクタ電流がコレクタ電圧に対して線形変化している領域はIGBTが正常に動作していることを示す。一方、コレクタ電圧が所定電圧を超えると前述の線形性に沿わない大きなコレクタ電流が流れる。この所定電圧を耐圧とする。

#### 【0038】

図10に示す測定結果によれば、保護膜70を有する半導体装置100は、保護膜70を有さない半導体装置に較べて耐圧が大きくなっている。すなわち、保護膜70を有することにより、フィールドプレート50の抵抗値をほぼ均一にすることができ、ドリフト層10内部の等電位線の間隔を、従来の構成に較べて均一にすることができる。

10

#### 【0039】

以上の測定結果が示すように、半導体装置100が保護膜70を有することにより、第1拡散層（コレクタ部20）と第2拡散層（エミッタ部30）の間の電界をより均一にすることができ、半導体装置100の耐圧を向上させることができる。

#### 【0040】

（第2実施形態）

第1実施形態では、フィールドプレート50の直上に保護膜70が形成された例を示した。しかしながら、図11に示すように、フィールドプレート50と保護膜70との間に熱酸化層90が介在するような構成とすることもできる。

20

#### 【0041】

同一の半導体ウェハ内に、IGBTのみならず、他の素子、例えばキャパシタを形成する場合、キャパシタの製造工程とIGBTの製造工程とを共通化することで製造コストを削減することができる。この場合、キャパシタの正極と負極の間に配置する誘電体として、熱酸化層90を形成する工程が必要となる。この工程は、保護膜70を形成する工程の直前に挿入される。

#### 【0042】

本実施形態のような構成であっても、半導体装置100が保護膜70を有することにより、保護膜70を形成する工程以降の酸化に関する工程において、フィールドプレート50が酸化によって侵食されることを抑制する効果を奏することができる。

30

#### 【0043】

（その他の実施形態）

以上、本発明の好ましい実施形態について説明したが、本発明は上述した実施形態になんら制限されることなく、本発明の主旨を逸脱しない範囲において、種々変形して実施することが可能である。

#### 【0044】

上記した各実施形態では、保護膜70として窒化シリコン（SiN）を用いる例を示したが、SiONを主成分として用いることもできる。

40

#### 【0045】

また、上記した各実施形態では、保護膜70が素子分離膜40に接触しないように、フィールドプレート50上にのみ形成される例を示した。しかしながら、保護膜70の製造工程において素子分離膜40上に残留させる構成としてもよい。ただし、酸化シリコンからなる素子分離膜40と窒化シリコンからなる保護膜70のように、異種材料が互いに接触した構造を採用すると、素子分離膜40内において電荷分布を生じる虞があり、ドリフト層10内の等電位線を乱す虞がある。このため、上記した各実施形態のように、保護膜70が素子分離膜40に接触しないように、フィールドプレート50上にのみ形成される構成が好ましい。

#### 【0046】

50

また、上記した各実施形態では、半導体装置 100 が、抵抗性のフィールドプレート 50 を有する構成について例示したが、フィールドプレート 50 は抵抗性であることに限定されない。例えば、容量性のフィールドプレートを採用することもできる。

【0047】

また、上記した各実施形態では、半導体装置 100 として、横型の IGBT を構成する例を示した。しかしながら、本発明は、LDMOS（横方向拡散 MOS）や横型のダイオードなどにも適宜適用することができる。

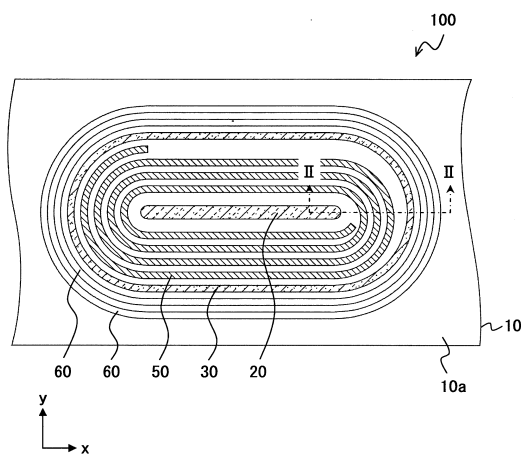
【符号の説明】

【0048】

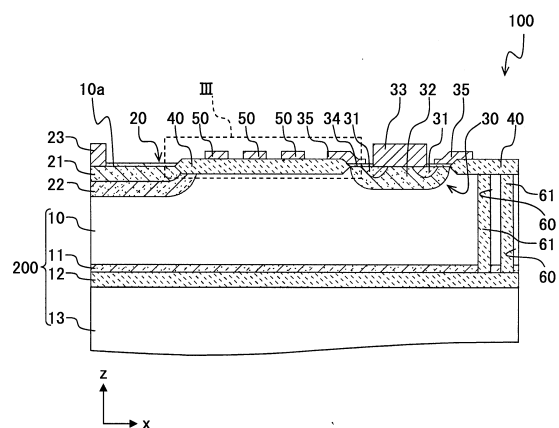
- 100・・・半導体装置
- 10・・・半導体基板（ドリフト層）
- 20・・・コレクタ部
- 30・・・エミッタ部
- 40・・・素子分離膜
- 50・・・フィールドプレート
- 60・・・トレンチ
- 70・・・保護膜

10

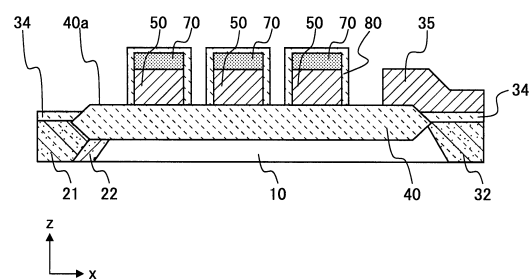
【図 1】



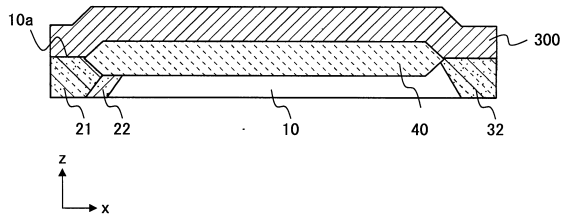
【図 2】



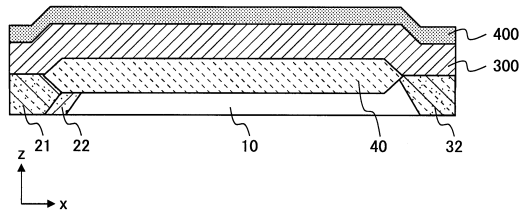
【図 3】



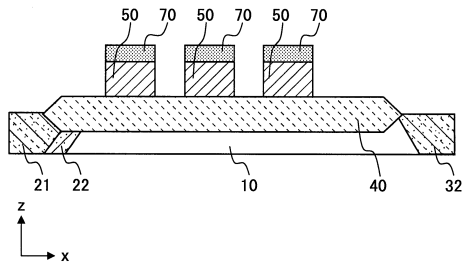
【図 4】



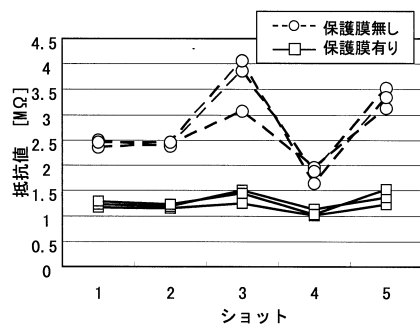
【図 5】



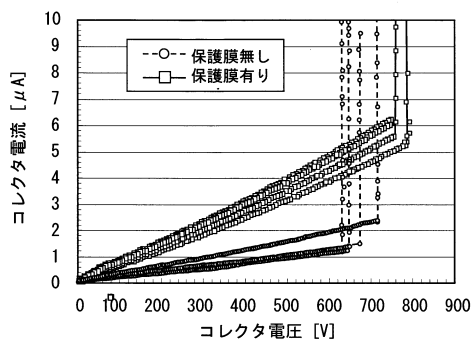
【図 6】



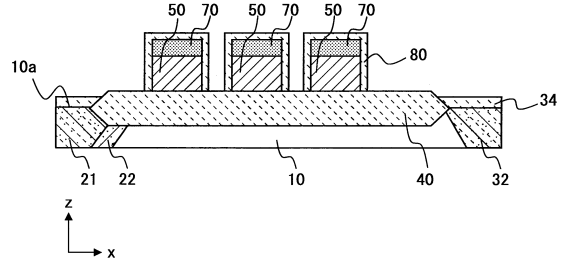
【図 9】



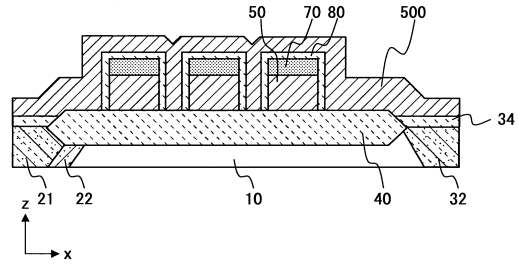
【図 10】



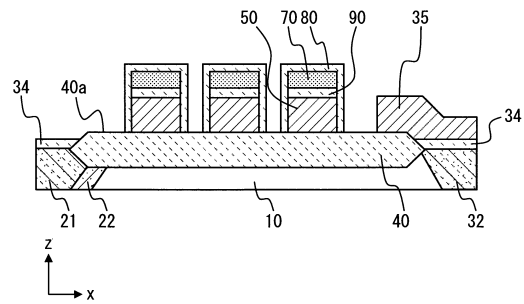
【図 7】



【図 8】



【図 11】



---

フロントページの続き

審査官 川原 光司

- (56)参考文献 特開平11-288949 (JP, A)  
特開平11-145151 (JP, A)  
特開平03-169081 (JP, A)  
国際公開第2013/069408 (WO, A1)  
特開平07-153958 (JP, A)  
特開平06-232409 (JP, A)  
特開昭60-042859 (JP, A)

- (58)調査した分野(Int.Cl., DB名)  
H01L 21/336  
H01L 29/06  
H01L 29/78  
H01L 29/786