(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 102087606 B
(45)授权公告日 2014.02.05

(21)申请号 201110038464.8
(22)申请日 2011.02.16
(73)专利权人 电子科技大学
地址 611731 四川省成都市高新区(西区)西源大道2006号
(72)发明人 向川云 曾浩 叶芃 张沁川 崔东岳
(74)专利代理机构 成都行之专利代理事务所(普通合伙) 51220
代理人 温利平
(51)Int.Cl.
G06F 9/445(2006.01)

(56)对比文件
CN 201353157 Y,2009.12.02,
CN 101354657 A,2009.01.28,
CN 101298284 A,2008.11.05,

审查员 丁君军

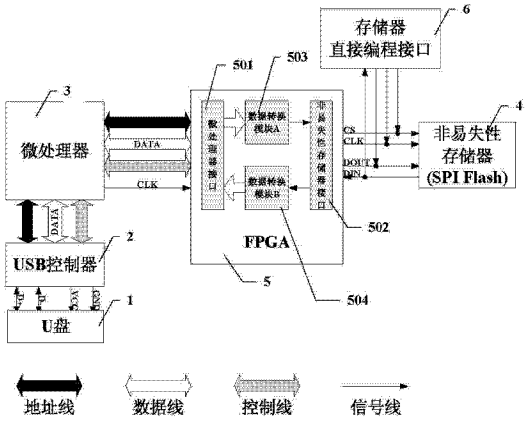
权利要求书1页 说明书6页 附图3页

(54)发明名称

一种FPGA配置文件更新装置

(57)摘要

本发明公开了一种FPGA配置文件更新装置，微处理器/微控制器通过通用即插即用接口从外部存储器导入FPGA配置文件，并将FPGA配置文件发送到FPGA芯片；FPGA芯片将FPGA配置文件转换为非易失性存储器可以识别的数据格式发送到非易失性存储器进行保存，更新FPGA配置文件；数字系统再次上电时，FPGA芯片自行读取存储在非易失性存储器中更新后的配置文件，实现自动加载，以正常工作。在本发明中，仅在需要更新FPGA配置文件时才向非易失性存储器中写入新的FPGA配置文件，实现在线配置的需求；同时，微处理器/微控制器为外部存储器提供接口，并将其FPGA配置文件读入自身的存储器中，然后再写入非易失性存储器中，实现更新FPGA配置文件，不受到专用下载线限制。



CN 102087606 B

1. 一种 FPGA 配置文件更新装置，包括微处理器 / 微控制器、FPGA 芯片，其特征在于还包括 :通用即插即用接口、外部存储器、非易失性存储器 ;

微处理器 / 微控制器通过通用即插即用接口从外部存储器导入 FPGA 配置文件，并将 FPGA 配置文件发送到 FPGA 芯片 ;FPGA 芯片将 FPGA 配置文件转换为非易失性存储器可以识别的数据格式发送到非易失性存储器进行保存，更新 FPGA 配置文件 ;

数字系统再次上电时，FPGA 芯片自行读取存储在非易失性存储器中更新后的配置文件，实现自动加载，以正常工作 ;

所述的外部存储器为可移动磁盘，通用即插即用接口为 USB 控制器，微处理器 / 微控制器采用微处理器 ;

微处理器在硬件上连接 USB 控制器，USB 控制器提供 USB 接口，用以连接 U 盘 ;在软件上微处理器具有 USB 通信协议，以便控制 USB 控制器对可移动磁盘读写操作 ;

所述的 FPGA 芯片内部集成了微处理器接口、非易失性存储器接口、数据转换模块 A、数据转换模块 B 共四个模块 ;

微处理器接口用于连接微处理器与 FPGA 芯片，实现 FPGA 芯片与微处理器的 FPGA 配置文件收发以及微处理器向 FPGA 芯片发送控制命令 ;

非易失性存储器接口用于实现 FPGA 芯片与非易失性存储器的通信，FPGA 芯片产生相应的时序以访问非易失性存储器，对其进行 FPGA 配置文件读写操作和控制 ;

数据转换模块 A 将微处理器发送的 FPGA 配置文件转化为非易失性存储器能够识别的数据格式 ;

数据转换模块 B 将从非易失性存储器中读取的 FPGA 配置文件转化为微处理器能够识别的数据格式。

2. 根据权利要求 1 所述的 FPGA 配置文件更新装置，其特征在于，所述的 FPGA 配置文件包含配置文件版本、生成文件时间信息 ;

当 U 盘插入 USB 控制器的 USB 接口后，微处理器识别并检测 U 盘内的数据，发现有可用的 FPGA 配置文件后，提示用户选择一个需要用于升级的 FPGA 配置文件读入自身存储器中 ;在微处理器的存储器中划分一块存储区域，专门用于存储从优盘中读取的 FPGA 配置文件数据 ;

微处理器检验 FPGA 配置文件，一旦检测到要升级版本早于现有版本，则版本错误，停止升级，并提示用户进行检查 ;如果比现有版本新，则版本正确，进行更新 FPGA 配置文件操作，FPGA 芯片重新上电，读取更新后的 FPGA 配置文件，完成更新。

一种 FPGA 配置文件更新装置

技术领域

[0001] 本发明属于数字系统技术领域，更为具体地讲，涉及一种更新数字系统中 FPGA 芯片配置文件的装置，以实现数字系统不同的电路功能。

背景技术

[0002] 数字系统是对数字信息进行存储、传输、处理等操作的电子系统，近年来广泛地应用于电视、雷达、通信、电子计算机、自动控制、航天等科学技术的各个领域。数字系统以二进制作为基础，具有实现简单、可靠性高的特点；同时具备数学运算和逻辑运算的能力，极其适合于运算、比较、存储、传输、控制、决策等应用；集成度高，体积小，功耗低，抗干扰能力强，易于实现小型化、模块化等也是其突出优点。

[0003] 随着微处理器 / 微控制器以及可编程逻辑器件的出现，数字系统开创了新的局面，不仅规模大，而且将硬件与软件相结合，使数字系统的功能更加完善，使用更加灵活。“可编程逻辑器件 + 微处理器 / 微控制器”架构是当今数字系统流行使用的系统架构。可编程逻辑器件可以大大减少系统硬件的面积，降低系统功耗，且可以根据用户需要在任何时候通过软件反复对其进行配置和编程以实现特定功能，不仅降低了成本，而且极大的提高了系统的灵活性。

[0004] FPGA(Field-Programmable Gate Array)，即现场可编程门阵列作为一种重要的可编程逻辑器件，具有丰富的逻辑资源和 I/O 资源，设计周期短，开发费用低，风险小，能够提高数字系统的集成度，可靠性高，因此在数字系统中应用较为广泛。

[0005] 然而，通用 FPGA 芯片一般基于掉电易失性存储器而设计，在掉电后不能保存配置文件。为了保证上电后能够正常工作，必须通过外部非易失性存储器存储配置文件，在上电时再将配置文件导入 FPGA 芯片以正常加载。目前常用的 FPGA 配置方式有三种。

[0006] 第一种方式是边界扫描模式(Boundary Scan)。边界扫描测试发展于上个世纪 90 年代，随着大规模集成电路的出现，印制电路板制造工艺向小、微、薄发展，传统的 ICT 测试已经无法满足这类产品的测试要求。由于芯片的引脚多，元器件体积小，板的密度特别大，根本无法进行下探针测试。在这种情况下，一种新的测试技术产生了，联合测试行为组织(Joint Test Action Group，简称 JTAG)定义这种新的测试方法即边界扫描测试。FPGA 芯片可以使用边界扫描模式进行配置。此种模式是计算机通过专用下载线与 FPGA 芯片的专用配置引脚相连，通过专用软件进行控制，将 FPGA 配置文件直接写入 FPGA 芯片内部的易失性存储器中，FPGA 芯片即可正常工作。此种模式的优点是，可以实时对 FPGA 芯片进行在线配置，适用于对 FPGA 芯片进行频繁调试的场合。然而，正由于该方式针对电路调试而产生，仅直接加载到 FPGA 芯片，无法对 FPGA 配置文件进行保存，FPGA 掉电后必须人工重新加载。

[0007] 第二种方式是在 FPGA 芯片外部连接一个非易失性专用配置芯片，将 FPGA 配置文件写入非易失性配置芯片保存，FPGA 芯片每次上电时通过专用电路自行读取 FPGA 配置文件并写入其内部易失性存储器中，实现自动加载。而该方式一旦要更新 FPGA 配置文件，则需要连接专用下载线，通过专用软件控制，将新的 FPGA 配置文件重新写入非易失性专用配

置芯片中。若系统已经制作成产品，则必然受到必须连接专用下载线以及通过专用软件控制的限制，必须将产品返厂调试、更改，大大增加了调试维护的成本和周期。如果向用户提供专用下载线及专用软件，则会增加产品的成本，同时用户很难掌握专用软件的使用及调试的方法，增加使用难度，而且用户自行拆开产品进行频繁调试和维护也不现实。

[0008] 第三种方式是通过微处理器 / 微控制器进行加载。将 FPGA 配置文件放入通用外部非易失性存储器中，数字系统每次上电时由微处理器 / 微控制器从外部非易失性存储器读取 FPGA 配置文件，模拟 FPGA 芯片专用加载时序，将 FPGA 配置文件转化为匹配的位流写入 FPGA 内部易失性存储器中，实现外部加载。此种方案摆脱了专用下载线的限制，只需要将配置文件存入外部非易失性存储器供微处理器 / 微控制器读取即可。然而这种方法的弊端在于每次上电都需要通过微处理器 / 微控制器进行控制，这样不仅加重了微处理器 / 微控制器的负担，而且每次上电 FPGA 芯片必须等待微处理器 / 微控制器初始化完成后才能进行配置，这样增加了 FPGA 芯片的等待配置的时间，也就是增加了整个系统从上电到开始正常工作的时间。同时，第二种方式所带来的维护成本、周期和难度方面的影响，在该方式中依然存在。

[0009] 以上三种常用的配置方式各自有其优点和特点，适用于不同场合，然后也受其自身的限制，无法同时满足在线配置、摆脱下载线的制约、方便快捷等需求。

发明内容

[0010] 本发明的目的在于克服现有技术的不足，提供一种同时满足在线配置的需求而不受到专用下载线限制的 FPGA 配置文件更新装置。

[0011] 为实现上述目的，本发明 FPGA 配置文件更新装置，包括微处理器 / 微控制器、FPGA 芯片，其特征在于还包括 ：通用即插即用接口、外部存储器、非易失性存储器 ；

[0012] 微处理器 / 微控制器通过通用即插即用接口从外部存储器导入 FPGA 配置文件，并将 FPGA 配置文件发送到 FPGA 芯片 ；FPGA 芯片将 FPGA 配置文件转换为非易失性存储器可以识别的数据格式发送到非易失性存储器进行保存，更新 FPGA 配置文件 ；

[0013] 数字系统再次上电时，FPGA 芯片自行读取存储在非易失性存储器中更新后的配置文件，实现自动加载，以正常工作。

[0014] 本发明的发明目的是这样实现的 ：

[0015] 数字系统上电时，FPGA 芯片自行读取与其相连的非易失性存储器，如 Flash 等中的 FPGA 配置文件，仅在需要更新 FPGA 配置文件时才通过微处理器 / 微控制器控制 FPGA 芯片向非易失性存储器中写入新的 FPGA 配置文件，这样，数字系统正常工作时不会对微处理器 / 微控制器造成负担，实现在线配置的需求。

[0016] 同时，微处理器 / 微控制器为外部存储器提供接口，并对其进行控制，可以将存储在外部存储器中的 FPGA 配置文件读入自身的存储器中，然后通过微处理器 / 微控制器控制 FPGA 芯片写入非易失性存储器中，实现更新 FPGA 配置文件，不受到专用下载线限制。

附图说明

[0017] 图 1 是本发明 FPGA 配置文件更新装置的一种具体实施方式原理图 ；

[0018] 图 2 是更新 FPGA 配置文件的具体实施流程图 ；

[0019] 图 3 是图 2 所示的更新 FPGA 配置文件操作的具体实施流程图。

具体实施方式

[0020] 下面结合附图对本发明的具体实施方式进行描述，以便本领域的技术人员更好地理解本发明。需要特别提醒注意的是，在以下的描述中，当已知功能和设计的详细描述也许会淡化本发明的主要内容时，这些描述在这里将被忽略。

[0021] 图 1 是本发明 FPGA 配置文件更新装置的一种具体实施方式原理图。

[0022] 在本实施例中，如图 1 所示，外部存储器存储 FPGA 配置文件供微处理器 / 微控制器读取，考虑到更新 FPGA 配置文件操作的易用性和通用性，外部存储器采用可移动磁盘，在本实施例中为 U 盘 1，可移动磁盘具有 USB 接口，通用性强，接口简单，即插即用。

[0023] 在本实施例中，通用即插即用接口为 USB 控制器 2，微处理器 / 微控制器采用微处理器 3。微处理器 3 要实现对具有 USB 接口的 U 盘 1 进行访问，在硬件上连接 USB 控制器 2，USB 控制器 2 提供 USB 接口，用以连接 U 盘 1 ；在软件上微处理器 3 具有 USB 通信协议，以便控制 USB 控制器 2 对可移动磁盘，在本实施例中 U 盘 1 的读写操作。

[0024] 采用各个 FPGA 厂商提供的软件生成 FPGA 芯片的配置文件后，经过转化，将 FPGA 配置文件转为微处理器 3 能够识别的文件格式，将 FPGA 配置文件写入 U 盘 1 中，微处理器 3 通过 USB 控制器 2 在线访问 U 盘 1，将 FPGA 配置文件导入自身的存储器中，用于后续的更新。

[0025] 在生成微处理器 3 能够识别的文件格式的 FPGA 配置文件时，在 FPGA 配置文件中加入配置文件版本、生成文件时间信息，用于在进行 FPGA 配置文件更新时微处理器 3 进行校验，升级时一旦检测到要升级版本早于系统现有版本，则停止升级，并提示用户进行检查。微处理器 3 能够识别并列出存储于可移动磁盘，在本实施例中 U 盘 1 所有可供升级的文件，以便用户自行选择需要的文件，以用于 FPGA 配置文件更新操作。

[0026] 微处理器 3 虽然可以直接访问非易失性存储器 4，然而非易失性存储器 4 又要被 FPGA 芯片 5 访问，不易解决微处理器 3 和 FPGA 芯片 5 访问仲裁的问题。因此，将 FPGA 芯片 5 作为微处理器 3 与非易失性存储器 4 连接的桥梁，实现微处理器 3 通过 FPGA 芯片 5 访问非易失性存储器 4，而 FPGA 芯片 5 也可以直接对非易失性存储器进行访问，很好地解决了二者访问仲裁的问题。

[0027] FPGA 芯片 5 作为微处理器 3 与非易失性存储器 4 连接的桥梁，其内部集成了微处理器接口 501、非易失性存储器接口 502、数据转换模块 A 503、数据转换模块 B 504 共四个模块。微处理器接口 501 用于连接微处理器 3 与 FPGA 芯片 5，实现 FPGA 芯片 5 与微处理器 3 的 FPGA 配置文件收发以及微处理器 3 向 FPGA 芯片 5 发送控制命令 ；非易失性存储器接口 502 用于实现 FPGA 芯片 5 与非易失性存储器 4 的通信，FPGA 芯片 5 可以产生相应的时序以访问非易失性存储器 4，对其进行 FPGA 配置文件读写操作和控制 ；数据转换模块 A 503 将微处理器 3 发送的 FPGA 配置文件转化为非易失性存储器 4 能够识别的数据格式 ；数据转换模块 B 504 将从非易失性存储器 4 中读取的 FPGA 配置文件转化为微处理器 3 能够识别的数据格式。

[0028] 在本实施例中，用于存储 FPGA 配置文件的非易失性存储器 4 采用 SPI Flash，FPGA 芯片 5 通过 SPI 通信协议对其进行访问，因此，FPGA 芯片 5 的非易失性存储器接口 502 采

用 SPI 接口，SPI 接口包括片选信号 CS，时钟信号 CLK，数据输出 DOUT，数据输入 DIN。FPGA 芯片 5 作为主设备，产生片选信号 CS 和时钟信号 CLK ；非易失性存储器 4 SPI Flash 作为从设备，接收来自主设备的片选信号 CS 和时钟信号 CLK。在片选信号 CS、时钟信号 CLK、数据输出 DOUT、数据输入 DIN 共同作用下，FPGA 芯片 5 和非易失性存储器 4 SPI Flash 实现数据的交互，即 FPGA 配置文件的写入和读取。SPI 通信协议属于现有技术，在此不再赘述。

[0029] 微处理器 3 要向非易失性存储器 4 SPI Flash 写入 FPGA 配置文件时，先要发送写控制命令 ：微处理器 3 先将写控制命令发送给 FPGA 芯片 5，FPGA 芯片 5 通过微处理器接口 501 进行接收，然后通过数据转换模块 A 503 将写控制命令转换成非易失性存储器 4 SPI Flash 能够识别的写控制命令编码，通过 SPI 接口 502，在时钟 CLK 和片选 CS 的配合下，将写控制命令编码通过数据输出 DOUT 发送给非易失性存储器 4 SPI Flash，非易失性存储器 4 SPI Flash 接到写控制命令后，开始接收 FPGA 配置文件。微处理器 3 发送 FPGA 配置文件时，先将 FPGA 配置文件通过微处理器接口 501 发送给 FPGA 芯片 5，FPGA 配置文件在 FPGA 芯片 5 内部经过数据转换模块 A 503 转换成非易失性存储器 4 SPI Flash 能够识别的数据格式，再通过 SPI 接口，在时钟信号 CLK 和片选信号 CS 配合下，通过数据输出 DOUT 发送到非易失性存储器 4 SPI Flash。只有在时钟信号 CLK、片选信号 CS 和数据输出 DOUT 三个信号共同作用下，非易失性存储器 4 SPI Flash 才能够正确接收 FPGA 配置文件，否则会出现 FPGA 配置文件无法写入或者写入错误的情况。

[0030] 微处理器 3 要读取非易失性存储器 4 SPI Flash 中的 FPGA 配置文件时，先要发送读控制命令，微处理器 3 先将读控制命令发送给 FPGA 芯片 5，FPGA 芯片 5 通过微处理器接口 501 进行接收，然后通过数据转换模块 A 503 将读控制命令转换成非易失性存储器 4 SPI Flash 能够识别的读控制命令编码，通过 SPI 接口 502，在时钟信号 CLK 和片选信号 CS 的配合下，将读控制命令编码通过数据输出 DOUT 发送给非易失性存储器 4 SPI Flash，非易失性存储器 4 SPI Flash 接到读控制命令后，开始发送 FPGA 配置文件。非易失性存储器 4 SPI Flash 发送 FPGA 配置文件时，FPGA 芯片 5 中的 SPI 接口 502 产生时钟信号 CLK 和片选信号 CS，非易失性存储器 4 SPI Flash 结合这两个信号，通过 DIN 输入把 FPGA 配置文件发送给 FPGA 芯片 5 进行接收，FPGA 芯片 5 接收 FPGA 配置文件后，通过数据转换模块 B 504 将 FPGA 配置文件转换成微处理器 3 可以识别的格式，并通过微处理器接口 501 发送到微处理器 3，微处理器 3 将 FPGA 配置文件保存在自身的存储器中。只有在时钟信号 CLK、片选信号 CS 和数据输入 DIN 三个信号共同作用下，FPGA 芯片 5 才能够正确接收来自非易失性存储器 4 SPI Flash 的 FPGA 配置文件。

[0031] 在本实施例中，如图 1 所示，本发明的 FPGA 配置文件更新装置还包括有存储器直接编程接口 6 与非易失性存储器 4 SPI Flash 连接，用于生产过程中，写入和调试维护。

[0032] 图 2 是更新 FPGA 配置文件的具体实施流程图。

[0033] 如图 2 所示，在本实施例中，当 U 盘 1 插入 USB 控制器 2 的 USB 接口后，微处理器 3 能够识别并检测 U 盘 1 内的数据，发现有可用的 FPGA 配置文件后，提示用户选择一个需要用于升级的 FPGA 配置文件读入自身存储器中。在微处理器 3 的存储器中划分一块存储区域，专门用于存储从 U 盘 1 中读取的 FPGA 配置文件数据。

[0034] 微处理器 3 检验 FPGA 配置文件，一旦检测到要升级版本早于现有版本，则版本错误，停止升级，并提示用户进行检查 ；如果比现有版本新，则版本正确，进行更新 FPGA 配置

文件操作，FPGA 芯片 5 重新上电，读取更新后的 FPGA 配置文件，完成更新。

[0035] 图 3 是图 2 所示的更新 FPGA 配置文件操作的具体实施流程图

[0036] 如图 3 所示，在本实施例中，微处理器 3 发送写使能时，先将写使能命令发送至 FPGA 芯片 5，FPGA 芯片 5 将其转化成非易失性存储器 4 SPI Flash 能够识别的数据格式，SPI 接口 502 的片选信号 CS 拉低，时钟信号 CLK 产生时钟信号，通过数据输出 DOUT 发送写使能命令，在片选信号 CS、时钟信号 CLK、数据输出 DOUT 的配合下非易失性存储器 4 SPI Flash 能够正确识别写使能命令，发送完成后片选信号 CS 拉高，发送完成，此时非易失性存储器 4 SPI Flash 不再接收任何数据。

[0037] 在发送写使能后，微处理器 3 可以对非易失性存储器 4 SPI Flash 进行擦除、写入操作。发送擦除 SPI Flash 命令的方式与发送写使能命令的方式相同。

[0038] 微处理器 3 发送 FPGA 配置文件时，发送的顺序是“写数据命令 + 写入 SPI Flash 的起始地址 + 要写入的数据”，微处理器 3 将所有内容先按顺序发送至 FPGA 芯片 5，经过转化后通过 SPI 接口 502 的数据输出 DOUT 发送给非易失性存储器 4 SPI Flash，在发送整个 FPGA 配置文件，片选信号 CS 拉低，时钟信号 CLK 产生时钟信号，在整个内容发送完成后，片选信号 CS 拉高，时钟信号 CLK 不再产生时钟，整个发送过程完成。

[0039] 微处理器 3 要读取非易失性存储器 4 SPI Flash 中的 FPGA 配置文件，先要发送读数据命令和读取 SPI Flash 数据的起始地址到 FPGA 芯片 5，经转化后由 SPI 接口 502 的数据输出 DOUT 发送至非易失性存储器 4 SPI Flash，非易失性存储器 4 SPI Flash 接收到命令和地址后，将 FPGA 配置文件数据发送至 SPI 接口的数据输入 DIN，FPGA 芯片 5 接收后将 FPGA 配置文件数据转化成微处理器 3 能够识别的数据格式再通过微处理器接口 501 发送至微处理器 3 保存，整个过程开始时 SPI 接口 502 的片选信号 CS 拉低，时钟信号 CLK 产生时钟，结束后片选信号 CS 拉高，时钟信号 CLK 停止产生时钟，整个接收数据过程完成。

[0040] 微处理器 3 向非易失性存储器 4 写入数据后，将写入后的 FPGA 配置文件数据读回进行校验，如果与存储在微处理器 3 发送的 FPGA 配置文件数据相同，则证明写入非易失性存储器 4 SPI Flash 正确；反之，如果校验不一致，则证明写入错误，微处理器 3 重新向非易失性存储器 4 SPI Flash 写入数据，并读回校验。

[0041] 本发明的优点在于，用可移动磁盘，如优盘等这类通用性非常好的存储设备代替通过专用下载线由计算机导入的方式，实用性和易用性有很大的提高。一方面，FPGA 配置文件更新可由用户自行完成而不用返厂操作，可以在线随时升级 FPGA 的可编程逻辑电路。另一方面，该方式仅在需要更新配置文件时才利用微处理器 / 微控制器进行控制，避免了传统的基于微处理器 / 微控制器加载 FPGA 配置文件的方案在每次上电加载逻辑电路时对微处理器 / 微控制器造成的严重负担；更新配置文件后，正常上电情况下 FPGA 芯片自行读取专用配置芯片中配置文件进行加载，也避免了传统的基于微处理器加载方案用于等待微处理器 / 微控制器初始化的时间。同时，采用本方案不需要改变原数字系统的结构，可以直接利用现有系统的硬件连接方式，通过在 FPGA 设计中加入相应功能电路、在微处理器软件系统中加入相应控制模块，即可完成本发明的设计。

[0042] 尽管上面对本发明说明性的具体实施方式进行了描述，以便于本技术领的技术人员理解本发明，但应该清楚，本发明不限于具体实施方式的范围，对本技术领域的普通技术人员来讲，只要各种变化在所附的权利要求限定和确定的本发明的精神和范围内，这些变

化是显而易见的，一切利用本发明构思的发明创造均在保护之列。

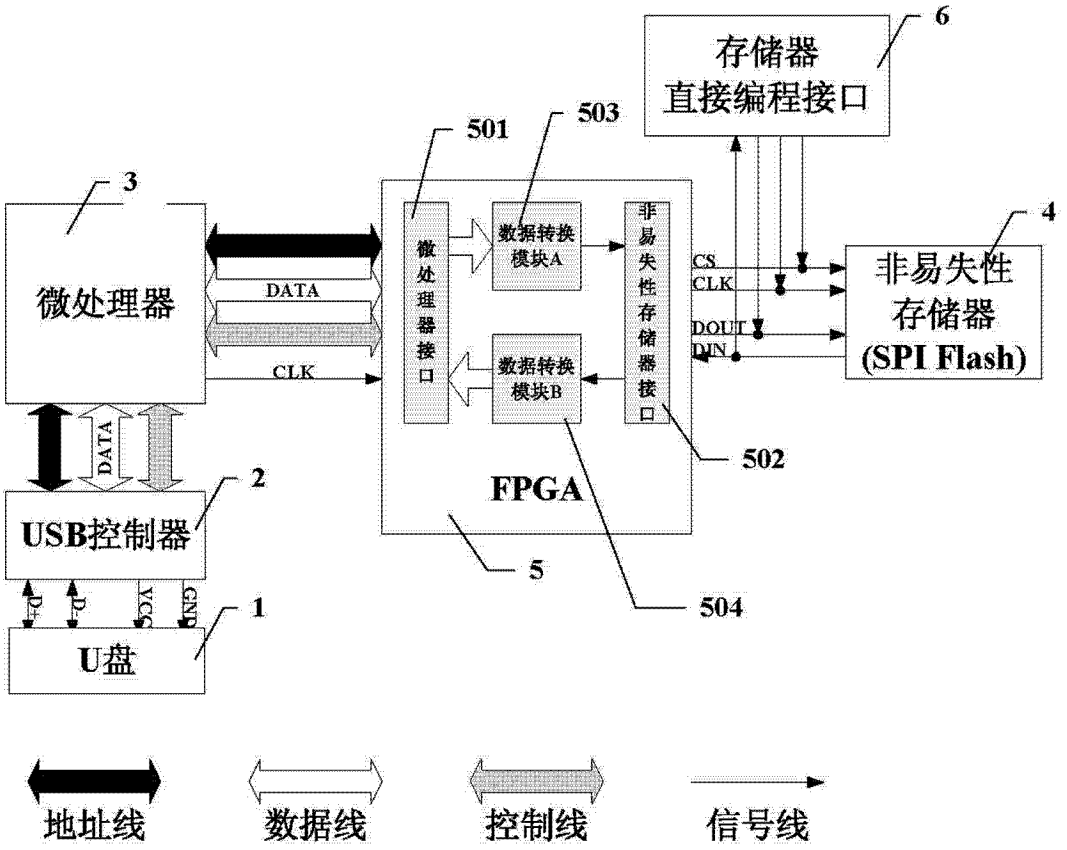

存储器
直接编程接口
6
501
503
3
微处理器
DATA
CLK
微处理器接口
数据转换模块A
数据转换模块B
非易失性存储器接口
CS
CLK
DOUT
DIN
非易失性存储器(SPI Flash)
4
502
FPGA
5
504
DATA
2
USB控制器
D+
D-
VCC
GND
1
U盘
地址线
数据线
控制线
信号线

图 1

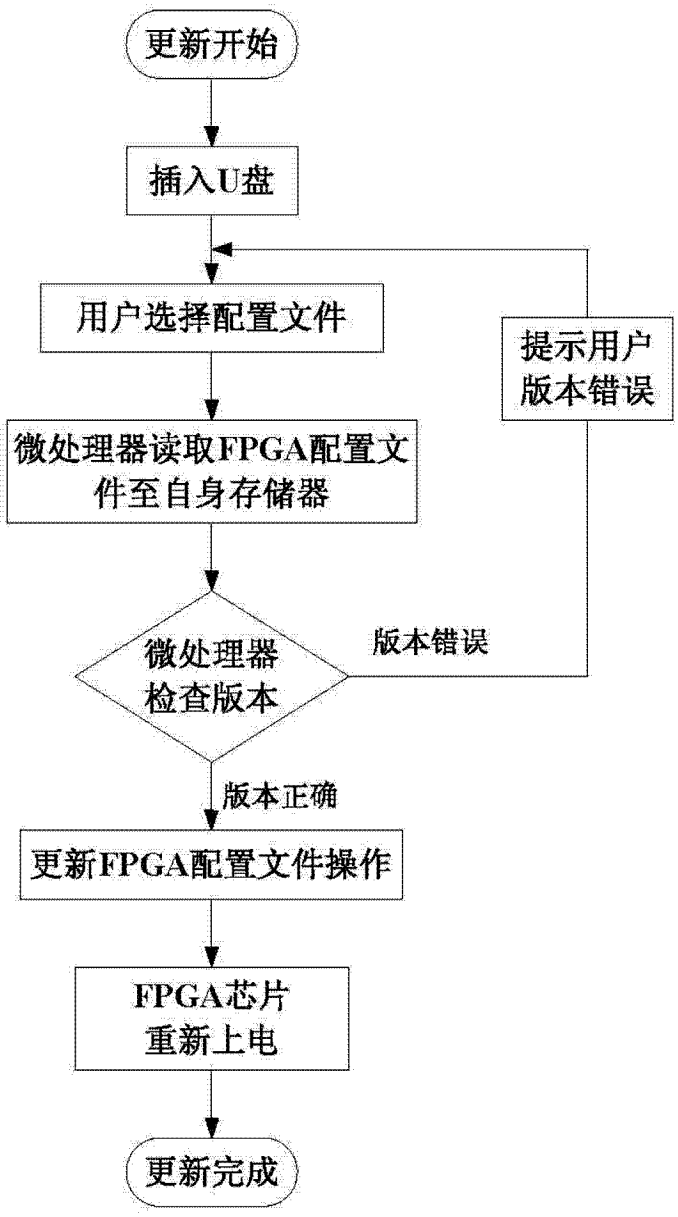

更新开始
插入U盘
用户选择配置文件
提示用户
版本错误
微处理器读取FPGA配置文
件至自身存储器
微处理器
检查版本
版本错误
版本正确
更新FPGA配置文件操作
FPGA芯片
重新上电
更新完成

图 2


更新操作开始
微处理器发送写使能至
非易失性存储器(SPI Flash)
微处理器发送擦除命令至
非易失性存储器(SPI Flash)
微处理器发送写命令至
非易失性存储器(SPI Flash)
微处理器发送FPGA配置文件至
非易失性存储器(SPI Flash)
微处理器发送读数据命令至
非易失性存储器(SPI Flash)
从非易失性存储器(SPI Flash)
读取配置文件回微处理器
微处理器
校验数据
不一致
一致
更新操作完成

图 3