

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-129453

(P2012-129453A)

(43) 公開日 平成24年7月5日(2012.7.5)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/76 (2006.01)	HO 1 L 21/76 L	5 F 0 3 2
HO 1 L 29/792 (2006.01)	HO 1 L 29/78 3 7 1	5 F 0 8 3
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 3 4	5 F 1 0 1
HO 1 L 21/336 (2006.01)	HO 1 L 27/10 4 8 1	
HO 1 L 27/115 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2010-281649 (P2010-281649)
 (22) 出願日 平成22年12月17日 (2010.12.17)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 110000567
 特許業務法人 サトー国際特許事務所
 (72) 発明者 稲葉 淳悟
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 Fターム(参考) 5F032 AA34 AA37 AA45 AA70 AA76
 AA77 BA02 CA17 CA24 CA25
 DA02 DA03 DA09 DA16 DA23
 DA24 DA25 DA30 DA33 DA53
 DA74

最終頁に続く

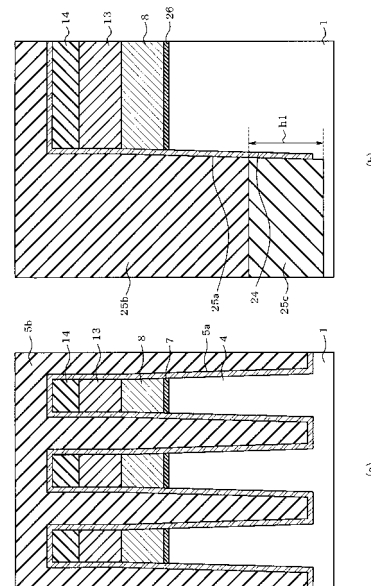
(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】素子分離溝を塗布系の材料で埋め込む素子分離構造において、熱処理時に素子分離溝に大きな応力が作用することを防止する。

【解決手段】メモリセル領域に形成され第1の開口幅を有する第1の素子分離溝と、周辺回路領域に形成され第1の開口幅より大きい第2の開口幅を有する第2の素子分離溝と、第1の素子分離溝の内面に形成された第1の酸化膜と、第1の酸化膜上に形成されて前記第1の素子分離溝内に埋め込まれた第1の塗布型酸化膜と、第2の素子分離溝の内面のうちの側部に形成された第2の酸化膜と、第2の素子分離溝内の内面のうちの底部上に形成された第3の酸化膜と、第3の酸化膜上に形成されて第2の素子分離溝内に埋め込まれた第2の塗布型酸化膜とを備えた。

【選択図】 図13



【特許請求の範囲】

【請求項 1】

半導体基板と、
 前記半導体基板上に設けられ複数のメモリセルが形成されたメモリセル領域と、
 前記半導体基板上に設けられた周辺回路領域と、
 前記メモリセル領域に形成され、第 1 の開口幅を有する第 1 の素子分離溝と、
 前記周辺回路領域に形成され、第 1 の開口幅より大きい第 2 の開口幅を有する第 2 の素子分離溝と、
 前記第 1 の素子分離溝の内面に形成された第 1 の酸化膜と、
 前記第 1 の酸化膜上に形成されて前記第 1 の素子分離溝内に埋め込まれた第 1 の塗布型酸化膜と、
 前記第 2 の素子分離溝の内面のうちの側部に形成された第 2 の酸化膜と、
 前記第 2 の素子分離溝の内面のうちの底部上に形成された第 3 の酸化膜と、
 前記第 3 の酸化膜上に形成されて前記第 2 の素子分離溝内に埋め込まれた第 2 の塗布型酸化膜とを備えたことを特徴とする半導体装置。 10

【請求項 2】

前記第 2 の素子分離溝の内面のうちの下端側部上に、前記第 3 の酸化膜が形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記第 2 の素子分離溝の内面のうちの側部の下部に形成され、前記側部の下部以外の部分の傾斜角度よりも小さい傾斜角度の傾斜部を備え、
 前記第 2 の素子分離溝の内面のうちの前記底部および前記傾斜部上に前記第 3 の酸化膜が形成されていることを特徴とする請求項 1 記載の半導体装置。 20

【請求項 4】

半導体基板上にゲート絶縁膜を形成する工程と、
 前記ゲート絶縁膜上に浮遊ゲート電極用の導電層を形成する工程と、
 前記導電層、前記ゲート絶縁膜および前記半導体基板を加工して、メモリセル領域に第 1 の開口幅を有する第 1 の素子分離溝を形成し、周辺回路領域に第 1 の開口幅より大きい第 2 の開口幅を有する第 2 の素子分離溝を形成する工程と、
 前記第 1 の素子分離溝の内面、前記第 2 の素子分離溝の内面、前記ゲート絶縁膜の側部、前記導電層の側部および前記導電層の上面に酸化膜を形成する工程と、
 前記酸化膜上にレジストを形成する工程と、
 前記レジストにおける前記周辺回路領域を開口する工程と、
 前記周辺回路領域の前記第 2 の素子分離溝の底部の前記酸化膜を加工して前記底部の半導体基板を露出させる工程と、
 前記レジストを剥離する工程と、
 前記第 2 の素子分離溝の底部の半導体基板が露出している部分上に C V D 法により選択的に C V D 酸化膜を形成する工程と、
 前記酸化膜および前記 C V D 酸化膜の上に塗布型酸化膜を形成し、前記第 1 の素子分離溝および前記第 2 の素子分離溝を埋め込む工程と
 を備えたことを特徴とする半導体装置の製造方法。 30 40

【請求項 5】

前記第 2 の素子分離溝を形成する工程において、前記第 2 の素子分離溝の内面のうちの側部の下部に、前記側部の下部以外の部分の傾斜角度よりも小さい傾斜角度の傾斜部を形成し、
 前記第 2 の素子分離溝の底部の前記酸化膜を加工して前記底部の半導体基板を露出させる工程において、前記傾斜部の表面部分の前記半導体基板を前記第 2 の酸化膜から露出させ、
 前記 C V D 酸化膜を形成する工程において、前記傾斜部の表面部分の前記半導体基板が露出している部分上にも前記 C V D 酸化膜を形成するように構成したことを特徴とする請 40 50

求項 4 記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、素子分離溝を塗布系の材料で埋め込む素子分離構造を備えた半導体装置および半導体装置の製造方法に関する。

【背景技術】

【0002】

フラッシュメモリ装置等の半導体装置においては、平坦性および微細化に優れる S T I (Shallow Trench Isolation) による素子分離構造が使用されている。この S T I 構造は、半導体基板の表面に素子分離溝を形成し、この素子分離溝内に素子分離絶縁膜を埋め込んで構成される。S T I 構造の埋め込み材料としては、微細化が進むにつれて、埋め込み性が良い塗布系の材料が使用されている。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2 0 0 6 - 2 8 6 7 2 0 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

上記塗布系の材料は、塗布後に熱処理を行って塗布膜を酸化膜に置換する熱工程が必要であり、この熱処理時に塗布膜の体積収縮量が大きいという特性がある。このため、フラッシュメモリ装置の周辺回路領域における幅広の素子分離溝を有する S T I 構造においては、上記塗布膜の大きな体積収縮によって素子分離溝に大きな応力が作用し、結晶欠陥が発生することがあった。尚、上記塗布膜に代えて C V D (chemical vapor deposition) 膜で素子分離溝を埋め込む構成も、従来より使用されているが、微細化が進むと、メモリセル領域においてライン曲がり (Line Bending) が発生することがあるため、埋め込み材料として塗布膜の使用が要望されている。

20

【0005】

そこで、素子分離溝を塗布系の材料で埋め込む素子分離構造において、熱処理時に素子分離溝に大きな応力が作用することを防止できる半導体装置および半導体装置の製造方法を提供する。

30

【課題を解決するための手段】

【0006】

本実施形態の半導体装置は、半導体基板と、前記半導体基板上に設けられ複数のメモリセルが形成されたメモリセル領域と、前記半導体基板上に設けられた周辺回路領域と、前記メモリセル領域に形成され、第 1 の開口幅を有する第 1 の素子分離溝と、前記周辺回路領域に形成され、第 1 の開口幅より大きい第 2 の開口幅を有する第 2 の素子分離溝とを備える。そして、前記第 1 の素子分離溝の内面に形成された第 1 の酸化膜と、前記第 1 の酸化膜上に形成されて前記第 1 の素子分離溝内に埋め込まれた第 1 の塗布型酸化膜とを備える。更に、前記第 2 の素子分離溝の内面のうちの側部に形成された第 2 の酸化膜と、前記第 2 の素子分離溝の内面のうちの底部上に形成された第 3 の酸化膜と、前記第 3 の酸化膜上に形成されて前記第 2 の素子分離溝内に埋め込まれた第 2 の塗布型酸化膜とを備える。

40

【0007】

本実施形態の半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に浮遊ゲート電極用の導電層を形成する工程と、前記導電層、前記ゲート絶縁膜および前記半導体基板を加工して、メモリセル領域に第 1 の開口幅を有する第 1 の素子分離溝を形成し、周辺回路領域に第 1 の開口幅より大きい第 2 の開口幅を有する第 2 の素子分離溝を形成する工程とを備える。そして、前記第 1 の素子分離溝の内面、前記第 2 の素子分離溝の内面、前記ゲート絶縁膜の側部、前記導電層の側部および前記導

50

体層の上面に酸化膜を形成する工程と、前記酸化膜上にレジストを形成する工程と、前記レジストにおける前記周辺回路領域を開口する工程と、前記周辺回路領域の前記第2の素子分離溝の底部の前記酸化膜を加工して前記底部の半導体基板を露出させる工程とを備える。更に、前記レジストを剥離する工程と、前記第2の素子分離溝の底部の半導体基板が露出している部分上にCVD法により選択的にCVD酸化膜を形成する工程と、前記酸化膜および前記CVD酸化膜の上に塗布型酸化膜を形成し、前記第1の素子分離溝および前記第2の素子分離溝を埋め込む工程とを備える。

【図面の簡単な説明】

【0008】

【図1】第1実施形態のNAND型フラッシュメモリ装置のメモリセルアレイの一部を示す等価回路図 10

【図2】(a)はメモリセル領域の一部のレイアウトパターンを示す模式的な平面図、(b)は周辺回路領域の一部のレイアウトパターンを示す模式的な平面図

【図3】(a)は図2中のA-A線に沿って示す模式的な断面図、(b)は図2中のB-B線に沿って示す模式的な断面図

【図4】図2中のC-C線に沿って示す模式的な断面図

【図5】(a)は製造途中における図2中のB-B線に沿って示す断面図(その1)、(b)は製造途中における図2中のC-C線に沿って示す断面図(その1)

【図6】(a)は製造途中における図2中のB-B線に沿って示す断面図(その2)、(b)は製造途中における図2中のC-C線に沿って示す断面図(その2) 20

【図7】(a)は製造途中における図2中のB-B線に沿って示す断面図(その3)、(b)は製造途中における図2中のC-C線に沿って示す断面図(その3)

【図8】(a)は製造途中における図2中のB-B線に沿って示す断面図(その4)、(b)は製造途中における図2中のC-C線に沿って示す断面図(その4)

【図9】(a)は製造途中における図2中のB-B線に沿って示す断面図(その5)、(b)は製造途中における図2中のC-C線に沿って示す断面図(その5)

【図10】(a)は製造途中における図2中のB-B線に沿って示す断面図(その6)、(b)は製造途中における図2中のC-C線に沿って示す断面図(その6)

【図11】(a)は製造途中における図2中のB-B線に沿って示す断面図(その7)、(b)は製造途中における図2中のC-C線に沿って示す断面図(その7) 30

【図12】(a)は製造途中における図2中のB-B線に沿って示す断面図(その8)、(b)は製造途中における図2中のC-C線に沿って示す断面図(その8)

【図13】(a)は製造途中における図2中のB-B線に沿って示す断面図(その9)、(b)は製造途中における図2中のC-C線に沿って示す断面図(その9)

【図14】第2実施形態を示す図7(b)相当図

【図15】図13(b)相当図

【発明を実施するための形態】

【0009】

以下、複数の実施形態について、図面を参照して説明する。尚、各実施形態において、実質的に同一の構成部位には同一の符号を付し、説明を省略する。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なる。 40

【0010】

(第1実施形態)

まず、図1は、第1実施形態のNAND型のフラッシュメモリ装置のメモリセル領域に形成されるメモリセルアレイの一部を示す等価回路図である。この図1に示すように、NAND型フラッシュメモリ装置のメモリセルアレイは、2個の選択ゲートトランジスタ T_{rs1} 、 T_{rs2} と、当該選択ゲートトランジスタ T_{rs1} 、 T_{rs2} 間に対して直列接続された複数個(例えば32個)のメモリセルトランジスタ T_{rm} とからなるNANDセルユニットSUが行列状に形成されることにより構成されている。NANDセルユニットSU内において、複数個のメモリセルトランジスタ T_{rm} は隣接するもの同士でソースノ 50

ドレイン領域を共用して形成されている。

【 0 0 1 1 】

図 1 中 X 方向（ワード線方向、ゲート幅方向に相当）に配列されたメモリセルトランジスタ $T r m$ は、ワード線 $W L$ により共通接続されている。また、図 1 中 X 方向に配列された選択ゲートトランジスタ $T r s 1$ は選択ゲート線 $S G L 1$ で共通接続され、選択ゲートトランジスタ $T r s 2$ は選択ゲート線 $S G L 2$ で共通接続されている。選択ゲートトランジスタ $T r s 1$ のドレイン領域にはビット線コンタクト $C B$ が接続されている。このビット線コンタクト $C B$ は、図 1 中 X 方向に直交する Y 方向（ゲート長方向、ビット線方向に相当）に伸びるビット線 $B L$ に接続されている。また、選択ゲートトランジスタ $T r s 2$ はソース領域を介して図 1 中 X 方向に伸びるソース線 $S L$ に接続されている。

10

【 0 0 1 2 】

図 2 (a) はメモリセル領域の一部のレイアウトパターンを示す平面図である。半導体基板としてのシリコン基板 1 に、図 2 (a) 中 Y 方向に沿って伸びる素子分離領域としての $S T I 2$ が図 2 (a) 中 X 方向に所定間隔で複数本形成されている。これによって、図 2 (a) 中 Y 方向に沿って伸びる活性領域 3 が図 2 (a) 中 X 方向に分離形成されている。メモリセルトランジスタ $T r m$ のワード線 $W L$ は、活性領域 3 と直交する方向（図 2 (a) 中 X 方向）に沿って伸びるように形成されると共に、図 2 (a) 中 Y 方向に所定間隔で複数本形成されている。

【 0 0 1 3 】

また、一对の選択ゲートトランジスタの選択ゲート線 $S G L 1$ が図 2 (a) 中 X 方向に沿って伸びるように形成されている。一对の選択ゲート線 $S G L 1$ 間の活性領域 3 にはビット線コンタクト $C B$ がそれぞれ形成されている。ワード線 $W L$ と交差する活性領域 3 上にはメモリセルトランジスタのゲート電極 $M G$ が、選択ゲート線 $S G L 1$ と交差する活性領域 3 上には選択ゲートトランジスタのゲート電極 $S G$ が形成されている。

20

【 0 0 1 4 】

また、周辺回路領域を示す図 2 (b) において、メモリセル領域と同様にシリコン基板 1 に素子分離領域としての $S T I 2 2$ が形成されており、この $S T I 2 2$ によって素子形成領域としての活性領域 2 3 が分離形成されている。上記活性領域 2 3 と直交する方向にゲート電極 $P G$ （周辺ゲート電極）が形成されている。周辺回路領域の $S T I 2 2$ の素子分離溝は、メモリセル領域の $S T I 2$ の素子分離溝の開口幅（第 1 の開口幅）よりも大きい開口幅（第 2 の開口幅）を有する。尚、開口幅とは、素子分離溝の短辺方向の幅を意味する。ゲート電極 $P G$ と活性領域 2 3 とが交差する部分に周辺回路用のトランジスタが形成されている。このようなトランジスタは、周辺回路領域の他の部分にも形成されていて、高耐圧トランジスタや低耐圧トランジスタなど、メモリセル領域のトランジスタを駆動するための種々のトランジスタとして形成されている。

30

【 0 0 1 5 】

次に、本実施形態のメモリセル領域におけるゲート電極構造について図 3 を参照して、また、周辺回路領域におけるゲート電極構造について図 4 を参照して説明する。図 3 (a) は、図 2 (a) の A - A 線（ビット線方向、Y 方向）に沿う断面を模式的に示す図であり、図 3 (b) は、図 2 (a) の B - B 線（ワード線方向、X 方向）に沿う断面を模式的に示す図である。図 4 は、図 2 (b) の C - C 線（ワード線方向、X 方向）に沿う断面を模式的に示す図である。

40

【 0 0 1 6 】

まず、メモリセル領域のゲート電極構造を示す図 3 (a) および (b) において、シリコン基板 1 の上部には、第 1 の開口幅を有する素子分離溝（第 1 の素子分離溝）4 が X 方向に離間して複数形成されている。これら素子分離溝 4 は、活性領域 3 を図 2 (a) 中の X 方向に分離している。素子分離溝 4 内には、素子分離絶縁膜 5 が形成されており、素子分離領域（ $S T I$ ）2 を構成している。素子分離絶縁膜 5 は、素子分離溝 4 の内面に形成されたライナー酸化膜（第 1 の酸化膜）5 a と、ライナー酸化膜 5 a 上に形成された塗布型酸化膜（第 1 の塗布型酸化膜）5 b とから構成される。

50

【 0 0 1 7 】

メモリセルトランジスタは、シリコン基板 1 に形成された n 型の拡散層 6 と、シリコン基板 1 上に形成されたゲート絶縁膜 7 と、ゲート絶縁膜 7 上に設けられたゲート電極 M G とを含んで構成される。ゲート電極 M G は、電荷蓄積層となる浮遊ゲート電極 F G と、浮遊ゲート電極 F G 上に形成された電極間絶縁膜 9 と、電極間絶縁膜 9 上に形成された制御ゲート電極 C G とを有する。拡散層 6 は、シリコン基板 1 の表層におけるメモリセルトランジスタのゲート電極 M G の両脇に位置して形成されており、メモリセルトランジスタのソース/ドレイン領域を構成している。

【 0 0 1 8 】

ゲート絶縁膜 7 は、シリコン基板 1 (活性領域 3) 上に形成されている。ゲート絶縁膜 7 としては、例えばシリコン酸化膜を用いている。浮遊ゲート電極 F G としては、例えばリン等の不純物がドーブされた多結晶シリコン層 (導電層) 8 を用いている。電極間絶縁膜 9 は、素子分離絶縁膜 5 の上面、浮遊ゲート電極 F G の上部側面、および、浮遊ゲート電極 F G の上面に沿って形成されており、インターポリ絶縁膜、導電層間絶縁膜、電極間の絶縁膜として機能する。電極間絶縁膜 9 としては、例えばシリコン酸化膜 / シリコン窒化膜 / シリコン酸化膜の積層構造 (それぞれの膜厚が、例えばいずれも 3 n m から 1 0 n m である) の膜、即ち、いわゆる O N O 膜を用いている。

10

【 0 0 1 9 】

制御ゲート電極 C G は、メモリセルトランジスタのワード線 W L として機能する導電層 1 0 で構成される。導電層 1 0 は、例えばリン等の不純物がドーブされた多結晶シリコン層 1 0 a と、この多結晶シリコン層 1 0 a の直上に形成されたタンゲステン (W)、コバルト (C o)、ニッケル (N i) などの何れかの金属によってシリサイド化されたシリサイド層 1 0 b との積層構造を有する。シリサイド層 1 0 b は、本実施形態の場合、例えばニッケルシリサイド (N i S i) で構成される。尚、導電層 1 0 をすべてシリサイド層 1 0 b (即ち、シリサイド層単体) で構成しても良い。

20

【 0 0 2 0 】

また、図 3 (a) に示すように、メモリセルトランジスタのゲート電極 M G は、Y 方向に並設されており、各ゲート電極 M G は電極分離用の溝 1 7 によって互いに電氣的に分離されている。この溝 1 7 内にはメモリセル間絶縁膜 1 1 が形成されている。このメモリセル間絶縁膜 1 1 としては、例えば T E O S (tetraethyl orthosilicate) を用いたシリコン酸化膜または低誘電率絶縁膜を用いている。メモリセル間絶縁膜 1 1 の上面、制御ゲート電極 C G の側面および上面上には、例えばシリコン酸化膜からなる層間絶縁膜 1 2 が形成されている。

30

【 0 0 2 1 】

次に、周辺回路領域のゲート電極構造を示す図 4 において、シリコン基板 1 の上部には、所定間隔で S T I (素子分離領域) 2 2 が形成されており、この S T I 2 2 により活性領域 (素子形成領域) 2 3 が分離されている。S T I 2 2 は、メモリセル領域の S T I 2 の素子分離溝 4 の第 1 の開口幅よりも大きい第 2 の開口幅を有する素子分離溝 (第 2 の素子分離溝) 2 4 と、この素子分離溝 2 4 内に形成された素子分離絶縁膜 2 5 とから構成される。素子分離絶縁膜 2 5 は、素子分離溝 2 4 の内面の側部に形成されたライナー酸化膜 (第 2 の酸化膜) 2 5 a と、素子分離溝 2 4 の内面の底部に形成された底部酸化膜 2 5 c (第 3 の酸化膜) と、ライナー酸化膜 2 5 a および底部酸化膜 2 5 c 上に形成された塗布型酸化膜 (第 2 の塗布型酸化膜) 2 5 b とから構成される。

40

【 0 0 2 2 】

活性領域 2 3 の上には、メモリセルトランジスタのゲート絶縁膜 7 よりも膜厚が厚い高耐圧トランジスタ用のゲート絶縁膜 2 6 が形成されている。ゲート絶縁膜 2 6 としては、例えばシリコン酸化膜を用いている。ゲート絶縁膜 2 6 の上には、メモリセルトランジスタと同様にして、ゲート電極 P G を構成する浮遊ゲート電極 F G (多結晶シリコン層 8) と、電極間絶縁膜 9 と、制御ゲート電極 C G (導電層 1 0) とが積層され、更に、制御ゲート電極 C G 上に層間絶縁膜 1 2 が形成されている。

50

【 0 0 2 3 】

次に、本実施形態によるNAND型フラッシュメモリ装置の製造方法の一例を、図5～図13に示す工程断面図を参照して説明する。尚、図5(a)～図13(a)は、図3(b)に対応するメモリセル領域の断面構造の製造段階を模式的に示す。図5(b)～図13(b)は、図4に対応する周辺回路領域の断面構造の製造段階を模式的に示す。

【 0 0 2 4 】

まず、図5に示すように、シリコン基板1の表面に、ゲート絶縁膜7として例えばシリコン酸化膜を例えば熱酸化法を用いて形成する。このゲート絶縁膜7は、メモリセルトランジスタのゲート絶縁膜として機能するものである。また、周辺回路領域において、高耐圧トランジスタを形成する部分には、メモリセルトランジスタのゲート絶縁膜7よりも膜厚が厚いゲート絶縁膜26として例えばシリコン酸化膜を周知の方法で形成する。

10

【 0 0 2 5 】

この後、浮遊ゲート電極FGとなる例えばドーフト多結晶シリコン層8を例えば減圧CVD法により形成する。ドーフト多結晶シリコン層8の不純物としては、例えばリン(P)を用いる。

【 0 0 2 6 】

次に、図6に示すように、ドーフト多結晶シリコン層8上に例えばCVD法によってシリコン窒化膜13を形成し、続いて、シリコン窒化膜13上に例えばCVD法を用いてシリコン酸化膜14を形成する。

【 0 0 2 7 】

この後、シリコン酸化膜14上にフォトレジスト(図示せず)を塗布し、露光現像によりレジストをパターニングし、当該レジストをマスクとしてシリコン酸化膜14を例えばRIE(reactive ion etching)法によりエッチング処理する。エッチング後に、フォトレジストを除去し、シリコン酸化膜14をマスクにしてシリコン窒化膜13を例えばRIE法によりエッチングし、次いで、ドーフト多結晶シリコン層8(浮遊ゲート電極FG)、ゲート絶縁膜7およびシリコン基板1を例えばRIE法によりエッチングすることにより、素子分離のための溝4、24を形成する(図7参照)。

20

【 0 0 2 8 】

次に、図8に示すように、素子分離溝4、24の内面および活性領域3、23の上面に、例えば減圧CVD法を用いてライナー酸化膜5a、25aとして例えばシリコン酸化膜を形成する。

30

【 0 0 2 9 】

続いて、図9に示すように、フォトレジスト15を塗布した後、フォトリソグラフィ法により周辺回路領域だけを開口する。次いで、図10に示すように、メモリセル領域をレジスト15で覆ったまま、周辺回路領域の第2の素子分離溝24の内面の底部のライナー酸化膜25aを例えばRIE法により異方性エッチングし、シリコン基板1が露出するところまで加工する。この加工により、素子分離溝24の内面の底部のシリコン基板1が露出すると共に、素子分離溝24の内面の側部のうち最下部(例えば寸法aで示す部分)のシリコン基板1が露出する。そして、素子分離溝24の内面の側部、即ち、上記最下部(寸法a部分)以外の部分は、ライナー酸化膜25aで覆われている。続いて、図11に示すように、アッシング法にて、レジストを剥離する。

40

【 0 0 3 0 】

次に、図12に示すように、CVD法により選択的に、周辺回路領域の素子分離溝24内の底部の露出したシリコン基板1上だけに底部酸化膜25cとしてシリコン酸化膜25c(第3の酸化膜、CVD酸化膜)を形成し、メモリセル領域の素子分離溝4内の底部のライナー酸化膜5a(シリコン酸化膜)上にはシリコン酸化膜を形成しないようにする。この場合、CVD法により選択的にシリコン酸化膜を形成する方法としては次に述べる方法がある。例えば低温CVD法により、シリコン酸化膜上とシリコン基板1上とのIncubation time差(即ち、成膜が始まるまでの時間差)を利用して、シリコン基板1上だけにシリコン酸化膜25cを形成し、シリコン酸化膜(ライナー酸化膜5a)上にシリコン酸

50

化膜の成膜が始まる前に成膜を止める方法がある。ここで、周辺回路領域の素子分離溝 2 4 内の底部に上記低温 C V D 法により形成された底部酸化膜 (シリコン酸化膜) 2 5 c は、塗布膜を酸化膜に置換する熱工程 (熱処理) 時に体積収縮率が小さい特性を有する酸化膜である。

【 0 0 3 1 】

続いて、図 1 3 に示すように、基板全面 (メモリセル領域および周辺回路領域の素子分離溝 4、2 4 内) に塗布技術を用いて塗布型酸化膜 5 b、2 5 b を形成し、メモリセル領域および周辺回路領域の素子分離溝 4、2 4 内に塗布型酸化膜 5 b、2 5 b を埋め込む。この後、塗布型酸化膜 5 b、2 5 b をシリコン酸化膜に置換する熱処理を実行する。この熱処理においては、低温 (例えば 4 0 0 程度) 水蒸気中で不純物除去および膜の緻密化のために酸化処理を行うと共に、高温 (例えば 8 0 0 ~ 9 0 0 程度) の不活性雰囲気中で熱処理を行うことが好ましい。

10

【 0 0 3 2 】

上記熱処理時において、塗布型酸化膜 5 b、2 5 b の体積収縮率が大きいという特性があっても、周辺回路領域の開口幅が大きい素子分離溝 2 4 内の底部に低温 C V D 法により形成された底部酸化膜 2 5 c (熱処理時に体積収縮率が小さい特性を有する酸化膜) が埋め込まれることにより、開口幅が大きい素子分離溝 2 4 内に埋め込まれる塗布型酸化膜 2 5 b の量が少なくなる構成としたので、開口幅が大きい素子分離溝 2 4 に大きな応力が作用することがなくなり、結晶欠陥が発生することを防止できる。尚、メモリセル領域の素子分離溝 4 内の塗布型酸化膜 5 b については、素子分離溝 4 の開口幅が狭いので、熱処理時に塗布型酸化膜 5 b の体積収縮率が大きいという特性があっても問題は発生しない。

20

【 0 0 3 3 】

この後は、工程等を図示しないが、C M P (chemical mechanical polishing) を用いてシリコン窒化膜 1 4 が露出するまで平坦化を行って素子分離絶縁膜 5 を形成し、更に、浮遊ゲート電極 F G (多結晶シリコン層 8) 間の素子分離絶縁膜 5 を落とし込む。そして、多結晶シリコン層 8 上に残っているシリコン窒化膜 1 4 を例えばウエットエッチングで選択的にエッチングして除去する。続いて、露出した多結晶シリコン層 8 および素子分離絶縁膜 5 の表面に、電極間絶縁膜 9 を周知のプロセスにより形成する。次いで、電極間絶縁膜 9 上に C V D 法を用いて導電層 1 0 (制御ゲート電極 C G) となるドーブト多結晶シリコン層を形成する。

30

【 0 0 3 4 】

更に、周知のプロセスにより、電極分離用の溝 1 7 (図 3 (a) 参照) を形成し、複数のゲート構造を得る。次いで、溝 1 7 の内底部のシリコン基板 1 の表面に、イオン注入法を用いて不純物をドーピングし、拡散層 6 を形成する。次に、溝 1 7 内に、セルゲート間絶縁膜としてメモリセル間絶縁膜 1 1 を形成した後、平坦化し、落とし込む。そして、多結晶シリコン層 (導電層) 1 0 の上部にニッケルシリサイド (NiSi) 層 1 0 b を形成した後、図 3 (a) に示すように、層間絶縁膜 1 2 を形成する。更に、周知の技術を用いて配線等 (図示しない) を形成する。

【 0 0 3 5 】

上記した構成の本実施形態においては、周辺回路領域の開口幅が大きい素子分離溝 2 4 内の底部に C V D 法により選択的に底部酸化膜 2 5 c、即ち、熱処理時に体積収縮率が小さい特性を有する酸化膜を形成し、開口幅が大きい素子分離溝 2 4 内に埋め込まれる塗布型酸化膜 2 5 b の量が少なくなるように構成したので、上記熱処理時において、塗布型酸化膜 2 5 b の体積収縮率が大きいという特性があっても、開口幅が大きい素子分離溝 2 4 に大きな応力が作用することがなくなり、結晶欠陥の発生を防止することができる。尚、メモリセル領域の開口幅が狭い素子分離溝 4 内は、塗布型酸化膜 5 b が埋め込まれる構成となるので、ライン曲がり (Line Bending) の発生を防止することができる。

40

【 0 0 3 6 】

(第 2 実施形態)

図 1 4 および図 1 5 は、第 2 実施形態を示す。尚、第 1 実施形態と同一構成には、同一

50

符号を付している。この第2実施形態においては、図14に示すように、周辺回路領域の素子分離溝24の内面のうちの側部の下部に、上記側部の下部以外の部分27の傾斜角度Aよりも小さい傾斜角度Bの傾斜部28を形成した。この場合、シリコン基板1をRIE法によりエッチングして素子分離溝4、24を形成する工程において、エッチングステップ、即ち、エッチング条件(加工条件)を変えることにより、上記傾斜部28を形成することが可能である。

【0037】

そして、周辺回路領域の素子分離溝24の内面の底部のライナー酸化膜25aをRIE法によりエッチングしてシリコン基板1を露出させる工程において、傾斜部28の表面上のライナー酸化膜25aもエッチングされることから、傾斜部28の表面部分のシリコン基板1も露出するようになる(図15参照)。

10

【0038】

次に、CVD法により選択的に、周辺回路領域の素子分離溝24内の底部の露出したシリコン基板1上にだけ底部酸化膜(第3の酸化膜、CVD酸化膜、シリコン酸化膜)25cを形成する工程において、上記傾斜部28の表面部分のシリコン基板1も露出しているから、この露出している部分上にも上記底部酸化膜(第3の酸化膜、CVD酸化膜、シリコン酸化膜)25cが形成される。この場合、素子分離溝24内の底部のシリコン基板1に加えて傾斜部28の表面部分のシリコン基板1も露出しているから、CVD法の成膜時間を、第2実施形態と前記第1実施形態とで同じ時間に設定しても、第2実施形態で形成されるシリコン酸化膜25cの高さ寸法h2は、第1実施形態で形成されるシリコン酸化膜25cの高さ寸法h1(図13参照)よりも高くなる。

20

【0039】

そして、上述した以外の第2実施形態の構成は、第1実施形態の構成と同じ構成となっている。従って、第2実施形態においても、第1実施形態とほぼ同じ作用効果を得ることができる。特に、第2実施形態では、周辺回路領域の素子分離溝24の内面のうちの側部の下部に傾斜部28を形成し、周辺回路領域の素子分離溝24内の底部および傾斜部28の露出したシリコン基板1上に底部酸化膜25cを形成するように構成したので、素子分離溝24内に形成される底部酸化膜25c(CVD酸化膜)の量が多くなり、素子分離溝24内に埋め込まれる塗布型酸化膜25bの量を少なくすることが可能になる。従って、第2実施形態によれば、熱処理時に開口幅が大きい素子分離溝24に大きな応力が作用することをより一層抑止することができ、結晶欠陥の発生をより一層防止できる。

30

【0040】

(その他の実施形態)

以上説明した複数の実施形態に加えて以下のような構成を採用しても良い。

上記した各実施形態では、NAND型フラッシュメモリ装置に適用したが、他の半導体装置、即ち、開口幅の大きい素子分離溝を塗布型酸化膜で埋め込む構造を有する半導体装置に適用しても良い。

【0041】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

40

【符号の説明】

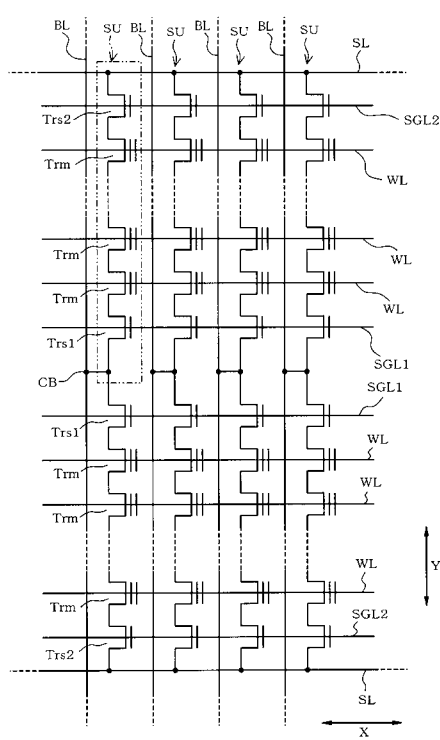
【0042】

図面中、1はシリコン基板(半導体基板)、2はSTI、3は活性領域、4は素子分離溝(第1の素子分離溝)、5は素子分離絶縁膜、5aはライナー酸化膜(第1の酸化膜)、5bは塗布型酸化膜(第1の塗布型酸化膜)、13はシリコン窒化膜、14はシリコン酸化膜、22はSTI、23は活性領域、24は素子分離溝(第2の素子分離溝)、25

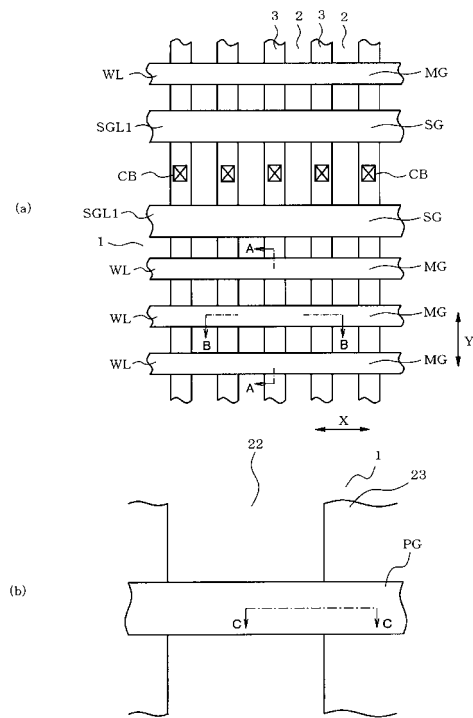
50

は素子分離絶縁膜、25aはライナー酸化膜(第2の酸化膜)、25bは塗布型酸化膜(第2の塗布型酸化膜)、25cはシリコン酸化膜(第3の酸化膜)、26はゲート絶縁膜、28は傾斜部である。

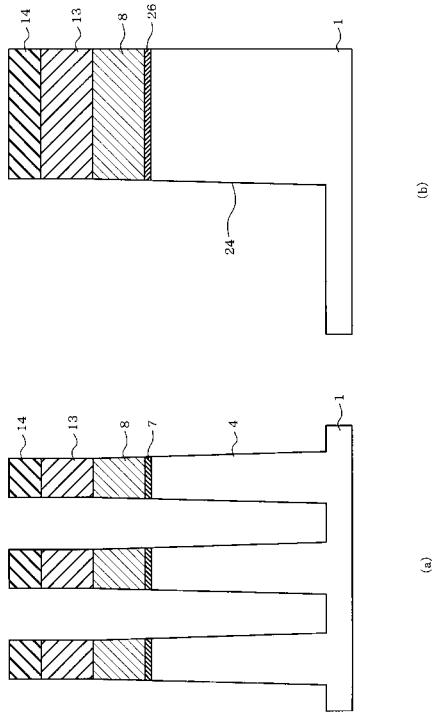
【図1】



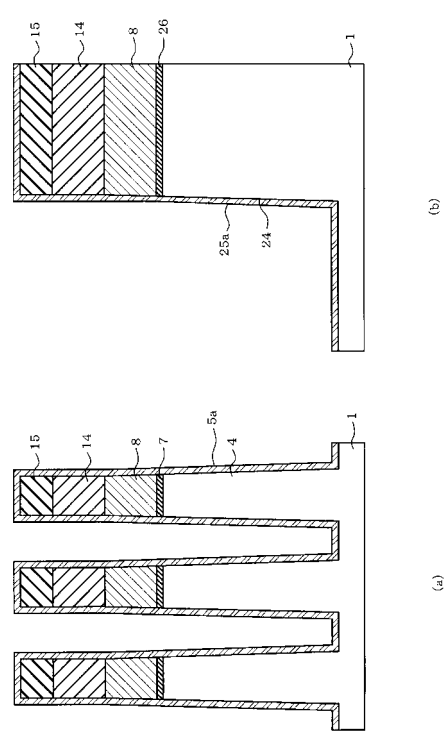
【図2】



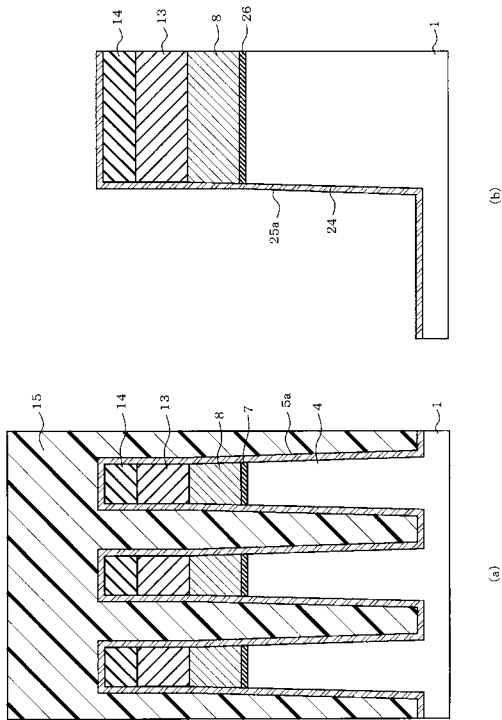
【 図 7 】



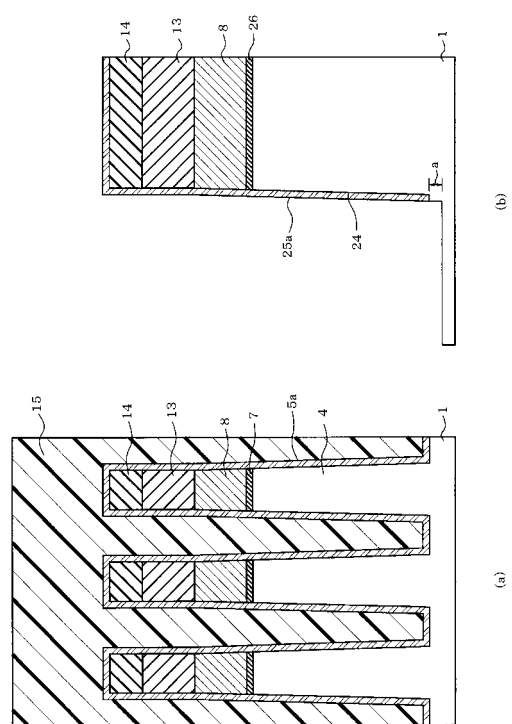
【 図 8 】



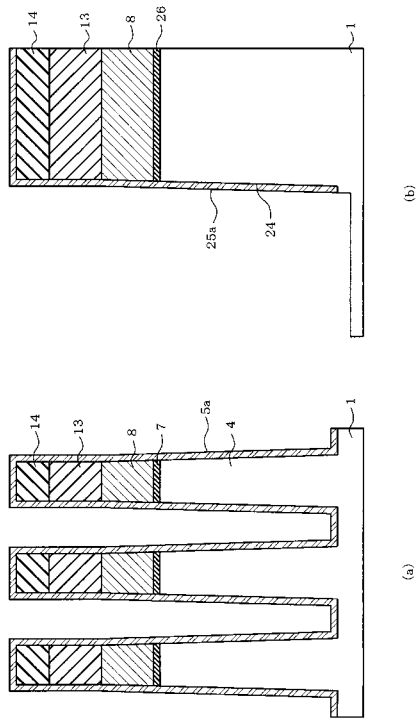
【 図 9 】



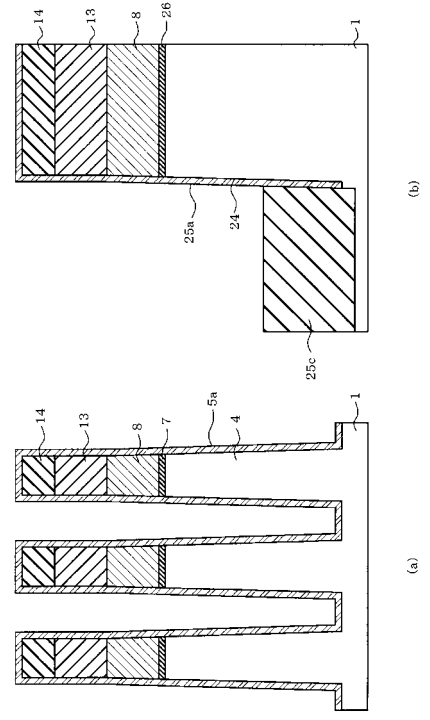
【 図 10 】



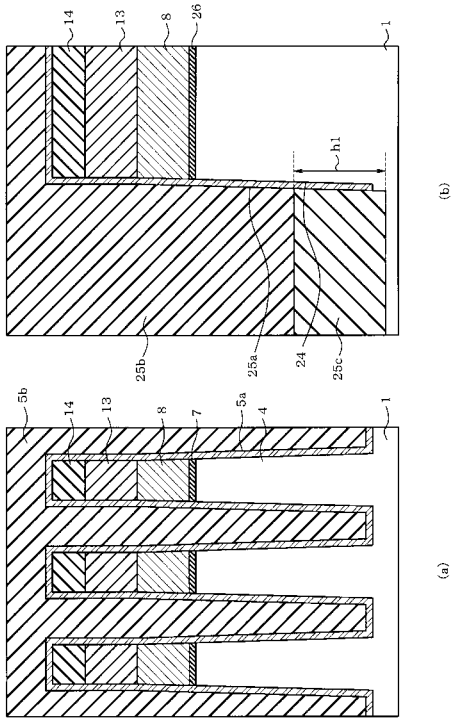
【図 1 1】



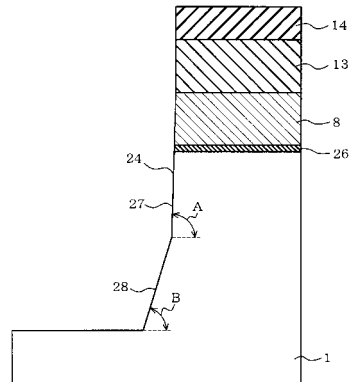
【図 1 2】



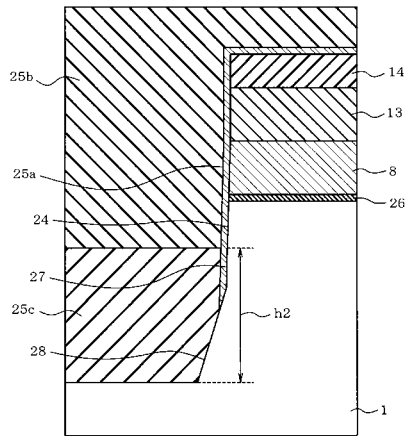
【図 1 3】



【図 1 4】



【 図 1 5 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 21/8247 (2006.01)

H 0 1 L 27/10 (2006.01)

Fターム(参考) 5F083 EP03 EP23 EP27 EP33 EP34 EP55 EP56 EP76 ER22 GA09
GA27 JA04 JA35 JA39 JA53 JA60 LA02 LA21 MA06 NA01
NA06 PR21 PR23 PR33 PR40 ZA03 ZA08
5F101 BA29 BA36 BB05 BB08 BD10 BD22 BD27 BD34 BD35 BE07
BH02 BH16