

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3599300号
(P3599300)

(45) 発行日 平成16年12月8日(2004.12.8)

(24) 登録日 平成16年9月24日(2004.9.24)

(51) Int. Cl.⁷

F I

G 1 1 C 11/22
G 1 1 C 11/407

G 1 1 C 11/22 5 0 1 Q
G 1 1 C 11/34 3 5 4 F

請求項の数 4 (全 12 頁)

<p>(21) 出願番号 特願平9-44315 (22) 出願日 平成9年2月27日(1997.2.27) (65) 公開番号 特開平10-106273 (43) 公開日 平成10年4月24日(1998.4.24) 審査請求日 平成12年7月14日(2000.7.14) (31) 優先権主張番号 08/723, 949 (32) 優先日 平成8年9月26日(1996.9.26) (33) 優先権主張国 米国(US)</p>	<p>(73) 特許権者 000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町2番2号 (74) 代理人 100078282 弁理士 山本 秀策 (72) 発明者 高田 栄和 奈良県奈良市紀寺町669-1 (72) 発明者 トーマス ムニッチ アメリカ合衆国 コロラド 80906, コロラド スプリングス, エグゼク ーティブ サークル 2260 (72) 発明者 デビッド ノボセル アメリカ合衆国 ペンシルバニア 161 42, ニュー ウィルミントン, ボッ クス 337, ルート 18 最終頁に続く</p>
---	---

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

不揮発性動作モードと揮発性動作モードとを有する強誘電体メモリと、
第1および第2の入力信号がそれぞれ与えられる第1および第2の入力端子と、
該不揮発性動作モードの活性化及び不活性化を制御する第1の制御信号を該強誘電体メモ
リに出力する第1の信号発生回路と、
該第1の入力信号および第2の入力信号に基づいて、該不揮発性動作モードの活性化及び
不活性化を制御する第2の制御信号を該第1の信号発生回路に出力する第2の信号発生回
路と、
を備えていて、
第1の信号発生回路は、前記第2の信号発生回路から出力される第2の制御信号に基づい
て、該不揮発性動作モードを活性化および不活性化させるための第1の動作条件または該
不揮発性動作モードを不活性化させるための第2の動作条件に対応する第1の制御信号を
出力するようになっており、
該第1の動作条件では該電源電圧の電圧レベルの変化に応じて該不揮発性動作モードと該
揮発性動作モードとが自動的に切り替えられ、該第2の動作条件では該揮発性動作モード
のみが活性化される、半導体記憶装置。

【請求項2】

前記第2の信号発生回路が、前記不揮発性動作モードが活性化されているか或いは不活性
化されているかを示す情報を保持する保持回路を含んでいる、請求項1に記載の半導体記

憶装置。

【請求項 3】

前記保持回路からの出力信号が前記第 2 の制御信号として前記第 1 の信号発生回路に与えられる、請求項 2 に記載の半導体記憶装置。

【請求項 4】

前記第 2 の信号発生回路が、前記第 1 および第 2 の入力信号の電圧レベルがそれぞれ所定の電圧レベルよりも高い場合にそれぞれ所定信号を出力する第 1 および第 2 の電圧レベル検出回路をさらに含んでおり、該電圧レベル検出回路からの出力信号が前記保持回路に与えられる、請求項 2 に記載の半導体記憶装置。

【発明の詳細な説明】

10

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、特に、不揮発性動作モードと揮発性動作モードとを有する強誘電体メモリに関する。さらに詳細には、通常動作時には、読み出し動作及び書き込み動作を揮発性メモリ（すなわち DRAM）として行い、電源の OFF 及び ON 時には、情報の書き込み及び書き込まれた情報の読み出しを不揮発性メモリとして行う、強誘電体メモリに関する。

【0002】

【従来の技術】

強誘電体メモリでは、一般に、強誘電体材料から構成される強誘電体膜を含む強誘電体キャパシタを記憶素子として使用する。不揮発性メモリとしての強誘電体メモリの動作においては、データの書き込み及び読み出し時に、強誘電体材料に特有の特性である分極反転現象を使用する。しかし、書き込み回数の増加に伴って強誘電体キャパシタを構成する強誘電体膜に疲労が発生し、強誘電体膜の分極保持特性が劣化することがある。

20

【0003】

この問題を克服するためには、分極反転現象を使用せずにデータの読み出し及び書き込みを行うことが考えられる。具体的には、通常動作時には、強誘電体メモリを揮発性メモリ（すなわち DRAM）として機能させて、分極反転現象を利用せずに、電荷の蓄積及び放出によってデータの書き込み及び読み出しを行う。一方、電源の ON 及び OFF に際しては不揮発性動作モードに切り替えて、強誘電体メモリを分極反転現象を利用する不揮発性メモリとして機能させる。

30

【0004】

加えて、揮発性動作モードにおいて通常の DRAM として動作する際には、記憶されている情報をリフレッシュ動作して、強誘電体膜に周期的に分極反転を生じさせる。これによる分極の方向を不揮発性情報として、電荷の蓄積及び放出に基づく揮発性情報と併用する。

【0005】

以上のように、不揮発性動作モードと揮発性動作モードとを適宜切り替えて分極反転の発生回数を低減することによって、分極反転現象に基づく強誘電体膜の疲労及びそれによるメモリの動作特性の劣化を低減することができる。なお、以下では、この不揮発性動作モードと揮発性動作モードとの間の切り替えを、単に「動作モード切り替え」とも称する。

40

【0006】

強誘電体キャパシタを記憶素子として使用する強誘電体メモリにおいて不揮発性動作モードと揮発性動作モードとを選択できるように構成された半導体メモリは、例えば、特開平 7 - 182872 号公報に開示されている。この公報に開示されている構成では、電源の立ち上げを自動的に検出して、半導体メモリを不揮発性動作モードにセットする。その後、切り替え信号の作用によって揮発性動作モードに切り替えて、半導体メモリを DRAM のように揮発性メモリとして動作させることができる。

【0007】

具体的には、図 6 は、上記公報に開示されている半導体メモリに含まれる、動作モード切

50

り替え信号の発生回路10の構成図である。この回路10は、その内部に電源電圧レベル検出回路20を含んでいるとともに、後述するDRAMモード指定信号を制御回路30から供給される。電源電圧レベル検出回路20は、図7に模式的に示すように、高電位側の電源電圧VccとノードVN8との間に接続された固定抵抗Rと、ノードVN8と接地電位との間に直列に接続された3つのnチャネル電界効果トランジスタnFETと、ノードVN8と出力との間に直列に接続された3つのインバータINVA、INVB及びINVCと、を含んでいる。

【0008】

図8は、電源電圧レベル検出回路20の出力特性を模式的に示す図である。図8に示されているように、電源電圧がLowレベルにある間は、電源電圧レベル検出回路20の出力はLowレベルにある。一方、電源が立ち上がって電源電圧がある一定値を超えると、図8で傾き1の直線で示されているように、電源電圧レベル検出回路20は、その時点の電源電圧値に等しいHighレベルの出力電圧を発生するようになる。

10

【0009】

電源電圧レベル検出回路20の出力がHighレベルに切り替わると、動作モード切り替え信号発生回路10に含まれるノードAの電位が、キャパシタC6Aを介してHighレベルになる。これに応じて、ノードBから供給される動作モード切り替え信号F/DSigはLowレベルになり、半導体メモリは不揮発性動作モードに設定される。一方、このように設定された不揮発性動作モードから揮発性動作モードへの切り替えにあたっては、HighレベルのDRAMモード指定信号が、制御回路30から動作モード切り替え信号発生回路10に出力される。この結果、ノードAに接続されているトランジスタが導通して、ノードAはLowレベルになる。これに応じて、ノードBから供給される動作モード切り替え信号F/DSigはHighレベルになり、半導体メモリは揮発性動作モードに設定される。

20

【0010】

このように、上記公報に開示されている構成では、電源電圧レベルの変化に応じて、自動的に動作モードの切り替えが行われる。

【0011】

【発明が解決しようとする課題】

強誘電体メモリの動作特性の評価に際して、通常の使用時よりも広い範囲の電源電圧を印加して、強誘電体メモリの動作テストを実施することがある。例えば、電源電圧値の設計仕様値からどの程度のマージンが確保されているかを評価して設計精度の確認を行うために、電源電圧レベルの変化から独立して任意に揮発性動作モードを設定し、これに伴うマージン評価を行うことがある。

30

【0012】

しかし、先に述べたような構成を有する前記公報に開示された従来技術の強誘電体メモリでは、電源電圧の変化に応じて自動的に動作モードの切り替えが行われる。従って、上記のように揮発性動作モードを電源電圧レベルの変化から独立して任意に設定する必要がある評価(動作テスト)は、実施することができない。

【0013】

さらに、強誘電体メモリに実際に印加することができる電源電圧の上限値及び下限値は、強誘電体膜を構成する強誘電体材料の分極反転特性や電荷保持特性に依存して決定される。例えば、強誘電体材料を使用して構成されている強誘電体キャパシタでは、キャパシタに蓄積される電荷量が增大しすぎると、すなわち強誘電体膜の厚さのばらつきが大きく(一般的には薄く)なると、強誘電体キャパシタの電荷がスイッチングトランジスタを介してビット線へ放出されるチャージシエア時に、放出された電荷によってビット線が充電される。この結果、充電されたビット線の電位と強誘電体キャパシタの電極プレートとの間の電位差が小さくなるので、メモリセルに含まれるキャパシタへの再書き込みができなくなることがある。従って、印加できる電源電圧レベルには、上限が存在する。

40

【0014】

50

このような理由により、実現すべき仕様値として与えられる範囲の電源電圧を、実際には強誘電体メモリに印加することができない可能性がある。

【0015】

本発明は、上記課題を解決するためになされたものであり、その目的は、揮発性動作モードと不揮発性動作モードとの間の切り替えを動作条件に応じて、ある条件下では電源電圧レベルの変化に応じて自動的に行い、他の条件下では制御信号によって電源電圧レベルの変化からは独立して強制的に行えるように構成されている半導体記憶装置を提供すること、である。

【0016】

【課題を解決するための手段】

本発明の半導体記憶装置は、不揮発性動作モードと揮発性動作モードとを有する強誘電体メモリと、第1および第2の入力信号がそれぞれ与えられる第1および第2の入力端子と、該不揮発性動作モードの活性化及び不活性化を制御する第1の制御信号を該強誘電体メモリに出力する第1の信号発生回路と、該第1の入力信号および第2の入力信号に基づいて、該不揮発性動作モードの活性化及び不活性化を制御する第2の制御信号を該第1の信号発生回路に出力する第2の信号発生回路と、を備えていて、第1の信号発生回路は、前記第2の信号発生回路から出力される第2の制御信号に基づいて、該不揮発性動作モードを活性化および不活性化させるための第1の動作条件または該不揮発性動作モードを不活性化させるための第2の動作条件に対応する第1の制御信号を出力するようになっており、該第1の動作条件では該電源電圧の電圧レベルの変化に応じて該不揮発性動作モードと該揮発性動作モードとが自動的に切り替えられ、該第2の動作条件では該揮発性動作モードのみが活性化され、そのことにより上記目的が達成される。

【0017】

ある実施形態では、前記第2の信号発生回路が、前記不揮発性動作モードが活性化されているか或いは不活性化されているかを示す情報を保持する保持回路を含んでいる。前記保持回路からの出力信号は、前記第2の制御信号として前記第1の信号発生回路に与えられ得る。前記第2の信号発生回路が、前記第1および第2の入力信号の電圧レベルがそれぞれ所定の電圧レベルよりも高い場合にそれぞれ所定信号を出力する第1および第2の電圧レベル検出回路をさらに含んでおり、該電圧レベル検出回路からの出力信号が前記保持回路に与えられる。

【0018】

以下、作用について説明する。

【0019】

先述の目的を達成するためには、ある動作条件下では、動作モードの切り替えを電源電圧の変化に応じて自動的に生じさせるようにする必要がある一方で、他の動作条件下、例えば通常の動作時には、不揮発性動作を行わずに揮発性動作のみが確実に実施されるように保証する必要がある。このために本発明では、不揮発性動作モードと揮発性動作モードとを有する強誘電体メモリを含む半導体記憶装置において、不揮発性動作モードの活性化及び不活性化を制御する第1の制御信号を強誘電体メモリに出力する第1の信号発生回路と、電源電圧の電圧レベルを示す入力信号に基づいて、不揮発性動作モードの活性化及び不活性化を制御する第2の制御信号を第1の信号発生回路に出力する第2の信号発生回路と、を備えている。そして、第1の動作条件では、電源電圧の電圧レベルの変化に応じて不揮発性動作モードと揮発性動作モードとを自動的に切り替え、第2の動作条件では、揮発性動作モードのみを活性化する。

【0020】

具体的には、動作モード切替信号発生回路システムに含まれる上記第1の信号発生回路として、動作モード切り替え信号発生回路を設ける。また、同回路システムに含まれる上記第2の信号発生回路として、電源電圧レベルが所定の電圧レベル（例えば、高電位側の電源電圧レベルVcc）よりも高くなったことを検出する2つの電源電圧レベル検出回路と、これらの検出回路からの出力信号を受け取るラッチ回路（保持回路）と、を設ける。但

10

20

30

40

50

し、この2つの電源電圧レベル検出回路は、省略することもできる。ラッチ回路からの出力信号が、動作モード切り替え信号になる。このような構成とすることによって、強制的に揮発性動作モードに設定することが可能になり、電源電圧の動作マージンテストの実施が可能になる。

【0021】

このように本発明では、動作モード切り替え信号発生回路システムに含まれている2つの電源電圧レベル検出回路へそれぞれ入力される2つの外部入力信号の組み合わせによって、電源電圧レベルの変化からは独立して、不揮発性動作モードを強制的に活性化或いは不活性化することができる。不揮発性動作モードが活性化されているか或いは不活性化されているかを示す情報は、ラッチ回路によって保持される。これによって、電源電圧レベルの変動による動作モードの自動的な切り替えに加えて、所望の時点で揮発性動作モードの実施を強制的に且つ確実に実現することが可能になる。

10

【0022】

また、動作モード切り替え信号発生回路システムにおいて使用されている電源電圧レベル検出回路は、電源電圧レベルを示す外部入力信号が所定の電圧レベルよりも高い電圧を有している場合のみに、その外部入力信号がHighレベルであると認識する回路である。このような機能を有する電源電圧レベル検出回路と電源電圧レベルを示す外部入力信号とを組み合わせる構成とすれば、外部入力信号のための入力端子を、他の用途で使用される入力端子と共通のものにすることができて、回路構成の簡略化を図ることができる。

【0023】

【発明の実施の形態】

以下、本発明を具体化した実施形態を、図面を参照して説明する。

20

【0024】

図1は、本発明の原理に従った動作モード切り替え信号発生回路システム100の構成を示す回路図である。

【0025】

図1に示される回路システム100は、強誘電体メモリ（図1には不図示、以下では半導体メモリとも称する）へ動作モード切り替え信号F/Dsigを供給する。具体的には、実際に半導体メモリに動作モード切り替え信号F/Dsig（第1の制御信号）を与える第1の信号発生回路40と、2つの外部入力信号を受け取って第1の信号発生回路40に出力を与える第2の信号発生回路50と、を含んでいる。電源電圧レベルを示す外部入力信号IN1及びIN2が第2の信号発生回路50に入力されると、第1の信号発生回路40の活性/不活性が制御されて、それに応じて半導体メモリの動作モードが設定される。

30

【0026】

第1の信号発生回路40の詳細な構成については、後述する。

【0027】

第2の信号発生回路50は、電源電圧レベル検出回路5及び6と、保持回路（ラッチ回路）4と、インバータ回路11及び12と、を含んでいる。電源電圧レベル検出回路5及び6は、電源電圧レベルを示すそれぞれの外部入力信号IN1及びIN2が所定の電圧レベル、例えば高電位側の電源電圧レベルVccよりも高くなると、出力端子1及び2からHighレベルの出力信号SET及びRESETを供給する機能を有している。例えば、電源電圧レベル検出回路5への外部入力信号IN1が所定の電圧レベル以上になると、電源電圧レベル検出回路5の出力端子1からHighレベルの出力信号SETが供給される。同様に、電源電圧レベル検出回路6への外部入力信号IN2が所定の電圧レベル以上になると、電源電圧レベル検出回路6の出力端子2からHighレベルの出力信号RESETが供給される。

40

【0028】

出力信号SET及びRESETは、それぞれNOR型ラッチ回路4の入力端子に入力される。ラッチ回路4の出力端子3からは出力信号PMTが出力されて、直列に接続されているインバータ回路11及び12を介して、第1の信号発生回路40に供給される。

50

【0029】

ラッチ回路4からの出力信号PMT(第2の制御信号)は、第1の信号発生回路40を活性化するか或いは非活性化するか、すなわち、動作モードの切り替えを電源電圧レベルに基づいて自動的に行うか或いは強制的に揮発性動作モードに設定するかという情報を示す信号である。第1の信号発生回路40は、受け取った第2の制御信号PMTに応じて、ある場合には、半導体メモリの不揮発性動作モードと揮発性動作モードとを電源電圧レベルに応じて自動的に切り替えるための信号を、動作モード切り替え信号F/Dsigとして発生して、半導体メモリに供給する。或いは、電源電圧レベルに基づいた自動的な動作モードの切り替えの代わりに、強制的な動作モードの切り替えを行う信号を動作モード切り替え信号F/Dsigとして発生して、半導体メモリに供給することもできる。動作モードの切り替え制御のために第1の信号発生回路40から半導体メモリに与えられる上記のような動作モード切り替え信号F/Dsigを、第1の制御信号とも称する。

10

【0030】

動作モードの切り替えを自動的に行うか或いは強制的に設定するかは、外部入力信号IN1及びIN2によって決定される。具体的には、例えば、外部入力信号IN1がHighレベル(後述するように電源電圧Vccよりも大きいスーパーボルテージレベル)であり外部入力信号IN2がLowレベルである場合に、強制的に揮発性動作モードに設定し、外部入力信号IN1がLowレベルであり外部入力信号IN2がHighレベル(スーパーボルテージレベル)である場合に、自動的な切り替えを可能にすることができる。

【0031】

上記のような構成を有する回路システム100の動作を、以下に更に具体的に説明する。

20

【0032】

電源電圧レベル検出回路5への外部入力信号IN1が所定のレベル以上の電圧レベルを有し、且つ、電源電圧レベル検出回路6への外部入力信号IN2が所定のレベル以下の電圧レベル(例えば接地電位GND)を有していると、電源電圧レベル検出回路5からの出力信号SETはHighレベルになり、一方で、電源電圧レベル検出回路6からの出力信号RESETはLowレベルを維持する。このとき、ラッチ回路4からの出力信号PMTはHighレベルになり、不揮発性動作モードが不活性化されて揮発性動作モードが活性化される。従って、回路システム100の上記の動作の終了後に、半導体メモリの通常の動作モード、すなわち揮発性動作モードの評価を開始することができる。

30

【0033】

通常の動作の終了後に、電源電圧レベル検出回路6への外部入力信号IN2の電圧レベルが所定のレベルよりも高くなると、電源電圧レベル検出回路6からの出力信号RESETはHighレベルに変化する。この結果、ラッチ回路4からの出力信号PMTはLowレベルに変化して、半導体メモリの不揮発性動作モードを活性化させる。このとき、この動作モードの切り替えは、もう一つの電源電圧レベル検出回路5への外部入力信号IN1の状態には依存しない。

【0034】

以上のように、図1に示す回路システム100では、2つの電源電圧レベル検出回路5及び6に電源電圧レベルを示す外部入力信号IN1及びIN2をそれぞれ入力することによって、半導体メモリの不揮発性動作モードの活性化/不活性化を制御する。外部入力信号IN1及びIN2としては、電源電圧が所定の電圧レベル(典型的には、高電位側の電源電圧レベルVcc)よりも高くなったときに所定のレベル以上の電圧レベルを有する電圧信号が、供給されれば良い。従って、外部入力信号IN1及びIN2の入力端子は、電源電圧Vccと接地電位GNDとの間に相当する電圧レベルを有する電圧信号が入力される他の用途の入力端子(例えばアドレス入力端子やコントロール信号入力端子など)と共用することができる。

40

【0035】

図2は、電源電圧レベル検出回路5及び6の具体的回路構成をさらに詳細に示した、回路システム100の構成図である。

50

【0036】

電源電圧レベル検出回路5において、外部入力信号IN1が与えられる入力端子と接地電位GNDとの間に、3つのトランジスタTr1~Tr3が直列に接続されている。このうち、トランジスタTr2には、基板電圧として、高電位側の電源電圧Vccよりもさらに高い電圧レベルを有するブーストされた電源電圧Vppが供給されている。一方、トランジスタTr2及びTr3のゲートは、それぞれ高電位側の電源電圧Vccに接続されている。出力信号SETは、トランジスタTr2及びTr3の間に設けられた出力端子1から外部に出力される。

【0037】

同様に、電源電圧レベル検出回路6において、外部入力信号IN2が与えられる入力端子と接地電位GNDとの間に、3つのトランジスタTr4~Tr6が直列に接続されている。このうち、トランジスタTr5には、バックゲート電圧として、高電位側の電源電圧Vccよりもさらに高い電圧レベルを有するブーストされた電源電圧Vppが供給されている。一方、トランジスタTr5及びTr6のゲートは、それぞれ高電位側の電源電圧Vccに接続されている。また、出力信号RESETは、トランジスタTr5及びTr6の間に設けられた出力端子2から外部に出力される。

10

【0038】

ここで、トランジスタTr1、Tr3、Tr4及びTr6はNチャネルトランジスタであり、トランジスタTr2及びTr5はPチャネルトランジスタである。従って、Nチャネルトランジスタ及びPチャネルトランジスタのしきい値電圧をそれぞれVtn及びVtpとすると、電源電圧レベル検出回路5においては、外部入力信号IN1が電源電圧Vccとそれぞれのしきい値電圧Vtn及びVtpとの合計(すなわち、 $Vcc + Vtn + Vtp$)よりも高いレベルになれば、3つのトランジスタTr1~Tr3がすべてONする。このとき、それぞれのトランジスタTr1~Tr3のON抵抗比を適切に設定することによって、出力信号SETがHighレベルに設定されるようにする。一方、電源電圧レベル検出回路5への外部入力信号IN1がLowレベルになると、トランジスタTr1及びTr2はOFFになる一方で、Tr3はONに維持される。この結果、出力信号SETがLowレベルに変化する。

20

【0039】

同様に、電源電圧レベル検出回路6においては、外部入力信号IN2が電源電圧Vccとそれぞれのしきい値電圧Vtn及びVtpとの合計(すなわち、 $Vcc + Vtn + Vtp$)よりもHighレベルになれば、3つのトランジスタTr4~Tr6がすべてONする。このとき、それぞれのトランジスタTr4~Tr6のON抵抗比を適切に設定することによって、出力信号RESETがHighレベルに設定されるようにする。電源電圧レベル検出回路6への外部入力信号IN2がLowレベルになると、トランジスタTr4及びTr5はOFFになる一方で、Tr6はONに維持される。この結果、出力信号SETがLowレベルに変化する。

30

【0040】

以上に説明した本発明による動作モード切り替え信号発生回路システム100の構成は、本発明の一実施形態に過ぎない。他の構成への改変も容易に行うことができる。例えば、不揮発性動作モードの活性或いは不活性状態を示す情報のラッチの手法や、電源電圧レベルの検出手法、或いはその検出結果に基づいた動作モードの設定手法などは、以上に説明したものとは異なった手法で実現することが可能である。

40

【0041】

或いは、図3に示す動作モード切り替え信号発生回路システム200では、図1の第2の信号発生回路50に対応する第2の信号発生回路55から、図1の回路構成では含まれていた電源電圧レベル検出回路5及び6が省略されて、外部入力信号IN1及びIN2を直接にラッチ回路4に入力するようにした構成を有する。このような構成であっても、以上に説明した回路システム100と同様の効果を得ることができる。

【0042】

50

但し、この回路システム 200 の構成の場合には、外部入力信号 IN1 及び IN2 の入力端子は、他用途の入力端子とは独立して設ける必要がある。これは、通常の電源電圧レベル (Vcc 及び Vss) を有する外部入力信号 IN1 及び IN2 によって、半導体メモリの不揮発性動作モードが活性化或いは不活性化されないようにするためである。

【0043】

図4は、回路システム100及び200に含まれ得る第1の信号発生回路40の構成を模式的に示す図である。

【0044】

第1の信号発生回路40は、動作モード切り替え信号発生回路10、制御回路30、及び1対のトランジスタを含んでいる。これらの構成要素のうちで、動作モード切り替え信号発生回路10及び制御回路30は、図6及び図7を参照して説明した特開平7-182872号公報に開示されているものと同じ構成にすることができる。

【0045】

具体的には、動作モード切り替え信号発生回路10には、DRAMモード指示信号を供給する制御回路30が接続されている。制御回路30と動作モード切り替え信号発生回路10との間にはノードCが設けられており、電源電圧VccとノードCの間にはNチャンネルトランジスタ7が設けられ、接地電位GNDとノードCの間にはPチャンネルトランジスタ8が設けられている。これらのトランジスタ7及び8のゲートには、先に説明したラッチ回路4の出力信号PMTがそれぞれ入力されている。

【0046】

図4の構成から明らかなように、ラッチ回路4からの出力信号PMTがHighレベルになると、Nチャンネルトランジスタ7が導通してノードCの電位がHighレベルになり、結果としてDRAMモード指定信号がHighレベルになる。この結果、動作モード切り替え信号発生回路10から出力される切り替え信号は、揮発性動作モードを活性化するように設定される。一方、ラッチ回路4からの出力信号PMTがLowレベルになると、Pチャンネルトランジスタ8が導通してノードCの電位がLowレベルになり、結果としてDRAMモード指定信号がLowレベルになる。この結果、動作モード切り替え信号発生回路10から出力される切り替え信号は、揮発性動作モードを不活性化するように設定される。

【0047】

このように、図4の回路構成では、ラッチ回路4からの出力信号PMTがHighレベルになるとDRAMモード指定信号が自動的にHighレベルになって、揮発性動作モードが活性化される。

【0048】

図5は、回路構成要素の動作モード切り替え信号発生回路10への接続の仕方が図4の場合とは異なっている、他の第1の信号発生回路45の構成を模式的に示す図である。

【0049】

この場合にも、動作モード切り替え信号発生回路10に、DRAMモード指示信号を供給する制御回路30が接続されている。動作モード切り替え信号発生回路10とその出力端子との間にはノードDが設けられており、電源電圧VccとノードDの間にはNチャンネルトランジスタ7が設けられ、接地電位GNDとノードDの間にはPチャンネルトランジスタ8が設けられている。これらのトランジスタ7及び8のゲートには、先に説明したラッチ回路4の出力信号PMTがそれぞれ入力されている。

【0050】

図5の構成から明らかなように、ラッチ回路4からの出力信号PMTがHighレベルになると、Nチャンネルトランジスタ7が導通してノードDの電位がHighレベルになる。その結果として、動作モード切り替え信号発生回路10から出力されるモード切り替え信号がHighレベルになり、揮発性動作モードを活性化する。一方、ラッチ回路4からの出力信号PMTがLowレベルになると、Pチャンネルトランジスタ8が導通してノードDの電位がLowレベルになる。その結果として、動作モード切り替え信号発生回路10か

10

20

30

40

50

ら出力されるモード切り替え信号がLowレベルになり、揮発性動作モードを不活性化する。

【0051】

このように、図5の回路構成では、ラッチ回路4からの出力信号PMTがHighレベルになるとモード切り替え信号が自動的にHighレベルになって、揮発性動作モードが活性化される。特に図5の構成では、不揮発性動作モードと揮発性動作モードとの間の切り替えを、切り替え信号発生回路10の影響を受けずに自動的に行うことが可能になる。

【0052】

【発明の効果】

以上に説明したように本発明の半導体記憶装置においては、電源電圧レベルを示す外部入力信号を入力されて不揮発性動作モード及び揮発性動作モードの切り替えを行う動作モード切り替え信号発生回路システムを備えている。動作モード切り替え信号発生回路システムは、具体的には、第1の信号発生回路として動作モード切り替え信号発生回路を備え、さらに第2の信号発生回路として、例えば電源電圧検出回路とラッチ回路（保持回路）とを備えている。これによって、不揮発性動作モードと揮発性動作モードとを電源電圧のレベルに応じて自動的に切り替える場合と、揮発性動作モードのみで使用する場合とを、選択することができる。

10

【0053】

この結果、通常の動作時には、揮発性動作モードを選択して半導体メモリを揮発性メモリ（例えばDRAM）として機能させ、電荷の蓄積及び放出によって情報の書き込み及び読み出しを行うことができる。このため、強誘電体膜の分極反転回数が低減されるので、強誘電体膜の動作特性の劣化の抑制、さらには半導体メモリの長寿命化などの効果が達成される。

20

【0054】

さらに、上記の構成によれば、電源電圧レベルの変化からは独立して、任意に揮発性動作モードを設定することができる。そのため、通常の動作において印加される電源電圧の幅よりも広い範囲の印加電圧に対して実施する半導体メモリの動作テスト、例えば設計仕様値からのマージンを確認する評価テストの実施が可能になる。

【0055】

動作モードの切り替えの制御に使用する外部入力信号としては、電源電圧レベルの変化に応じて、所定のレベル、例えば高電位側の電源電圧Vccよりも高い電圧レベルを有することができる電圧信号を使用すればよい。このとき、電源電圧レベル検出回路を設ければ、特別に他の入力端子を設けなくても、電源電圧Vccと接地電圧GNDとの間の電圧レベルを有する他用途の電圧信号が入力される入力端子を、この入力信号の入力端子と兼用することができる。

30

【図面の簡単な説明】

【図1】本発明の半導体記憶装置である強誘電体メモリに含まれる動作モード切り替え信号発生回路システムの構成の一例を模式的に示す回路図である。

【図2】図1の動作モード切り替え信号発生回路システムの詳細な回路構成の一例を示す回路図である。

40

【図3】本発明の半導体記憶装置である強誘電体メモリに含まれる動作モード切り替え信号発生回路システムの構成の他の例を模式的に示す回路図である。

【図4】本発明の半導体記憶装置である強誘電体メモリに含まれる第1の信号発生回路の構成の一例を模式的に示す回路図である。

【図5】本発明の半導体記憶装置である強誘電体メモリに含まれる第1の信号発生回路の構成の他の例を模式的に示す回路図である。

【図6】強誘電体メモリの動作モード切り替え信号発生回路の構成の一例を模式的に示す回路図である。

【図7】図6の動作モード切り替え信号発生回路に含まれる電源電圧レベル検出回路の構成の一例を模式的に示す回路図である。

50

【図8】図7の電源電圧レベル検知回路の出力特性を模式的に示すグラフである。

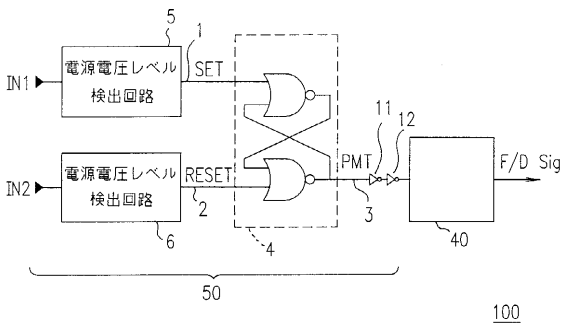
【符号の説明】

- 1、2、3 出力端子
- 4 ラッチ回路
- 5、6 電源電圧レベル検出回路
- 7 Nチャネルトランジスタ
- 8 Pチャネルトランジスタ
- 10 動作モード切り替え信号発生回路
- 11、12 インバータ素子
- 20 電源電圧レベル検出回路
- 30 制御回路
- 40、45 第1の信号発生回路
- 50、55 第2の信号発生回路
- 100、200 動作モード切り替え信号発生回路システム
- IN1、IN2 外部入力信号
- SET、RESET 電源電圧レベル検出回路の出力信号
- PMT ラッチ回路の出力信号(第2の制御信号)
- Vcc 高電位側電源電圧
- Vss 低電位側電源電圧
- GND 接地電位
- F/D Sig 動作モード切り替え信号
- Vpp ブーストされた電源電圧
- Tr1、Tr3、Tr4、Tr6 Nチャネルトランジスタ
- Tr2、Tr5 Pチャネルトランジスタ

10

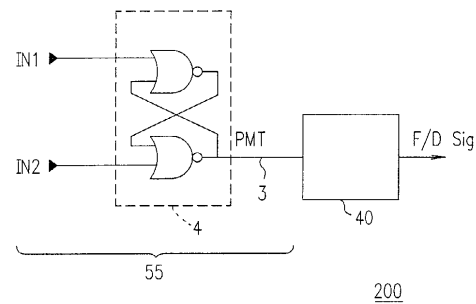
20

【図1】



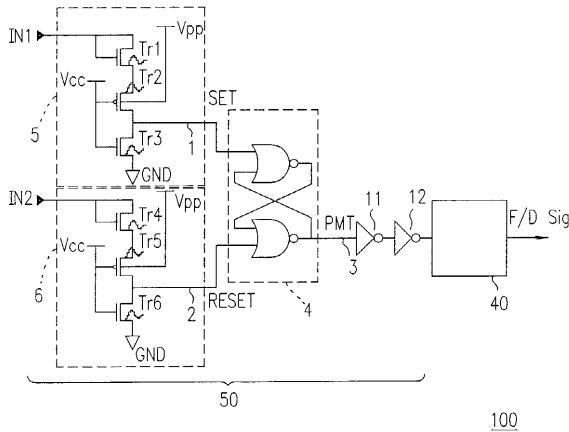
100

【図3】



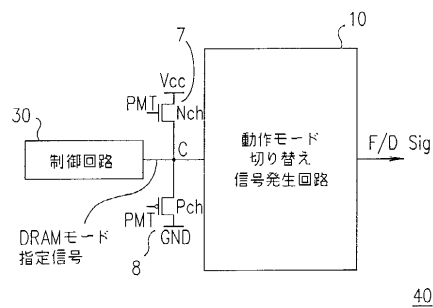
200

【図2】



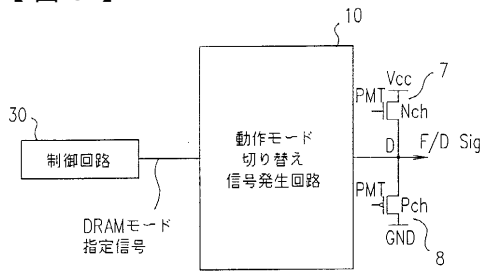
100

【図4】



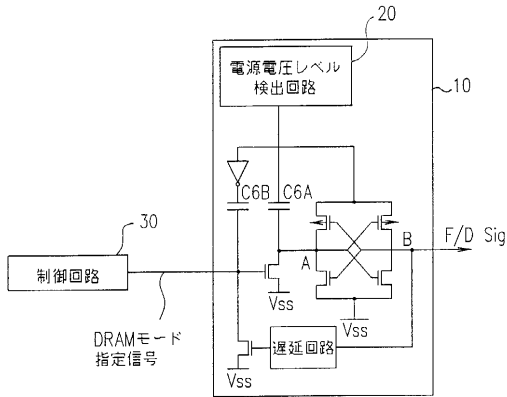
40

【図5】

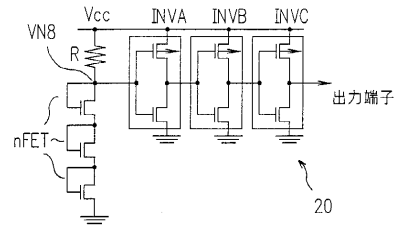


45

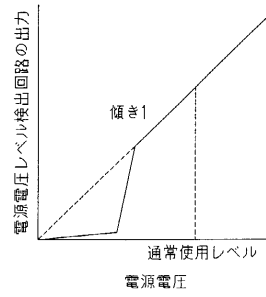
【図6】



【図7】



【図8】



フロントページの続き

審査官 加藤 俊哉

- (56)参考文献 特開平07-182872(JP,A)
特開平08-171793(JP,A)
特開平02-299034(JP,A)
特開平07-220481(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

G11C 11/22 501

G11C 11/407