

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-508629

(P2006-508629A)

(43) 公表日 平成18年3月9日(2006.3.9)

(51) Int. Cl.		F I			テーマコード (参考)
H02M 1/08 (2006.01)		H02M 1/08		A	5H730
H02M 3/155 (2006.01)		H02M 3/155		S	5H740

審査請求 未請求 予備審査請求 未請求 (全 15 頁)

(21) 出願番号 特願2004-556618 (P2004-556618)
 (86) (22) 出願日 平成15年11月19日 (2003.11.19)
 (85) 翻訳文提出日 平成17年5月25日 (2005.5.25)
 (86) 国際出願番号 PCT/IB2003/005291
 (87) 国際公開番号 W02004/051851
 (87) 国際公開日 平成16年6月17日 (2004.6.17)
 (31) 優先権主張番号 0227792.9
 (32) 優先日 平成14年11月29日 (2002.11.29)
 (33) 優先権主張国 英国 (GB)

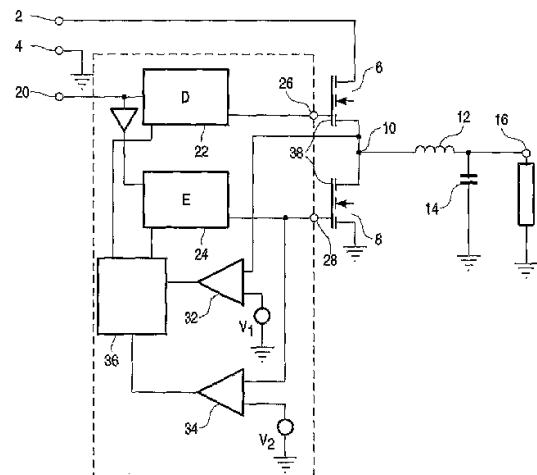
(71) 出願人 590000248
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 Koninklijke Philips Electronics N. V.
 オランダ国 5621 ペーアー アイン
 ドーフェン フルーネヴァウツウェッハ
 1
 Groenewoudseweg 1, 5
 621 BA Eindhoven, The Netherlands
 (74) 代理人 100075812
 弁理士 吉武 賢次
 (74) 代理人 100088889
 弁理士 橋谷 英俊

最終頁に続く

(54) 【発明の名称】 スイッチング回路のためのドライバおよび駆動方法

(57) 【要約】

駆動回路は、ハイおよびローサイドスイッチ（6，8）の状態を監視するための監視回路（32，34，36）を含む。駆動回路は、トランジスタ（6，8）をターンオンするための、調節可能な遅延を有する。一方のトランジスタに対応する電圧が所定電圧V1を通過するのが、他方のトランジスタに対応する電圧が別の所定点V2を通過するより前であることを、監視回路が検出すると、遅延は減少され、逆もまた同様である。



【特許請求の範囲】

【請求項 1】

スイッチング回路のための駆動回路であって、

各第 1 および第 2 絶縁ゲートトランジスタのゲートに接続するための、第 1 および第 2 ゲート制御出力と、

前記第 1 および第 2 ゲート制御出力にそれぞれ接続され、各ゲートを駆動して前記第 1 および第 2 絶縁ゲートトランジスタを交互にスイッチオンおよびオフさせるための、第 1 および第 2 ゲートドライバと、

第 1 および第 2 監視点の電圧、したがって前記第 1 および第 2 トランジスタそれぞれの状態、を監視するための監視回路であって、前記第 1 監視点は、前記第 1 ゲートと、前記第 1 および第 2 トランジスタ間のスイッチノードとの、一方であり、第 2 監視点は、前記第 2 ゲートである、監視回路と、

を備え、

当該駆動回路は、

前記第 2 ゲートドライバを駆動して前記第 2 絶縁ゲートトランジスタをスイッチオフさせ、制御可能な遅延 D の後に、前記第 1 ゲートドライバを駆動して前記第 1 絶縁ゲートトランジスタをスイッチオンさせ、

前記第 1 監視点の電圧が第 1 所定電圧を通過する第 1 時刻と、前記第 2 監視点の電圧が第 2 所定電圧を通過する第 2 時刻とを比較し、

前記第 2 時刻が前記第 1 時刻より前である場合に、遅延 D を減少させ、前記第 2 時刻が前記第 1 時刻より後である場合に、遅延 D を増加させる、ように構成される、ことを特徴とする駆動回路。

【請求項 2】

前記第 1 監視点は、前記第 1 ゲート制御出力であり、前記第 2 監視点は、前記第 2 ゲート制御出力である、ことを特徴とする請求項 1 に記載の駆動回路。

【請求項 3】

前記第 1 および第 2 絶縁ゲートトランジスタは、スイッチノードで互いに直列に接続されており、前記第 1 監視点は前記スイッチノードである、ことを特徴とする請求項 1 に記載の駆動回路。

【請求項 4】

前記遅延 D が、増加または減少されるたびに、一定の所定時間ずつ増加または減少される、ことを特徴とする前記請求項 1 乃至請求項 3 のいずれかに記載の駆動回路。

【請求項 5】

前記所定時間は、 $1\text{ ns} \sim 5\text{ ns}$ の範囲であること、を特徴とする請求項 4 に記載の駆動回路。

【請求項 6】

前記請求項 1 乃至請求項 5 のいずれかに記載の駆動回路であって、

前記第 1 絶縁ゲートトランジスタをスイッチオフし、第 2 遅延 E の後に前記第 2 絶縁ゲートトランジスタをスイッチオンし、

前記第 1 監視点の電圧が、第 3 所定電圧を通過する第 3 時刻と、前記第 2 監視点の電圧が、第 4 所定電圧を通過する第 4 時刻とを比較し、

前記第 4 時刻が、前記第 3 時刻より後である場合に、前記第 2 遅延 E を減少させ、前記第 4 時刻が、前記第 3 時刻より前である場合に、前記第 2 遅延 E を増加させることにより、当該駆動回路が、前記遅延 D を前記第 2 遅延 E と異なるように設定できる、ように構成される、ことを特徴とする駆動回路。

【請求項 7】

前記請求項 1 乃至請求項 6 のいずれかに記載の駆動回路と、

それぞれがゲートと、ソースと、ドレインとを有する第 1 および第 2 絶縁ゲートトランジスタと、を備え、前記第 1 および第 2 絶縁ゲートトランジスタのゲートは、前記駆動回路の対応するゲート制御出力に接続される、ことを特徴とするスイッチング回路。

【請求項 8】

前記所定電圧は、前記絶縁ゲートトランジスタの閾値電圧の 1 V 以内である、ことを特徴とする請求項 7 に記載のスイッチング回路。

【請求項 9】

それぞれがゲートと、ソースと、ドレインとを有し、負荷を駆動するためのスイッチノードで互いに直列に接続される、制御および同期絶縁ゲートトランジスタと、

前記絶縁ゲートトランジスタのゲートと接続され、前記制御および同期絶縁ゲートトランジスタを交互にスイッチオンおよびオフするための、駆動回路と、を備え、

前記駆動回路は、

前記同期絶縁ゲートトランジスタをスイッチオフし、遅延 D の後に前記制御絶縁ゲートトランジスタをスイッチオンし、

第 1 および第 2 監視点の電圧を監視し、前記第 1 監視点は、前記スイッチノードまたは前記制御トランジスタの前記ゲート電圧であり、前記第 2 監視点は、前記同期トランジスタの前記ゲート電圧であり、

前記第 1 監視点の前記電圧が、第 1 所定電圧より下がる第 1 時刻と、前記第 2 監視点の前記電圧が、第 2 所定電圧より上がる第 2 時刻とを比較し、

前記第 2 時刻が、前記第 1 時刻より後である場合に、前記遅延 D を減少させ、前記第 2 時刻が、前記第 1 時刻より前である場合に、前記遅延 D を増加させる、ように構成されていること、を特徴とするスイッチコンバータ回路。

【請求項 10】

それぞれがゲートと、ソースと、ドレインとを有する第 1 および第 2 絶縁ゲートトランジスタ、を有するコンバータ回路を駆動する方法であって、

(a) 前記第 1 絶縁ゲートトランジスタをスイッチオフするステップと、

(b) 遅延 D の後に前記第 2 絶縁ゲートトランジスタをスイッチオンするステップと、

(c) 第 1 および第 2 監視点の電圧を監視するステップであって、前記第 1 監視点は、前記第 1 トランジスタのゲートと、第 1 および第 2 トランジスタの間のスイッチノードとの、一方であり、前記第 2 監視点は、前記第 2 トランジスタのゲートであるステップと、

(d) 前記第 1 監視点の前記電圧が、第 1 所定電圧を通過する第 1 時刻と、前記第 2 監視点の前記電圧が、第 2 所定電圧を超える第 2 時刻とを比較するステップと、

(e) 前記第 2 時刻が、前記第 1 時刻より後である場合に、前記遅延 D を減少させ、前記第 2 時刻が、前記第 1 時刻より前である場合に、前記遅延 D を増加させるステップと、

(f) 前記第 1 および第 2 トランジスタを交互にスイッチオンし、前記第 2 トランジスタをスイッチオンして前記第 1 トランジスタをスイッチオフする際に、上記 (a) ~ (e) のステップを繰り返すステップと、を含む方法。

【請求項 11】

(g) 前記第 2 絶縁ゲートトランジスタをスイッチオフし、前記遅延 D とは異なり得る第 2 遅延 E の後に前記第 1 絶縁ゲートトランジスタをスイッチオンするステップと、

(h) 前記第 1 および第 2 監視点の電圧を監視するステップと、

(i) 前記第 2 監視点の前記電圧が、第 3 所定電圧より下がる第 3 時刻と、前記第 1 監視点の前記電圧が、第 4 所定電圧より上がる第 4 時刻とを比較するステップと、

(j) 前記第 4 時刻が、前記第 3 時刻より後である場合に、前記第 2 遅延 E を減少させ、前記第 4 時刻が、前記第 3 時刻より前である場合に、前記第 2 遅延 E を増加させるステップと、

前記第 1 トランジスタをスイッチオンして前記第 2 トランジスタをスイッチオフする際に、上記ステップ (g) ~ (h) を繰り返し、前記トランジスタは交互にスイッチオンされるステップと、を更に備える請求項 10 に記載の方法。

【請求項 12】

前記遅延は、サイクル毎に 1 ns ~ 5 ns の範囲の所定量ずつ、増加または減少される、ことを特徴とする請求項 10 または請求項 11 に記載の方法。

【請求項 13】

10

20

30

40

50

前記第1監視点は、それぞれ、前記制御トランジスタのゲートである、ことを特徴とする請求項10乃至請求項12のいずれかに記載の方法。

【請求項14】

前記第1および第2絶縁ゲートトランジスタは、互いに直列に接続され、負荷への接続のためのスイッチノードをその間に有し、前記第1監視点は、前記スイッチノードである、ことを特徴とする請求項10乃至請求項12のいずれかに記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチング回路、このような回路のための駆動回路、およびスイッチング回路を駆動する方法に関し、特に、しかし非限定的に、スイッチング電圧コンバータ回路に関する。

【背景技術】

【0002】

幅広い種類のスイッチング調節器が、電圧を発生させるために、一般に使用されている。

【0003】

コンバータの種類である、同期型DC-DCコンバータが、図1に概略的に図示されている。入力電圧 V_{in} が、入力端子2, 4の間に印加される。一対のトランジスタ、ここでは電界効果トランジスタ(FET: Field Effect Transistor)6, 8は、入力端子2, 4の間に接続される。入力端子2に隣接するトランジスタ6は、制御FETまたはハイサイドトランジスタとして知られ、グラウンドに隣接するトランジスタ8は、同期(sync: synchronous)FETまたはローサイドトランジスタとして知られる。ハイサイドは、ローサイドよりも相対的に正になっているが、ハイまたはローのいずれかのサイドがグラウンドに特定の関係を有する必要はない。

【0004】

トランジスタ6, 8の間のノードは、スイッチノード10として知られる。スイッチノードは、インダクタ12を通り、キャパシタ14と交差して、出力16に供給する。

【0005】

制御回路18は、入力制御端子20上の一方の入力と、フィードバック経路21を介して出力16から供給される他方の入力と、を有する。制御回路18は、制御信号を供給し、トランジスタ6, 8を交互にスイッチオフおよびオンすることにより、FET6, 8が出力で定電圧を維持するように制御する。制御信号は、制御および同期FETを交互に導通させる交流信号である。マークスペース比(mark-space ratio)を変化させ、すなわち、制御FETが導通する時間と同期FETが導通する時間の比率を調整し、出力16で所望の電圧を達成する。

【0006】

このようなDC-DCコンバータの例は、インテル社(Intel Corporation)に対する国際公開第98/49607号およびリー(Lee)に対する米国特許第5,479,089号に提示されるものを含んでいる。

【0007】

同期DC-DCコンバータの1つの特徴は、ハイおよびローサイドトランジスタ6, 8の両方を同時にスイッチオンすることが、一般に望まれていない、ということである。両方のトランジスタがオンになっている場合、制御および同期FETを介して2つの入力端子2, 4の間を直接流れる電流により、入力電圧が短絡する。この現象は、「シュートスルー」として知られる。したがって、制御回路18は、一般に、一度に2つのトランジスタ6, 8の一方のみがオンであることを確実にするように構成される。

【0008】

これは、従来より、2つの電圧を監視することにより行われている。スイッチノード10の電圧を監視し、ハイサイドトランジスタ6がスイッチオフされるまで、ローサイドト

10

20

30

40

50

ランジスタ 8 がスイッチオンされることを防ぐ。ローサイドトランジスタ 8 のゲートの電圧を監視し、ローサイドトランジスタ 8 がスイッチオフされるまで、ハイサイドトランジスタ 6 がスイッチオンされないようにする。国際公開第 98/49607 号には、このタイプの回路が記載され、また、リーに対する米国特許第 5,479,089 号にも記載されている。

【0009】

どちらの FET も導通していないデッドタイムは、同期 FET のトランジスタ閾値電圧およびキャパシタンスによって決まり、これらは、選択した FET のパラメータの製造ばらつきに起因して、また FET の個々の選択によって、大きく異なる。つまり、制御 IC は、シュートスルーを回避するデッドタイムを作り出すために、これらのパラメータの控えめな見積もりを使用しなければならない。これは、一般的に、使用される特定の FET のために制御回路が最適化されている場合に可能なデッドタイムよりも、長いデッドタイムになる。

10

【0010】

現在、スイッチングおよびクロック速度を増加させる傾向になっており、ハイまたはローサイドトランジスタ 6, 8 のどちらもオンしていないデッドタイムの重要性が増す。この時間を減少させることは、有益であろう。

【0011】

このデッドタイムを減少させることを目的とする 1 つの回路は、フィリップス (Philips) に対する国際公開第 02/063752 号に記載されている。駆動ノード 10 の電圧を監視し、一般的に出力電圧と反対の符号の所定電圧と比較する。制御 FET 6 がスイッチオフする際、インダクタは、同期 FET 8 の寄生ボディダイオードを介して電流を引き続ける。ボディダイオードは、約 0.6 V 電圧降下し、そのため、入力および出力電圧が正であると仮定すると、駆動ノード 10 の電圧は、制御 FET がスイッチオフされた際、負になる。国際公開第 02/063752 号では、所定値より下がった駆動ノードの電圧を適宜に使用して、同期 FET のターンオンをトリガーし、制御 FET がスイッチオフされるまで同期 FET がスイッチオンされないことを確保している。

20

【0012】

しかし、このような回路は確かにシュートスルーを回避するが、どちらの FET もスイッチオンされていない、少なくとも駆動回路の遅延時間に FET のターンオン時間を加えた、かなりのデッドタイムが残る。このデッドタイムは、現在の技術を使用して、約 30 ns である。

30

【0013】

別のアプローチが、米国特許第 6,396,250 号に記載されている。この回路では、制御可能な遅延が、ゲートトランジスタの入力に供給され、スイッチノードから取得される信号を伴うフィードバックループによって制御される。この回路はいくつかの利点をもたらすものの、制御信号をこのような方法でスイッチノードから取得することからの難点があることを、発明者らは認識した。

【0014】

スイッチングの速度が更に増加するほど、できる限りデッドタイムを削減することが、有益であろう。

40

【発明の開示】

【課題を解決するための手段】

【0015】

したがって、一態様において、スイッチング回路のための駆動回路が提供され、駆動回路は、各第 1 および第 2 絶縁ゲートトランジスタのゲートに接続するための第 1 および第 2 ゲート制御出力と、第 1 および第 2 ゲート制御出力にそれぞれ接続され、各ゲートを駆動して第 1 および第 2 絶縁ゲートトランジスタを交互にスイッチオンおよびオフさせるための第 1 および第 2 ゲートドライバと、第 1 および第 2 監視点の電圧、したがって第 1 および第 2 トランジスタそれぞれの状態、を監視するための監視回路と、を備え、第 1 監視

50

点は、第1ゲート制御出力と、第1および第2トランジスタ間のスイッチノードとの、一方であり、第2監視点は、第2ゲート制御出力であり、駆動回路は、第2ゲートドライバを駆動して第2絶縁ゲートトランジスタをスイッチオフさせ、制御可能な遅延Dの後に、第1ゲートドライバを駆動して第1絶縁ゲートトランジスタをスイッチオンさせ、第1監視点の電圧が第1所定電圧を通過する第1時刻と、第2監視点の電圧が第2所定電圧を通過する第2時刻とを比較し、第2時刻が第1時刻より前である場合に遅延Dを減少させ、第2時刻が第1時刻より後である場合に遅延Dを増加させる、ように構成される。

【0016】

この回路は、過度に複雑な追加回路を必要とすることなく、デッドタイムを最小限まで減少させることを可能にする。

10

【0017】

米国特許第6,396,250号のように単にスイッチノードからフィードバック信号を取得するよりも、各トランジスタに個別に関係するタイミング情報を使用することにより、回路は、各トランジスタのターンオン時間を、一貫性があり信頼できる方法で追跡することができる。

【0018】

トランジスタは、スイッチノードで直列に接続してもよい。第1監視点は、スイッチノードとしてもよい。あるいは、第1監視点は、都合よく、第1ゲートとしてもよい。これらのアプローチの利点を、以下に、より詳細に明らかにする。

【0019】

遅延Dは、所定量ごとに増加または減少させてもよい。所定量は、 $0.5\text{ ns} \sim 10\text{ ns}$ 、好ましくは $1\text{ ns} \sim 5\text{ ns}$ の範囲としてもよい。この範囲、特に、好ましい範囲の所定量を用いることにより、動作中の動作電流および温度の変化がコンポーネントのスイッチング時間に影響を与えるにもかかわらず、デッドタイムをゼロまで減少させることができる。つまりシステムは、これらの変化に対処するのに十分な速さで調整することが可能である。更に、この範囲は、良好な安定性を可能にする。遅延が、大きすぎるステップで減少される場合、ゲート信号が重なり延長することがあり、そのため両方のFETが完全にオンになってシュートスルーが起これ、ロスが増える。したがって、ステップは、重大なシュートスルーを回避するのに十分に小さくなくてはならない。

20

【0020】

あるいは、遅延Dは、不定量の変化にさせることができ、例えば、第1および第2時刻の間の時間差が大きいほど、サイクル毎においてDを、より大きく調整してもよい。

30

【0021】

所定電圧は、絶縁ゲート電界効果トランジスタに使用される構成に基づいて選択すればよい。

【0022】

第1および第2所定電圧は、 $1\text{ V} \sim 2\text{ V}$ の範囲としてもよく、この電圧は、多様な出力電圧の良好な制御を可能にする。より高い電圧範囲のみで動作する回路では、所定電圧の幅は、より広く変化することができる。例えば、 12 V 出力では、所定電圧は $1\text{ V} \sim 10\text{ V}$ の範囲であればよい。

40

【0023】

電圧は、同一としてもよく、また、好ましくは、トランジスタの閾値電圧にほぼ対応するレベルとしてもよい。

【0024】

pチャンネル絶縁ゲートトランジスタでは、対応する所定電圧は、pチャンネルソース電圧より $1\text{ V} \sim 2\text{ V}$ 低くしてもよい。

【0025】

好適な一実施形態において、駆動回路は、2番目の絶縁ゲートトランジスタをスイッチオフし、第2遅延Eの後に1番目の絶縁ゲートトランジスタをスイッチオンし、第1ゲート制御出力の電圧が第3所定電圧を通過する第3時刻と、第2ゲート制御出力の電圧が第

50

4 所定電圧を通過する第 4 時刻とを比較し、第 4 時刻が第 3 時刻より後である場合に、第 2 遅延 E を減少させ、第 4 時刻が第 3 時刻より前である場合に、第 2 遅延 E を増加させるように構成される。これにより、駆動回路が、遅延 D を第 2 遅延 E と異なるように設定でき、その結果、第 1 および第 2 トランジスタの遅延を個別に設定することが可能になる。

【0026】

都合のよいことには、第 3 電圧は第 1 電圧と等しく、第 4 電圧は第 2 電圧と等しい。

【0027】

本発明は、また、上述のように構成された駆動回路と、それぞれがゲートと、ソースと、ドレインとを有する高圧側および低圧側絶縁ゲートトランジスタと、を備え、高圧側および低圧側絶縁ゲートトランジスタのゲートは、駆動回路の対応するゲート制御出力に接続される、スイッチング回路に関する。 10

【0028】

所定電圧は、絶縁ゲートトランジスタの閾値電圧の 1 V 以内としてもよい。

【0029】

実施形態において、第 1 監視点は、第 1 ゲート制御出力である。駆動回路は、内部で利用可能な第 1 および第 2 の両方のゲート制御出力を有しているため、この対称構成は、スイッチノードへの個別の接続の必要性を回避する。また、スイッチノードの監視を必要としないことにより、スイッチノードのノイズ問題が回避される。

【0030】

代わりの実施形態において、第 1 監視点は、スイッチノードである。第 1 トランジスタがハイサイドトランジスタであるとする、第 1 トランジスタのソースは、実質的に振動スイッチノード電圧の上に浮遊しており、すなわち、ゲートソース電圧がグランド寄りにシフトする。ゲート電圧の代わりにスイッチノードを監視することによって、ハイサイドトランジスタの基準電圧の変化を考慮する必要がない。また、第 1 トランジスタの閾値電圧の変化を考慮する必要もなくなる。 20

【0031】

好ましくは、所定電圧は、ローサイドトランジスタのグランドに関しては 1 V ~ 2 V の範囲であり、この範囲は、駆動回路が、それぞれできるだけ広い範囲の変換（出力）電圧で動作することを可能にする。

【0032】

別の態様において、スイッチングコンバータ回路が提供され、スイッチングコンバータ回路は、それぞれがゲートと、ソースと、ドレインとを有し、負荷絶縁ゲートトランジスタを駆動するためのスイッチノードで互いに直列に接続される、制御および同期絶縁ゲートトランジスタと、絶縁ゲートトランジスタのゲートと接続され、制御および同期絶縁ゲートトランジスタを交互にスイッチオンおよびオフするための、駆動回路と、を備え、駆動回路は、同期絶縁ゲートトランジスタをスイッチオフし、遅延 D の後に制御絶縁ゲートトランジスタをスイッチオンし、第 1 および第 2 監視点の電圧を監視し、第 1 監視点は、スイッチノードまたは制御トランジスタのゲート電圧であり、第 2 監視点は、同期トランジスタのゲート電圧であり、第 1 監視点の電圧が第 1 所定電圧より下がる第 1 時刻と、第 2 監視点の前記電圧が第 2 所定電圧より上がる第 2 時刻とを比較し、第 2 時刻が第 1 時刻より後である場合に、遅延 D を減少させ、第 2 時刻が第 1 時刻より前である場合に、遅延 D を増加させる、ように構成される。 40

【0033】

更なる態様において、本発明は、それぞれがゲートと、ソースと、ドレインとを有する制御および同期絶縁ゲートトランジスタ、を有するコンバータ回路、を駆動する方法に関し、高圧側および低圧側絶縁ゲートトランジスタは、互いに直列に接続され、負荷への接続のためのスイッチノードをその間に有するとともに、この方法は、（a）1 番目の絶縁ゲートトランジスタをスイッチオフするステップと、（b）遅延 D の後に 2 番目の絶縁ゲートトランジスタをスイッチオンするステップと、（c）第 1 および第 2 監視点の電圧を監視し、第 1 監視点は、第 1 トランジスタのゲートとスイッチノードとの一方であり、第 50

2 監視点は、第 2 トランジスタのゲートであるステップと、(d) 第 1 監視点の電圧が、第 1 所定電圧を通過する第 1 時刻と、第 2 監視点の電圧が、第 2 所定電圧を通過する第 2 時刻とを比較するステップと、(e) 第 2 時刻が、第 1 時刻より後である場合に、遅延 D を減少させ、第 2 時刻が、第 1 時刻より前である場合に、遅延 D を増加させるステップと、(f) 第 1 および第 2 トランジスタを交互にスイッチオンし、第 2 トランジスタをスイッチオンして第 1 トランジスタをスイッチオフする際に、上記 (a) ~ (e) のステップを繰り返すステップと、を含む。

【発明を実施するための最良の形態】

【0034】

図 2 を参照すると、ハイサイド入力端子 2 に接続されるハイサイド線とローサイド入力端子 4 に接続されるグラウンドの間で、ハイサイド (制御) FET 6 が、スイッチノード 10 を介してローサイド (同期) FET 8 と直列に接続される。スイッチノード 10 は、インダクタ 12 を介するとともにキャパシタ 14 と交差して、負荷と接続され得る出力 16 に接続される。負荷は、例えば、マイクロプロセッサとすることができる。

【0035】

駆動回路 18 が、ハイサイド 6 およびローサイド 8 FET のゲート 38 を駆動する。入力信号が、端子 20 に供給される。本実施形態では、入力信号は、適切な生成器により生成されるパルス幅変調信号である。適切な生成機構は当業者には周知であるので、生成器は図示しない。生成機構は、特に、出力 16 からのフィードバックを使用して、端子 20 の信号入力のマークスペース比を制御し、これにより出力 16 での電圧出力を制御することができる。

【0036】

第 1 ゲートドライバ回路 22 および第 2 ゲートドライバ回路 24 が、第 1 および第 2 ゲート制御出力 26、28 に適切な信号を供給するように構成されている。これらは、同様に、ハイサイド FET 6 およびローサイド FET 8 のゲートにそれぞれ接続される。ゲートドライバ 22、24 はともに、信号入力 20 の信号パルスに応答して各トランジスタをターンオフし、信号入力 20 で反対の符号のパルスを受信してから所定の遅延の後に各トランジスタをターンオンする、回路を含む。このような制御可能なターンオン遅延を有する回路は、当業者により多くの方法で作ることができよう。例えば、いくつかの回路が、ブリッジ(Bridge)に対する米国特許第 6,396,250 号に記載されている。

【0037】

第 1 および第 2 比較器 32, 34 が、それぞれ、第 1 および第 2 ゲート制御出力 26, 28 に接続されて設けられる。それぞれが、ゲート出力の電圧を各所定電圧と比較し、対応する出力信号を制御ユニット 36 に供給する。比較器 32, 34 および制御ユニット 36 は、したがって、FET 6, 8 のゲート電圧を監視するための監視回路を構成する。

【0038】

制御ユニット 36 は、駆動回路 22, 24 に接続され、これらの回路にプログラム可能なターンオン遅延を設定する。

【0039】

使用中、ローサイド FET 8 がターンオフされると、プログラム可能な遅延 D の後にハイサイド FET 6 がターンオンされる。ハイサイド FET 6 に接続される第 1 ゲート制御出力 26 の電圧は、図 3 a に点線で示され、ローサイド FET 8 に接続される第 2 ゲート制御出力 28 の対応する電圧は、実線で示される。

【0040】

図 3 a に示される状態では、遅延 D が十分に長いため、ローサイド FET 8 は、ハイサイド FET 6 がターンオンするよりずっと前に、ターンオフする。この場合、制御ユニット 36 は、第 1 ゲート制御出力 26 の電圧が電圧 V1 を通過するよりずっと前にローサイド FET 8 のゲート電圧が所定の電圧 V2 を通過することを、検出する。「第 1 時刻」という用語が、第 1 トランジスタに関する時刻を表すために使用され、「第 2 時刻」という用語が、第 2 トランジスタに関する時刻を表すために使用されるが、第 1 および第 2 時刻

の順序は変化し、例えば、最初の状態では第2時刻が第1時刻より前である。

【0041】

制御ユニット36が、第2時刻が第1時刻より前であることを測定すると、遅延Dは、所定量2nsずつ減少される。これが、信号入力20の信号の入力サイクル毎に繰り返され、遅延がサイクル毎に所定時間2nsずつ、第1および第2時刻が実質的に同じである図3bの状態に至るまで減少される。電圧V1、V2は、この状態においてデッドタイムが約1~2nsまで減少するように選択され、このデッドタイムは、典型的に約12nsになり得る立ち上がり時間を含む従来の機構に比べて、かなり減少したデッドタイムを示す。

【0042】

構成部品の値が時間とともに変化するとともに、例えば構成部品がウォームアップするとともに、第2時刻が第1時刻より後になる図3cの状態が起こり得る。この場合、制御回路36は、シュートスルーを回避するために遅延を増加させる。

【0043】

対応するフィードバックループを使用して、第2トランジスタをターンオンし、第1トランジスタをターンオフする。第1および第2トランジスタ6、8間の構成部品のばらつきを考慮して、個別のターンオン遅延Eを第2トランジスタに使用する。

【0044】

トランジスタが切り替わると、駆動回路とトランジスタの間の接続（すなわち配線およびPCB）のインダクタンスが、ゲート駆動電流と共同して、接続に沿って電圧降下を引き起こし、感知されるゲート電圧の誤差をもたらす。このため、好適な変形例において、比較器32、34の検知接続は、ゲート駆動電流を運ぶ接続への個別の接続を介して、トランジスタの絶縁ゲートに直接的に接続してもよい。あるいは、マルチチップモジュールの実装において、比較器を、絶縁ゲートトランジスタと同じパッケージに一体化し、そこに直接接続してもよい。

【0045】

本発明の第2の実施形態では、第1比較器32への入力、第1制御出力26の代わりに、スイッチノード10から取得する。これは、図4に示される。

【0046】

これが機能するのは、ハイサイドFET6をスイッチオンすると、スイッチノード10の電圧が、約-0.5Vから入力電圧まで上昇するからである。ハイサイドFET6をターンオフすると、スイッチノード10は、入力電圧から約-0.5Vまで下降する。したがって、基準電圧は、0Vと変換電圧の間の任意の点とすることができるが、好ましくは1と2Vの間として、駆動回路ができるだけ広い範囲の変換電圧で作動することを可能にするとともに、スイッチノード10は必然的にノイズが大きいいため、あるレベルのノイズ耐性をもたせるようにする。

【0047】

図4のアプローチの利点は、制御FETの閾値電圧の変化が関係しなくなることであり、第2の利点は、ハイサイドFET6のゲートソース電圧がソースを基準とすることであり、ソースは、FETがターンオンされると高く浮遊し、FETがターンオフされると低く浮遊する。このことが、ハイサイドFET6のゲート電圧信号を監視することを、より困難にしている。ハイサイドFETのゲートの代わりとしてスイッチノードを監視することによって、そのような困難はなくなる。

【0048】

本開示内容を読むことによって、当業者には他の変形および修正が明らかになるであろう。そのような変形および修正は、スイッチング回路の設計、製造、および使用において周知の、本明細書に説明される特性への追加または代わりとして使用可能な、同等または他の特性を含むことができる。特許請求の範囲は、本出願において、特性の特定の組み合わせとして構成されるが、開示の範囲は、ここに明示的もしくは暗示的に開示される任意の新規の特性または任意の新規の特性の組み合わせ、あるいはこれらの任意の一般化も

10

20

30

40

50

含み、それが同じ技術的問題の一部または全てを、本発明がするように軽減していようとなかろうと、含むものと理解されるべきである。本出願者は、任意のそのような特性および／またはそのような特性の組み合わせに対して、本出願またはそこから派生する任意の更なる出願の遂行中に、新たな特許請求の範囲を構成し得ることをここに明記する。

【0049】

例えば、説明した実施形態は、両方のトランジスタをターンオンするために本発明のアプローチを使用するが、他のトランジスタはターンオンせず1つのトランジスタをターンオンするためのみにこのアプローチを使用することも可能である。

【0050】

両方のトランジスタがnチャンネルである必要はない。例えば、制御FETは、pチャンネルであってもよい。この場合、所定の基準電圧は、このトランジスタの閾値電圧より約1V～2V低くなるであろう。

【0051】

記載された実施形態では、最小遅延に到達するために、一定規模のステップを使用している。しかし、これは本質的特性ではなく、当業者は代わりとなるアプローチを容易に想起するであろう。例えば、ステップの規模は、第1および第2時刻の間の時間の差異に比例するとしてもよい。

【0052】

更に、記載された実施形態は、スイッチング電圧コンバータに関するが、本発明は、作動間の遅延を最小にしてスイッチを作動させる必要のある、他のスイッチング構成に適用することもできる。

【図面の簡単な説明】

【0053】

本発明のよりよい理解のために、本発明の実施形態が、純粹に例示的に、添付の図面を参照して記載される。

【図1】図1は、従来技術のバックコンバータ回路を示す。

【図2】図2は、本発明の第1の実施形態に係るスイッチングコンバータ回路を示す。

【図3】図3(a)～図3(c)は、本発明の第1の実施形態における電圧を示す。

【図4】図4は、本発明の第2の実施形態を示す。

【図 1】

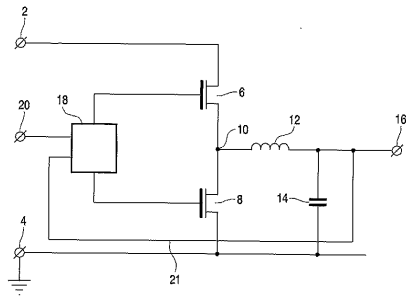
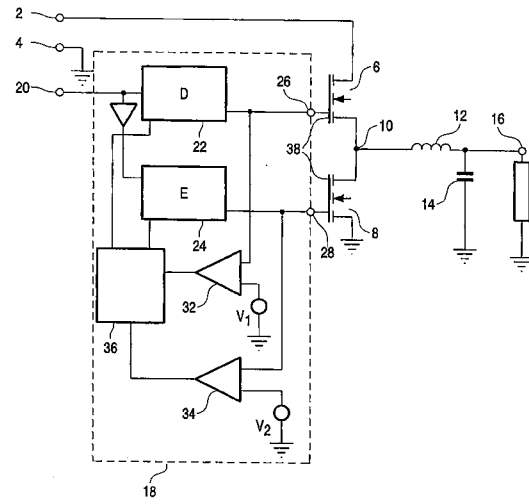


FIG.1

【図 2】



【図 4】

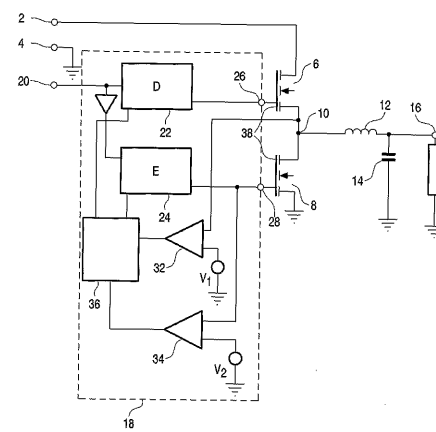


FIG.4

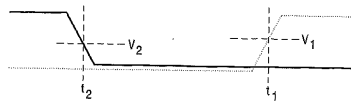


FIG.3a

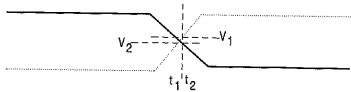


FIG.3b

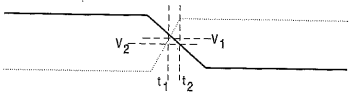


FIG.3c

【国際調査報告】

INTERNATIONAL SEARCH REPORT		Internal PCT/1B 03/05291
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H03K17/042 H02M1/00, H02M3/158		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 H03K H02M		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, PAJ, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 408 150 A (WILCOX MILTON E) 18 April 1995 (1995-04-18) abstract column 4, line 38 -column 5, line 39; figures 2,4A,4B,4C column 8, line 61 -column 9, line 50; figure 9	1-14
A	US 5 479 089 A (LEE JAMES) 26 December 1995 (1995-12-26) cited in the application abstract the whole document	1-14
-/--		
☒ Further documents are listed in the continuation of box C. ☒ Patent family members are listed in annex.		
* Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family		
Date of the actual completion of the international search 24 March 2004		Date of mailing of the international search report 02/04/2004
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Braccini, R

INTERNATIONAL SEARCH REPORT

Internati
tion No
PCT/18 03/05291

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	MILLS C J: "DIGITAL DEAD-TIME GENERATOR" ELECTRONIC DESIGN, PENTON PUBLISHING, CLEVELAND, OH, US, vol. 44, no. 1, 8 January 1996 (1996-01-08), pages 119-120, XP000551986 ISSN: 0013-4872 the whole document	1-14
A	US 6 175 225 B1 (DE GROOT LEONARDUS A) 16 January 2001 (2001-01-16) figure 7	1-14
A	PATENT ABSTRACTS OF JAPAN vol. 2000, no. 26, 1 July 2002 (2002-07-01) & JP 2001 258269 A (KAWASAKI STEEL CORP), 21 September 2001 (2001-09-21)	

INTERNATIONAL SEARCH REPORT

Internet	tion No
PCT/IB 03/05291	

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5408150	A	18-04-1995	US 5365118 A	15-11-1994
US 5479089	A	26-12-1995	NONE	
US 6175225	B1	16-01-2001	DE 60001484 D1	03-04-2003
			DE 60001484 T2	04-12-2003
			WO 0103278 A1	11-01-2001
			EP 1121750 A1	08-08-2001
			JP 2003525003 T	19-08-2003
JP 2001258269	A	21-09-2001	US 2001036085 A1	01-11-2001

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74)代理人 100082991
弁理士 佐藤 泰和

(74)代理人 100096921
弁理士 吉元 弘

(74)代理人 100103263
弁理士 川崎 康

(74)代理人 100107582
弁理士 関根 毅

(72)発明者 フィリップ、ルター
イギリス国サリー、レッドヒル、クロス、オーク、レーン、ケアオブ、フィリップス、インテレク
チュアル、プロパティ、アンド、スタンダーズ

Fターム(参考) 5H730 AA17 AS05 BB13 DD04 DD12 DD33 FD26 FG05 XX05
5H740 AA05 BA12 BB01 JB03 KK01